

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5882665号
(P5882665)

(45) 発行日 平成28年3月9日(2016.3.9)

(24) 登録日 平成28年2月12日(2016.2.12)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)**G09G 3/20 (2006.01)****G02F 1/133 (2006.01)**

G09G 3/36

G09G 3/20 621B

G09G 3/20 622Q

G09G 3/20 623U

G09G 3/20 611A

請求項の数 6 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2011-229649 (P2011-229649)
 (22) 出願日 平成23年10月19日(2011.10.19)
 (65) 公開番号 特開2012-88710 (P2012-88710A)
 (43) 公開日 平成24年5月10日(2012.5.10)
 審査請求日 平成26年8月12日(2014.8.12)
 (31) 優先権主張番号 201010518930.8
 (32) 優先日 平成22年10月19日(2010.10.19)
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 510280589
 京東方科技集団股▲ふん▼有限公司
 中華人民共和国100015北京市朝陽區
 酒仙橋路10號
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 ▲商▼ 廣良
 中華人民共和国100176北京經濟技術
 開發區西環中路8號

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイ

(57) 【特許請求の範囲】

【請求項1】

アレイ基板を備える液晶ディスプレイであって、
 前記アレイ基板においてゲートラインとデータラインと画素電極が形成され、
 同一列の奇数行目の画素電極は、当該列の両側のデータラインにおける一方によりデータ信号が入力され、偶数行目の画素電極は、この列の両側のデータラインにおける他方によりデータ信号が入力され、

同一行の画素電極はそれぞれ当該行の画素電極の両側の2本のデータラインにおける一方により制御され、各ゲートラインのそれぞれが制御する画素電極は同一行に位置し、且つ隣接する2行の画素電極間にゲートラインが2本あり、

隣接する2本のデータラインの間の、同一行に位置し、且つ隣接する二つの画素電極は、それぞれ当該行の画素電極の両側の2本のゲートラインにおける一方により制御され、且つそれぞれ隣接する2本のデータラインにおける一方によりデータ信号が入力されることを特徴とする液晶ディスプレイ。

【請求項2】

同一行の画素電極において、同一のデータラインの両側に位置するかつ隣接する二つの画素電極は、同一のゲートラインにより制御されることを特徴とする請求項1に記載の液晶ディスプレイ。

【請求項3】

各データラインに接続され、1フレーム期間内に、奇数本目のデータラインに第1極性の

データ信号を入力し、偶数本目のデータラインに第2の極性のデータ信号を入力し、且つ隣接する次のフレーム期間内に、奇数本目のデータラインに第2の極性のデータ信号を入力し、偶数本目のデータラインに第1の極性のデータ信号を入力するデータライン駆動モジュールを更に備えることを特徴とする請求項1に記載の液晶ディスプレイ。

【請求項4】

アレイ基板を備える液晶ディスプレイであって、

前記アレイ基板においてゲートラインとデータラインと画素電極が形成され、

同一列の画素電極において、隣接する2つの画素電極が1セットを構成し、奇数セット目の画素電極は、当該列の画素電極の両側のデータラインにおける一方によりデータ信号が入力され、偶数セット目の画素電極は、当該列の両側のデータラインにおける他方によりデータ信号が入力され、

10

同一行の画素電極は、それぞれ当該行の画素電極の両側の2本のゲートラインにおける一方により制御され、各ゲートラインのそれぞれが制御する画素電極は同一行に位置し、隣接する2行の画素電極間にゲートラインが2本あり、

隣接する2本のデータライン間に、同一行に位置し、且つ隣接する2つの画素電極はそれぞれ当該行の画素電極の両側の2本のゲートラインにおける一方により制御され、且つそれぞれ前記隣接する2本のデータラインにおける一方によりデータ信号が入力されることを特徴とする液晶ディスプレイ。

【請求項5】

同一行の画素電極において、同一のデータラインの両側に位置し、且つ隣接する2つの画素電極は、同一のゲートラインにより制御されることを特徴とする請求項4に記載の液晶ディスプレイ。

20

【請求項6】

各データラインに接続され、1フレーム期間内に、奇数本目のデータラインに第1極性のデータ信号を入力し、偶数本目のデータラインに第2の極性のデータ信号を入力し、且つ隣接する次のフレーム期間内に、奇数本目のデータラインに第2の極性のデータ信号を入力し、偶数本目のデータラインに第1の極性のデータ信号を入力するデータライン駆動モジュールを更に備えることを特徴とする請求項4又は5に記載の液晶ディスプレイ。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施例は、液晶ディスプレイの技術分野に関わり、特に液晶ディスプレイに関わるものである。

【背景技術】

【0002】

図面1は従来技術における液晶ディスプレイのアレイ基板の概略構成を示した図である。当該液晶ディスプレイのアレイ基板はゲートラインとデータラインと画素電極1を備える。図面1にはアレイ基板の一部を示したが、図示しない部分は示した部分の構造と類似している。図面1に示したゲートラインはそれぞれ G_i 、 G_{i+1} 、 G_{i+2} 、 G_{i+3} 、 G_{i+4} 、 G_{i+5} 、 G_{i+6} 及び G_{i+7} で標識される。図面1に示したデータラインはそれぞれ D_j 、 D_{j+1} 、 D_{j+2} 、 D_{j+3} 、 D_{j+4} 及び D_{j+5} で標識される。

40

【0003】

図1に示した構造においては、隣接する2列の画素電極は同一のデータラインによってデータ信号が入力されている。同一行において、同一のデータラインに接続する二つの画素電極1のそれぞれは当該行の画素電極1の両側の2本のデータラインにおける一方により制御されている。このように構成されたアレイ基板によって、液晶ディスプレイはより良い光学均一性を達成するようになる。図面1に示すように、同一行において2列の画素電極1が1セットを構成し、1セットにおける二つの画素電極1の信号の極性は同じであ

50

るが、隣接する二つのセットの画素電極 1 の信号の極性は互いに反対している。同一列において、隣接する任意な二つの画素電極の信号の極性は互いに反対している。

【 0 0 0 4 】

極性とは液晶ディスプレイの画素電極に印加された電圧と共通電極に印加された電圧との電圧差が正極性（当分野において、+ 極性とも称される）であるか又は負極性（当分野において、- 極性とも称される）であるかを指す。液晶分子は画素電極と共通電極との電圧差によって駆動されるものである。電圧差の異なる極性によって、液晶分子のねじれ方向が異なるので、液晶分子の老化を防止できる。常に、画素電極の電圧が共通電極の電圧よりも大きい場合に、画素電極に入力されたデータ信号の極性は+ である。画素電極の電圧が共通電極の電圧よりも小さい場合に、画素電極に入力されたデータ信号の極性は- である。

10

【 0 0 0 5 】

図面2は、図面1に示したアレイ基板の駆動信号を示した模式図である。各本のゲートラインに入力された信号は GL_i 、 GL_{i+1} 、 GL_{i+2} 、 GL_{i+3} 、 GL_{i+4} 、 GL_{i+5} 、 GL_{i+6} 及び GL_{i+7} で標識されている。共通電極に入力された信号はVcomで標識され、奇数本目のデータラインから出力された信号はDATA_ODDで標識され、偶数本目のデータラインから出力された信号はDATA_EVENで標識されている。DATA_ODDとDATA_EVENはデータラインの信号の極性を示す。

【 0 0 0 6 】

図1に示した構成において、より良い光学均一性を達成するために、フレームごとにデータラインの信号の極性が絶えずに変化することが必要である。例えば、ゲートライン G_i がハイレベルを出力する、即ち、ゲートライン G_i がオンにする場合に、 m 行目の画素電極の奇数列目の画素電極にデータ信号が入力され、奇数本目のデータラインのデータ信号の極性は+ であって、偶数本目のデータラインのデータ信号の極性は- である。ゲートライン G_{i+1} がハイレベルを出力する、即ち、ゲートライン G_{i+1} がオンにする場合に、 m 行目の偶数列目の画素電極にデータ信号が入力され、図1に示した画素電極の信号の極性設定を実現するために、奇数本目のデータラインのデータ信号の極性を- にし、偶数本目のデータラインのデータ信号の極性を+ にする必要がある。ゲートライン G_{i+2} がハイレベルを出力する場合に、 $m+1$ 行目の奇数列目の画素電極にデータ信号が入力され、図面1に示した画素電極の信号の極性設定を実現するために、各データラインのデータ信号の極性をそのまま保持する。ゲートライン G_{i+3} がハイレベルを出力する場合に、 $m+1$ 行目の偶数列目の画素電極にデータ信号が入力され、図面1に示した画素電極の信号の極性設定を実現するために、各データラインのデータ信号の極性を反転する必要がある。

20

30

【 0 0 0 7 】

図面1に示すような液晶ディスプレイは、より良い光学均一性を達成するために、各データラインのデータ信号の極性が絶えず変化することが必要である。データ信号の極性が頻繁に変化するため、電力消費が向上する。例えば、データ信号の電圧を-6ボルトから+9ボルトにするための必要となる電力消費は、データ信号の電圧を+6ボルトから+9ボルトにするための必要となる電力消費よりもはるかに大きいのである。

【 発明の概要 】

【 発明が解決しようとする課題 】

40

【 0 0 0 8 】

本発明は、従来技術において液晶ディスプレイの電力消費が大きすぎるという課題を解決するための液晶ディスプレイを提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明が液晶ディスプレイを提供し、アレイ基板においてゲートラインとデータラインと画素電極が形成され、

同一列の奇数行目の画素電極は当該列の両側のデータラインにおける一方によってデータ信号を入力され、偶数行目の画素電極はこの列の両側のデータラインにおける他方によってデータ信号を入力され、

50

同一行の画素電極はそれぞれ当該行の画素電極の両側の2本のゲートラインにおける一方によって制御され、各ゲートラインのそれぞれが制御する画素電極は同一行に位置し、隣接する2行の画素電極間にゲートラインが2本あり、

隣接する2本のデータライン間に、同一行の、且つ隣接する2つの画素電極は、それぞれ当該行の画素電極の両側の2本のゲートラインにおける一方によって制御され、且つそれぞれ隣接する2本のデータラインにおける一方によってデータ信号を入力される。

【0010】

本発明がアレイ基板を備える液晶ディスプレイを提供し、前記アレイ基板においてゲートラインとデータラインと画素電極が形成され、

同一列の画素電極における、隣接する2つの画素電極が1セットを構成し、奇数セット目の画素電極は当該列の画素電極の両側のデータラインにおける一方によってデータ信号を入力され、偶数セット目の画素電極は当該列の両側のデータラインにおける他方によってデータ信号を入力され、

同一行の画素電極はそれぞれ当該行の画素電極の両側の2本のゲートラインにおける一方に制御され、各ゲートラインのそれぞれが制御する画素電極は同一行に位置し、隣接する2行の画素電極間にゲートラインが2本あり、

隣接する2本のデータライン間に同一行の、且つ隣接する2つの画素電極はそれぞれ当該行の画素電極の両側の2本のゲートラインにおける1本により制御され、且つ前記隣接する2本のデータラインにおける1本によってデータ信号を入力される。

【0011】

本発明各実施例が提供した液晶ディスプレイは、同一列の奇数行目の画素電極が当該列の両側のデータラインにおける一方によってデータ信号を入力され、偶数行目の画素電極が当該列の両側のデータラインにおける他方によってデータ信号を入力される。しかも、隣接する2本のデータライン間に同一行の、且つ隣接する二つの画素電極はそれぞれ当該行の画素電極両側の2本のゲートラインにおける一方によって制御され、それぞれ隣接する2本のデータラインにおける一方によってデータ信号を入力される。このように、同一のデータラインによってデータ信号を入力された各画素の電極は交差して配置され、隣接する任意な二つの画素点の極性が異なるので、良い光学均一性を有し、且つフレーム時間内に各本のデータラインから出力された信号の極性を変化させる必要とならず、液晶ディスプレイの電力消費を低減できる。

【図面の簡単な説明】

【0012】

【図1】従来技術中液晶ディスプレイのアレイ基板の構成模式図である。

【図2】図1に示すアレイ基板の駆動信号の模式図である。

【図3】本発明に係る液晶ディスプレイの第1実施例の構成模式図である。

【図4】本発明に係る液晶ディスプレイの第2実施例の構成模式図である。

【図5】本発明に係る液晶ディスプレイの第xフレームの駆動信号模式図である。

【図6】本発明に係る液晶ディスプレイの第x+1フレームの駆動信号模式図である。

【図7】図4に示す液晶ディスプレイの各画素電極の極性反転後の模式図である。

【図8】本発明に係る液晶ディスプレイの第3実施例の構成模式図である。

【発明を実施するための形態】

【0013】

本発明の実施例の目的、技術案及びメリットを更に明瞭にするために、以下は、本発明の実施例の図面を結合して、本発明の実施例の技術案を明らか且つ完全に説明する。下記の実施例は本発明の一部の実施例に過ぎず、全部の実施例を含まれないのである。本発明の実施例に基づいて、当業者は創造的な労働を支払わないで得られた全ての他の実施例も、本発明の保護した範囲に属する。

【0014】

図3は、本発明に係る液晶ディスプレイの第1実施例の構造模式図である。当該液晶ディスプレイはアレイ基板を備える。アレイ基板には、ゲートライン、データライン、画素

10

20

30

40

50

電極1を形成する。図3にはアレイ基板の一部が示されたが、図示しない部分は示した部分の構造と類似している。図3に示したゲートラインはそれぞれ G_i 、 G_{i+1} 、 G_{i+2} 、 G_{i+3} 、 G_{i+4} 、 G_{i+5} 、 G_{i+6} 及び G_{i+7} で標識される。図3に示したデータラインはそれぞれ D_j 、 D_{j+1} 、 D_{j+2} 、 D_{j+3} 、 D_{j+4} 及び D_{j+5} で標識される。図3に示すように、縦方向に配列する画素電極はそれぞれ第 n 列の画素電極、第 $n+1$ 列の画素電極、第 $n+2$ 列の画素電極、第 $n+3$ 列の画素電極、第 $n+4$ 列の画素電極、第 $n+5$ 列の画素電極、第 $n+6$ 列の画素電極、第 $n+7$ 列の画素電極、第 $n+8$ 列の画素電極、第 $n+9$ 列の画素電極、第 $n+10$ 列の画素電極、第 $n+11$ 列の画素電極と称する。

【0015】

図3において、同列の奇数行目の画素電極には、当該列の両側のデータラインにおける一方によりデータ信号が入力され、偶数行目の画素電極には、当該列の両側のデータラインにおける他方でデータ信号が入力される。同行の画素電極は、二つずつ1セットにされ、各セットは、当該行の画素電極の両側に位置する2本のゲートラインにおける一方により交替的に制御される。各ゲートラインのそれぞれに制御される画素電極は同一行に位置する。隣接する2行の画素電極の間に2本のゲートラインがある。隣接する2本のデータラインの間の、同一行に位置するかつ隣接する二つの画素電極は、それぞれ当該行の画素電極の両側に位置する2本のゲートラインにおける一方により制御され、且つそれぞれ隣接する2本のデータラインにおける一方によりデータ信号が入力される。

【0016】

例えば、第 m 行における第 n 列の画素電極と第 $n+2$ 列の画素電極は、共にデータライン D_{j+1} によりデータ信号が入力される。第 m 行における第 $n+1$ 列の画素電極と第 $n+3$ 列の画素電極は、共にデータライン D_j によりデータ信号が入力される。第 m 行の画素電極にとって、データライン D_j と D_{j+1} との間の二つの画素電極は、一つがゲートライン G_i により制御され、他の一つがゲートライン G_{i+1} により制御される。データライン D_{j+1} と D_{j+2} との間の二つの画素電極は、一つがゲートライン G_{i+1} により制御され、他の一つがゲートライン G_i により制御される。

【0017】

図3において、同一行の画素電極において、同一データラインの両側に位置する二つの隣接する画素電極は、同一のゲートラインにより制御される。例えば、第 m 行の画素電極において、データライン D_j の両側に位置する二つの画素電極は、共にゲートライン G_i により制御される。データライン D_{j+1} の両側に位置する二つの画素電極は、共にゲートライン G_{i+1} により制御される。同一行の画素電極において、同一データラインの両側の隣接する二つの画素電極は、それぞれ当該行の画素電極の両側に位置する2本のデータラインにおける一方により制御されることもできる。

【0018】

図4は本発明に係る液晶ディスプレイの第2実施例の構成模式図である。本実施例は、図3の実施例の上で、データライン駆動モジュール2を加える。当該データライン駆動モジュールは、各データラインにそれぞれ接続され、1フレームの期間内に、奇数本目のデータラインに第1極性のデータ信号を入力し、偶数本目のデータラインに第2極性のデータ信号を入力する。かつ、隣接する次のフレームの期間内に、奇数本目のデータラインに第2極性のデータ信号を入力し、偶数本目のデータラインに第1極性のデータ信号を入力する。

【0019】

図5と図6は、それぞれ本発明に係る液晶ディスプレイの第 x フレームと第 $x+1$ フレームの駆動信号の模式図であり、その中、 x は自然数である。図7は、図4に示す液晶ディスプレイの各画素電極の極性が反転された後の模式図である。図5と図6における各ゲートラインが出力する信号は図2と同じ、共通電極に入力される信号も図2の信号と同じ。図5と図6における信号DATA_ODDとDATA_EVENは、図2の信号と異なる。図5と図6に示す信号DATA_ODDとDATA_EVENは、1フレームにおいて同じ極性を持ち、図2に示す信号DATA_ODDとDATA_EVENの極性は1フレームにおいて頻繁に変更する。図5と図6を比較する

10

20

30

40

50

と、信号DATA_ODDとDATA_EVENの極性はそれぞれ反転することが分かる。

【 0 0 2 0 】

図 5、図 6 と図 2 の区別は、図 1 と図 4 に示す液晶ディスプレイのアレイ基板の構成差別により決定される。以下、図 4、図 5、図 6 と図 7 に合わせて、隣接する二つのフレームを例にして、本発明に係る液晶ディスプレイの動作原理を説明する。ここで説明する必要のあるのは、図 5 に示す部分が液晶ディスプレイの局部図であり、他の部分における類似した構成が示さないで、以下に原理を紹介する過程において、主に示された部分について紹介を行い、示されない部分の原理は示された部分に一致する。

【 0 0 2 1 】

(1) 第 x フレーム (図 4 と図 5 を参照する)

10

ゲートライン G_i がオンされる時 (G_i の出力がハイレベルであることを例にする)。第 m 行画素電極における第 n 列、第 $n + 1$ 列、第 $n + 4$ 列、第 $n + 5$ 列、第 $n + 8$ 列、第 $n + 9$ 列の画素電極には、データ信号が入力される。その中、第 n 列、第 $n + 4$ 列、第 $n + 8$ 列の画素電極でのデータ信号の極性は + であり、第 $n + 1$ 列、第 $n + 5$ 列、第 $n + 9$ 列の画素電極でのデータ信号の極性は - である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は + であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は - である。

【 0 0 2 2 】

ゲートライン G_{i+1} がハイレベルを出力する時、第 m 行画素電極における第 $n + 2$ 列、第 $n + 3$ 列、第 $n + 6$ 列、第 $n + 7$ 列、第 $n + 10$ 列、第 $n + 11$ 列にはデータ信号が入力される。その中、第 $n + 2$ 列、第 $n + 6$ 列、第 $n + 10$ 列の画素電極でのデータ信号の極性は + であり、第 $n + 3$ 列、第 $n + 7$ 列、第 $n + 11$ 列の画素電極でのデータ信号の極性は - である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は + であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は - である。

20

【 0 0 2 3 】

ゲートライン G_{i+2} がハイレベルを出力する時、第 $m + 1$ 行画素電極における第 $n + 2$ 列、第 $n + 3$ 列、第 $n + 6$ 列、第 $n + 7$ 列、第 $n + 10$ 列、第 $n + 11$ 列にはデータ信号が入力される。その中、第 $n + 2$ 列、第 $n + 6$ 列、第 $n + 10$ 列の画素電極でのデータ信号の極性は - であり、第 $n + 3$ 列、第 $n + 7$ 列、第 $n + 11$ 列の画素電極でのデータ信号の極性は + である。データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は + であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は - である。

30

【 0 0 2 4 】

ゲートライン G_{i+3} がハイレベルを出力する時、第 $m + 1$ 行画素電極における第 n 列、第 $n + 1$ 列、第 $n + 4$ 列、第 $n + 5$ 列、第 $n + 8$ 列、第 $n + 9$ 列にはデータ信号が入力される。その中、第 n 列、第 $n + 4$ 列、第 $n + 8$ 列の画素電極でのデータ信号の極性は - であり、第 $n + 1$ 列、第 $n + 5$ 列、第 $n + 9$ 列の画素電極でのデータ信号の極性は + である。データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は + であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は - である。

【 0 0 2 5 】

ゲートライン G_{i+4} がハイレベルを出力する時、第 $m + 2$ 行画素電極における第 n 列、第 $n + 1$ 列、第 $n + 4$ 列、第 $n + 5$ 列、第 $n + 8$ 列、第 $n + 9$ 列にはデータ信号が入力される。その中、第 n 列、第 $n + 4$ 列、第 $n + 8$ 列の画素電極でのデータ信号の極性は + であり、第 $n + 1$ 列、第 $n + 5$ 列、第 $n + 9$ 列の画素電極でのデータ信号の極性は - である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は + であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は - である。

40

【 0 0 2 6 】

ゲートライン G_{i+5} がハイレベルを出力する時、第 $m + 2$ 行画素電極における第 $n + 2$ 列、第 $n + 3$ 列、第 $n + 6$ 列、第 $n + 7$ 列、第 $n + 10$ 列、第 $n + 11$ 列にはデータ信号が入力される。その中、第 $n + 2$ 列、第 $n + 6$ 列、第 $n + 10$ 列の画素電極でのデータ信号の極性は + であり、第 $n + 3$ 列、第 $n + 7$ 列、第 $n + 11$ 列の画素電極でのデータ信号の

50

極性は - である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は + であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は - である。

【 0 0 2 7 】

ゲートライン G_{i+6} がハイレベルを出力する時、第 $m+3$ 行画素電極における第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列、第 $n+11$ 列にはデータ信号が入力される。その中、第 $n+2$ 列、第 $n+6$ 列、第 $n+10$ 列の画素電極でのデータ信号の極性は - であり、第 $n+3$ 列、第 $n+7$ 列、第 $n+11$ 列の画素電極でのデータ信号の極性は + である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は + であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は - である。

【 0 0 2 8 】

ゲートライン G_{i+7} がハイレベルを出力する時、第 $m+3$ 行画素電極における第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列、第 $n+9$ 列にはデータ信号が入力される。その中、第 n 列、第 $n+4$ 列、第 $n+8$ 列の画素電極でのデータ信号の極性は - であり、第 $n+1$ 列、第 $n+5$ 列、第 $n+9$ 列の画素電極でのデータ信号の極性は + である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は + であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は - である。

【 0 0 2 9 】

第 x フレームにおいて、各ゲートラインの極性がともに変更しなく、第 $x+1$ フレームにおいて、各ゲートラインの極性がともに変更して各画素電極での極性を反転させられる。

【 0 0 3 0 】

(2) 第 $x+1$ フレーム (図 6 と図 7 を参照する)

ゲートライン G_i がハイレベルを出力する時、第 m 行画素電極における第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列、第 $n+9$ 列にはデータ信号が入力される。その中、第 n 列、第 $n+4$ 列、第 $n+8$ 列の画素電極でのデータ信号の極性は - であり、第 $n+1$ 列、第 $n+5$ 列、第 $n+9$ 列の画素電極でのデータ信号の極性は + である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は - であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は + である。

【 0 0 3 1 】

ゲートライン G_{i+1} がハイレベルを出力する時、第 m 行画素電極における第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列、第 $n+11$ 列にはデータ信号が入力される。その中、第 $n+2$ 列、第 $n+6$ 列、第 $n+10$ 列の画素電極でのデータ信号の極性は - であり、第 $n+3$ 列、第 $n+7$ 列、第 $n+11$ 列の画素電極でのデータ信号の極性は + である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は - であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は + である。

【 0 0 3 2 】

ゲートライン G_{i+2} がハイレベルを出力する時、第 $m+1$ 行画素電極における第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列、第 $n+11$ 列にはデータ信号が入力される。その中、第 $n+2$ 列、第 $n+6$ 列、第 $n+10$ 列の画素電極でのデータ信号の極性は + であり、第 $n+3$ 列、第 $n+7$ 列、第 $n+11$ 列の画素電極でのデータ信号の極性は - である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は - であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は + である。

【 0 0 3 3 】

ゲートライン G_{i+3} がハイレベルを出力する時、第 $m+1$ 行画素電極における第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列、第 $n+9$ 列にはデータ信号が入力される。その中、第 n 列、第 $n+4$ 列、第 $n+8$ 列の画素電極でのデータ信号の極性は + であり、第 $n+1$ 列、第 $n+5$ 列、第 $n+9$ 列の画素電極でのデータ信号の極性は - である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は - であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は + である。

【 0 0 3 4 】

10

20

30

40

50

ゲートライン G_{i+4} がハイレベルを出力する時、第 $m+2$ 行画素電極における第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列、第 $n+9$ 列にはデータ信号が入力される。その中、第 n 列、第 $n+4$ 列、第 $n+8$ 列の画素電極でのデータ信号の極性は $-$ であり、第 $n+1$ 列、第 $n+5$ 列、第 $n+9$ 列の画素電極でのデータ信号の極性は $+$ である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は $-$ であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は $+$ である。

【0035】

ゲートライン G_{i+5} がハイレベルを出力する時、第 $m+2$ 行画素電極における第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列、第 $n+11$ 列にはデータ信号が入力される。その中、第 $n+2$ 列、第 $n+6$ 列、第 $n+10$ 列の画素電極でのデータ信号の極性は $-$ であり、第 $n+3$ 列、第 $n+7$ 列、第 $n+11$ 列の画素電極でのデータ信号の極性は $+$ である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は $-$ であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は $+$ である。

10

【0036】

ゲートライン G_{i+6} がハイレベルを出力する時、第 $m+3$ 行画素電極における第 $n+2$ 列、第 $n+3$ 列、第 $n+6$ 列、第 $n+7$ 列、第 $n+10$ 列、第 $n+11$ 列にはデータ信号が入力される。その中、第 $n+2$ 列、第 $n+6$ 列、第 $n+10$ 列の画素電極でのデータ信号の極性は $+$ であり、第 $n+3$ 列、第 $n+7$ 列、第 $n+11$ 列の画素電極でのデータ信号の極性は $-$ である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は $-$ であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は $+$ である。

20

【0037】

ゲートライン G_{i+7} がハイレベルを出力する時、第 $m+3$ 行画素電極における第 n 列、第 $n+1$ 列、第 $n+4$ 列、第 $n+5$ 列、第 $n+8$ 列、第 $n+9$ 列にはデータ信号が入力される。その中、第 n 列、第 $n+4$ 列、第 $n+8$ 列の画素電極でのデータ信号の極性は $+$ であり、第 $n+1$ 列、第 $n+5$ 列、第 $n+9$ 列の画素電極でのデータ信号の極性は $-$ である。それに応じて、データライン D_j 、 D_{j+2} 、 D_{j+4} が出力するデータ信号の極性は $-$ であり、データライン D_{j+1} 、 D_{j+3} 、 D_{j+5} が出力するデータ信号の極性は $+$ である。

【0038】

従来技術の液晶ディスプレイに比べて、本発明の各実施例に提供する液晶ディスプレイは、同列の奇数行目の画素電極に、当該列の両側のデータラインにおける一方によりデータ信号が入力され、偶数行目の画素電極に、当該列の両側のデータラインにおける他方によりデータ信号が入力される。かつ、隣接する2本のデータラインの間の、同一行にある且つ隣接する二つの画素電極は、それぞれ当該行の画素電極の両側の2本のデータラインにおける一方により制御され、それぞれ隣接する2本のデータラインにおける一方によりデータ信号が入力される。そして、同一のデータラインによりデータ信号が入力される各画素電極は、交差に配置され、隣接する任意な二つの画素点の極性がともに異なり、とてもよい光学均一性がある。かつ、1フレームにおいて、各データラインが出力する信号の極性を頻繁に変更する必要がないので、液晶ディスプレイの電力消費を減少することができる。なお、画面全体において、やや明るい或いはやや暗いの画素電極が交差して配置され、画面全体の表示効果を均一させて、これにより、フラッシュなど現象が避けられる。

30

40

【0039】

図8は本発明に係る液晶ディスプレイの第3実施例の構成模式図である。当該液晶ディスプレイは、同一列の画素電極において、隣接する二つの画素電極が1セットを構成し、奇数セット目の画素電極に、当該列の画素電極の両側に位置するデータラインにおける一方によりデータ信号が入力され、偶数セット目の画素電極に、当該列の画素電極の両側に位置するデータラインにおける他方によりデータ信号が入力される。同じ行の画素電極は、それぞれ当該行の画素電極の両側に位置する2本のデータラインにおける一方により制御され、各ゲートラインのそれぞれが制御する画素電極は同一行に位置する。隣接する二つの画素電極の間に2本のデータラインがある。隣接する2本のデータラインの間に、同一行に位置するかつ隣接する二つの画素電極は、それぞれ当該行の画素電極の両側に位置

50

する２本のデータラインにおける一方により制御され、且つ前記隣接する２本のデータラインにおける一方によりデータ信号が入力される。

【００４０】

第３実施例と第１実施例の区別は、第３実施例で、同一列の画素電極において、隣接する二つの画素電極が１セットを構成し、セット毎の二つの画素電極に同じデータラインによりデータ信号が入力されるが、第１実施例で、同一列の画素電極において、隣接する任意な二つのセットの画素電極がそれぞれ異なるデータラインによりデータ信号が入力される。

【００４１】

図８に示す実施例で、同一行の画素電極において、隣接する任意な二つの画素電極の極性がともに異なり、同一列の画素電極において、同一セットに属する、同一のデータラインによりデータ信号が入力される二つの画素電極の極性が同じ、隣接する任意な二つの画素電極の極性が異なる。

10

【００４２】

図８に示す構成は、前記実施例に比べて、光学均一性が少し悪くなるが、このような構成は、駆動された時にも各データラインの極性を１フレームにおいてそのまま保持することが保証でき、電力消費を減少する目的を達成することができる。

図８に示す実施例で、同一行の画素において、同一データラインの両側の隣接する二つの画素電極は、それぞれ当該行の画素電極の両側に位置する２本のゲートラインにおける一方により制御されることもできる。

20

図８に示す液晶ディスプレイでは、図４に示すデータライン駆動モジュール２を備えることができ、データライン駆動モジュールの駆動方式は、前記各実施例とほとんど同じである。

【００４３】

最後に、以下のように説明する必要がある。即ち、上記した実施形態は、本発明の技術案を説明するに用いられるものだけであり、それを制限するものではない。好適な実施例を参照して本発明を詳細に説明したが、依然として本発明の技術案を補正し、或いは同等のな取替を行うことができ、この補正又は取替が補正後の技術案の本質を本発明の各実施例の技術案の主旨と範囲から離脱させないことは当業者にとって理解するところである。

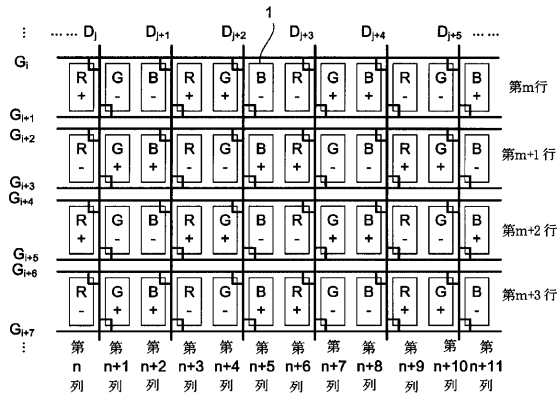
30

【符号の説明】

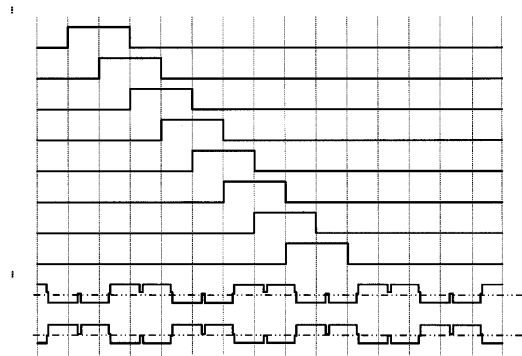
【００４４】

２・・・データライン駆動モジュール

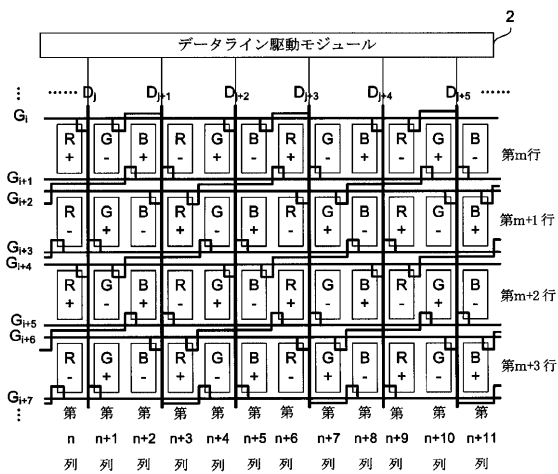
【図 1】



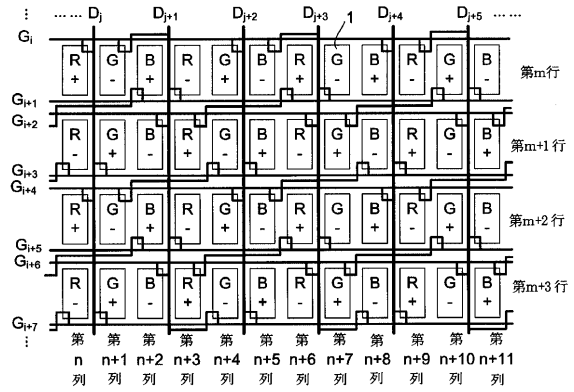
【図 2】



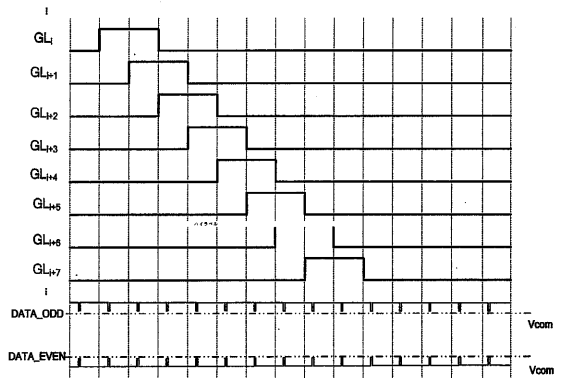
【図 4】



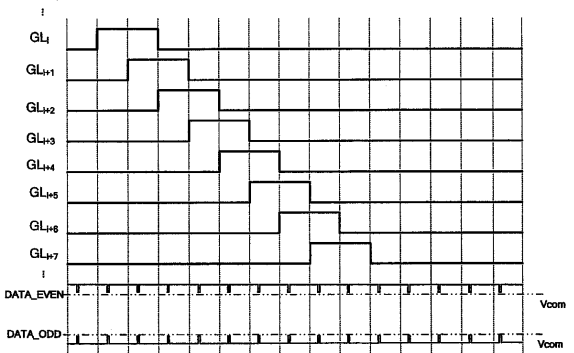
【図 3】



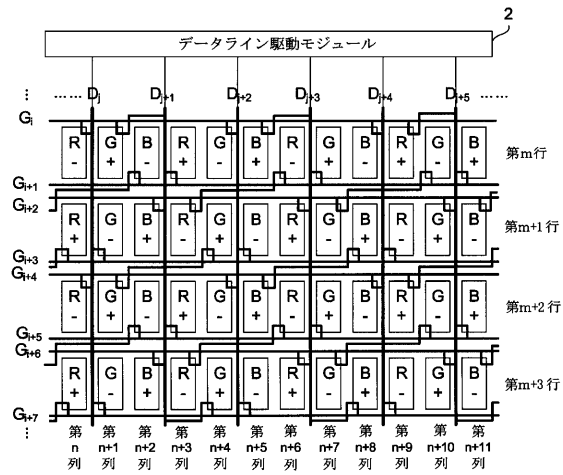
【図 5】



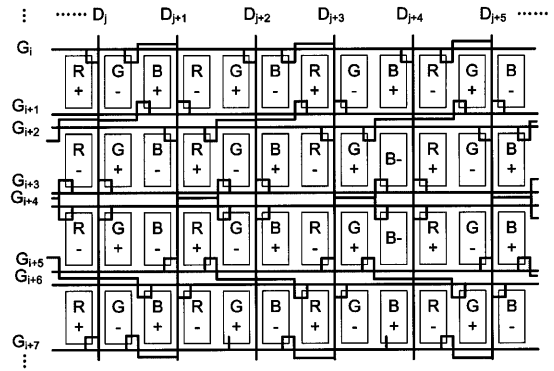
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 5 0

(56)参考文献 特開 2 0 1 0 - 1 0 2 1 8 9 (J P , A)
特開 2 0 0 6 - 1 7 8 4 6 1 (J P , A)
特開平 1 0 - 0 7 3 8 4 3 (J P , A)
特開 2 0 0 7 - 1 8 8 0 8 9 (J P , A)
特表 2 0 0 7 - 5 2 4 1 2 6 (J P , A)
特開 2 0 0 4 - 3 4 1 1 3 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示器		
公开(公告)号	JP5882665B2	公开(公告)日	2016-03-09
申请号	JP2011229649	申请日	2011-10-19
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
当前申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
[标]发明人	商廣良		
发明人	▲商▼ 廣良		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3614 G09G2300/0426 G09G2310/0205 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.622.Q G09G3/20.623.U G09G3/20.611.A G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZC06 2H193/ZC15 2H193/ZC25 2H193/ZD23 2H193/ZF21 2H193/ZF22 2H193/ZF31 2H193/ZF36 5C006/AC23 5C006/AC24 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/BB16 5C006/BC06 5C006/FA22 5C006/FA23 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/DD26 5C080/FF11 5C080/JJ04 5C080/JJ06		
代理人(译)	村山彦 渡边 隆		
审查员(译)	中村直之		
优先权	201010518930.8 2010-10-19 CN		
其他公开文献	JP2012088710A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有阵列基板的液晶显示器。栅极线，数据线和像素电极形成在阵列基板中。在同一列中的像素电极的奇数行被连接到该列的数据线的两侧之一，连像素电极的行连接到另一上在此列中的数据线的两侧。同一行上的像素电极各自自由相应行的像素电极两侧的数据线之一控制。由每条栅极线控制的像素电极位于同一行上。在两个相邻行的像素电极之间存在两条栅极线。相邻的两条数据线中，位于相同行中，并且两个相邻的像素电极之间，通过一个在该行中的各像素电极的两条栅极线的两侧，并且每个相邻的控制并连接到两条数据线之一。本发明解决了现有技术中液晶显示器功耗大的问题。点域

(21) 出願番号	特願2011-229649 (P2011-229649)	(73) 特許権者	510280589 京東方科技集團股▲ふん▼有限公司
(22) 出願日	平成23年10月19日 (2011.10.19)		中華人民共和國100015北京市朝陽區
(65) 公開番号	特開2012-88710 (P2012-88710A)		酒仙橋路10號
(43) 公開日	平成24年5月10日 (2012.5.10)	(74) 代理人	100108453 弁理士 村山 靖彦
審査請求日	平成26年8月12日 (2014.8.12)		100089037 弁理士 渡邊 隆
(31) 優先権主張番号	201010518930.8	(74) 代理人	100110364 弁理士 実広 信哉
(32) 優先日	平成22年10月19日 (2010.10.19)	(72) 発明者	▲商▼ 廣良 中華人民共和國100176北京經濟技術 開發區西環中路8號
(33) 優先権主張国	中国 (CN)		審査官 中村 直行