

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5855888号
(P5855888)

(45) 発行日 平成28年2月9日 (2016.2.9)

(24) 登録日 平成27年12月18日 (2015.12.18)

(51) Int.Cl.

GO2F 1/1368 (2006.01)

F I

GO2F 1/1368

請求項の数 6 (全 19 頁)

(21) 出願番号	特願2011-216936 (P2011-216936)	(73) 特許権者	502356528
(22) 出願日	平成23年9月30日 (2011. 9. 30)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-76864 (P2013-76864A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年4月25日 (2013. 4. 25)	(74) 代理人	100075959
審査請求日	平成26年9月25日 (2014. 9. 25)		弁理士 小林 保
		(72) 発明者	松村 和音
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	佐藤 秀夫
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
		(72) 発明者	笹沼 啓太
			千葉県茂原市早野3300番地 株式会社
			日立ディスプレイズ内
最終頁に続く			

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

X方向に延在しY方向に並設されるゲート線と、Y方向に延在しX方向に並設されるドレイン線と、前記ゲート線からの走査信号に同期して前記ドレイン線からの映像信号を画素電極に出力する薄膜トランジスタとが形成される第1基板と、液晶層を介して前記第1基板と対向配置される第2基板とを有する液晶表示装置であって、

前記薄膜トランジスタは、ゲート電極が半導体層よりも前記第1基板よりも遠い側に形成されるトップゲート型の薄膜トランジスタからなり、

前記薄膜トランジスタは、ドレイン電極が前記ドレイン線と電氣的に接続される第1の薄膜トランジスタと、

前記第1の薄膜トランジスタと直列に接続され、そのドレイン電極が前記第1の薄膜トランジスタのソース電極に接続され、ソース電極が前記画素電極に電氣的に接続される第2の薄膜トランジスタとからなり、

前記半導体層と前記第1基板との間に形成され、前記第1基板側から入射されるバックライト光を遮光する遮光層を備え、

前記遮光層は、平面的に見て、

前記第1の薄膜トランジスタに重畳配置される第1の遮光層と、

前記第1の遮光層から前記ゲート線に重畳して該ゲート線の延在方向に伸延すると共に、前記ゲート線の延在方向に隣接する画素との間に、前記ドレイン線の線幅以下の間隔で離間される第2の遮光層と、

前記ゲート線から引き出されて前記第2の薄膜トランジスタのゲート電極となる延在部に重畳し、当該第2の薄膜トランジスタのチャネル領域の手前まで伸延される第3の遮光層とからなり、

前記第1の薄膜トランジスタ側に入射するバックライト光を遮光すると共に、前記第2の薄膜トランジスタ側に入射するバックライト光は通過させることを特徴とする液晶表示装置。

【請求項2】

X方向に延在しY方向に並設されるゲート線と、Y方向に延在しX方向に並設されるドレイン線と、前記ゲート線からの走査信号に同期して前記ドレイン線からの映像信号を画素電極に出力する薄膜トランジスタとが形成される第1基板と、液晶層を介して前記第1

10

基板と対向配置される第2基板とを有する液晶表示装置であって、
前記薄膜トランジスタは、ゲート電極が半導体層よりも前記第1基板よりも遠い側に形成されるトップゲート型の薄膜トランジスタからなり、

前記薄膜トランジスタは、ドレイン電極が前記ドレイン線と電氣的に接続される第1の薄膜トランジスタと、

前記第1の薄膜トランジスタと直列に接続され、そのドレイン電極が前記第1の薄膜トランジスタのソース電極に接続され、ソース電極が前記画素電極に電氣的に接続される第2の薄膜トランジスタとからなり、

前記半導体層は、前記ゲート線と2箇所で交差するU字状に形成され、前記第1の薄膜トランジスタと前記第2の薄膜トランジスタとが、前記ゲート線と前記半導体層とが交差

20

する領域に形成されてなり、
前記半導体層と前記第1基板との間に形成され、前記第1基板側から入射されるバック

ライト光を遮光する遮光層を備え、

前記遮光層は、平面的に見て、

前記第1の薄膜トランジスタに重畳配置される第1の遮光層と、

前記第1の遮光層から前記ゲート線に重畳して該ゲート線の延在方向に伸延すると共に、前記第2の薄膜トランジスタのチャネル領域となる前記半導体層と前記ゲート線との交差部分においては、少なくとも前記半導体層と重畳しない間隔で離間される第4の遮光層とからなり、

前記第1の薄膜トランジスタ側に入射するバックライト光を遮光すると共に、前記第2の薄膜トランジスタ側に入射するバックライト光は通過させることを特徴とする液晶表示装置。

30

【請求項3】

前記遮光層は、前記半導体層及び前記ゲート線と絶縁膜を介して形成される導電性薄膜からなり、画素毎に電氣的に独立して形成されていることを特徴とする請求項1又は2に記載の液晶表示装置。

【請求項4】

前記第1の薄膜トランジスタと前記第2の薄膜トランジスタとは、前記ゲート線に沿ってその延在方向に対して隣接して配置されることを特徴とする請求項1乃至3の内の何れかに記載の液晶表示装置。

40

【請求項5】

前記遮光層は、前記第1の薄膜トランジスタのチャネル領域のX方向およびY方向の幅以上に形成されることを特徴とする請求項1乃至4の内の何れかに記載の液晶表示装置。

【請求項6】

前記第1の薄膜トランジスタのドレイン電極と前記遮光層との間の容量をC1、前記第1の薄膜トランジスタのゲート電極と前記遮光層との間の容量をC2とした場合、前記第1の薄膜トランジスタの寄生容量は前記容量C2が支配的であることを特徴とする請求項1乃至5の内の何れかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、液晶表示装置に係わり、特に、画素毎に形成されるトップゲート型の薄膜トランジスタの遮光に関する。

【背景技術】

【 0 0 0 2 】

液晶表示装置は、薄膜トランジスタ等が形成される第1基板と、カラーフィルタ等が形成される第2基板とを、液晶層を介して対向配置される構成となっている。特に、図14に示すように、2つのトップゲート型の薄膜トランジスタTFT1, TFT2からなるダブルゲート構造を有する薄膜トランジスタを用いた従来の液晶表示装置は、X方向に延在しY方向に並設される走査信号線(ゲート線)GLと、Y方向に延在しX方向に並設される映像信号線(ドレイン線)DLとにより囲まれる領域毎に画素電極PXが形成され、画素の領域を構成している。このゲート線GLとドレイン線DLとが交差する領域の近傍には、直列に接続される2つの薄膜トランジスタTFT1, TFT2が形成され、該2つの薄膜トランジスタTFT1, TFT2を介して映像信号が、薄膜トランジスタTFT2のソース電極STから画素電極PXに供給される構成となっている。このとき、図14に示すK-K'線での断面図である図15から明らかなように、2つの薄膜トランジスタTFT1, TFT2を形成する半導体層PSは、金属薄膜等で形成されるゲート線GLよりも第1基板SUB1に近い側に積層される構成となっている。このために、矢印で示すバックライト光BLが半導体層PSに入射することによって生じる光リーク電流を抑制するために、バックライト光BLを遮光するための遮光層を形成することが提案されている。なお、図15中において、絶縁膜PAS1~PAS5は半導体層PS等の各薄膜層を絶縁する薄膜層であり、第1基板SUB1の最上層の薄膜層は配向膜ORIである。

【 0 0 0 3 】

遮光層が形成される液晶表示装置として、例えば、特許文献1に記載の液晶表示装置がある。この特許文献1に記載の液晶表示装置では、画素毎に1つの薄膜トランジスタを配置する場合、半導体層の面積よりも遮光層の面積を小さく形成すると共に、遮光層が薄膜トランジスタのソース電極側すなわち画素電極と接続される側を覆うように配置される構成となっている。また、ダブルゲート構造を有するトップゲート型の薄膜トランジスタを用いる場合には、画素電極に近い側の薄膜トランジスタを遮光膜で遮光する構成となっている。

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献1】特開2001-33822号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 5 】

しかしながら、図16に示す画素の等価回路に示すように、また、薄膜トランジスタTFTのソース電極側には映像信号を所定期間保持するための容量(保持容量)Cstが形成されていると共に、薄膜トランジスタのゲート電極とソース電極との間にも容量(ゲート・ソース間容量)Cgsが形成されている。トップゲート型の薄膜トランジスタを遮光層で覆う構成とした場合、前述する容量Cst, Cgsに加えて、薄膜トランジスタTFTのドレイン電極には遮光層SFとの間に容量C1が形成されると共に、遮光層SFとゲート線GLとの間の容量C2及び遮光層SFと薄膜トランジスタとの間の容量C3が形成されることとなる。この場合、薄膜トランジスタTFTのゲート電極とソース電極との間の容量は、遮光層SFを介して直列接続される容量C2と容量C3とで形成される容量と、ゲート・ソース間容量Cgsとの合計容量となる。このとき、トップゲート型の薄膜トランジスタTFTを用いた場合、ソース電極と遮光層SFとは1層分の絶縁膜を介して重畳配置されることとなるので、遮光層SFと薄膜トランジスタとの間の容量C3も非常に大きな容量となる。このために、遮光層SFを設けることにより、薄膜トランジスタTFT

Tのゲート・ソース間の容量が大幅に増加することとなり、ゲートオフ時のフィードスルー電圧が増大してしまうことが懸念される。従って、特許文献1に記載の構成においては画素電極に直接接続される側の薄膜トランジスタが遮光層で覆われる構成となっているので、ゲートオフ時フィードスルー電圧が増大し、表示品質が低下してしまうことが懸念される。

【0006】

特に、ゲート線GLから薄膜トランジスタTFTに供給される走査信号（ゲート信号）はゲート線の配線負荷により表示領域内で遅延量が異なるため、負極書き込み時において、ゲート線GLの負荷が小さく、ゲート波形が急峻に変化する場合では、フィードスルー電圧が大きくなる。一方、ゲート線GLの負荷が大きく、矩形状の走査信号波形（ゲート波形）がなまる場合には、再書き込みにより、フィードスルー電圧が小さくなる。このために、画素電極と接続される薄膜トランジスタを覆うようにして遮光膜を形成した場合、表示領域内でフィードスルー電圧のずれが発生し、表示面内で保持電圧が変化し、この電圧変化が画質への影響として、残像や面内輝度の差が大きくなってしまふことが懸念される。

【0007】

本発明はこれらの問題点に鑑みてなされたものであり、本発明の目的は、トップゲート型の薄膜トランジスタのオフリーク電流を低減させ、表示品質を向上させることが可能な技術を提供することにある。

【課題を解決するための手段】

【0008】

（1）前記課題を解決すべく、本願発明の液晶表示装置は、X方向に延在しY方向に並設されるゲート線と、Y方向に延在しX方向に並設されるドレイン線と、前記ゲート線からの走査信号に同期して前記ドレイン線からの映像信号を画素電極に出力する薄膜トランジスタとが形成される第1基板と、液晶層を介して前記第1基板と対向配置される第2基板とを有する液晶表示装置であって、

前記薄膜トランジスタは、ゲート電極が半導体層よりも前記第1基板よりも遠い側に形成されるトップゲート型の薄膜トランジスタからなり、

前記薄膜トランジスタは、ドレイン電極が前記ドレイン線と電氣的に接続される第1の薄膜トランジスタと、

前記第1の薄膜トランジスタと直列に接続され、そのドレイン電極が前記第1の薄膜トランジスタのソース電極に接続され、ソース電極が前記画素電極に電氣的に接続される第2の薄膜トランジスタとからなり、

前記半導体層と前記第1基板との間に形成され、前記第1基板側から入射されるバックライト光を遮光する遮光層を備え、

前記遮光層は、平面的に見て、

前記第1の薄膜トランジスタに重畳配置される第1の遮光層と、

前記第1の遮光層から前記ゲート線に重畳して該ゲート線の延在方向に伸延すると共に、前記ゲート線の延在方向に隣接する画素との間に、前記ドレイン線の線幅以下の間隔で離間される第2の遮光層と、

前記ゲート線から引き出されて前記第2の薄膜トランジスタのゲート電極となる延在部に重畳し、当該第2の薄膜トランジスタのチャンネル領域の手前まで伸延される第3の遮光層とからなり、

前記第1の薄膜トランジスタ側に入射するバックライト光を遮光すると共に、前記第2の薄膜トランジスタ側に入射するバックライト光は通過させる液晶表示装置である。

（2）前記課題を解決すべく、本願発明の液晶表示装置は、X方向に延在しY方向に並設されるゲート線と、Y方向に延在しX方向に並設されるドレイン線と、前記ゲート線からの走査信号に同期して前記ドレイン線からの映像信号を画素電極に出力する薄膜トランジスタとが形成される第1基板と、液晶層を介して前記第1基板と対向配置される第2基板とを有する液晶表示装置であって、

前記薄膜トランジスタは、ゲート電極が半導体層よりも前記第 1 基板よりも遠い側に形成されるトップゲート型の薄膜トランジスタからなり、

前記薄膜トランジスタは、ドレイン電極が前記ドレイン線と電氣的に接続される第 1 の薄膜トランジスタと、

前記第 1 の薄膜トランジスタと直列に接続され、そのドレイン電極が前記第 1 の薄膜トランジスタのソース電極に接続され、ソース電極が前記画素電極に電氣的に接続される第 2 の薄膜トランジスタとからなり、

前記半導体層は、前記ゲート線と 2 箇所て交差する U 字状に形成され、前記第 1 の薄膜トランジスタと前記第 2 の薄膜トランジスタとが、前記ゲート線と前記半導体層とが交差する領域に形成されてなり、

前記半導体層と前記第 1 基板との間に形成され、前記第 1 基板側から入射されるバックライト光を遮光する遮光層を備え、

前記遮光層は、平面的に見て、

前記第 1 の薄膜トランジスタに重畳配置される第 1 の遮光層と、

前記第 1 の遮光層から前記ゲート線に重畳して該ゲート線の延在方向に伸延すると共に、前記第 2 の薄膜トランジスタのチャンネル領域となる前記半導体層と前記ゲート線との交差部分においては、少なくとも前記半導体層と重畳しない間隔で離間される第 4 の遮光層とからなり、

前記第 1 の薄膜トランジスタ側に入射するバックライト光を遮光すると共に、前記第 2 の薄膜トランジスタ側に入射するバックライト光は通過させる液晶表示装置である。

【発明の効果】

【0009】

本発明によれば、トップゲート型の薄膜トランジスタのオフリーク電流を低減させ、表示品質を向上させることができる。

【0010】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

【図面の簡単な説明】

【0011】

【図 1】本発明の実施形態 1 の液晶表示装置の全体構成を説明するための図である。

【図 2】本発明の実施形態 1 の液晶表示装置における画素の詳細構成を説明するための平面図である。

【図 3】図 2 に示す B - B ' 線での断面図である。

【図 4】図 2 に示す C - C ' 線での断面図である。

【図 5】本発明の実施形態 2 の液晶表示装置における画素の詳細構成を説明するための平面図である。

【図 6】図 5 に示す D - D ' 線での断面図である。

【図 7】本発明の実施形態 2 の液晶表示装置での画像表示時におけるゲート電極及びドレイン線並びに遮光層での電位を説明するための図である。

【図 8】本発明の実施形態 3 の液晶表示装置における画素の詳細構成を説明するための平面図である。

【図 9】図 8 に示す F - F ' 線での断面図である。

【図 10】図 8 に示す G - G ' 線での断面図である。

【図 11】本発明の実施形態 4 の液晶表示装置における画素の詳細構成を説明するための平面図である。

【図 12】図 11 に示す H - H ' 線での断面図である。

【図 13】図 11 に示す J - J ' 線での断面図である。

【図 14】従来の液晶表示装置における画素の詳細構成を説明するための図である。

【図 15】図 14 に示す K - K ' 線での断面図である。

【図 16】遮光層 S F を有する画素の等価回路である。

【図 17】本発明の実施形態 1 の液晶表示装置での画像表示時におけるゲート電極及びド

10

20

30

40

50

レイ線並びに遮光層での電位を説明するための図である。

【発明を実施するための形態】

【0012】

以下、本発明が適用された実施形態について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明は省略する。また、図中に示すX、Y、ZはそれぞれX軸、Y軸及びZ軸を示す。

【0013】

実施形態1

全体構成

図1は本発明の実施形態1の液晶表示装置の全体構成を説明するための図であり、以下、図1に基づいて、実施形態1の液晶表示装置の構成を説明する。図1に示すように、実施形態1の液晶表示装置は、画素電極PX等が形成される第1基板SUB1と、図示しないカラーフィルタやブラックマトリクスが形成され、第1基板SUB1に対向して配置される第2基板SUB2と、第1基板SUB1と第2基板SUB2とで挟持される図示しない液晶層とで構成される液晶表示パネルを有し、該液晶表示パネルの光源となる図示しないバックライトユニット（バックライト装置）とを組み合わせることにより、液晶表示装置が構成されている。

10

【0014】

第1基板SUB1と第2基板SUB2との固定及び液晶の封止は、第2基板SUB2の周辺部に環状に塗布されたシール材SLで固定され、液晶も封止される構成となっている。また、第2基板SUB2は、第1基板SUB1よりも小さな面積となっており、第1基板SUB1の図中下側の辺部を露出させるようになっている。この第1基板SUB1の辺部には、半導体チップで構成される駆動回路DRが搭載されている。この駆動回路DRは、後に詳述する表示領域ARにおける各表示画素（以下、画素と略記する）を駆動する。なお、以下の説明では、液晶表示パネルの説明においても、液晶表示装置と記す。

20

【0015】

また、第1基板SUB1及び第2基板SUB2としては、例えば周知のガラス基板が基材として用いられるのが一般的であるが、ガラス基板に限定されることはなく、石英ガラスやプラスチック（樹脂）のような他の絶縁性基板であってもよい。例えば、石英ガラスを用いれば、プロセス温度を高くできるため、後述する薄膜トランジスタTFTのゲート絶縁膜を緻密化できるので、信頼性を向上することができる。一方、プラスチック（樹脂）基板を用いる場合には、軽量で、耐衝撃性に優れた液晶表示装置を提供できる。

30

【0016】

また、実施形態1の液晶表示装置では、液晶が封入された領域の内画素の形成される領域が表示領域ARとなる。従って、液晶が封入されている領域内であっても、画素が形成されておらず表示に係わない領域は表示領域ARとはならない。

【0017】

実施形態1の液晶表示装置では第1基板SUB1の液晶側の面であって表示領域AR内には、図1中X方向に延在しY方向に並設される走査信号線（ゲート線）GLが形成されている。また、図1中Y方向に延在しX方向に並設される映像信号線（ドレイン線）DLが形成されている。ドレイン線DLとゲート線GLとで囲まれる矩形状の領域は画素が形成される領域を構成し、これにより、各画素は表示領域AR内においてマトリクス状に配置されている。各画素は、例えば図1中丸印Aの等価回路図A'に示すように、ゲート線GLからの走査信号によってオン/オフ駆動される2つのトップゲート型の薄膜トランジスタ（第1の薄膜トランジスタ）TFT1と薄膜トランジスタ（第2の薄膜トランジスタ）TFT2とからなるダブルゲート構造の薄膜トランジスタTFTと、このオンされた薄膜トランジスタTFT1、TFT2を介してドレイン線DLからの映像信号が供給される画素電極PXと、少なくとも表示領域ARの全面に形成され、X方向の左右（第1基板SUB1の端部）の一端又は両側からコモン線CLを介して、映像信号の電位に対して基準となる電位を有する共通信号が供給される共通電極CTとを備えている。このとき、薄

40

50

膜トランジスタTFTは、直列接続される2つの薄膜トランジスタTFT1, TFT2で構成されており、いわゆるダブルゲート構造のトップゲート型薄膜トランジスタからなる。従って、一方の薄膜トランジスタTFT1はドレイン電極がドレイン線DLに接続され、ゲート電極がゲート線GLに接続されている。他方の薄膜トランジスタTFT2はソース電極が画素電極PXに接続され、ゲート電極が薄膜トランジスタTFT1と同じゲート線GLに接続されており、薄膜トランジスタTFT1のソース電極と薄膜トランジスタTFT2のドレイン電極とが電氣的に接続されている。

【0018】

画素電極PXと共通電極CTとの間には、第1基板SUB1の主面に平行な成分を有する電界が生じ、この電界によって液晶の分子を駆動させるようになっている。このような液晶表示装置は、いわゆる広視野角表示ができるものとして知られ、液晶への電界の印加の特異性から、IPS(In-plane Switching)方式あるいは横電界方式と称される。また、このような構成の液晶表示装置において、液晶に電界が印加されていない場合に光透過率を最小(黒表示)とし、電界を印加することにより光透過率を向上させていくノーマリブラック表示形態で表示を行うようになっている。なお、本願発明は共通電極CTが第1基板SUB1の側に形成される液晶表示装置に限定されることはなく、共通電極CTが第2基板SUB2に形成されるTN(Twisted Nematic)方式やVA(Vertical Alignment)方式等の他の液晶表示装置にも適用可能である。また、実施形態1の液晶表示装置では、少なくとも表示領域ARの全面に共通電極CTを形成する構成としたが、これに限定されることはなく、例えば、等価回路図A'に示すように、画素毎に独立して形成される共通電極CTにコモン線CLを介して共通信号を入力する構成であってもよい。

【0019】

各ドレイン線DL及び各ゲート線GLはその端部においてシール材SLを越えてそれぞれ延在され、外部システムからの表示制御信号に基づいて映像信号や走査信号等の駆動信号を生成する駆動回路DRに接続される。ただし、実施形態1の液晶表示装置では、駆動回路DRを半導体チップで形成し第1基板SUB1に搭載する構成としているが、映像信号を出力する映像信号駆動回路と走査信号を出力する走査信号駆動回路との何れか一方又はその両方の駆動回路をフレキシブルプリント基板FPCにテープキャリア方式やCOF(Chip On Film)方式で搭載し、第1基板SUB1に接続させる構成であってもよい。

【0020】

画素の構成

図2は本発明の実施形態1の液晶表示装置における画素の詳細構成を説明するための平面図、図3は図2に示すB-B'線での断面図、図4は図2に示すC-C'線での断面図である。

【0021】

図2に示すように、ダブルゲート構造を有するトップゲート型の薄膜トランジスタTFT1, TFT2を用いた液晶表示装置は、X方向に延在しY方向に並設されるゲート線GLと、Y方向に延在しX方向に並設されるドレイン線DLとにより囲まれる領域毎に線状の画素電極PXが形成されている。このゲート線GLとドレイン線DLとが交差する領域の近傍には、2つの薄膜トランジスタTFT1, TFT2が形成されている。この2つの薄膜トランジスタTFT1, TFT2を形成する半導体層PSはドレイン線DLに沿ってゲート線GLと交差するように延在された後に、ゲート線GLの延在方向に屈曲され、ゲート線GLから延在される延在部GT1と交差するように形成されている。すなわち、実施形態1の半導体層PSでは、各画素において、X方向に延在するゲート線GLの図2中下方側で当該半導体層PSの一端側がドレイン線DLと電氣的に接続されると共に、ゲート線GLの図2中上方側で当該半導体層PSの他端側がソース電極STすなわち画素電極PXと電氣的に接続される構成となっている。また、ゲート線GLで2つに分割される領域でそれぞれドレイン線DL(ドレイン電極DT)又はソース電極ST(画素電極PX)と接続されている。この構成により、半導体層PSとゲート線GLとが交差する領域にゲート線GLをゲート電極とする薄膜トランジスタTFT1が形成され、半導体層PSと延

在部 G T 1 とが交差する領域に延在部 G T 1 をゲート電極とする薄膜トランジスタ T F T 2 が形成されている。

【 0 0 2 2 】

このように、2つの薄膜トランジスタ T F T 1 , T F T 2 とは同一の半導体層 P S に沿って形成される構成となっているので、2つの薄膜トランジスタ T F T 1 , T F T 2 によりダブルゲート構造の薄膜トランジスタ T F T が形成されている。さらには、このダブルゲート構造の薄膜トランジスタ T F T の内で、ドレイン電極がドレイン線 D L と直接に接続される薄膜トランジスタ T F T 1 の側にのみ、遮光層 S F が重畳して形成される構成となっている。すなわち、液晶表示装置の表示面側である第 1 基板 S U B 1 の液晶面側から平面的に見て薄膜トランジスタ T F T 1 のチャネル領域と重畳する位置に遮光層 S F が形成され、薄膜トランジスタ T F T 2 のチャネル領域には遮光層 S F が形成されない構成となっている。特に、図 4 に示すように、実施形態 1 の遮光層 S F は、薄膜トランジスタ T F T 1 のチャネル領域を第 1 基板 S U B 1 の側から覆うのみの構成となっており、薄膜トランジスタ T F T 1 のチャネル領域に図中に矢印で示すバックライト光 B L が入射することを防止している。

10

【 0 0 2 3 】

また、実施形態 1 の遮光層 S F は、半導体層 P S に沿った断面図である図 4 から明らかなように、例えば金属薄膜等の遮光性を有する薄膜材料からなり、特定の電位に固定されない遮光層 S F が第 1 基板 S U B 1 の液晶層側（対向面側）に形成されている。このとき、前述するように、遮光層 S F はダブルゲート構造の薄膜トランジスタ T F T を形成する一方の薄膜トランジスタである薄膜トランジスタ T F T 1 のチャネル領域を覆うように形成されている。このとき、薄膜トランジスタ T F T 1 のチャネル方向の遮光層 S F の大きさは、少なくとも当該薄膜トランジスタ T F T 1 のチャネル長よりも大きく形成され、薄膜トランジスタ T F T 1 のチャネル領域を覆う構成となる。

20

【 0 0 2 4 】

すなわち、実施形態 1 の遮光層 S F の一端は薄膜トランジスタ T F T 1 のチャネル領域よりもドレイン領域側に形成され、遮光層 S F の他端は薄膜トランジスタ T F T 1 のチャネル領域よりもソース領域側に形成され、遮光層 S F の形成に伴う寄生容量が小さくなるように形成されている。なお、遮光層 S F の他端側の形成位置は、薄膜トランジスタ T F T 1 のチャネル領域のソース側の端部から薄膜トランジスタ T F T 2 のドレイン領域までの間の領域の形成される構成であってもよい。従って、実施形態 1 のダブルゲート構造の薄膜トランジスタにおいては、ドレイン線 D L に直接接続される薄膜トランジスタ T F T 1 のチャネル領域は遮光層 S F と重畳して形成され、ソース電極 S T すなわち画素電極 P X に直接接続される薄膜トランジスタ T F T 2 のチャネル領域は遮光層 S F が重畳されない構成となる。

30

【 0 0 2 5 】

次に、図 3 及び図 4 に基づいて、実施形態 1 の画素構造について詳細に説明する。第 1 基板 S U B 1 の上面には遮光層 S F が形成され、その上面に該遮光層 S F をも覆うようにして絶縁膜 P A S 1 が形成され、該絶縁膜 P A S 1 の上層に半導体層 P S が形成されている。実施形態 1 の半導体層 P S は、例えば、周知のアモルファスシリコン層を形成した後、レーザーアニール等で多結晶化した低温ポリシリコン（L T P S）層からなる。このとき、実施形態 1 の半導体層 P S においても、従来の半導体層と同様に、半導体層 P S の延在方向に対して、ゲート電極 G T , G T 1 に対応するチャネル領域を挟むようにして不純物濃度の高い領域が形成され、該不純物濃度の高い領域の内の一方の領域がドレイン領域（例えば、図 4 中のゲート電極 G T の左側領域）となり、他方の領域（例えば、図 4 中のゲート電極 G T の右側領域）がソース領域となる。ただし、半導体層 P S のドレイン領域とチャネル層との間の領域、及びソース領域とチャネル層との間の領域に、不純物濃度の低い領域を設けた L D D（Lightly Doped Drain）構造であってもよい。また、半導体層 P S は低温ポリシリコンに限定されることはなく、高温ポリシリコンや微結晶シリコン等であってもよい。

40

50

【 0 0 2 6 】

半導体層 P S の上面には、絶縁膜 P A S 1 の上面をも覆うようにして絶縁膜 P A S 2 が形成されており、この絶縁膜 P A S 2 の上面にゲート線 G L、及びゲート線 G L から延在する延在部 G T 1 が形成され、薄膜トランジスタ T F T 1、T F T 2 のゲート絶縁膜として機能する構成となっている。このとき、半導体層 P S と絶縁膜 P A S 2 を介して重畳するゲート線 G L は薄膜トランジスタ T F T 1 のゲート電極 G T となり、半導体層 P S と絶縁膜 P A S 2 を介して重畳する延在部 G T 1 は薄膜トランジスタ T F T 2 のゲート電極となる。

【 0 0 2 7 】

ゲート線 G L の上面には、延在部 G T 1 及び絶縁膜 P A S 2 の表面も覆うようにして絶縁膜 P A S 3 が形成されて、該絶縁膜 P A S 3 の表面に薄膜トランジスタ T F T 2 のソース電極 S T 及びドレイン線 D L が形成されている。このとき、半導体層 P S の一端側の上層には、絶縁膜 P A S 2、P A S 3 を貫通して半導体層 P S の表面に至るコンタクトホールが形成されており、該コンタクトホールを介して半導体層 P S の一端側とドレイン線 D L とが電氣的に接続され、薄膜トランジスタ T F T 1 のドレイン電極 D T を形成している。同様にして、半導体層 P S の他端側にも絶縁膜 P A S 2、P A S 3 を貫通して半導体層 P S の表面に至る図示しないコンタクトホールが形成されており、該コンタクトホールを介して半導体層 P S の他端側とソース電極 S T とが電氣的に接続され、薄膜トランジスタ T F T 2 のソース電極 S T を形成している。

【 0 0 2 8 】

ドレイン線 D L 及びソース電極 S T の表面には、絶縁膜 P A S 3 の表面も覆うようにして、有機絶縁膜材料で形成され第 1 基板 S U B 1 の液晶面側の平坦化膜としても機能する絶縁膜 P A S 4 が形成され、該絶縁膜 P A S 4 の表面に面状の共通電極 C T が形成されている。この共通電極 C T は、周知の I T O (Indium Tin Oxide) や A Z O (Aluminum doped Zinc Oxide)、G Z O (Gallium doped Zinc Oxide) 等の透明導電膜材料で形成される。該共通電極 C T の表面には、絶縁膜 P A S 4 の表面をも覆うようにして容量絶縁膜としても機能する絶縁膜 P A S 5 が形成され、該絶縁膜 P A S 5 の表面に画素電極 P X が形成されている。このとき、液晶面側から見て、画素電極 P X の端部とソース電極 S T とが重畳するようにして形成されている。さらには、画素電極 P X の端部とソース電極 S T との重畳領域には、絶縁膜 P A S 5 の表面から絶縁膜 P A S 4 を介してソース電極 S T の表面に至るコンタクトホール C H が形成され、該コンタクトホール C H を介してソース電極 S T と画素電極 P X とが電氣的に接続されている。また、絶縁膜 P A S 5 の表面には、画素電極 P X をも覆うようにして周知の配向膜 O R I が形成されている。

【 0 0 2 9 】

さらには、図 3 に示すように、X 方向に延在して形成されるゲート線 G L に沿った方向においては、遮光層 S F は半導体層 P S の幅よりも大きく形成される構成となっているので、図 3 中に矢印 B L で示す第 1 基板 S U B 1 の裏面側から入射されるバックライト光が半導体層 P S のチャンネル領域に入射することを防止できる。

【 0 0 3 0 】

以上説明したように、実施形態 1 の液晶表示装置では、ゲート電極が半導体層よりも前記液晶層に近い側すなわちゲート電極が半導体層よりも第 1 基板 S U B 1 から遠い側に形成されるトップゲート型の薄膜トランジスタ T F T で構成されている。また、ドレイン側がドレイン線 D L と電氣的に直接に接続される薄膜トランジスタ T F T 1 と、該薄膜トランジスタ T F T 1 と直列に接続され、そのドレイン側が薄膜トランジスタ T F T 1 のソース側に接続され、そのソース側が画素電極 P X に電氣的に直接に接続される薄膜トランジスタ T F T 2 との、ダブルゲート構造の薄膜トランジスタ T F T で構成されている。

【 0 0 3 1 】

前記半導体層と前記第 1 基板との間に形成され、前記第 1 基板側から入射されるバックライト光を遮光する遮光層が、平面的に見て、薄膜トランジスタ T F T 1 とのみ重畳して形成され、薄膜トランジスタ T F T 1 の側に入射するバックライト光を遮光すると共に、

10

20

30

40

50

薄膜トランジスタTFT2の側に入射するバックライト光は通過させる構成となっているので、薄膜トランジスタTFTのオフ時におけるバックライト光BLの照射に起因するリーク電流いわゆるホトコンによるオフリークは、遮光層SFで遮光される一方の薄膜トランジスタTFT1により低減できる。その結果、画素の保持電圧の変動を抑制することができるので、画素の薄膜トランジスタTFTのホトコン起因のオフリークによる縦スマアの発生を抑制することができ、画像品質を向上させることができる。

【0032】

実施形態2

図5は本発明の実施形態2の液晶表示装置における画素の詳細構成を説明するための平面図、図6は図5に示すD-D'線での断面図であり、以下、図5及び図6に基づいて、実施形態2の液晶表示装置について説明する。ただし、実施形態2の液晶表示装置は、遮光層SFの構成が異なるのみで、他の構成は実施形態1と同様の構成となる。従って、以下の説明では、遮光層SFについて詳細に説明する。また、図5に示すE-E'線での断面構造は、図4に示す断面構造と同じである。

【0033】

図5から明らかなように、実施形態2の遮光層SFは、ダブルゲート構造の薄膜トランジスタTFTを構成する薄膜トランジスタTFT1と共に、ゲート線GLに沿ってX方向に延在し、ゲート線GLと重畳するようにして形成されている。さらには、ゲート線GLから延在する延在部GT1の一部とも重畳して形成されており、この延在部GT1と重畳する遮光層SFの端部が平面的に見て半導体層PSと重畳しないように延在されている。この構成により、遮光層SFが薄膜トランジスタTFT2と重畳しない、すなわち薄膜トランジスタTFT2のソース領域及びドレイン領域並びにチャネル領域と重畳しない構成となっている。また、実施形態2の構成においても、X方向に延在する薄膜トランジスタTFT2の半導体層PSに、Y方向に延在する延在部GT1が重畳し、この重畳領域が薄膜トランジスタTFT2のチャネル領域となるように、薄膜トランジスタTFT2のドレイン領域及びソース領域が形成されている。

【0034】

従って、実施形態2の薄膜トランジスタTFT2においても、当該薄膜トランジスタTFT2のソース電極となる延在部GT1とソース領域（ソース電極を含む）との間の容量は、ゲート・ソース間容量Cgs（図16中に示す）のみとなる。その結果、遮光層SFを設けた構成であっても、実施形態1と同様に、画素電極PXに直接接続される薄膜トランジスタTFT2のゲートオフ時におけるフィードスルー電圧の増大を防止することが可能となるので、表示品質を向上させることができる。

【0035】

また、図6に示すように、ゲート絶縁膜として機能し比較的膜厚が薄い絶縁膜PAS2と絶縁膜PAS1とを介して、実施形態2の遮光層SFはゲート線GLと重畳配置される構成となっている。さらには、実施形態2の遮光層SFは、絶縁膜PAS1、PAS2、PAS3及び半導体層PS並びにゲート線GLを介して、ドレイン線DLと重畳される構成となっている。従って、遮光層SFとドレイン電極DT（ドレイン線DL）との間の容量（図16中の容量C1に相当する）よりも、遮光層SFとゲート電極GT（ゲート線GL）との間の容量（図16中の容量C2に相当する）が非常に大きく構成されることとなる。よって、薄膜トランジスタTFT1の寄生容量は遮光層SFとゲート電極GT（ゲート線GL）との間の容量C2が支配的となる。

【0036】

その結果、薄膜トランジスタTFT1をオンさせるための走査信号が入力された際、遮光層SFとゲート電極GT（ゲート線GL）との間の容量結合により遮光層SFの電位もゲート電極GTの電位と同様に変動し、この電位がバックゲートとして働くので、薄膜トランジスタTFT1のオン電流量を増加させることができ、画素書き込み特性を改善し、画素電圧の収束を低減できるという格別の効果を得ることができる。

【0037】

次に、図 7 に本発明の実施形態 2 の液晶表示装置での画像表示時におけるゲート電極及びドレイン線並びに遮光層での電位を説明するための図、図 17 に本発明の実施形態 1 の液晶表示装置での画像表示時におけるゲート電極及びドレイン線並びに遮光層での電位を説明するための図を示し、以下、図 7 及び図 17 に基づいて、実施形態 2 の遮光層 S F の効果について説明する。

【0038】

実施形態 1 の遮光層 S F は薄膜トランジスタ T F T 1 の形成領域にのみ形成されると共に、薄膜トランジスタ T F T 1 のドレイン領域が形成される半導体層 P S も構成となっている。このために、遮光層 S F が薄膜トランジスタ T F T 1 の形成領域にのみ形成される実施形態 1 の構成では、実施形態 2 の構成に比較して、遮光層 S F の形成に伴う全容量に対して遮光層 S F とドレイン線 D L (ドレイン電極 D T) との間の容量 C 1 が支配的となる。その結果、図 17 中に太線で示す遮光層 S F の電位 V S F が、カップリングによりドレイン電圧 V D L の変動に伴い、電位差 V 3 で大きく変動することとなる。さらには、走査信号の入力時(ゲート電位 V G T が高電位時)におけるゲート電位 V G T と遮光層 S F の電位 V S F との電位差は、電位差 V 2 となる。

10

【0039】

これに対して、図 7 に示すように、実施形態 2 の遮光膜 S F は、薄膜トランジスタ T F T 1 のチャネル領域と重畳する領域と共に、ゲート線 G L 及び延在部 G L 1 と重畳する領域にも形成されているので、遮光層 S F の形成に伴う全容量に対する遮光層 S F とドレイン線 D L (ドレイン電極 D T) との間の容量 C 1 の比は小さくすることができ、ゲート線(ゲート電極 G T) との間の容量 C 2 の比は大きくすることができる。その結果、カップリングに起因するドレイン電位 V D L の変動に伴う遮光層 S F の電位 V S F の変動を電位差 V 3 よりも非常に小さくできるという格別の効果を得ることができる。さらには、走査信号の入力時におけるゲート電位 V G T と遮光層 S F の電位 V S F との電位差も、電位差 V 2 よりも非常に小さい電位差 V 1 にできるという格別の効果を得ることができる。

20

【0040】

実施形態 3

図 8 は本発明の実施形態 3 の液晶表示装置における画素の詳細構成を説明するための平面図、図 9 は図 8 に示す F - F' 線での断面図、図 10 は図 8 に示す G - G' 線での断面図である。以下、図 8 ~ 図 10 に基づいて、実施形態 3 の液晶表示装置について説明する。ただし、実施形態 3 の液晶表示装置は、ダブルゲート構造を有するトップゲート型の薄膜トランジスタ T F T を形成する半導体層 P S 及び遮光層 S F の構成が異なるのみで、他の構成は実施形態 2 と同様の構成となる。従って、以下の説明では、半導体層 P S 及び遮光層 S F について詳細に説明する。

30

【0041】

図 8 に示すように、実施形態 3 のダブルゲート構造の薄膜トランジスタ T F T では、半導体層 P S を U 字状に形成すると共に、同一のゲート線 G L と 2 回交差するように形成することにより、ドレイン線 D L の一部を薄膜トランジスタ T F T 1 のドレイン電極 D T として使用すると共に、ゲート線 G L の一部を薄膜トランジスタ T F T 1, T F T 2 のゲート電極 G T とする構成となっている。すなわち、実施形態 3 の半導体層 P S は、ゲート線 G L の図中上側すなわち画素電極 P X と同じ側からゲート線 G L と交差するようして、ドレイン線 D L と重畳し図中下側に延在している。また、半導体層 P S はゲート線 G L と交差した後に X 方向に屈曲されて X 方向に延在し、その後に Y 方向に屈曲されて Y 方向にゲート線 G L と交差するようして延在した後に、ソース電極 S T と電氣的に接続される構成となっている。すなわち、半導体層 P S は一対のゲート線 G L とドレイン線 D L とで囲まれる領域である画素電極 P X が形成される画素領域に、半導体層 P S の一端と他端とが配置される構成となっている。

40

【0042】

この構成により、画素の図中右下側のドレイン線 D L 及びゲート線 G L 並びに半導体層 P S が交差する領域にゲート線 G L をゲート電極 G T とする薄膜トランジスタ T F T 1 が

50

形成される。さらには、薄膜トランジスタTFT1と直列接続され、画素の図中中央下側のゲート線GL及び半導体層PSが交差する領域にゲート線GLをゲート電極GTとする薄膜トランジスタTFT2が形成され、ダブルゲート構造の薄膜トランジスタTFTが形成される。このとき、実施形態3のダブルゲート構造の薄膜トランジスタTFTにおいても、ドレイン線DLに近い側に形成されるすなわちドレイン線DLに直接接続される薄膜トランジスタTFT1と重畳するようにして遮光層SFが形成されると共に、ソース電極STすなわち画素電極PXに直接接続される薄膜トランジスタTFT2に重畳する遮光層SFは形成されない構成となっている。すなわち、図10に示すように、ドレイン電極DTとなるドレイン線DLに直接接続される薄膜トランジスタTFT1のチャンネル領域の第1基板SUB1側のみに遮光層SFが形成され、薄膜トランジスタTFT2のチャンネル領域の第1基板SUB1側には遮光層SFが形成されない構成となっている。従って、実施形態2と同様に、第1基板SUB1の裏面側から矢印で示すバックライト光BLが入射した場合であっても、このバックライト光が薄膜トランジスタTFT1のチャンネル領域に入射することを防止できるので、実地形態2と同様の効果を得ることができる。

【0043】

また、図9に示すように、実施形態3のダブルゲート構造の薄膜トランジスタTFTでは、薄膜トランジスタTFT1と薄膜トランジスタTFT2とがゲート線GLの延在方向に沿って並設される構成となっている。このために、実施形態2と同様に、各画素に対応する遮光層SFを画素領域内に設けたのみでは、遮光層SFとゲート線GLとが重畳する領域の面積が減少してしまうこととなる。従って、実施形態3の遮光層SFにおいては、薄膜トランジスタTFT1と重畳する遮光層SFをゲート線GLの延在方向であるX方向に延在して形成する際に、X方向に隣接する画素（隣接画素）の薄膜トランジスタTFT2の近傍にまでそれぞれ延在させる構成としている。すなわち、ゲート線GLに沿って、薄膜トランジスタTFT2の形成されない領域に遮光層SFを形成する構成としている。この構成とすることにより、ゲート線GLの延在方向に沿って2つの薄膜トランジスタTFT1，TFT2が隣接配置される構成であっても、遮光層SFとゲート線GLとの重畳面積を十分大きくすることが可能となるので、遮光層SFとゲート線GL（ゲート電極GT）との容量（結合容量）を十分に大きくすることが可能となる。従って、実地形態2と同様の効果を得るために必要となる遮光層SFとゲート線GL（ゲート電極GT）との容量（結合容量）を確保することができる。

【0044】

実施形態4

図11は本発明の実施形態4の液晶表示装置における画素の詳細構成を説明するための平面図、図12は図11に示すH-H'線での断面図、図13は図11に示すJ-J'線での断面図である。以下、図11～図13に基づいて、実施形態4の液晶表示装置について説明する。ただし、実施形態4の液晶表示装置は、マルチゲート構造を有するトップゲート型の薄膜トランジスタTFTとして、3つのゲート構造を有するトップゲート型の薄膜トランジスタ（以下、トリプルゲート構造を有するトップゲート型の薄膜トランジスタと記す）TFTの構成が異なるのみで、他の構成は実施形態3と同様の構成となる。従って、以下の説明では、トリプルゲート構造を有するトップゲート型の薄膜トランジスタTFTについて詳細に説明する。

【0045】

図11に示すように、実施形態4のトリプルゲート構造の薄膜トランジスタTFTでは、半導体層PSをS字状に形成すると共に、同一のゲート線GLと3回交差するように形成することにより、ドレイン線DLの一部を薄膜トランジスタTFT1のドレイン電極DTとして使用すると共に、ゲート線GLの一部を薄膜トランジスタTFT1，TFT2，TFT3のゲート電極GTとする構成となっている。すなわち、実施形態4の半導体層PSは、ゲート線GLの図中下側すなわち図中下側画素の側からゲート線GLと交差するようにして、ドレイン線DLと重畳し図中上側に延在している。また、半導体層PSはゲート線GLと交差した後にX方向に屈曲されてX方向に延在し、その後にY方向に屈曲されて

Y方向にゲート線GLと交差した後に、再度、X方向に屈曲されてX方向に延在し、その後Y方向に屈曲されてY方向にゲート線GLと交差するように延在した後に、ソース電極STと電氣的に接続される構成となっている。すなわち、実施形態1と同様に、一對のゲート線GLとドレイン線DLとで囲まれる領域である画素電極PXが形成される画素領域に半導体層PSの他端が配置されと共に、Y方向に隣接される画素領域に半導体層PSの一端が配置される構成となっている。

【0046】

この構成により、画素の図中右下側のドレイン線DL及びゲート線GL並びに半導体層PSが交差する領域にゲート線GLをゲート電極GTとする薄膜トランジスタTFT1が形成される。また、薄膜トランジスタTFT1の図中右側において、ゲート線GL及び半導体層PSが交差する領域にゲート線GLをゲート電極GTとする薄膜トランジスタTFT3が形成され、薄膜トランジスタTFT1と直列接続される構成となっている。さらには、薄膜トランジスタTFT3の図中右側において、ゲート線GL及び半導体層PSが交差する領域にゲート線GLをゲート電極GTとする薄膜トランジスタTFT2が形成され、薄膜トランジスタTFT3を介して薄膜トランジスタTFT1～TFT3が直列接続される構成となり、トリプルゲート構造の薄膜トランジスタTFTが形成される。このとき、実施形態4のトリプルゲート構造の薄膜トランジスタTFTにおいても、ソース電極STすなわち画素電極PXに直接接続される薄膜トランジスタTFT2にのみ遮光層SFが重畳して形成されない構成となっており、ドレイン線DLに近い側に形成されるすなわちドレイン線DLに直接接続される薄膜トランジスタTFT1、及び薄膜トランジスタTFT1と薄膜トランジスタTFT2に直列接続される薄膜トランジスタTFT3は、遮光層SFが重畳して形成される構成となっている。

【0047】

このように、実施形態4の構成においては、実施形態3の薄膜トランジスタTFT1と薄膜トランジスタTFT2との間に、遮光層SFに覆われる薄膜トランジスタTFT3が形成される構成となっている。すなわち、図13に示すように、ドレイン電極DTとなるドレイン線DLに直接接続される薄膜トランジスタTFT1、及び該薄膜トランジスタTFT1に直接接続される薄膜トランジスタTFT3のチャンネル領域の第1基板SUB1側のみに遮光層SFが形成され、薄膜トランジスタTFT2のチャンネル領域の第1基板SUB1側には遮光層SFが形成されない構成となっている。従って、実施形態3と同様に、第1基板SUB1の裏面側から矢印で示すバックライト光BLが入射した場合であっても、このバックライト光が薄膜トランジスタTFT1、TFT3のチャンネル領域に入射することを防止できるので、実施形態3と同様の効果を得ることができる。

【0048】

さらには、図12に示すように、実施形態4のトリプルゲート構造の薄膜トランジスタTFTにおいても、薄膜トランジスタTFT1、TFT3と重畳する遮光層SFをゲート線GLの延在方向であるX方向に延在して形成する際に、X方向に隣接する画素（隣接画素）の薄膜トランジスタTFT2の近傍にまでそれぞれ延在させる構成としている。すなわち、ゲート線GLに沿って、薄膜トランジスタTFT2の形成されない領域に遮光層SFを形成する構成としている。従って、実施形態3と同様に、遮光層SFとゲート線GLとの重畳面積を十分大きくすることが可能となり、遮光層SFとゲート線GL（ゲート電極GT）との容量（結合容量）を十分に大きくすることが可能となる。

【0049】

また、実施形態4の構成では、直列接続される3つの薄膜トランジスタTFT1～TFT3の中で、2つの薄膜トランジスタTFT1、TFT3が遮光層SFで遮光される構成となっているので、薄膜トランジスタTFT1～TFT3のオフ時のバックライト光が半導体層に入射することに伴って生じる光リーク電流をさらに抑制することが可能となり、さらに表示品質を向上できるという格別の効果を得ることができる。

【0050】

なお、実施形態1～4の液晶表示装置では、薄膜トランジスタTFT1、TFT2、T

10

20

30

40

50

F T 3として、低温多結晶シリコン薄膜を半導体層P Sとして用いた場合について説明したが、例えば、微結晶シリコン薄膜を半導体層P Sとする薄膜トランジスタT F T 1，T F T 2，T F T 3であってもよい。

【 0 0 5 1 】

また、実施形態1～4の液晶表示装置では、線状の画素電極P XがY方向のみに伸延するいわゆるシングルドメインの場合について説明したが、線状の画素電極の伸延方向がY方向に対して2つ以上の方向に傾斜して形成されるいわゆるマルチドメイン構成であってもよい。

【 0 0 5 2 】

以上、本発明者によってなされた発明を、前記発明の実施形態に基づき具体的に説明したが、本発明は、前記発明の実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

【符号の説明】

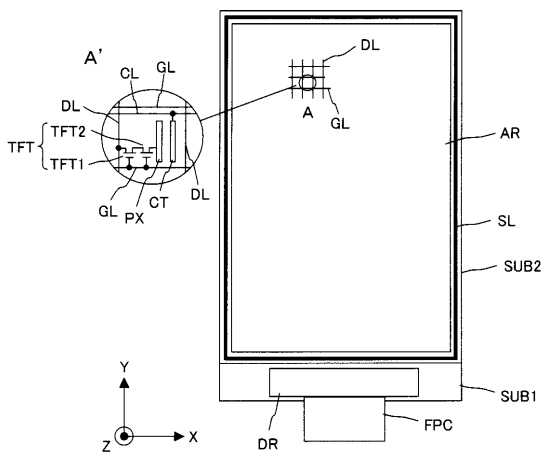
【 0 0 5 3 】

S U B 1 ……第1基板、S U B 2 ……第2基板、S L ……シール材、D R ……駆動回路
F P C ……フレキシブルプリント基板、A R ……表示領域、D L ……ドレイン線
G L ……ゲート線、C T ……共通電極、C L ……コモン線、G T ……ゲート電極
G T 1 ……延在部、T F T 1，T F T 2，T F T 3 ……薄膜トランジスタ、S F ……遮光層
P X ……画素電極、D T ……ドレイン電極、P S ……半導体層、S T ……ソース電極
P A S 1～P A S 5 ……絶縁膜、O R I ……配向膜、C H ……コンタクトホール

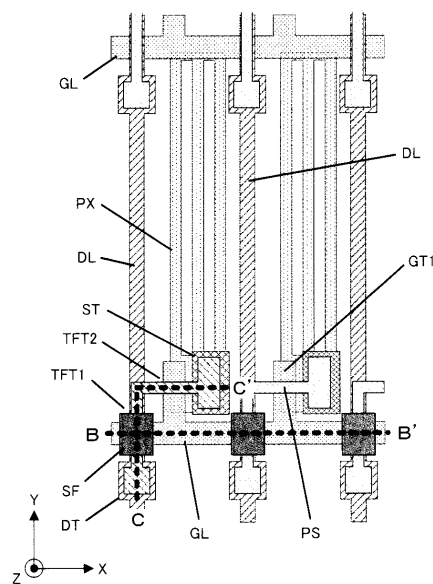
10

20

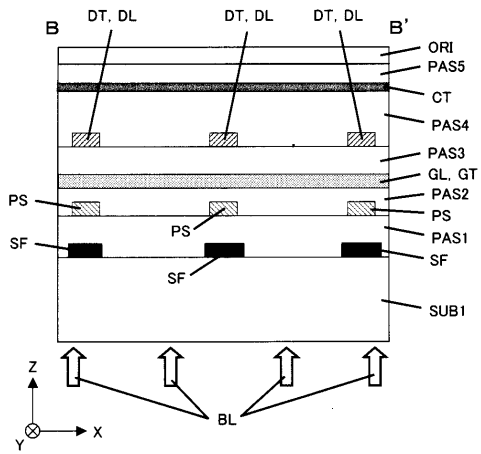
【 図 1 】



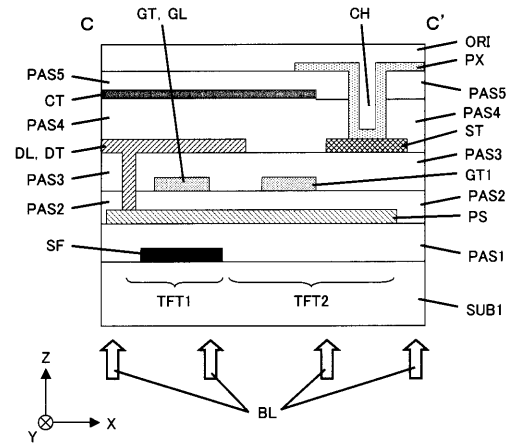
【 図 2 】



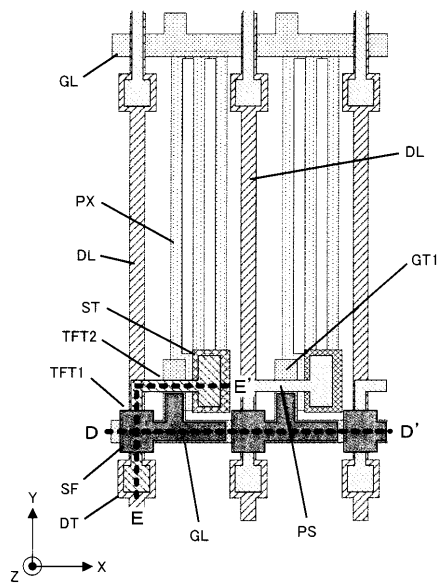
【図 3】



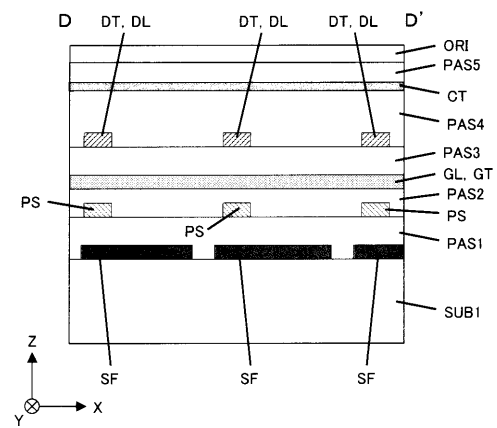
【図 4】



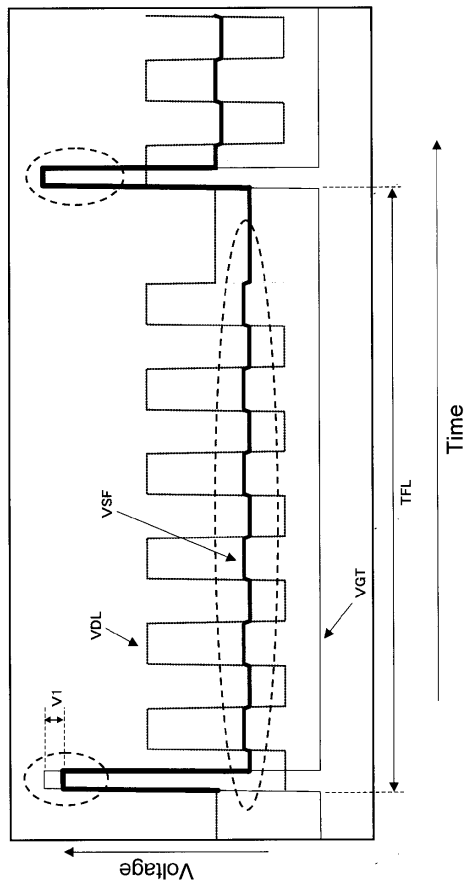
【図 5】



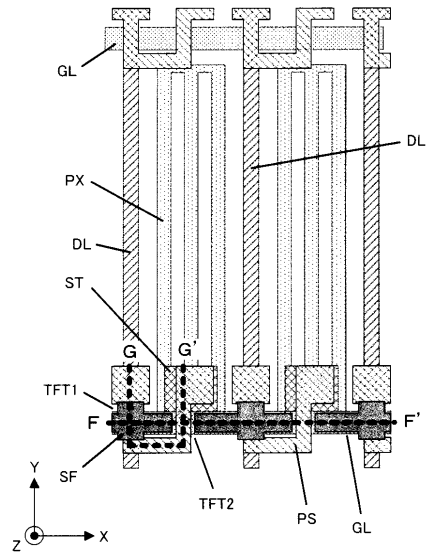
【図 6】



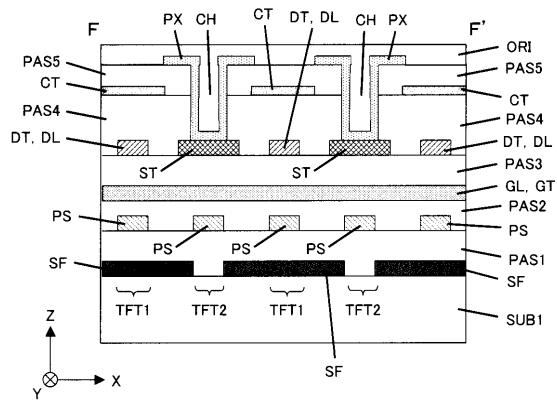
【図 7】



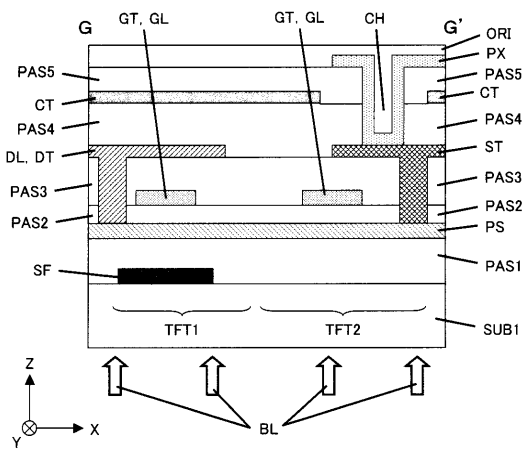
【図 8】



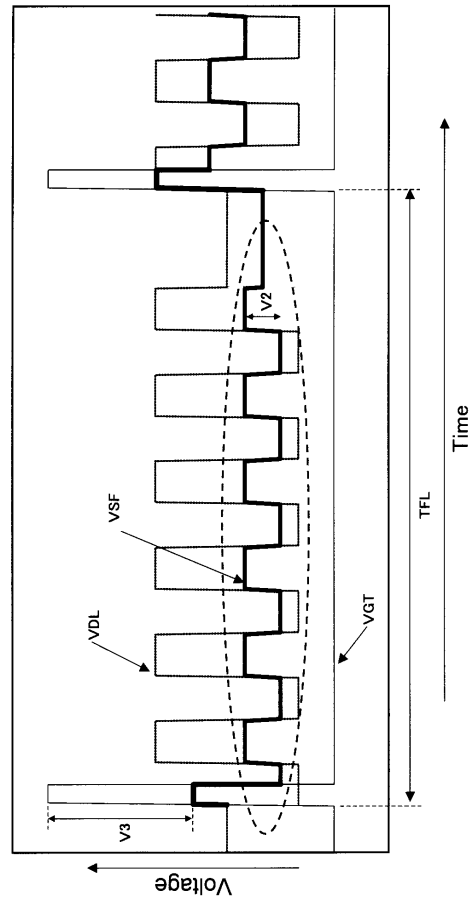
【図 9】



【図 10】



【 図 1 7 】



フロントページの続き

審査官 小林 俊久

(56)参考文献 国際公開第2011/027650(WO, A1)

特開2001-033822(JP, A)

特開2003-298069(JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343 - 1/1345

G02F 1/135 - 1/1368

专利名称(译)	液晶表示装置		
公开(公告)号	JP5855888B2	公开(公告)日	2016-02-09
申请号	JP2011216936	申请日	2011-09-30
[标]申请(专利权)人(译)	日本显示器东股份有限公司		
申请(专利权)人(译)	有限公司日本东显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	松村和音 佐藤秀夫 笹沼啓太		
发明人	松村 和音 佐藤 秀夫 笹沼 啓太		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/136209 G02F1/13624 G02F1/136286 G02F1/1368 G02F2001/13685 H01L27/1222 H01L27/124 H01L27/1251		
FI分类号	G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA25 2H092/JA29 2H092/JA46 2H092/JB05 2H092/JB42 2H092/JB54 2H092/JB56 2H092/NA22 2H192/AA24 2H192/BB02 2H192/BB13 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CB45 2H192/CC04 2H192/DA72 2H192/EA03 2H192/EA15 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB22 2H192/FB34 2H192/JA32		
代理人(译)	小林 保		
其他公开文献	JP2013076864A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于减少漏电流并改善顶栅型薄膜晶体管的显示质量的技术。解决方案：在具有第一基板的液晶显示装置中，在该第一基板上用于输出的薄膜晶体管形成与从栅极线发送的扫描信号同步地从漏极线发送到像素电极的视频信号，该液晶显示装置包括：第一薄膜晶体管，其具有形成在远离a的一侧的栅电极。半导体层和形成在其上的第一基板，并具有连接到漏极线的漏极；第二薄膜晶体管，其与第一薄膜晶体管串联连接，并且具有电连接到像素电极的源电极；遮光层，形成于半导体层与第一基板之间，遮挡从第一基板侧入射的背光，遮光层形成在平面图中与第一薄膜晶体管重叠，遮挡背光源入射在第一薄膜晶体管侧，并使入射在第二薄膜晶体管侧的背光通过。

(21) 出願番号	特願2011-216936 (P2011-216936)	(73) 特許権者	502356528
(22) 出願日	平成23年9月30日 (2011. 9. 30)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-76864 (P2013-76864A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年4月25日 (2013. 4. 25)	(74) 代理人	100075959
審査請求日	平成26年9月25日 (2014. 9. 25)		弁理士 小林 保
		(72) 発明者	松村 和音 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内
		(72) 発明者	佐藤 秀夫 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内
		(72) 発明者	笹沼 啓太 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内