

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5765205号
(P5765205)

(45) 発行日 平成27年8月19日(2015. 8. 19)

(24) 登録日 平成27年6月26日(2015. 6. 26)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 641E

G09G 3/20 624B

G09G 3/20 670Q

G09G 3/20 631A

請求項の数 6 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2011-263329 (P2011-263329)
 (22) 出願日 平成23年12月1日(2011. 12. 1)
 (65) 公開番号 特開2013-114243 (P2013-114243A)
 (43) 公開日 平成25年6月10日(2013. 6. 10)
 審査請求日 平成26年2月28日(2014. 2. 28)

(73) 特許権者 308036402
 株式会社 J V C ケンウッド
 神奈川県横浜市神奈川区守屋町 3 丁目 1 2
 番地
 (74) 代理人 100085235
 弁理士 松浦 兼行
 (72) 発明者 岩佐 隆行
 神奈川県横浜市神奈川区守屋町 3 丁目 1 2
 番地

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその画素検査方法

(57) 【特許請求の範囲】

【請求項 1】

複数本の列データ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のうち、同じ行走査線に接続された隣接する 2 つの画素を一組としたとき、各組の 2 つの画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、

前記行走査線に接続されており、映像信号の各フレームを前記映像信号の 1 フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、行選択時に前記列データ線を介してサンプリングする第 1 のスイッチング手段と、

前記第 1 のスイッチング手段と共にスタティック・メモリを構成しており、前記第 1 のスイッチング手段によりサンプリングされた前記サブフレームデータを記憶する第 1 の信号保持手段と、

を別々に備えると共に、前記 2 つの画素内の前記第 1 の信号保持手段と前記画素電極との各接続点の間に設けられた第 2 のスイッチング手段を備え、

前記第 2 のスイッチング手段を画素書き込み及び読み出し時にオフに制御することで前記 2 つの画素内の前記第 1 の信号保持手段と前記画素電極との接続点同士を非接続とし、画素検査時にオンに制御することで前記 2 つの画素内の前記第 1 の信号保持手段と前記画素電極との接続点同士を前記第 2 のスイッチング手段を通して接続する切替制御手段と、

画素書き込み及び読み出し時に、画像表示部を構成する前記複数の画素のうち、行単位の画素毎に前記サブフレームデータを前記第 1 の信号保持手段に書き込み、その書き込み

10

20

だデータを前記画素電極に印加する動作をサブフレーム毎に行う画素制御手段と、

画素検査時に、各組の前記 2 つの画素のうち一方の画素に接続された第 1 の列データ線から前記一方の画素に検査信号を入力して、各組の前記 2 つの画素のうち他方の画素を経由して前記他方の画素に接続された第 2 の列データ線に読み出す第 1 の検査動作と、前記第 2 の列データ線から前記他方の画素に検査信号を入力して、前記一方の画素を経由して前記第 1 の列データ線に読み出す第 2 の検査動作とを、各行の画素単位で全ての前記複数の画素について交互に行う検査制御手段と

を有することを特徴とする液晶表示装置。

【請求項 2】

前記同じ行走査線に接続された各組の隣接する前記 2 つの画素のそれぞれは、

10

前記第 1 の信号保持手段に記憶された前記サブフレームデータを出力させる第 3 のスイッチング手段と、

前記第 3 のスイッチング手段と共にダイナミック・メモリを構成しており、前記第 3 のスイッチング手段を通して供給される前記第 1 の信号保持手段に記憶された前記サブフレームデータで記憶内容が書き換えられ、出力データを前記画素電極に印加する第 2 の信号保持手段と

を更に別々に備えると共に、前記第 2 のスイッチング手段は、前記 2 つの画素内の前記第 2 の信号保持手段と前記画素電極との各接続点の間に設けられた構成とされ、

前記切替制御手段は、

前記第 2 のスイッチング手段を画素書き込み及び読み出し時にオフに制御することで前記 2 つの画素内の前記第 2 の信号保持手段と前記画素電極との接続点同士を非接続とし、画素検査時にオンに制御することで前記 2 つの画素内の前記第 2 の信号保持手段と前記画素電極との接続点同士を前記第 2 のスイッチング手段を通して接続し、

20

前記画素制御手段は、

画素書き込み及び読み出し時に、画像表示部を構成する前記複数の画素のうち、行単位の画素毎に前記サブフレームデータを前記第 1 の信号保持手段に書き込むことを繰り返して前記複数の画素の全てに書き込んだ後、トリガパルスにより前記複数の画素全ての前記第 3 のスイッチング手段をオンにして、前記第 1 の信号保持手段に記憶された前記サブフレームデータにより前記複数の画素の前記第 2 の信号保持手段の記憶内容を書き換える動作をサブフレーム毎に行い、

30

前記検査制御手段は、

画素検査時に、前記第 3 のスイッチング手段をオンに制御すると共に、各組の前記 2 つの画素のうち一方の画素に接続された第 1 の列データ線から前記一方の画素に検査信号を入力して、各組の前記 2 つの画素のうち他方の画素を経由して前記他方の画素に接続された第 2 の列データ線に読み出す第 1 の検査動作と、前記第 2 の列データ線から前記他方の画素に検査信号を入力して、前記一方の画素を経由して前記第 1 の列データ線に読み出す第 2 の検査動作とを、各行の画素単位で全ての前記複数の画素について交互に行う

ことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

電源電圧範囲の中心電圧以下の設定電圧である中間電圧を発生する中間電圧発生手段と

40

各組の前記 2 つの画素のうち、一方の画素に接続された第 1 の列データ線と前記中間電圧発生手段との間に接続された第 4 のスイッチング手段と、

各組の前記 2 つの画素のうち、他方の画素に接続された第 2 の列データ線と前記中間電圧発生手段との間に接続された第 5 のスイッチング手段と、

を更に備え、前記検査制御手段は、

画素検査時に、前記第 5 のスイッチング手段をオンにして前記第 2 の列データ線を介して前記他方の画素に前記中間電圧を印加してプリチャージした状態において、前記第 1 の列データ線から前記一方の画素に検査信号を入力した後、前記第 5 のスイッチング手段をオフにすることで前記他方の画素に接続された前記第 2 の列データ線と前記中間電圧発生

50

手段とを非導通にした状態で前記他方の画素から前記第2の列データ線に信号を読み出す第1の検査動作と、前記第4のスイッチング手段をオンにして前記第1の列データ線を介して前記一方の画素に前記中間電圧を印加してプリチャージした状態において、前記第2の列データ線から前記他方の画素に検査信号を入力した後、前記第4のスイッチング手段をオフにすることで前記一方の画素に接続された前記第1の列データ線と前記中間電圧発生手段とを非導通にした状態で前記一方の画素から前記第1の列データ線に信号を読み出す第2の検査動作とを、各行の画素単位で全ての前記複数の画素について交互に行うことを特徴とする請求項1記載の液晶表示装置。

【請求項4】

電源電圧範囲の中心電圧以下の設定電圧である中間電圧を発生する中間電圧発生手段と

10

、
各組の前記2つの画素のうち、一方の画素に接続された第1の列データ線と前記中間電圧発生手段との間に接続された第4のスイッチング手段と、

各組の前記2つの画素のうち、他方の画素に接続された第2の列データ線と前記中間電圧発生手段との間に接続された第5のスイッチング手段と、

を更に備え、前記検査制御手段は、

画素検査時に、前記第5のスイッチング手段をオンにして前記第2の列データ線を介して前記他方の画素に前記中間電圧を印加してプリチャージした状態において、前記第3のスイッチング手段をオンに制御すると共に、前記第1の列データ線から前記一方の画素に検査信号を入力した後、前記第5のスイッチング手段をオフにすることで前記他方の画素に接続された前記第2の列データ線と前記中間電圧発生手段とを非導通にした状態で前記他方の画素から前記第2の列データ線に信号を読み出す第1の検査動作と、前記第4のスイッチング手段をオンにして前記第1の列データ線を介して前記一方の画素に前記中間電圧を印加してプリチャージした状態において、前記第3のスイッチング手段をオンに制御すると共に、前記第2の列データ線から前記他方の画素に検査信号を入力した後、前記第4のスイッチング手段をオフにすることで前記一方の画素に接続された前記第1の列データ線と前記中間電圧発生手段とを非導通にした状態で前記一方の画素から前記第1の列データ線に信号を読み出す第2の検査動作とを、各行の画素単位で全ての前記複数の画素について交互に行うことを特徴とする請求項2記載の液晶表示装置。

20

【請求項5】

30

複数の列データ線と複数の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のうち、同じ行走査線に接続された隣接する2つの画素を一組としたとき、各組の2つの画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、

前記行走査線に接続されており、映像信号の各フレームを前記映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、行選択時に前記列データ線を介してサンプリングする第1のスイッチング手段と、

前記第1のスイッチング手段と共にスタティック・メモリを構成しており、前記第1のスイッチング手段によりサンプリングされた前記サブフレームデータを記憶する第1の信号保持手段と、

40

を別々に備えると共に、前記2つの画素内の前記第1の信号保持手段と前記画素電極との各接続点の間に設けられた第2のスイッチング手段を備える液晶表示装置の画素検査時に、

前記第2のスイッチング手段をオンに制御することで前記2つの画素内の前記第1の信号保持手段と前記画素電極との接続点同士を接続する切替制御ステップと、

各組の前記2つの画素のうち一方の画素に接続された第1の列データ線から前記一方の画素に検査信号を入力して、各組の前記2つの画素のうち他方の画素を経由して前記他方の画素に接続された第2の列データ線に読み出す第1の検査動作と、前記第2の列データ線から前記他方の画素に検査信号を入力して、前記一方の画素を経由して前記第1の列データ線に読み出す第2の検査動作とを、各行の画素単位で全ての前記複数の画素について

50

交互に行う検査制御ステップと

を含むことを特徴とする液晶表示装置の画素検査方法。

【請求項 6】

前記同じ行走査線に接続された各組の隣接する前記 2 つの画素のそれぞれは、

前記第 1 の信号保持手段に記憶された前記サブフレームデータを出力させる第 3 のスイッチング手段と、

前記第 3 のスイッチング手段と共にダイナミック・メモリを構成しており、前記第 3 のスイッチング手段を通して供給される前記第 1 の信号保持手段に記憶された前記サブフレームデータで記憶内容が書き換えられ、出力データを前記画素電極に印加する第 2 の信号保持手段と

10

を更に別々に備えると共に、前記第 2 のスイッチング手段は、前記 2 つの画素内の前記第 2 の信号保持手段と前記画素電極との各接続点の間に設けられた構成とされた液晶表示装置の画素検査時に、

前記第 2 のスイッチング手段をオンに制御することで前記 2 つの画素内の前記第 2 の信号保持手段と前記画素電極との接続点同士を前記第 2 のスイッチング手段を通して接続する切替制御ステップと、

前記第 3 のスイッチング手段をオンに制御すると共に、各組の前記 2 つの画素のうち一方の画素に接続された第 1 の列データ線から前記一方の画素に検査信号を入力して、各組の前記 2 つの画素のうち他方の画素を経由して前記他方の画素に接続された第 2 の列データ線に読み出す第 1 の検査動作と、前記第 2 の列データ線から前記他方の画素に検査信号を入力して、前記一方の画素を経由して前記第 1 の列データ線に読み出す第 2 の検査動作とを、各行の画素単位で全ての前記複数の画素について交互に行う検査制御ステップと

20

を含むことを特徴とする請求項 5 記載の液晶表示装置の画素検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及びその画素検査方法に係り、特に複数ビットで表わされる階調レベルに応じて、複数のサブフレームの組み合わせによって階調表示を行う液晶表示装置及びその画素検査方法に関する。

【背景技術】

30

【0002】

従来より、液晶表示装置における中間調表示方式の 1 つとして、サブフレーム駆動方式が知られている。時間軸変調方式の一種であるサブフレーム駆動方式では、所定の期間（例えば、動画の場合には 1 画像の表示単位である 1 フレーム）を複数のサブフレームに分割し、表示すべき階調に応じたサブフレームの組み合わせで画素を駆動する。表示される階調は、所定の期間に占める画素の駆動期間の割合によって決まり、この割合は、サブフレームの組み合わせによって特定される。

【0003】

このサブフレーム駆動方式の液晶表示装置において、各画素が、マスターラッチ及びスレーブラッチと、液晶表示素子と、第 1 ～ 第 3 の計 3 つのスイッチングトランジスタとから構成されるものが知られている（例えば、特許文献 1 参照）。この画素では、マスターラッチは 2 つの入力端子のうち一方の入力端子に 1 ビットの第 1 のデータが第 1 のスイッチングトランジスタを通して印加されると共に、他方の入力端子に第 1 のデータとは相補的な関係にある第 2 のデータが第 2 のスイッチングトランジスタを通して印加され、行走査線を介して印加される行選択信号によりその画素が選択されたときに、上記の第 1 及び第 2 のスイッチングトランジスタをオン状態として第 1 のデータを書き込む。例えば、第 1 のデータが論理値「1」で、第 2 のデータが論理値「0」のとき、その画素が表示を行う。

40

【0004】

全ての画素に対して上記と同様の動作により各データの書き込み後、そのサブフレーム

50

期間内で全画素の第3のスイッチングトランジスタをオン状態としてマスターラッチに書き込んだデータを同時に読み出してスレーブラッチへ読み出しスレーブラッチから液晶表示素子の画素電極にそのスレーブラッチでラッチしたデータを印加する。以下、各サブフレーム毎に上記の動作を繰り返し、1フレーム期間内の全てのサブフレームの組み合わせによって所望の階調表示を行う。

【0005】

すなわち、サブフレーム駆動方式の液晶表示装置においては、1フレーム期間内の全てのサブフレームは、その表示期間が同一又は異なる所定の期間に予め割り当てられており、各画素において最大階調表示時は全てのサブフレームにおいて表示を行い、最小階調表示時は全てのサブフレームにおいて非表示とし、それ以外の階調の場合は表示する階調に応じて表示するサブフレームを選択する。この従来の液晶表示装置は、入力されるデータが階調を示すデジタルデータであり、2段ラッチ構成のデジタル駆動方式でもある。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特表2001-523847号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、上記の従来の液晶表示装置では、各画素内の2つのラッチはそれぞれ、スタティック・ランダム・アクセス・メモリ(SRAM)で構成されるため、トランジスタ数が多くなり、画素小型化が困難である。

20

【0008】

また、上記の画素において、通常、シフトレジスタなどを含んだシリコンバックプレーンで大規模半導体集積回路(LSI:Large Scale Integrated circuit)工程で作成するが、ウェハ作成後のプローブ検査において、画素検査が正常に行えない課題がある。画素検査を行う場合、列データ線にデータを入力してその入力データをSRAMに書き込んだ後、列データ線からSRAMに書き込まれたデータを読み出すが、このとき列データ線に溜まっていた電荷によってSRAMが書き換わってしまう可能性があるからである。

【0009】

30

特許文献2記載のものは2つの相補ビット線をもつ2スイッチ型のSRAMであるが、1つのビット線と1つのスイッチで構成される1スイッチ型のSRAMの場合を考える。

【0010】

例えば、フルハイビジョン(FHD)の液晶表示装置の場合、画面縦方向の画素数は1080画素あり、各列データ線の容量は1pF程度になる。例えば列データ線がLレベルで0V、列データ線に接続されたスイッチングトランジスタと共にSRAMを構成する、一方の入力端子が他方の出力端子に接続された2つのインバータのうち、上記スイッチングトランジスタに接続された一方のインバータの入力端子の電圧がHレベルで3.3Vとすると、上記スイッチングトランジスタをオンした時にそのスイッチングトランジスタに出力端子が接続された他方のインバータを構成しているPチャネルMOS型電界効果トランジスタ(以下、PMOSトランジスタという)から上記の1pF程度の電荷容量で充電される。

40

【0011】

このとき、上記の他方のインバータを構成しているトランジスタの駆動力は、上記の一方のインバータを構成しているトランジスタの駆動力よりも小さいため、充電時間が長くなり、充電しきれずに上記の一方のインバータの入力端子の電圧がその反転電圧を下回ってしまい、上記の一方のインバータの入力端子の電圧(すなわち、SRAMの書き込まれるべきデータ)が書き換わってしまう。このため、SRAMのデータを列データ線に出力することができず、正確な画素検査が行えないことになる。

【0012】

50

本発明は以上の点に鑑みなされたもので、画素内に２つのＳＲＡＭを用いた画素に比べて画素小型化を可能にすると共に、画素検査を正確に行い得る液晶表示装置及びその画素検査方法を提供することを目的とする。

【課題を解決するための手段】

【００１３】

上記目的を達成するため、第１の発明の液晶表示装置は、複数本の列データ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のうち、同じ行走査線に接続された隣接する２つの画素を一組としたとき、各組の２つの画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、行走査線に接続されており、映像信号の各フレームを映像信号の１フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、行選択時に列データ線を介してサンプリングする第１のスイッチング手段と、第１のスイッチング手段と共にスタティック・メモリを構成しており、第１のスイッチング手段によりサンプリングされたサブフレームデータを記憶する第１の信号保持手段と、を別々に備え、と共に、２つの画素内の第１の信号保持手段と画素電極との各接続点の間に設けられた第２のスイッチング手段を備え、

第２のスイッチング手段を画素書き込み及び読み出し時にオフに制御することで２つの画素内の第１の信号保持手段と画素電極との接続点同士を非接続とし、画素検査時にオンに制御することで２つの画素内の第１の信号保持手段と画素電極との接続点同士を第２のスイッチング手段を通して接続する切替制御手段と、画素書き込み及び読み出し時に、画像表示部を構成する複数の画素のうち、行単位の画素毎にサブフレームデータを第１の信号保持手段に書き込み、その書き込んだデータを画素電極に印加する動作をサブフレーム毎に行う画素制御手段と、画素検査時に、各組の２つの画素のうち一方の画素に接続された第１の列データ線から一方の画素に検査信号を入力して、各組の２つの画素のうち他方の画素を経由して他方の画素に接続された第２の列データ線に読み出す第１の検査動作と、第２の列データ線から他方の画素に検査信号を入力して、一方の画素を経由して第１の列データ線に読み出す第２の検査動作とを、各行の画素単位で全ての複数の画素について交互に行う検査制御手段とを有することを特徴とする。

【００１４】

また、上記の目的を達成するため、第２の発明の液晶表示装置は、同じ行走査線に接続された各組の隣接する２つの画素のそれぞれは、

第１の信号保持手段に記憶されたサブフレームデータを出力させる第３のスイッチング手段と、第３のスイッチング手段と共にダイナミック・メモリを構成しており、第３のスイッチング手段を通して供給される第１の信号保持手段に記憶されたサブフレームデータで記憶内容が書き換えられ、出力データを画素電極に印加する第２の信号保持手段とを更に別々に備え、と共に、第２のスイッチング手段は、２つの画素内の第２の信号保持手段と画素電極との各接続点の間に設けられた構成とされ、

切替制御手段は、第２のスイッチング手段を画素書き込み及び読み出し時にオフに制御することで２つの画素内の第２の信号保持手段と画素電極との接続点同士を非接続とし、画素検査時にオンに制御することで２つの画素内の第２の信号保持手段と画素電極との接続点同士を第２のスイッチング手段を通して接続し、

画素制御手段は、画素書き込み及び読み出し時に、画像表示部を構成する複数の画素のうち、行単位の画素毎にサブフレームデータを第１の信号保持手段に書き込むことを繰り返して複数の画素の全てに書き込んだ後、トリガパルスにより複数の画素全ての第３のスイッチング手段をオンにして、第１の信号保持手段に記憶されたサブフレームデータにより複数の画素の第２の信号保持手段の記憶内容を書き換える動作をサブフレーム毎に行い、

検査制御手段は、画素検査時に、第３のスイッチング手段をオンに制御すると共に、各組の２つの画素のうち一方の画素に接続された第１の列データ線から一方の画素に検査信号を入力して、各組の２つの画素のうち他方の画素を経由して他方の画素に接続された第

10

20

30

40

50

2の列データ線に読み出す第1の検査動作と、第2の列データ線から他方の画素に検査信号を入力して、一方の画素を経由して第1の列データ線に読み出す第2の検査動作とを、各行の画素単位で全ての複数の画素について交互に行うことを特徴とする。

【0015】

また、上記の目的を達成するため、第3の発明の液晶表示装置は、第1の発明に対し、電源電圧範囲の中心電圧以下の設定電圧である中間電圧を発生する中間電圧発生手段と、各組の2つの画素のうち、一方の画素に接続された第1の列データ線と中間電圧発生手段との間に接続された第4のスイッチング手段と、各組の2つの画素のうち、他方の画素に接続された第2の列データ線と中間電圧発生手段との間に接続された第5のスイッチング手段と、を更に備え、検査制御手段は、画素検査時に、第5のスイッチング手段をオンにして第2の列データ線を介して他方の画素に中間電圧を印加してプリチャージした状態において、第1の列データ線から一方の画素に検査信号を入力した後、第5のスイッチング手段をオフにすることで他方の画素に接続された第2の列データ線と中間電圧発生手段とを非導通にした状態で他方の画素から第2の列データ線に信号を読み出す第1の検査動作と、第4のスイッチング手段をオンにして第1の列データ線を介して一方の画素に中間電圧を印加してプリチャージした状態において、第2の列データ線から他方の画素に検査信号を入力した後、第4のスイッチング手段をオフにすることで一方の画素に接続された第1の列データ線と中間電圧発生手段とを非導通にした状態で一方の画素から第1の列データ線に信号を読み出す第2の検査動作とを、各行の画素単位で全ての複数の画素について交互に行うことを特徴とする。

【0016】

また、上記の目的を達成するため、第4の発明の液晶表示装置は、第2の発明に対し、電源電圧範囲の中心電圧以下の設定電圧である中間電圧を発生する中間電圧発生手段と、各組の2つの画素のうち、一方の画素に接続された第1の列データ線と中間電圧発生手段との間に接続された第4のスイッチング手段と、各組の2つの画素のうち、他方の画素に接続された第2の列データ線と中間電圧発生手段との間に接続された第5のスイッチング手段と、を更に備え、検査制御手段は、画素検査時に、第5のスイッチング手段をオンにして第2の列データ線を介して他方の画素に中間電圧を印加してプリチャージした状態において、第3のスイッチング手段をオンに制御すると共に、第1の列データ線から一方の画素に検査信号を入力した後、第5のスイッチング手段をオフにすることで他方の画素に接続された第2の列データ線と中間電圧発生手段とを非導通にした状態で他方の画素から第2の列データ線に信号を読み出す第1の検査動作と、第4のスイッチング手段をオンにして第1の列データ線を介して一方の画素に中間電圧を印加してプリチャージした状態において、第3のスイッチング手段をオンに制御すると共に、第2の列データ線から他方の画素に検査信号を入力した後、第4のスイッチング手段をオフにすることで一方の画素に接続された第1の列データ線と中間電圧発生手段とを非導通にした状態で一方の画素から第1の列データ線に信号を読み出す第2の検査動作とを、各行の画素単位で全ての複数の画素について交互に行うことを特徴とする

【0017】

また、上記の目的を達成するため、第5の発明の液晶表示装置の画素検査方法は、複数本の列データ線と複数本の行走査線とがそれぞれ交差する交差部に設けられた複数の画素のうち、同じ行走査線に接続された隣接する2つの画素を一組としたとき、各組の2つの画素のそれぞれが、

対向する画素電極と共通電極との間に液晶が充填封入された表示素子と、行走査線に接続されており、映像信号の各フレームを映像信号の1フレーム期間より短い表示期間を持つ複数のサブフレームで表示するための各サブフレームデータを、行選択時に列データ線を介してサンプリングする第1のスイッチング手段と、第1のスイッチング手段と共にスタティック・メモリを構成しており、第1のスイッチング手段によりサンプリングされたサブフレームデータを記憶する第1の信号保持手段と、を別々に備えると共に、2つの画素内の第1の信号保持手段と画素電極との各接続点の間に設けられた第2のスイッチング

手段を備える液晶表示装置の画素検査時に、

第2のスイッチング手段をオンに制御することで2つの画素内の第1の信号保持手段と画素電極との接続点同士を接続する切替制御ステップと、

各組の2つの画素のうち一方の画素に接続された第1の列データ線から一方の画素に検査信号を入力して、各組の2つの画素のうち他方の画素を経由して他方の画素に接続された第2の列データ線に読み出す第1の検査動作と、第2の列データ線から他方の画素に検査信号を入力して、一方の画素を経由して第1の列データ線に読み出す第2の検査動作とを、各行の画素単位で全ての複数の画素について交互に行う検査制御ステップとを含むことを特徴とする。

【0018】

10

また、上記の目的を達成するため、第6の発明の液晶表示装置の画素検査方法は、同じ行走査線に接続された各組の隣接する2つの画素のそれぞれは、第1の信号保持手段に記憶されたサブフレームデータを出力させる第3のスイッチング手段と、第3のスイッチング手段と共にダイナミック・メモリを構成しており、第3のスイッチング手段を通して供給される第1の信号保持手段に記憶されたサブフレームデータで記憶内容が書き換えられ、出力データを画素電極に印加する第2の信号保持手段とを更に別々に備えると共に、第2のスイッチング手段は、2つの画素内の第2の信号保持手段と画素電極との各接続点の間に設けられた構成とされた液晶表示装置の画素検査時に、

第2のスイッチング手段をオンに制御することで2つの画素内の第2の信号保持手段と画素電極との接続点同士を第2のスイッチング手段を通して接続する切替制御ステップと、第3のスイッチング手段をオンに制御すると共に、各組の2つの画素のうち一方の画素に接続された第1の列データ線から一方の画素に検査信号を入力して、各組の2つの画素のうち他方の画素を経由して他方の画素に接続された第2の列データ線に読み出す第1の検査動作と、第2の列データ線から他方の画素に検査信号を入力して、一方の画素を経由して第1の列データ線に読み出す第2の検査動作とを、各行の画素単位で全ての複数の画素について交互に行う検査制御ステップとを含むことを特徴とする。

20

【発明の効果】

【0019】

本発明によれば、画素内に2つのSRAMを用いた従来の液晶表示装置に比べて画素の小型化を可能にできる。また、本発明によれば、同じ行走査線に接続された隣接する2つの画素を一組として画素検査を行うことで画素検査を正確に行うことができる。

30

【図面の簡単な説明】

【0020】

【図1】本発明の液晶表示装置の一実施の形態の全体構成図である。

【図2】本発明の液晶表示装置の同じ行走査線に接続された隣接する2画素の第1の実施の形態の回路図である。

【図3】インバータの一例の回路図である。

【図4】図2に示す一画素の一例の断面構造図である。

【図5】本発明の液晶表示装置における画素の書き込み/読み出し動作説明用タイミングチャートである。

40

【図6】液晶表示装置の液晶の飽和電圧および液晶の閾値電圧を、2値重みつきパルス幅変調データとして多重化する説明図である。

【図7】図2の2画素におけるインバータ間の駆動力の大小関係を説明する回路図である。

。

【図8】図2の2画素における要部の各動作を説明する図である。

【図9】図1及び図2の画素検査時の動作説明用タイミングチャートである。

【図10】本発明の液晶表示装置の同じ行走査線に接続された隣接する2画素の第2の実施の形態の回路図である。

【発明を実施するための形態】

【0021】

50

以下、図面を用いて本発明の実施形態について説明する。

【0022】

図1は、本発明になる液晶表示装置の一実施の形態のブロック図を示す。同図において、本実施の形態の液晶表示装置10は、複数の画素12A及び画素12Bが規則的に配置された画像表示部11と、スイッチSWA及びSWBと、タイミングジェネレータ14と、垂直シフトレジスタ15と、データラッチ回路16と、水平ドライバ17と、所定の中間電圧を配線midへ出力する中間電圧発生部18と、奇数番目の列データ線dodに接続された入力スイッチ（書き込み側スイッチ）19A1及び出力スイッチ（読み出し側スイッチ）19A2と、偶数番目の列データ線devに接続された入力スイッチ（書き込み側スイッチ）19B1及び出力スイッチ（読み出し側スイッチ）19B2と、バッファアンプ20と、画素読み出し用シフトレジスタ21とから構成される。水平ドライバ17は、水平シフトレジスタ171と、ラッチ回路172と、レベルシフタ/画素ドライバ173とから構成される。また、画素読み出し用シフトレジスタ21は、1行分の画素数の半分の画素数分の容量のシフトレジスタである。

【0023】

画像表示部11は、垂直シフトレジスタ15に一端が接続されて行方向（X方向）に延在するm本（mは2以上の自然数）の行走査線g1～gmと、レベルシフタ/画素ドライバ173に一端が接続されて列方向（Y方向）に延在するn本（nは2以上の自然数）の列データ線d1～dnとが交差する各交差部に設けられ、二次元マトリクス状に配置された、それぞれ（m×n）/2個ずつの画素12A及び12Bを有する。画素12Aと画素12Bとは、同じ行走査線に接続された隣接する2つの画素である。これらの隣接する2つの画素12A及び画素12Bには、後述するように一つのスイッチが共通に設けられている。本発明は画素12A及び画素12Bの回路構成に特徴があり、その各実施の形態については後述する。画像表示部11内の全ての画素12A及び12Bは、一端がタイミングジェネレータ14に接続されたトリガ線trig及びtrigbと、検査制御線pir及びpirbに共通接続されている。

【0024】

正転トリガパルス用トリガ線trigが伝送する正転トリガパルスと、反転トリガパルス用トリガ線trigbが伝送する反転トリガパルスとは、常に逆論理値の関係（相補的な関係）にある。同様に、検査制御線pirが伝送する正転検査制御信号と検査制御線pirbが伝送する反転検査信号とは逆論理値の関係（相補的な関係）にある。ただし、正転検査制御信号及び反転検査制御信号はいずれも通常の画素書き込み及び読み出し時には、所定論理値に固定され、画素検査時のみ使用される。

【0025】

タイミングジェネレータ14は、上位装置22から垂直同期信号Vst、水平同期信号Hst、基本クロックCLKといった外部信号を入力信号として受け、これらの外部信号に基づいて、交流化信号FR、VスタートパルスVST、HスタートパルスHST、クロック信号VCK及びHCK、ラッチパルスLT、トリガパルス、検査制御信号、スイッチ制御信号Tlatod、Tlatodb、Tlatev、Tlatevbなどの各種の内部信号を生成する。

【0026】

上記の内部信号のうち、交流化信号FRは、1サブフレーム毎に極性反転する信号であり、画像表示部11を構成する画素12A及び画素12B内の液晶表示素子の共通電極に、後述する共通電極電圧Vcomとして供給される。スタートパルスVSTは、後述する各サブフレームの開始タイミングに出力されるパルス信号であり、このスタートパルスVSTによって、サブフレームの切替わりが制御される。スタートパルスHSTは、水平シフトレジスタ171に入力する開始タイミングに出力されるパルス信号である。クロック信号VCKは、垂直シフトレジスタ15における1水平走査期間（1H）を規定するシフトクロックであり、VCKのタイミングで垂直シフトレジスタ15がシフト動作を行う。クロック信号HCKは、水平シフトレジスタ171におけるシフトクロックであり、32ビット幅でデータをシフトしていくための信号である。

【 0 0 2 7 】

ラッチパルス L T は、水平シフトレジスタ 1 7 1 が水平方向の 1 行の画素数分のデータをシフトし終わったタイミングで出力されるパルス信号である。また、タイミングジェネレータ 1 4 は、正転トリガパルスをトリガ線 trig を通して、また反転トリガパルスを trig b を通して画像表示部 1 1 内の全画素 1 2 A 及び 1 2 B に供給する。正転トリガパルスと反転トリガパルスとは、サブフレーム期間内で画像表示部 1 1 内の各画素 1 2 A 及び 1 2 B 内の第 1 の信号保持手段に順次データを書き込み終わった直後に出力され、そのサブフレーム期間内で画像表示部 1 1 内の全画素 1 2 A 及び 1 2 B の第 1 の信号保持手段のデータを同じ画素内の第 2 の信号保持手段に一度に転送する。

【 0 0 2 8 】

また、タイミングジェネレータ 1 4 は、正転検査制御信号を検査制御線 pir を通して、反転検査制御信号を検査制御線 pirb を通して隣接する画素 1 2 A 及び 1 2 B に共通に設けられたスイッチへ出力する。更に、タイミングジェネレータ 1 4 は、制御信号 Tlatodb 及び Tlatevb を出力して、入力スイッチ 1 9 A 1 及び 1 9 B 1 を通常の画素書き込み及び読み出し時にはオン状態に固定し、画素検査時には一方をオン、他方をオフに制御する。更に、タイミングジェネレータ 1 4 は、制御信号 Tlatod 及び Tlatev を出力して、出力スイッチ 1 9 A 2 及び 1 9 B 2 を通常の画素書き込み及び読み出し時にはオフ状態に固定し、画素検査時には一方をオン、他方をオフに制御する。

【 0 0 2 9 】

垂直シフトレジスタ 1 5 は、それぞれのサブフレームの最初に供給される V スタートパルス V S T を、クロック信号 V C K に従って転送し、行走査線 g 1 ~ g m に対して行走査信号を 1 H 単位で順次排他的に供給し、1 フレーム期間では全ての行走査線 g 1 ~ g m に行走査線を供給する。これにより、1 フレーム期間において、画像表示部 1 1 おいて最も上にある行走査線 g 1 から最も下にある行走査線 g m まで、行走査線が 1 本ずつ順次 1 H 単位で選択されていく。

【 0 0 3 0 】

データラッチ回路 1 6 は、図示しない外部回路から供給される 1 サブフレーム毎に分割された 3 2 ビット幅のデータを、上位装置 2 2 からの基本信号 C L K に基づいてラッチした後、基本信号 C L K に同期して水平シフトレジスタ 1 7 1 へ出力する。ここで、映像信号の 1 フレームを、その映像信号の 1 フレーム期間より短い表示期間を持つ複数のサブフレームに分割してサブフレームの組み合わせによって階調表示を行う本実施の形態では、上記の外部回路は映像信号の各画素毎の階調を示す階調データを、上記複数のサブフレーム全体で各画素の階調を表示するための各サブフレーム単位の 1 ビットのサブフレームデータに変換する。そして、上記外部回路は、更に同じサブフレームにおける 3 2 画素分の上記サブフレームデータをまとめて上記 3 2 ビット幅のデータとしてデータラッチ回路 1 6 に供給している。

【 0 0 3 1 】

水平シフトレジスタ 1 7 1 は、1 ビットシリアルデータの処理系でみた場合、タイミングジェネレータ 1 4 から 1 H の最初に供給される H スタートパルス H S T によりシフトを開始し、データラッチ回路 1 6 から供給される 3 2 ビット幅のデータをクロック信号 H C K に同期してシフトする。ラッチ回路 1 7 2 は、水平シフトレジスタ 1 7 1 が画像表示部 1 1 の 1 行分の画素数 n と同じ n ビット分のデータをシフトし終わった時点でタイミングジェネレータ 1 4 から供給されるラッチパルス L T に従って、水平シフトレジスタ 1 7 1 から並列に供給される n ビット分のデータ（すなわち、同じ行の n 画素分のサブフレームデータ）をラッチし、レベルシフタ / 画素ドライバ 1 7 3 のレベルシフタへ出力する。ラッチ回路 1 7 2 へのデータ転送が終了すると、タイミングジェネレータ 1 4 から H スタートパルスが再び出力され、水平シフトレジスタ 1 7 1 はクロック信号 H C K に従ってデータラッチ回路 1 6 からの 3 2 ビット幅のデータのシフトを再開する。

【 0 0 3 2 】

レベルシフタ / 画素ドライバ 1 7 3 のレベルシフタは、ラッチ回路 1 7 2 によりラッチ

10

20

30

40

50

されて供給される 1 行の n 画素に対応した n 個のサブフレームデータの信号レベルを液晶駆動電圧までレベルシフトする。レベルシフタ / 画素ドライバ 173 の画素ドライバは、レベルシフト後の 1 行の n 画素に対応した n 個のサブフレームデータを n 本の列データ線 $d1 \sim dn$ に並列に出力する。

【0033】

水平ドライバ 17 を構成する水平シフトレジスタ 171、ラッチ回路 172 及びレベルシフタ / 画素ドライバ 173 は、1 H 内において今回データを書き込む画素行に対するデータの出力と、次の 1 H 内でデータを書き込む画素行に関するデータのシフトとを並行して行う。ある水平走査期間において、ラッチされた 1 行分の n 個のサブフレームデータが、データ信号としてそれぞれ n 本の列データ線 $d1 \sim dn$ に並列に、かつ、一斉に出力される。

10

【0034】

ここで、列データ線 $d1 \sim dn$ は、画素検査時は隣接する 2 本の列データ線単位で用いられる。隣接する 2 本の列データ線のうち奇数番目の一方の列データ線を dod 、偶数番目の他方の列データ線を dev としたとき、列データ線 dod は入力スイッチ 19A1 を介してレベルシフト / 画素ドライバ 173 からのデータ信号を画像表示部 11 内の画素 12A へ供給し、また画素 12A から列データ線 dod を介して出力される検査信号を出力スイッチ 19A2 へ供給する。また、列データ線 dev は入力スイッチ 19B1 を介してレベルシフト / 画素ドライバ 173 からのデータ信号を画像表示部 11 内の画素 12B へ供給し、また画素 12B から列データ線 dev を介して出力される検査信号を出力スイッチ 19B2 へ供給する。

20

【0035】

画像表示部 11 を構成する複数の画素 12A 及び 12B のうち、垂直シフトレジスタ 15 からの行走査信号により選択された 1 行の $n/2$ 個ずつの画素 12A 及び画素 12B は、レベルシフト / 画素ドライバ 173 から一斉に出力された 1 行分の n 個のサブフレームデータを n 本のデータ線 $d1 \sim dn$ 及び入力スイッチ 19A1、19B1 を介してサンプリングして各画素 12A 及び画素 12B 内の後述する第 1 の信号保持手段に書き込む。

【0036】

次に、本発明の液晶表示装置の要部の画素 12A 及び画素 12B の各実施の形態について詳細に説明する。

30

【0037】

(第 1 の実施の形態)

図 2 は、本発明の液晶表示装置の要部である画素の第 1 の実施の形態の等価回路を周囲の回路と共に示す。同図において、画素 12A 及び画素 12B は図 1 中の任意の同じ 1 本の行走査線 g に接続された、列方向に隣接する 2 つの画素で、画素 12A は任意の 1 本の列データ線 $d1$ (これは dod でもある) と 1 本の行走査線 g との交差部に設けられ、画素 12B は上記列データ線 $d1$ に隣接する列データ線 $d2$ (これは dev でもある) と行走査線 g との交差部に設けられている。また、画素 12A は、第 1 のスイッチ SWA 及び列データ線 $d1$ を介して後述する中間電圧が供給される。画素 12B は、第 2 のスイッチ SWB 及び列データ線 $d2$ を介して中間電圧が供給される。スイッチ SWA 及び SWB は、それぞれ 1 個のスイッチングトランジスタにより構成されている。

40

【0038】

画素 12A は、第 1 のスイッチング手段を構成するスイッチ $SW11$ と第 1 の信号保持手段 (SM) 121 とから構成されるスタティック・メモリと、第 2 のスイッチング手段を構成するスイッチ $SW12$ と第 2 の信号保持手段である容量 $C11$ とから構成されるダイナミック・メモリ (以下、便宜上 DRAM と記す) 122 と、液晶表示素子 $LC1$ とを有している。また、画素 12B は、第 1 のスイッチング手段を構成するスイッチ $SW21$ と第 1 の信号保持手段 (SM) 123 とから構成されるスタティック・メモリと、第 2 のスイッチング手段を構成するスイッチ $SW22$ と第 2 の信号保持手段である容量 $C21$ とから構成されるダイナミック・メモリ (DRAM) 124 と、液晶表示素子 $LC2$ とを有

50

している。更に、画素 1 2 A 及び画素 1 2 B は、第 3 のスイッチング手段を構成するスイッチ S W 3 を共通に有している。液晶表示素子 L C 1 及び L C 2 は、離間対向配置された光反射特性を有する画素電極である反射電極 P E 1、P E 2 と、光透過性を有する共通電極 C E との間の空間に、液晶 L C M 1、L C M 2 が充填封入された公知の構造である。

【 0 0 3 9 】

スイッチ S W 1 1 及び S W 2 1 は、ゲートが行走査線 g に共通に接続され、ドレインが列データ線 d 1、d 2 に別々に接続され、ソースが S M 1 2 1、1 2 3 の入力端子に別々に接続されている各 1 個の N チャンネル M O S 型トランジスタ（以下、N M O S トランジスタという）により構成されている。S M 1 2 1 は、一方の出力端子が他方の入力端子に接続された 2 つのインバータ I N V 1 1 及び I N V 1 2 からなる自己保持型メモリであり、同様に S M 1 2 3 は、一方の出力端子が他方の入力端子に接続された 2 つのインバータ I N V 2 1 及び I N V 2 2 からなる自己保持型メモリである。

10

【 0 0 4 0 】

インバータ I N V 1 1 は、その入力端子がインバータ I N V 1 2 の出力端子と S W 1 1 を構成する N M O S トランジスタのソースとに接続されている。インバータ I N V 1 2 は、その入力端子がスイッチ S W 1 2 とインバータ I N V 1 1 の出力端子とに接続されている。同様に、インバータ I N V 2 1 は、その入力端子がインバータ I N V 2 2 の出力端子と S W 2 1 を構成する N M O S トランジスタのソースとに接続されている。インバータ I N V 2 2 は、その入力端子がスイッチ S W 2 2 とインバータ I N V 2 1 の出力端子とに接続されている。

20

【 0 0 4 1 】

インバータ I N V 1 1、I N V 1 2、I N V 2 1 及び I N V 2 2 は、いずれも図 3 に示すような、互いのゲート同士及びドレイン同士が接続された、P チャンネル M O S 型トランジスタ（以下、P M O S トランジスタという）P T r 及び N M O S トランジスタ N T r とからなる公知の C M O S インバータの構成であるが、それぞれの駆動力が異なる。

【 0 0 4 2 】

すなわち、スイッチ S W 1 1、S W 2 1 から見て S M 1 2 1、S M 1 2 3 を構成している入力側のインバータ I N V 1 1、I N V 2 1 内のトランジスタは、スイッチ S W 1 1、S W 2 1 から見て S M 1 2 1、S M 1 2 3 を構成している出力側のインバータ I N V 1 2、I N V 2 2 内のトランジスタに比較して、駆動力の大きいトランジスタを用いている。さらにスイッチ S W 1 1、S W 2 1 を構成している N M O S トランジスタの駆動力は、インバータ I N V 1 2、I N V 2 2 を構成している N M O S トランジスタの駆動力よりも大きいトランジスタで構成されている。

30

【 0 0 4 3 】

これは、スイッチ S W 1 1、S W 2 1 の入力側の電圧が “ H ” レベルのときにインバータ I N V 1 1、I N V 2 1 の入力側のトランジスタが反転する電圧以上に達するためには、スイッチ S W 1 1、S W 2 1 に流れる電流が、出力側のインバータ I N V 1 2、I N V 2 2 のトランジスタを構成する N M O S トランジスタを流れる電流よりも大きい必要があるためである。従って、スイッチ S W 1 1、S W 2 1 を構成している N M O S トランジスタの駆動力はインバータ I N V 1 2、I N V 2 2 を構成している N M O S トランジスタの駆動力よりも大きく構成するため、これを考慮してスイッチ S W 1 1、S W 2 1 を構成している N M O S トランジスタのトランジスタサイズと、インバータ I N V 1 2、I N V 2 2 を構成している N M O S トランジスタのトランジスタサイズとを決める必要がある。

40

【 0 0 4 4 】

スイッチ S W 1 2、S W 2 2 は、それぞれ互いのドレイン同士が接続され、かつ、互いのソース同士が接続された N M O S トランジスタと P M O S トランジスタとからなる公知のトランスミッションゲートの構成とされている。N M O S トランジスタのゲートは正転トリガパルス用トリガ線 trig に接続され、P M O S トランジスタのゲートは反転トリガパルス用トリガ線 trig b に接続されている。

【 0 0 4 5 】

50

また、スイッチSW12、SW22は一方の端子がSM121、SM123に接続され、他方の端子が容量C11、容量C21と液晶表示素子LC1、LC2の反射電極PE1、PE2とにそれぞれ接続されている。従って、スイッチSW12、SW22はトリガ線trigを介して供給される正転トリガパルスが“H”レベル(このときは、トリガ線trigbを介して供給される反転トリガパルスは“L”レベル)のときはオンとされ、SM121、SM123の記憶データを読み出して容量C11、C21及び反射電極PE1、PE2へ転送する。また、スイッチSW12、SW22はトリガ線trigを介して供給される正転トリガパルスが“L”レベル(このときは、トリガ線trigbを介して供給される反転トリガパルスは“H”レベル)のときはオフとされ、SM121、SM123の記憶データの読み出しは行わない。

10

【0046】

スイッチSW12、SW22は公知のトランスマッションゲートの構成とされているため、GNDからVDDまでの範囲の電圧をオン、オフすることができる。つまり、トランスマッションゲートを構成するNMOSTランジスタとPMOSTランジスタの各ゲートに印加される信号がGND側の電位(“L”レベル)のときは、PMOSTランジスタが導通することができない代わりに、NMOSTランジスタが低抵抗で導通することができる。一方、ゲート入力信号がVDD側の電位(“H”レベル)のときはNMOSTランジスタが導通することができない代わりに、PMOSTランジスタが低抵抗で導通することができる。従って、トリガ線trigを介して供給される正転トリガパルスと、トリガ線trigbを介して供給される反転トリガパルスとにより、スイッチSW12、SW22を構成するトランスマッションゲートをオン/オフ制御することによって、GNDからVDDまでの電圧範囲を低抵抗、高抵抗でスイッチングすることができる。

20

【0047】

容量C11はスイッチSW12と共にDRAM122を構成しており、容量C21はスイッチSW22と共にDRAM124を構成している。ここで、SM121、SM123の記憶データと容量C11、容量C21の保持データとが異なっていた場合、スイッチSW12、SW22がオンとされ、SM121、SM123の記憶データが容量C11、容量C21へ転送されたときには、容量C11、容量C21の保持データをSM121、SM123の記憶データで置き換える必要がある。

【0048】

容量C11、容量C21の保持データが書き換わる場合、その保持データは充電、または放電によって変化し、また容量C11の充放電はインバータINV11の出力信号によって、容量C21の充放電はインバータINV21の出力信号によってそれぞれ駆動される。容量C11、容量C21の保持データを充電によって“L”レベルから“H”レベルに書き換える場合、インバータINV11、INV21の出力信号は“H”であり、このときINV11、INV21を構成するPMOSTランジスタ(図3のPTr)がオン、NMOSTランジスタ(図3のNTr)がオフするため、インバータINV11、INV21のPMOSTランジスタのソースに接続されている電源電圧VDDによって容量C11、容量C21が充電される。

30

【0049】

一方、容量C11、容量C21の保持データを放電によって“H”レベルから“L”レベルに書き換える場合、インバータINV11、INV21の出力信号は“L”レベルであり、このときインバータINV11、INV21を構成するNMOSTランジスタ(図3のNTr)がオン、PMOSTランジスタ(図3のPTr)がオフするため、容量C11、容量C21の蓄積電荷がインバータINV11、INV21のNMOSTランジスタ(図3のNTr)を通してGNDへ放電される。スイッチSW12、SW22は、上述したトランスマッションゲートを用いたアナログスイッチの構成であるため、上記の容量C11、容量C21の高速な充放電が可能になる。

40

【0050】

更に、本実施の形態ではインバータINV11、INV21の駆動力は、インバータI

50

NV12、INV22の駆動力よりも大きく設定されているため、容量C11、容量C21を高速に充放電駆動することが可能である。また、スイッチSW12、SW22をオンにすると、容量C11、容量C21に蓄えられた電荷はインバータINV12、INV22の入力ゲートにも影響を与えるが、インバータINV12、INV22に対してインバータINV11、INV21の駆動力を大きく設定していることにより、インバータINV12、INV22のデータ入力反転よりもインバータINV11、INV21による容量C11、容量C21の充放電が優先され、SM121、SM123の記憶データを書き換えてしまうことはない。

【0051】

スイッチSW3は、それぞれ互いのドレイン同士が接続され、かつ、互いのソース同士が接続されたNMOSトランジスタとPMOSトランジスタとからなる公知のトランスミッションゲートの構成とされている。SW3を構成するトランスミッションゲートの制御端子であるNMOSトランジスタのゲートは正転検査制御信号用配線pirに接続され、PMOSトランジスタのゲートは反転検査制御信号用配線pirbに接続されている。また、SW3を構成するトランスミッションゲートの2つの端子のうち一方の端子であるNMOSトランジスタ及びPMOSトランジスタのドレイン（又はソース）は、容量C11及び反射電極PE1に接続され、他方の端子であるNMOSトランジスタ及びPMOSトランジスタのソース（又はドレイン）は、容量C21及び反射電極PE2に接続されている。

【0052】

図2に示した本実施の形態の画素12A及び画素12Bによれば、上記のように、液晶表示素子LC1及びLC2の印加電圧を高く設定することができ、ダイナミックレンジを大きく取ることが可能になるという効果だけではなく、画素の小型化が可能であるという大なる効果が得られる。この2つの画素12A及び12Bの小型化は、図2に示したように計16個のトランジスタと2つの容量C11及びC21とから構成され、従来の2つの画素よりも少ない数の構成素子により画素を構成できるからという理由に加えて、以下に説明するように、SM121、SM123、DRAM122、124、反射電極PE1、PE2を、素子の高さ方向に有効に配置することができるという理由による。

【0053】

図4は、本発明になる液晶表示装置の画素の要部の一実施の形態の断面構成図を示す。図2に示した容量C11や容量C21には、配線間で容量を形成するMIM（Metal - Insulator - Metal）容量や、基板-ポリシリコン間で容量を形成するDiffusion容量、2層ポリシリコン間で容量を形成するPIP（Poly - Insulator - Poly）容量などを用いることができる。図4は、このうちMIMにより容量C11を構成した場合の液晶表示装置の断面構成図を示す。なお、図4は画素12Aの一部の構成断面図を示している。

【0054】

図4において、シリコン基板100に形成されたNウェル101上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータINV11のPMOSトランジスタPTr11と、スイッチSW12のPMOSトランジスタTr2とが形成されている。また、シリコン基板100に形成されたPウェル102上に、ドレインとなる拡散層を共通化することでドレイン同士が接続されたインバータINV12のNMOSトランジスタNTr12と、スイッチSW12のNMOSトランジスタTr1とが形成されている。なお、図4にはインバータINV11を構成するNMOSトランジスタとインバータINV12を構成するPMOSトランジスタとは図示されていない。

【0055】

また、上記の各トランジスタPTr11、Tr2、Tr1、NTr12の上方には、層間絶縁膜105をメタル間に介在させて第1メタル106、第2メタル108、第3メタル110、電極112、第4メタル114、第5メタル116が積層されている。第5メタル116は画素毎に形成される反射電極PEを構成している。スイッチSW12を構成するNMOSトランジスタTr1及びPMOSトランジスタTr2の各ソースを構成する各拡散層は、コンタクト118により第1メタル106にそれぞれ電氣的に接続され、更に、ス

ルーホール 119a、119b、119c、119e を通して第 2 メタル 108、第 3 メタル 110、第 4 メタル 114、第 5 メタル 116 に電氣的に接続されている。すなわち、スイッチ SW12 を構成する NMOS トランジスタ Tr1 及び PMOS トランジスタ Tr2 の各ソースは、反射電極 PE に電氣的に接続されている。

【0056】

更に、反射電極 PE (第 5 メタル 116) 上には保護膜としてパッシベーション膜 (PSV) 117 が形成され、透明電極である共通電極 CE に離間対向配置されている。それら画素電極 PE1 と共通電極 CE との間に液晶 LCM1 が充填封止されて、液晶表示素子 LC1 を構成している。

【0057】

ここで、第 3 メタル 110 上には層間絶縁膜 105 を介して電極 112 が形成されている。この電極 112 は、第 3 メタル 110 及び第 3 メタル 110 との間の層間絶縁膜 105 と共に容量 C11 を構成している。MIM により容量 C11 を構成すると、SM121 とスイッチ SW11、スイッチ SW12 はトランジスタと第 1 メタル 106 及び第 2 メタル 108 の 1, 2 層配線、DM122 はトランジスタ上部の第 3 メタル 110 を利用した MIM 配線にて形成することが可能になる。電極 112 は、スルーホール 119d を介して第 4 メタルに電氣的に接続され、更に第 4 メタル 114 はスルーホール 119e を介して反射電極 PE1 に電氣的に接続されているため、容量 C11 は反射電極 PE1 に電氣的に接続されている。

【0058】

図示しない光源からの光は、共通電極 CE 及び液晶 LCM1 を透過して反射電極 PE1 (第 5 メタル 116) に入射して反射され、元の入射経路を逆進して共通電極 CE を通して出射される。

【0059】

本実施の形態によれば、図 4 に示すように、5 層配線である第 5 メタル 116 を反射電極 PE1 に割り当てることにより、SM121 と DM122、反射電極 PE1 を高さ方向に有効に配置することが可能になり、画素小型化が実現できる。これにより、例えば 3 μm 以下のピッチの画素を電源電圧 3.3 V のトランジスタで構成できる。この 3 μm ピッチの画素では対角の長さ 0.55 インチの横方向 4000 画素、縦方向 2000 画素の液晶表示パネルを実現できる。

【0060】

次に、本実施の形態の画素 12A 及び画素 12B を用いた図 1 の液晶表示装置 10 のデータ書き込み及び読み出し動作について、図 5 のタイミングチャートを併せ参照して説明する。なお、データの書き込み及び読み出し動作時には、図 2 のスイッチ SW3 はオフとされるので、画素 12A と画素 12B とは切り離されてそれぞれ互いに独立して動作を行う。また、スイッチ SWA 及び SWB はタイミングジェネレータ 14 からの制御信号によりデータの書き込み及び読み出し動作時にはオフとされるため、画素 12A 及び 12B には中間電圧は供給されない。

【0061】

前述したように、図 1 の液晶表示装置 10 において、垂直シフトレジスタ 15 からの行走査信号により行走査線 g1 から行走査線 gm に向って、行走査線が 1 本ずつ順次 1H 単位で選択されていくため、画像表示部 11 を構成する複数の画素 12A 及び 12B は、選択された行走査線に共通に接続された 1 行の n 個の画素単位でデータの書き込みが行われる。そして、画像表示部 11 を構成する複数の画素 12A 及び 12B の全てに書き込みが終わった後、トリガパルスに基づいて全画素一斉に読み出しが行われる。

【0062】

図 5 (A) は、水平ドライバ 17 から列データ線 d1 ~ dn に出力される 1 ビットのサブフレームデータの一画素の書き込み期間及び読み出し期間を模式的に示す。左下がりの斜線が書き込み期間を示す。なお、図 5 (A) 中、B0b、B1b、B2b はビット B0、B1、B2 のデータの反転データであることを示す。また、図 5 (B) は、タイミングジ

10

20

30

40

50

エネレータ 1 4 から正転トリガパルス用トリガ線 trig に出力されるトリガパルスを示す。このトリガパルスは 1 サブフレーム毎に出力される。なお、反転トリガパルス用トリガ線 trigb に出力される反転トリガパルスは正転トリガパルスと常に逆論理値であるのでその図示は省略してある。

【 0 0 6 3 】

まず、行走査信号により選択された 1 行の複数の画素 1 2 A 及び 1 2 B のうち、画素 1 2 A はスイッチ S W 1 1 がオンとされ、その時列データ線 d1 に出力される図 5 (A) のビット B 0 の正転サブフレームデータがスイッチ S W 1 1 によりサンプリングされて S M 1 2 1 に書き込まれる。また、画素 1 2 B はスイッチ S W 2 1 がオンとされ、その時列データ線 d2 に出力される図 5 (A) のビット B 0 の正転サブフレームデータがスイッチ S W 2 1 によりサンプリングされて S M 1 2 3 に書き込まれる。以下、同様にして、画像表示部 1 1 を構成する全ての画素の S M 1 2 1、S M 1 2 3 にビット B 0 のサブフレームデータの書き込みが行われ、その書き込み動作が終了した後の図 5 に示す時刻 T 1 で、図 5 (B) に示すように “ H ” レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素 1 2 A 及び 1 2 B に同時に供給される。

【 0 0 6 4 】

これにより、全ての画素 1 2 A 及び 1 2 B のスイッチ S W 1 2、S W 2 2 がオンとされるため、S M 1 2 1、S M 1 2 3 に記憶されているビット B 0 の正転サブフレームデータがスイッチ S W 1 2 を通して容量 C 1 1、C 2 1 に一斉に転送されて保持されると共に、反射電極 P E 1、P E 2 に印加される。この容量 C 1 1、C 2 1 によるビット B 0 の正転サブフレームデータの保持期間は、時刻 T 1 から図 5 (B) に示すように次の “ H ” レベルの正転トリガパルスが入力される時刻 T 2 までの 1 サブフレーム期間である。図 5 (C) は、反射電極 P E 1、P E 2 に印加されるサブフレームデータのビットを模式的に示す。

【 0 0 6 5 】

ここで、サブフレームデータのビット値が「 1」、すなわち “ H ” レベルのときには反射電極 P E 1、P E 2 には電源電圧 V D D (ここでは 3.3 V) が印加され、ビット値が「 0」、すなわち “ L ” レベルのときには反射電極 P E 1、P E 2 には 0 V が印加される。一方、共通電極 C E には、G N D、V D D に制限されることなく、自由な電圧が共通電極電圧 V com として印加できるようになっており、“ H ” レベルの正転トリガパルスが入力される時と同時タイミングで規定の電圧に切り替わるようにされている。ここでは、共通電極電圧 V com は、正転サブフレームデータが反射電極 P E 1、P E 2 に印加されるサブフレーム期間は、図 5 (D) に示すように 0 V よりも液晶の閾値電圧 V tt だけ低い電圧に設定される。

【 0 0 6 6 】

液晶表示素子 L C 1、L C 2 は、反射電極 P E 1、P E 2 の印加電圧と共通電極電圧 V com との差電圧の絶対値である液晶 L C M 1、L C M 2 の印加電圧に応じた階調表示を行う。従って、ビット B 0 の正転サブフレームデータが反射電極 P E 1、P E 2 に印加される時刻 T 1 ~ T 2 の 1 サブフレーム期間では、液晶 L C M 1、L C M 2 の印加電圧は、図 5 (E) に示すように、サブフレームデータのビット値が「 1」のときは $3.3\text{ V} + V_{tt}$ ($= 3.3\text{ V} - (-V_{tt})$) となり、サブフレームデータのビット値が「 0」のときは $+V_{tt}$ ($= 0\text{ V} - (-V_{tt})$) となる。

【 0 0 6 7 】

図 6 は、液晶の印加電圧 (R M S 電圧) と液晶のグレースケール値との関係を示す。図 6 に示すように、グレースケール値曲線は黒のグレースケール値が液晶の閾値電圧 V tt の R M S 電圧に対応し、白のグレースケール値が液晶の飽和電圧 V sat ($= 3.3\text{ V} + V_{tt}$) の R M S 電圧に対応するようにシフトされる。グレースケール値を液晶応答曲線の有効部分に一致させることが可能である。従って、液晶表示素子 L C は上記のように液晶 L C M の印加電圧が ($3.3\text{ V} + V_{tt}$) のときは白を表示し、 $+V_{tt}$ のときは黒を表示する。

【 0 0 6 8 】

続いて、上記のビット B 0 の正転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 0 b で示すようにビット B 0 の反転サブフレームデータの画素 1 2 A、1 2 B の S M 1 2 1、S M 1 2 3 への書き込みが順番に開始される。そして、画像表示部 1 1 の全画素の S M 1 2 1 及び S M 1 2 3 にビット B 0 の反転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 2 で図 5 (B) に示すように “ H ” レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素に同時に供給される。

【 0 0 6 9 】

これにより、全ての画素 1 2 A 及び 1 2 B のスイッチ S W 1 2、S W 2 2 がオンとされるため、S M 1 2 1、S M 1 2 3 に記憶されているビット B 0 の反転サブフレームデータがスイッチ S W 1 2、S W 2 2 を通して容量 C 1 1、C 2 1 に転送されて保持されると共に、反射電極 P E 1、P E 2 に印加される。この容量 C 1 1、C 2 1 によるビット B 0 の反転サブフレームデータの保持期間は、時刻 T 2 から図 5 (B) に示すように次の “ H ” レベルの正転トリガパルスが入力される時刻 T 3 までの 1 サブフレーム期間である。ここで、ビット B 0 の反転サブフレームデータはビット B 0 の正転サブフレームデータと常に逆論理値の関係にあるため、ビット B 0 の正転サブフレームデータが「 1 」のときは「 0 」、ビット B 0 の正転サブフレームデータが「 0 」のときは「 1 」である。

【 0 0 7 0 】

一方、共通電極電圧 V_{com} は、反転サブフレームデータが反射電極 P E 1、P E 2 に印加されるサブフレーム期間は、図 5 (D) に示すように $3.3 V$ よりも液晶の閾値電圧 V_{tt} だけ高い電圧に設定される。従って、ビット B 0 の反転サブフレームデータが反射電極 P E 1、P E 2 に印加される時刻 T 2 ~ T 3 の 1 サブフレーム期間では、液晶 L C M 1、L C M 2 の印加電圧は、サブフレームデータのビット値が「 1 」のときは $-V_{tt} (= 3.3 V - (3.3 V + V_{tt}))$ となり、サブフレームデータのビット値が「 0 」のときは $-3.3 V - V_{tt} (= 0 V - (3.3 V + V_{tt}))$ となる。

【 0 0 7 1 】

従って、ビット B 0 の正転サブフレームデータのビット値が「 1 」であった時は続いて入力されるビット B 0 の反転サブフレームデータのビット値が「 0 」であるため、液晶 L C M 1、L C M 2 の印加電圧は、 $-(3.3 V + V_{tt})$ となり、液晶 L C M 1、L C M 2 に印加される電位の方向はビット B 0 の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画素 1 2 A、1 2 B はビット B 0 の正転サブフレームデータ表示時と同じ白を表示する。同様に、ビット B 0 の正転サブフレームデータのビット値が「 0 」であった時は続いて入力されるビット B 0 の反転サブフレームデータのビット値が「 1 」であるため、液晶 L C M 1、L C M 2 の印加電圧は、 $-V_{tt}$ となり、液晶 L C M 1、L C M 2 に印加される電位の方向はビット B 0 の正転サブフレームデータの時とは逆となるが絶対値が同じであるため、画素 1 2 A、1 2 B は黒を表示する。

【 0 0 7 2 】

従って、画素 1 2 A、1 2 B は図 5 (E) に示すように、時刻 T 1 ~ 時刻 T 3 までの 2 サブフレーム期間は、ビット B 0 とビット B 0 の相補ビット B 0 b とで同じ階調を表示すると共に、液晶 L C M 1、L C M 2 の電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶 L C M 1、L C M 2 の焼き付きを防止することができる。

【 0 0 7 3 】

続いて、上記の相補ビット B 0 b の反転サブフレームデータを表示しているサブフレーム期間内において、図 5 (A) に B 1 で示すようにビット B 1 の正転サブフレームデータの画素 1 2 A、1 2 B の S M 1 2 1、S M 1 2 3 への書き込みが順番に開始される。そして、画像表示部 1 1 の全画素 1 2 A 及び 1 2 B の S M 1 2 1、S M 1 2 3 にビット B 1 の正転サブフレームデータが書き込まれ、その書き込み終了後の時刻 T 3 で図 5 (B) に示すように “ H ” レベルの正転トリガパルスが画像表示部 1 1 を構成する全ての画素に同時に供給される。

【 0 0 7 4 】

これにより、全ての画素のスイッチ S W 1 2、S W 2 2 がオンとされるため、S M 1 2

1、SM123に記憶されているビットB1の正転サブフレームデータがスイッチSW12、SW22を通して容量C11、C21に転送されて保持されると共に、反射電極PE1、PE2に印加される。この容量C11、C21によるビットB1の正転サブフレームデータの保持期間は、時刻T3から図5(B)に示すように次の“H”レベルの正転トリガパルスが入力される時刻T4までの1サブフレーム期間である。

【0075】

一方、共通電極電圧Vcomは、正転サブフレームデータが反射電極PE1、PE2に印加されるサブフレーム期間は、図5(D)に示すように0Vよりも液晶の閾値電圧Vttだけ低い電圧に設定される。従って、ビットB1の正転サブフレームデータが反射電極PE1、PE2に印加される時刻T3～T4の1サブフレーム期間では、液晶LCM1、LCM2の印加電圧は、図5(E)に示すように、サブフレームデータのビット値が「1」のときは $3.3V + V_{tt}$ ($= 3.3V - (-V_{tt})$) となり、サブフレームデータのビット値が「0」のときは $+V_{tt}$ ($= 0V - (-V_{tt})$) となる。

【0076】

続いて、上記のビットB1の正転サブフレームデータを表示しているサブフレーム期間内において、図5(A)にB1bで示すようにビットB1の反転サブフレームデータの画素12A、12BのSM121、SM123への書き込みが順番に開始される。そして、画像表示部11の全画素のSM121、SM123にビットB1の反転サブフレームデータが書き込まれ、その書き込み終了後の時刻T4で図5(B)に示すように“H”レベルの正転トリガパルスが画像表示部11を構成する全ての画素に同時に供給される。

【0077】

これにより、全ての画素12A、12BのスイッチSW12、SW22がオンとされるため、SM121、SM123に記憶されているビットB1の反転サブフレームデータがスイッチSW12、SW22を通して容量C11、C21に転送されて保持されると共に、反射電極PE1、PE2に印加される。この容量C11、C21によるビットB0の反転サブフレームデータの保持期間は、時刻T4から図5(B)に示すように次の“H”レベルの正転トリガパルスが入力される時刻T5までの1サブフレーム期間である。ここで、ビットB1の反転サブフレームデータはビットB1の正転サブフレームデータと常に逆論理値の関係にある。

【0078】

一方、共通電極電圧Vcomは、反転サブフレームデータが反射電極PE1、PE2に印加されるサブフレーム期間は、図5(D)に示すように3.3Vよりも液晶の閾値電圧Vttだけ高い電圧に設定される。従って、ビットB1の反転サブフレームデータが反射電極PE1、PE2に印加される時刻T4～T5の1サブフレーム期間では、液晶LCMの印加電圧は、サブフレームデータのビット値が「1」のときは $-V_{tt}$ ($= 3.3V - (3.3V + V_{tt})$) となり、サブフレームデータのビット値が「0」のときは $-3.3V - V_{tt}$ ($= 0V - (3.3V + V_{tt})$) となる。

【0079】

これにより、画素12A及び12Bは図5(E)に示すように、時刻T3～時刻T5までの2サブフレーム期間はビットB1とビットB1の相補ビットB1bとで同じ階調を表示すると共に、液晶LCMの電位方向がサブフレーム毎に反転する交流駆動が行われるため、液晶LCMの焼き付きを防止することができる。以下、上記と同様の動作が繰り返され、本実施の形態の画素12A及び12Bを有する液晶表示装置によれば、複数のサブフレームの組み合わせによって階調表示を行うことができる。

【0080】

なお、ビットB0と相補ビットB0bの各表示期間は同じ第1のサブフレーム期間であり、また、ビットB1と相補ビットB1bの各表示期間も同じ第2のサブフレーム期間であるが、第1のサブフレーム期間と第2のサブフレーム期間とは同一であるとは限らない。ここでは、一例として第2のサブフレーム期間は第1のサブフレーム期間の2倍に設定されている。また、図5(E)に示すように、ビットB2と相補ビットB2bの各表示期

10

20

30

40

50

間である第3のサブフレーム期間は、第2のサブフレーム期間の2倍に設定されている。他のサブフレーム期間についても同様であり、システムに従って各サブフレーム期間の長さが所定の長さに決められ、またサブフレーム数も任意の数に決定される。

【0081】

次に、本発明の要部の画素の検査動作について説明する。

【0082】

画素検査は、ウェハ作成後に、液晶表示装置の良否判定のために行われる。この画素検査時には、タイミングジェネレータ14から配線pirにHレベルの検査制御信号が出力され、配線pirbにLレベルの反転検査制御信号が出力されて、スイッチSW3を構成するトランスマッションゲートがオンとされる。これにより、相隣る2つの画素12A及び12Bの反射電極PE1及びPE2がスイッチSW3を介して電氣的に接続された状態となる。

10

【0083】

そして、列データ線d1から入力スイッチ19A1を介して1ビットの検査信号を画素12Aに書き込み、画素12Bを通して列データ線d2へ画素12Aに書き込んだ検査信号を読み出した後、出力スイッチ19A2、19B2を介して供給される列データ線d1、d2の各信号を比較することで、画素12A及び12Bの良否判定を行う。また、それとは逆に、列データ線d2から入力スイッチ19B1を介して1ビットの検査信号を画素12Bに書き込み、画素12Aを通して列データ線d1へ画素12Bに書き込んだ検査信号を読み出した後、出力スイッチ19A2、19B2を介して供給される列データ線d1、d2の各信号を比較することで、画素12A及び12Bの良否判定を行う。ただし、後述するように、列データ線d1から検査信号を画素12Aに書き込む前にスイッチSWAを通して中間電圧を画素12Aに書き込み、列データ線d2から検査信号を画素12Bに書き込む前にスイッチSWBを通して中間電圧を画素12Bに書き込む。

20

【0084】

次に、本実施の形態の画素検査の基本動作について順を追って説明する。

【0085】

まず、画素検査の開始時にスイッチSWA及びSWBをそれぞれオフにしておいたときの動作について説明する。この状態で行走査線gにHレベルの行走査信号を供給してスイッチSW11及びSW21をそれぞれオンにする。また、配線trigとtrigbにそれぞれHレベルのトリガパルス及びLレベルの反転トリガパルスを供給して、スイッチSW12及びSW22もそれぞれオンにする。更に、配線pirとpirbにHレベルの検査制御信号及びLレベルの反転検査制御信号を供給して、スイッチSW3もオンにする。これにより、列データ線d1から列データ線d2につながる画素12Aと画素12BとはスイッチSW3を経由して電氣的に接続された状態になる。

30

【0086】

次に、列データ線d1に1ビットの検査信号としてLレベルのデータを供給する。これにより、画素12AのSM121を構成するインバータINV11の入力端子とインバータINV12の出力端子との接続点であるa点にLレベルのデータが書き込まれ、またインバータINV11の出力端子及びインバータINV12の入力端子がスイッチSW12を介して容量C11に接続された接続点であるb点にHレベルのデータが書き込まれる。このとき、画素12AのSM121において、インバータINV11を構成するトランジスタの駆動力がインバータINV12を構成するトランジスタの駆動力よりも大きいため、a点はSM121の入力として、b点はSM121の出力としてそれぞれ機能する。

40

【0087】

また、b点のHレベルのデータは、オン状態のスイッチSW3を通して接続されている画素12B内のスイッチSW22と容量C21との接続点であるd点のデータとなる。ここで、画素12B内のSM123において、インバータINV21を構成するトランジスタの駆動力がインバータINV22を構成するトランジスタの駆動力よりも大きいため、インバータINV21の入力端子とインバータINV22の出力端子との接続点であるc

50

点はSM123の入力として、またインバータINV21の出力端子及びインバータINV22の入力端子がスイッチSW22を介して容量C21に接続された接続点であるd点はSM123の出力としてそれぞれ機能する。従って、b点とd点はそれぞれSM121、SM123の出力端子に相当するため、通常ではSM121から出力したデータを、SM123の出力端子に入力してもSM123は反転しにくい。

【0088】

このことについて図7と共に詳しく説明すると、SM121の出力能力は、インバータINV11を構成するPMOSトランジスタPtr11及びNMOSトランジスタNtr11の駆動力で決まる。一方、SM123の出力能力は、インバータINV21を構成するPMOSトランジスタPtr21及びNMOSトランジスタNtr21の駆動力で決まる。画素12A、12Bを構成するそれぞれのトランジスタは、画素12A、12B毎にそれぞれ同じ能力を配置しているため、インバータINV11を構成するPMOSトランジスタPtr11及びNMOSトランジスタNtr11の駆動力とインバータINV21を構成するPMOSトランジスタPtr21及びNMOSトランジスタNtr21の駆動力は、PMOSトランジスタ同士1、NMOSトランジスタ同士でそれぞれ同じである。

【0089】

d点においてLレベルであるデータをインバータINV21を駆動してHレベルに書き換える場合、インバータINV21を構成するNMOSトランジスタNtr21を流れる電流とインバータINV11を構成するPMOSトランジスタPtr11を流れる電流との比で、PMOSトランジスタPtr3及びNMOSトランジスタNtr3から構成されるスイッチSW3とインバータINV11との接続点であるb点、及びスイッチSW3とインバータINV21との接続点であるd点の電圧が決定する。

【0090】

ここで、図7において、b点におけるインバータINV11の出力データがHレベルの場合、インバータINV11を構成するPMOSトランジスタPtr11がオンしている状態である。それに対し、インバータINV21の出力のd点のデータが既にLレベルであった場合、インバータINV21を構成するNMOSトランジスタNtr21がオンしている状態である。

【0091】

このとき、配線pirのHレベルの検査制御信号と配線pirbのLレベルの反転検査制御信号によりスイッチSW3がオンし、インバータINV21とインバータINV11の出力同士が導通した場合、電流はインバータINV11のPMOSトランジスタPtr11とインバータINV21のNMOSトランジスタNtr21を通してVDDからGNDに流れる。このときb点及びd点の電圧はPMOSトランジスタPtr11とNMOSトランジスタNtr21のオン抵抗の比によって決まる。

【0092】

また、d点には図示しないインバータINV22の入力ゲートが接続されており、インバータINV22はd点の電圧レベルの入力によって出力データがLレベルかHレベルに確定される。つまり、SM123から読み出すc点のデータはd点の電圧レベルによって決定される。

【0093】

しかしながら、通常はトランジスタのゲート幅が同じであればNMOSトランジスタの駆動力はPMOSトランジスタの駆動力よりも3倍程度大きい。このため、トランジスタのオン抵抗においてもNMOSトランジスタの方がPMOSトランジスタと比較して低く、上記の場合、b点及びd点の電圧は、電源電圧の中間電圧よりも低く、インバータINV22に入力されるデータとしてはLレベルのデータに相当するため、インバータINV22の出力(c点)のデータはHレベルのままであり、SM123はSM121に列データ線d1から入力したLレベルのデータによってLレベルのデータを出力できない、ということが発生する。

【0094】

上記で説明したインバータを構成するPMOSトランジスタとNMOSトランジスタの駆動力の比から、反対にSM121のa点に印加するHレベルのデータによって、SM123のc点のデータをLレベルのデータに書き換えることは可能である。

【0095】

本実施の形態では、以上の動作不良に対応するため、画素検査の開始時にはスイッチSWBをオン状態にして中間電圧発生部18と列データ線d2とを導通状態とすることにより、列データ線d2の電圧を中間電圧発生部18から配線midへ出力される中間電圧にプリチャージする。なお、上記の中間電圧とは、電源電圧範囲の中心電圧（従って電源電圧範囲3.3Vの場合は1.65V）以下の電圧のことであり、望ましくは0V～中心電圧の電圧範囲（従って電源電圧範囲が0V～3.3Vの場合は0V～1.65V程度の電圧範囲）

10

【0096】

図8は、中間電圧を0Vにした場合の列方向に隣り合う画素12A及び12Bのデータ書き込みとデータ読み出しの関係を示す。図8(A)は、画素12Bのc点をLレベル（ここでは0V）にプリチャージした場合、列データ線d1にHレベルのデータを書き込んで画素12Aのa点のデータをHレベルにした場合、画素12Bのc点のデータはHレベルに書き換わることを示す。

【0097】

すなわち、この場合は、スイッチSW11、SW21、SW21、SW22及びSW3がそれぞれオン状態のときにスイッチSWBをオンにして、列データ線d2と画素12Bのc点の電位を0V（Lレベル）にプリチャージし、画素12Bのd点の電圧をHレベルの3.3Vにプリセットする。この状態で、列データ線d1にHレベルのデータを書き込んで画素12Aのa点のデータをHレベルにした場合、画素12Aのb点の電圧はLレベルになろうとする。このときb点とd点はスイッチSW3を介して接続されているので、インバータINV11を構成するNMOSトランジスタに流れる電流と、インバータINV21を構成するPMOSトランジスタに流れる電流との比によって、b点およびd点の電圧が決まる。

20

【0098】

つまり、スイッチSWBがオンしている間、VDDからGNDに向かって電流が流れることになる。このとき、NMOSトランジスタとPMOSトランジスタとの駆動力はNMOSトランジスタの方が大きいため、b点及びd点の電圧はVDDからGNDの電圧範囲において、GNDよりの中間電位になる。この中間電位は、インバータの反転閾値電圧よりも低電位側にあるため、b点及びd点の電圧は容易にLレベル側へ反転する状態にある。ここで、スイッチSWBをオフにすると、同時にd点の電圧はLレベルにセットされ、列データ線d2及び画素12Bのc点の電位はHレベルになる。図8(A)は以上の動作を示している。

30

【0099】

図8(B)は、画素12Bのc点をLレベル（ここでは0V）にプリチャージした場合、列データ線d1にLレベルのデータを書き込んで画素12Aのa点のデータをLレベルにした場合、画素12Bのc点のデータはLレベルに書き換わることを示す。

40

【0100】

すなわち、この場合は、スイッチSW11、SW21、SW21、SW22及びSW3がそれぞれオン状態のときにスイッチSWBをオンにして、列データ線d2と画素12Bのc点の電位を0V（Lレベル）にプリチャージし、SM123のd点の電圧をHレベルの3.3Vにプリセットする。この状態で、列データ線d1にLレベルのデータを書き込んで画素12Aのa点のデータをLレベルにした場合、画素12Aのb点はHレベルの電圧が入力される。このとき、既に画素12Bのd点の電圧はHレベルがプリセットされているので、その後にスイッチSWBをオフにしても列データ線d2及び画素12Bのc点の電位はLレベルのまま変化しない。図8(B)は以上の動作を示している。

【0101】

50

図 8 (C) 及び (D) は、画素 1 2 A の a 点をプリチャージする場合の動作を示しており、その動作はスイッチ S W B ではなく、スイッチ S W A をオンする以外は、図 8 (A) 、 (B) と共に説明した画素 1 2 B の c 点をプリチャージする場合の動作と同様であるので、その説明は省略する。

【 0 1 0 2 】

以上の画素検査を左右に隣接する 2 つの画素 1 2 A 及び 1 2 B に対し、列データ線 d 1 からデータを入力して列データ線 d 2 からデータを読み出す第 1 の検査方法と、列データ線 d 2 からデータを入力して列データ線 d 1 からデータを読み出す第 2 の検査方法との 2 種類を、タイミングを変えて 2 回実行する。

【 0 1 0 3 】

これにより、画素 1 2 A 及び 1 2 B において L レベルの電圧や H レベルの電圧を読み出すことが可能になるため、メモリとしてロジックの画素機能検査が可能になる。このとき、例えばプロセスにより、容量 C 1 1 や容量 C 2 1 が G N D や V D D 配線などにショートしていれば画素検査において任意のデータを読み出すことが不可能である。また S M 1 2 1 や S M 1 2 3 がショートしていたり断線していた場合においても画素検査において任意のデータを読み出すことが不可能である。以上のデータ読み出しが不可能な場合は、不良画素が存在する液晶表示装置として出荷停止などの処置をとることになる。

【 0 1 0 4 】

次に、本実施の形態における前述した動作不良に対応した画素検査の動作について、図 1 の全体構成図、図 2 の回路図及び図 9 のタイミングチャートを併せ参照して更に詳細に説明する。

【 0 1 0 5 】

画素検査時において、まず、図 8 (A) と共に説明したように、偶数番目の列データ線 d ev (d 2 , d 4 , d 6 , . . . , d n) に接続された画素 1 2 B を検査信号読み出し側とし、奇数番目の列データ線 d od (d 1 , d 3 , d 5 , . . . , d n - 1) に接続された画素 1 2 A を検査信号書き込み側とするものとする。この場合、画素検査時の最初の時刻 T 1 1 において、スイッチ制御信号 T l a t o d b が図 9 (C) に示すように H レベルとされて入力スイッチ 1 9 A 1 がオンとされ、かつ、スイッチ制御信号 T l a t e v b が図 9 (E) に示すように L レベルとされて入力スイッチ 1 9 B 1 がオフに制御される。また、時刻 T 1 1 において、スイッチ制御信号 T l a t o d が図 9 (B) に示すように L レベルとされて出力スイッチ 1 9 A 2 がオフとされ、かつ、スイッチ制御信号 T l a t e v が図 9 (D) に示すように H レベルとされて出力スイッチ 1 9 B 2 がオンとされる。これにより、奇数番目の列データ線 d od (d 1 , d 3 , d 5 , . . . , d n - 1) が検査信号入力用配線として機能し、画像表示部 1 1 を構成する全ての画素 1 2 A に検査信号を書き込める状態となると共に、偶数番目の列データ線 d ev (d 2 , d 4 , d 6 , . . . , d n) が検査信号読み出し用配線として機能し、画像表示部 1 1 を構成する全ての画素 1 2 B から検査信号を読み出せる状態となる。

【 0 1 0 6 】

また、上記の時刻 T 1 1 において、制御信号線 p r c h g 1 を介して印加される第 1 の制御信号が図 9 (G) に示すように L レベルとされ、全てのスイッチ S W A をオフとして水平ドライバ 1 7 からの検査信号が画素 1 2 A に書き込めるようにする。また、これと同時に上記の時刻 T 1 1 において、制御信号線 p r c h g 2 を介して印加される第 2 の制御信号が図 9 (N) に示すように H レベルとされ、全てのスイッチ S W B をオンとして配線 m i d を介して供給される中間電圧発生部 1 8 からの中間電圧に偶数番目の列データ線 d ev (d 2 , d 4 , d 6 , . . . , d n) をプリチャージしておく。図 9 (O) は例えば列データ線 d 2 の電圧を示し、時刻 T 1 1 から後述する時刻 T 1 3 までの期間、中間電圧にプリチャージされている。図 9 (M) は配線 m i d における中間電圧を示す。なお、前述したように、中間電圧は電源電圧が 3 . 3 V のとき 0 ~ 1 . 6 5 V 程度の範囲内の電圧であるが、一例としてここでは 1 V としている。

【 0 1 0 7 】

画素検査は画像表示部 1 1 を構成する各行の画素単位で行われる。いま、図 9 (H) に

10

20

30

40

50

示すように、時刻 T_{11} で画像表示部 11 の或る 1 本の行走査線 g に垂直シフトレジスタ 15 からハイレベルの行走査信号が入力されて、その行走査線 g に接続された 1 行の画素 12A 及び 12B が選択されたものとする。このとき、配線 $trig$ 及び $trigb$ にはそれぞれ図 9 (I)、(J) に示すように、H レベルと L レベルのトリガ信号が同時に供給されて、選択された 1 行の画素 12A 内のスイッチ SW_{12} 及び画素 12B 内のスイッチ SW_{22} がオンとされる。また、このとき配線 pir 及び $pirb$ にはそれぞれ図 9 (K)、(L) に示すように、H レベルと L レベルの検査制御信号が同時に供給されて、選択された 1 行の画素のうち、隣接する画素 12A と画素 12B との間に共通に設けられたスイッチ SW_3 がそれぞれオンとされる。

【0108】

10

続いて、水平シフトレジスタ 171 に 1 行分の検査信号が所定の画素列にシフトし終わった時刻 T_{12} において、タイミングジェネレータ 14 から図 9 (A) に示すラッチパルス LT が出力され、ラッチ回路 172 により水平シフトレジスタ 171 からの 1 行の n 個の画素分の検査信号がラッチされる。ここで、1 行の n 個の画素分の検査信号はすべて H レベルであるものとする。時刻 T_{12} 以降、ラッチ回路 172 からレベルシフト / 画素ドライバ 173 を通して列データ線 $d1 \sim dn$ へハイレベルの検査信号がそれぞれ出力される。

【0109】

ここで、列データ線 $d1 \sim dn$ へ出力された検査信号は、このとき入力スイッチ 19A1 がオンであるため、入力スイッチ 19A1 及び列データ線 dod を介して画素 12A に書き込まれるが、入力スイッチ 19A2 はオフであるため、列データ線 dev を介して画素 12B に検査信号が書き込まれることはない。図 9 (F) は列データ線 $d1$ に出力される検査信号を示す。この時点では図 2 に示した画素 12A の a 点は検査信号の H レベルであり、画素 12B の c 点は中間電圧にプリチャージされている状態にある。

20

【0110】

続いて、時刻 T_{13} において、制御信号線 $prchg2$ を介して印加される第 2 の制御信号が図 9 (N) に示すように L レベルに切り替えられて、全てのスイッチ SW_B がオフに切り替わる。これにより、図 2 の画素 12A 及び画素 12B が良品であるときには、図 8 (A) と共に説明したように、図 2 に示した b 点と d 点の電圧が L レベルとなり、画素 12B の c 点の電圧及び列データ線 $d2$ の電位が図 9 (O) に示すように中間電圧から列データ線 $d1$ に入力されている検査信号の H レベルに変化する。画素 12B から列データ線 $d2$ に出力された H レベルの信号は、出力スイッチ 19B2 及びバッファ 20 を通して 1 行分の画素数の半分の画素数に対応した容量の画素読み出し用シフトレジスタ 21 の該当列に相当する場所に入力される。

30

【0111】

次に、時刻 T_{14} において、図 9 (D) に示すようにスイッチ制御信号 $Tlatev$ が L レベルとされて、出力スイッチ 19B2 がオフとされると、選択されている 1 行の画素 12B から偶数番目の列データ線 dev に読み出された 1 行分の信号が画素読み出し用シフトレジスタ 21 に格納される。

【0112】

40

続いて、時刻 T_{15} から、画素読み出し用シフトレジスタ 21 に供給される、互いに逆位相の図 9 (P) に示す第 1 のクロック信号 $TCKb$ 及び同図 (Q) に示す第 2 のクロック信号 TCK を交互にオン、オフを繰り返すことにより、画素読み出し用シフトレジスタ 21 に格納された読み出し信号のうち、列データ線 $dn-1$ からの読み出し信号から列データ線 $d1$ からの読み出し信号に向かって順番に出力端子 $TOUT$ へ出力される。クロック信号 $TCKb$ 及び TCK は、1 行分の画素数の半分の数のオン、オフを繰り返すことによって、全データを読み出して 1 行分の検査を終了する。この 1 行分の画素の読み出し信号と入力検査信号とを比較し、両者が同じであるか否かにより画素検査ができる。

【0113】

次に、スイッチ制御信号 $Tlatodb$ 、 $Tlatevb$ 、 $Tlatod$ 、 $Tlatev$ を時刻 T_{11} とは反対論理

50

値に切り替え、画像表示部 1 1 を構成する全ての画素 1 2 B に検査信号を書き込める状態とする共に、画像表示部 1 1 を構成する全ての画素 1 2 A から検査信号を読み出せる状態とする。以下、上記と同様にして、画素 1 2 B から書き込んだ検査信号を画素 1 2 A から読み出して画素読み出し用シフトレジスタ 2 1 に格納する。このとき、制御信号線 prch1 及び prchg2 を介して印加される制御信号の論理値も図 9 (G)、(N) とは反対とする。このようにして、1 行分の画素について図 8 (D) と共に説明した画素検査を行うことができる。

【 0 1 1 4 】

以上の動作終了後、今度は垂直シフトレジスタ 1 5 を制御することによって、次の画素行の各画素 1 2 A 及び 1 2 B を選択し、上記と同様にして画素検査を行う。これらを繰り返し、垂直方向の画素数分の検査を実行し、画像表示部 1 1 を構成する全ての画素において、検査を実施する。

【 0 1 1 5 】

なお、入力する検査信号は上記のようにすべて H レベルにする必要はなく、すべて L レベルでもよいし、H レベルと L レベルとの交互繰り返しとして、横方向に隣り合う画素 1 2 A 及び 1 2 B に電位差をつけてショート検査を行うことも可能である。

【 0 1 1 6 】

このようにして、本実施の形態によれば、画素検査を正確に実施することができる。本実施の形態によれば、画素検査のために画素 1 2 A 及び画素 1 2 B に共通のスイッチ S W 3 を構成するトランジスタ数が 2 個増え、また、画像表示部 1 1 を構成する全ての画素に対してスイッチ S W A 及び S W B 用のトランジスタが 2 個増えるが、その増加数は極めて僅かであり、画素内に 2 つの S R A M を用いた従来の液晶表示装置に比べて画素の小型化を可能にでき、しかも画素検査が正確にできる。

【 0 1 1 7 】

(第 2 の実施の形態)

次に、画素の第 2 の実施の形態について説明する。図 1 0 は、本発明の液晶表示装置の要部である画素の第 2 の実施の形態の等価回路を周囲の回路と共に示す。同図中、図 2 と同一構成部分には同一符号を付し、その説明を省略する。図 1 0 において、画素 1 2 A ' 及び画素 1 2 B ' は図 1 中の任意の同じ 1 本の行走査線 g に接続された、列方向に隣接する 2 つの画素で、画素 1 2 A ' は任意の 1 本の列データ線 d 1 と 1 本の行走査線 g との交差部に設けられ、画素 1 2 B ' は上記列データ線 d 1 に隣接する列データ線 d 2 と行走査線 g との交差部に設けられている。

【 0 1 1 8 】

画素 1 2 A ' 及び画素 1 2 B ' は、図 2 に示した画素 1 2 A 及び画素 1 2 B と比較して、D R A M 1 2 2、1 2 4 が設けられておらず、S M 1 2 1、1 2 3 の出力端子が、共通のスイッチ S W 4 を介して反射電極 P E 1、P E 2 に接続された構成である点に特徴がある。

【 0 1 1 9 】

すなわち、画素 1 2 A ' は、第 1 のスイッチング手段を構成するスイッチ S W 1 1 と第 1 の信号保持手段 (S M) 1 2 1 とから構成されるスタティック・メモリと、液晶表示素子 L C 1 とを有している。また、画素 1 2 B ' は、第 1 のスイッチング手段を構成するスイッチ S W 2 1 と第 1 の信号保持手段 (S M) 1 2 3 とから構成されるスタティック・メモリと、液晶表示素子 L C 2 とを有している。更に、画素 1 2 A ' 及び画素 1 2 B ' は、第 3 のスイッチング手段を構成するスイッチ S W 4 を共通に有している。

【 0 1 2 0 】

スイッチ S W 4 は、それぞれ互いのドレイン同士が接続され、かつ、互いのソース同士が接続された N M O S トランジスタと P M O S トランジスタとからなる公知のトランスミッションゲートの構成とされている。S W 4 を構成するトランスミッションゲートの制御端子である N M O S トランジスタのゲートは正転検査制御信号用配線 p i r に接続され、P M O S トランジスタのゲートは反転検査制御信号用配線 p i r b に接続されている。また、

SW4を構成するトランSMミッションゲートの2つの端子のうち一方の端子であるNMOSトランジスタ及びPMOSトランジスタのドレイン(又はソース)は、SM121の出力端子及び反射電極PE1に接続され、他方の端子であるNMOSトランジスタ及びPMOSトランジスタのソース(又はドレイン)は、SM123の出力端子及び反射電極PE2に接続されている。

【0121】

本実施の形態の画素12A'及び画素12B'を用いた図1の液晶表示装置10のデータ書き込み及び読み出し動作時は、画素12A及び画素12Bを用いた液晶表示装置に比べて、図10のスイッチSW4をオフとして画素12A'及び画素12B'を切り離してそれぞれ互いに独立して動作する点は同じである。しかし、本実施の形態の画素12A'及び画素12B'を用いた図1の液晶表示装置10のデータ書き込み及び読み出し動作時は、1行単位でサブフレームデータを画素12A'及び12B'に書き込み、読み出しを行う。

10

【0122】

次に、本実施の形態の画素検査の基本的な動作について順を追って説明する。

【0123】

まず、スイッチSWA及びSWBの一方をオンにし、かつ、他方をオフにしておく。ここではスイッチSWAをオフとし、スイッチSWBをオンにしておく場合について説明する。これにより、画素検査開始時には図10の画素12Bのc点はスイッチSWBを通して印加される中間電圧によりLレベルにプリチャージされる。

20

【0124】

この状態で行走査線gにHレベルの行走査信号を供給して、同じ行走査線gに接続された1行の各画素12A'内のスイッチSW11及び各画素12B'内のスイッチSW21をそれぞれオンにする。なお、以下の説明において同じ行走査線gに接続された1行の各画素12A'及び12B'は隣接する2画素毎にそれぞれ同じ動作を行うが、説明の便宜上、図10に示した隣接する2つの画素12A'及び12B'について説明する。また、配線pirとpirbにHレベルの検査制御信号及びLレベルの反転検査制御信号を供給して、スイッチSW4もオンにする。これにより、図10の列データ線d1から列データ線d2につながる画素12A'と画素12B'とはスイッチSW4を経由して電氣的に接続された状態になる。

30

【0125】

次に、列データ線d1に1ビットの検査信号としてHレベルのデータを供給する。これにより、画素12A'のSM121を構成するインバータINV11の入力端子とインバータINV12の出力端子との接続点であるa点にHレベルのデータが書き込まれ、またインバータINV11の出力端子とインバータINV12の入力端子との接続点であるb点にLレベルのデータが書き込まれる。このとき、画素12A'のSM121において、インバータINV11を構成するトランジスタの駆動力がインバータINV12を構成するトランジスタの駆動力よりも大きいため、a点はSM121の入力として、b点はSM121の出力としてそれぞれ機能する。

【0126】

また、b点のLレベルのデータは、オン状態のスイッチSW4を通して接続されている画素12B'内のSM123を構成するインバータINV21の出力端子とインバータINV22の入力端子との接続点であるd点のデータとなる。ここで、画素12B'内のSM123において、インバータINV21を構成するトランジスタの駆動力がインバータINV22を構成するトランジスタの駆動力よりも大きいため、インバータINV21の入力端子とインバータINV22の出力端子との接続点であるc点はSM123の入力として、またd点はSM123の出力としてそれぞれ機能する。従って、b点とd点はそれぞれSM121、SM123の出力に相当するため、通常ではSM121の出力から出力したデータを、SM123の出力に入力してもSM123は反転しにくい。

40

【0127】

50

しかし、本実施の形態では、前述したように、図2の実施の形態と同様に、スイッチSW11、SW21及びSW4がそれぞれオン状態のときにスイッチSWBをオンにして、列データ線d2と画素12B'のc点の電位を中間電圧である例えば0V(Lレベル)にプリチャージし、SM123のd点の電圧をHレベルの3.3Vにプリセットする。

【0128】

この状態で、列データ線d1にHレベルの検査信号を書き込んで画素12A'のa点のデータをHレベルにした場合、画素12A'のb点の電圧はLレベルになろうとする。このときb点とd点はスイッチSW4を介して接続されているので、インバータINV11を構成するNMOSTランジスタに流れる電流と、インバータINV21を構成するPMOSTランジスタに流れる電流との比によって、b点およびd点の電圧が決まる。

10

【0129】

つまり、スイッチSWBがオンしている間、VDDからGNDに向かって電流が流れることになる。このとき、NMOSTランジスタとPMOSTランジスタの駆動力はNMOSTランジスタの方が大きいため、b点及びd点の電圧はVDDからGNDの電圧範囲において、GNDよりの中間電位になる。この中間電位は、インバータの反転閾値電圧よりも低電位側にあるため、b点及びd点の電圧は容易にLレベル側へ反転する状態にある。

【0130】

ここで、スイッチSWBがオフに切り替えらる。これにより、図10の画素12A'及び画素12B'が良品であるときには、図10に示したb点とd点の電圧がLレベルとなり、画素12B'のc点の電圧及び列データ線d2の電位が中間電圧から列データ線d1に入力されている検査信号のHレベルに変化する。画素12B'から列データ線d2に出力されたHレベルの信号は、図1に示した出力スイッチ19B2及びバッファ20を通して1行分の画素数の半分の画素数に対応した容量の画素読み出し用シフトレジスタ21の該当列に相当する場所に入力される。以下、図9に示したタイミングチャートと共に説明した第1の実施の形態と同様の画素検査動作が行われる(trig及びtrigb除く)。

20

【0131】

以上の画素検査を左右に隣接する2つの画素12A'及び12B'に対し、列データ線d1から検査信号を入力して列データ線d2からデータを読み出す第1の検査方法と、列データ線d2から検査信号を入力して列データ線d1からデータを読み出す第2の検査方法との2種類を、タイミングを変えて2回実行する。

30

【0132】

これにより、画素12A'及び12B'においてLレベルの電圧やHレベルの電圧を読み出すことが可能になるため、メモリとしてロジックの画素機能検査が可能になる。このとき、例えばプロセスにより、SM121やSM123がショートしていたり断線していた場合においても画素検査において任意のデータを読み出すことが不可能である。以上のデータ読み出しが不可能な場合は、不良画素が存在する液晶表示装置として出荷停止などの処置をとることになる。

【0133】

このようにして、画素12A'及び12B'を備える本実施の形態によれば、第1の実施の形態の画素12A及び12Bを備える液晶表示装置に比べてより一層画素の小型化を可能にでき、しかも画素検査が正確にできる。

40

【0134】

なお、本発明は以上の実施の形態に限定されるものではなく、例えば図2及び図10の実施の形態では、SM121及びSM123の動作不良に対応するためにスイッチSWA及びSWBを有して、同じ行走査線に接続された隣接する第1及び第2の画素のうち第1の列データ線を介して第1の画素に検査信号を書き込むと共に、第2の列データ線に接続された第2の画素を中間電圧にプリチャージし、その後中間電圧の入力を解除して第2の画素から第2の列データ線に入力検査信号の読み出しを行うようにしているが、原理的にはスイッチSWA及びSWBを有しないでプリチャージを行わなくても画素検査は可能である。また、画素電極は反射電極として説明したが、透過電極であってもよい。

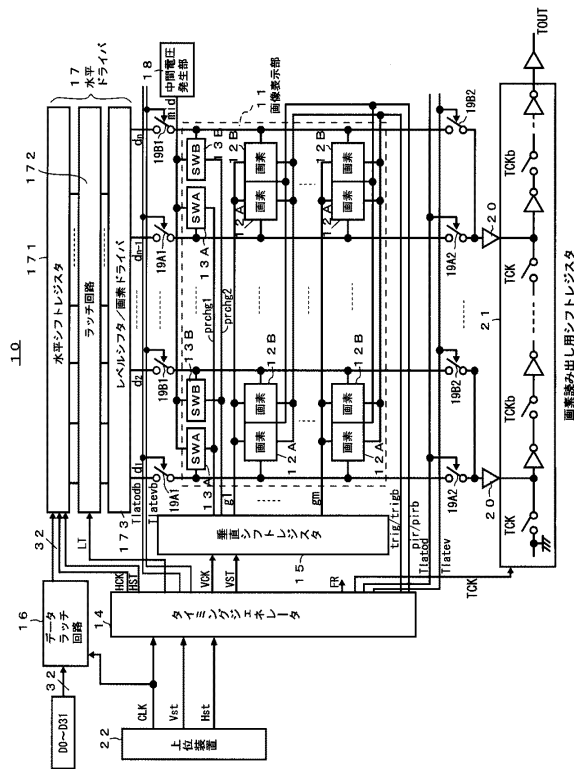
50

【符号の説明】

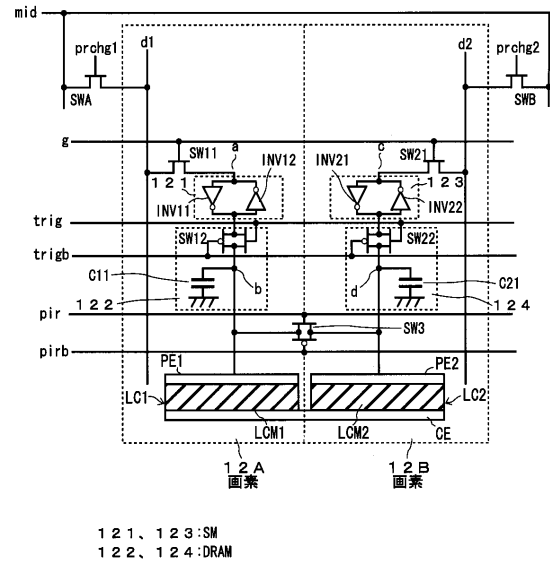
【 0 1 3 5 】

1 0	液晶表示装置	
1 1	画像表示部	
1 2 A、1 2 B、1 2 A'、1 2 B'	画素	
1 3 A、1 3 B	スイッチ (S W A、S W B)	
1 4	タイミングジェネレータ	
1 5	垂直シフトレジスタ	
1 6	データラッチ回路	
1 7	水平ドライバ	10
1 8	中間電圧発生部	
1 9 A 1、1 9 B 1	入力スイッチ (書き込み側スイッチ)	
1 9 A 2、1 9 B 2	出力スイッチ (読み出し側スイッチ)	
2 0	バッファ	
2 1	画素読み出し用シフトレジスタ	
2 2	上位装置	
1 1 2	容量 C 1 用電極	
1 2 1、1 2 3	第 1 の信号保持手段 (S M)	
1 2 2、1 2 4	ダイナミック・ランダム・アクセス・メモリ (D R A M)	
1 7 1	水平シフトレジスタ	20
1 7 2	ラッチ回路	
1 7 3	レベルシフタ / 画素ドライバ	
d 1 ~ d n、d	列データ線	
g 1 ~ g m、g	行走査線	
trig	トリガ線	
trig b	反転トリガパルス用トリガ線	
L C 1、L C 2	液晶表示素子	
L C M 1、L C M 2	液晶	
P E 1、P E 2	反射電極	
C E	共通電極	30
C 1 1、C 2 1	容量	
I N V 1 1、I N V 1 2、I N V 2 1、I N V 2 2	インバータ	
N T r、T r 1、N t r 11、N t r 12	NチャネルMOS型トランジスタ (N M O S トランジスタ)	
P T r、T r 2、P t r 11、P t r 22	PチャネルMOS型トランジスタ (P M O S トランジスタ)	
S W 3、S W 4	2画素間の共通スイッチ	

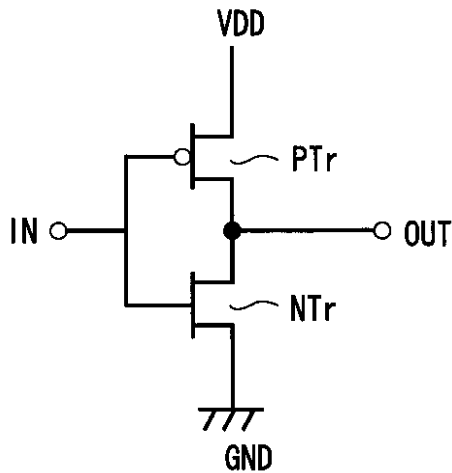
【図 1】



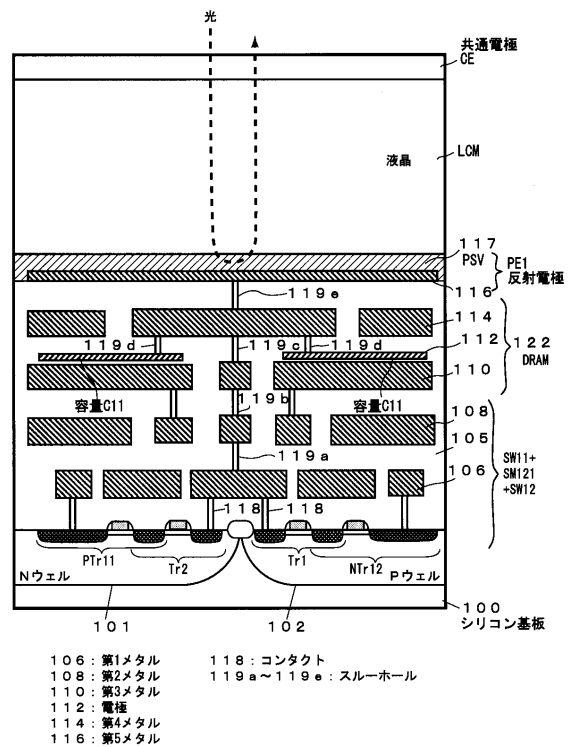
【図 2】



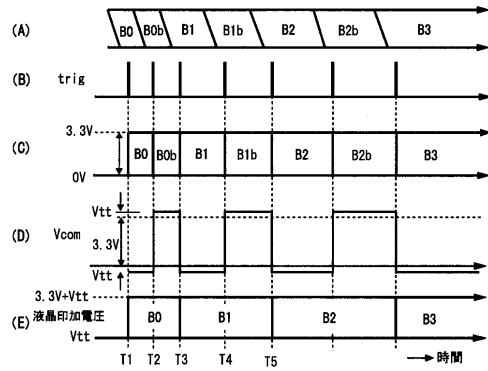
【図 3】



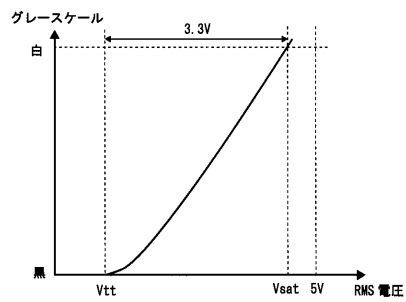
【図 4】



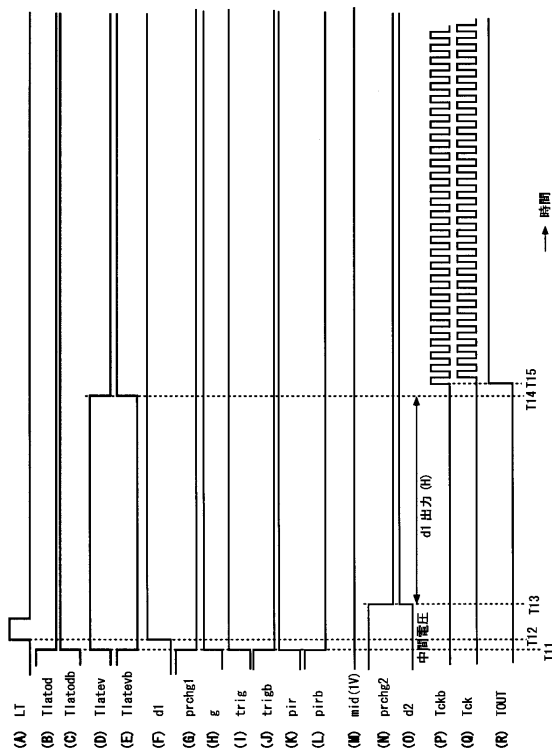
【図 5】



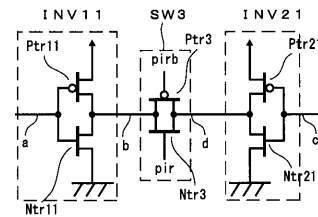
【図 6】



【図 9】



【図 7】



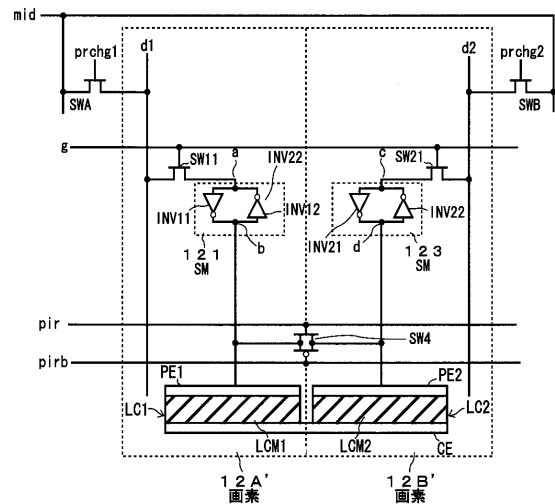
【図 8】

画素 1 2 B の c 点のデータ

画素 1 2 A の a 点のデータ

- | | | |
|---------------------|---|-----------------|
| (A) 「L」プリチャージ → 「H」 | ← | 「H」入力 |
| (B) 「L」プリチャージ → 「L」 | ← | 「L」入力 |
| (C) 「L」入力 | → | 「L」プリチャージ → 「L」 |
| (D) 「H」入力 | → | 「L」プリチャージ → 「H」 |

【図 10】



フロントページの続き

(51)Int.Cl. F I
G 0 2 F 1/133 5 5 0

(56)参考文献 特開平 0 1 - 0 9 4 3 9 1 (J P , A)
特開 2 0 0 2 - 1 7 5 0 4 0 (J P , A)
特開平 0 6 - 1 0 2 5 3 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 6
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 2 0

专利名称(译)	液晶显示装置及其像素检测方法		
公开(公告)号	JP5765205B2	公开(公告)日	2015-08-19
申请号	JP2011263329	申请日	2011-12-01
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
当前申请(专利权)人(译)	JVC建伍公司		
[标]发明人	岩佐隆行		
发明人	岩佐 隆行		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3611 G09G3/006 G09G3/2022 G09G3/36 G09G3/3648 G09G2300/0426 G09G2300/0857 G09G2310/0251		
FI分类号	G09G3/36 G09G3/20.641.E G09G3/20.624.B G09G3/20.670.Q G09G3/20.631.A G02F1/133.550		
F-TERM分类号	2H193/ZA03 2H193/ZA08 2H193/ZA19 2H193/ZB09 2H193/ZC16 2H193/ZC39 2H193/ZD25 2H193/ZF44 2H193/ZK03 2H193/ZK08 2H193/ZK14 2H193/ZK18 5C006/AA14 5C006/AA21 5C006/AF06 5C006/BB15 5C006/BB28 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC16 5C006/BF03 5C006/BF04 5C006/EB01 5C006/EC06 5C006/FA41 5C080/AA10 5C080/DD15 5C080/DD22 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
审查员(译)	Naoaki桥本		
其他公开文献	JP2013114243A		
外部链接	Espacenet		

摘要(译)	(21) 出願番号 (22) 出願日 (65) 公開番号 (43) 公開日 審査請求日	特願2011-263329 (P2011-263329) 平成23年12月1日 (2011. 12. 1) 特開2013-114243 (P2013-114243A) 平成25年6月10日 (2013. 6. 10) 平成26年2月28日 (2014. 2. 28)	(73) 特許権者 308036402 株式会社 JVCケンウッド 神奈川県横浜市神奈川区守屋町3丁目12番地 (74) 代理人 100085235 弁理士 松浦 兼行 (72) 発明者 岩佐 隆行 神奈川県横浜市神奈川区守屋町3丁目12番地 審査官 橋本 直明
-------	---	---	--

最終頁に続く