

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5659708号
(P5659708)

(45) 発行日 平成27年1月28日(2015.1.28)

(24) 登録日 平成26年12月12日(2014.12.12)

(51) Int.Cl. F1
G02F 1/1343 (2006.01) G02F 1/1343

請求項の数 10 (全 14 頁)

(21) 出願番号	特願2010-249887 (P2010-249887)	(73) 特許権者	000006013
(22) 出願日	平成22年11月8日 (2010.11.8)		三菱電機株式会社
(65) 公開番号	特開2012-103343 (P2012-103343A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成24年5月31日 (2012.5.31)	(74) 代理人	100112210
審査請求日	平成25年10月15日 (2013.10.15)		弁理士 稲葉 忠彦
		(74) 代理人	100108431
			弁理士 村上 加奈子
		(74) 代理人	100153176
			弁理士 松井 重明
		(74) 代理人	100109612
			弁理士 倉谷 泰孝
		(72) 発明者	永野 慎吾
			東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示パネル、及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

基板上に、複数の画素がマトリクス状に配置された表示領域と、走査配線と、該走査配線に交差する信号配線と、前記画素は、スイッチング素子と、下部電極と、該下部電極上に形成された絶縁膜と、該絶縁膜上に形成され、前記下部電極との間でフリンジ電界を発生させる複数のスリットを有する上部電極と、
前記絶縁膜よりも下層に、前記走査配線と同一層からなり、該走査配線方向に設けられて所定の共通電位を供給する共通信号配線と、
を備えたアレイ基板と、該アレイ基板と液晶を介して対向配置され、ブラックマトリクスが形成された対向基板とを備え、
前記下部電極と前記上部電極は、一方が前記スイッチング素子と接続された画素電極であり、他方が所定の前記共通電位の共通電極であり、
前記信号配線は、前記走査配線方向に隣接する2個の前記画素毎に1本のみ配置され、前記ブラックマトリクス領域下で、前記信号配線が配置されない隣接する前記画素の境界領域において、
前記共通電極と前記共通信号配線との接続に、隣接する前記画素で共用されるコンタクトホールを備えている液晶表示パネル。

【請求項2】

前記信号配線が配置されない隣接する2個の前記画素の境界領域において、前記共通電極は、該共通電極と同一層で接続されている請求項1に記載の液晶表示パネル。

【請求項 3】

前記共通電極は、前記信号配線方向に隣接する前記画素の前記共通電極と、前記走査配線を超えて接続されている請求項 1 または請求項 2 に記載の液晶表示パネル。

【請求項 4】

前記上部電極の前記スリットは、前記走査配線方向に対して所定の同一角度で対称的な 2 方向に設けられている請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示パネル。

【請求項 5】

前記上部電極の前記スリットは、前記信号配線方向に平行に設けられている請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示パネル。

【請求項 6】

前記共通電極は、前記走査配線方向に隣接する前記画素の前記共通電極と、前記信号配線を超えて接続されている請求項 1 乃至 5 のいずれか 1 項に記載の液晶表示パネル。

【請求項 7】

前記信号配線は屈曲して設けられている請求項 1 乃至 6 のいずれか 1 項に記載の液晶表示パネル。

【請求項 8】

前記共通信号配線は、前記信号配線が屈曲している部分で交差している請求項 7 項に記載の液晶表示パネル。

【請求項 9】

前記下部電極は、前記画素電極であり、前記上部電極は、前記共通電極である請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示パネル。

【請求項 10】

請求項 1 乃至 9 のいずれか 1 項に記載の液晶表示パネルを備えた液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示パネル、及び液晶表示装置に関するものである。特に、フリンジフィールド型 (FFS: Fringe Field Switching) の液晶表示パネル、及び液晶表示装置の画素構成に関するものである。

【背景技術】

【0002】

近年、従来のブラウン管に代わって、液晶、エレクトロルミネセンス等の原理を利用した薄型で平面形状の新しい表示装置が多く使用されるようになった。これらの新しい表示装置の代表である液晶表示装置は、薄型、軽量だけでなく、低電圧駆動できる特徴を有している。液晶表示装置は、主要部である 2 枚の基板の間に液晶を封入した液晶表示パネル等から構成される。片方の基板は、複数の画素がマトリクス状に配置されて表示領域を構成するアレイ基板である。もう片方の基板は、各画素に対応したカラーフィルタやブラックマトリクス (遮光膜) が、アレイ基板に対向して設けられた対向基板 (カラーフィルタ基板) である。

【0003】

特に、薄膜トランジスタ (TFT: Thin Film Transistor) 型液晶表示装置は、アレイ基板上の各画素に、スイッチング素子である TFT が設けられ、各画素が独立して液晶を駆動する電圧を保持できるので、クロストークの少ない高画質な表示が可能である。また、各画素は、TFT の ON、OFF を制御する走査配線 (ゲート配線) と、画像信号入力用の信号配線 (ソース配線) を有する。そして、通常は、各画素は走査配線と、これに交差する信号配線によって囲まれた領域が対応する。

【0004】

走査配線及び信号配線は、一般に比抵抗の小さな不透明な金属膜で形成されるので、開口率 (光透過率) を大きくするには、画素の面積に対して、不透明な金属膜が占める比率が小さい方が望ましい。また、対向基板に形成され、画素からの不要な光漏れを遮光する

10

20

30

40

50

ブラックマトリクス（遮光膜）の面積は小さい方が望ましい。

【0005】

通常、TFT型液晶表示装置では、画素毎に各1本の走査信号線と信号配線が必要であるが、信号配線数が多い場合、これを駆動する信号配線用駆動回路は高価なので、液晶表示装置のコストが高くなる。

【0006】

そこで、特許文献1、2には、1本の信号配線で、隣接する信号配線両側の隣接する2個の画素を駆動することで、信号配線数を半分にした構成が開示されている。

【0007】

そのかわり、走査配線数は2倍となっている。しかし、走査配線を駆動する走査配線用駆動回路は、TFTのON、OFFを順次に行うだけの単純なシフトレジスタ回路程度である。一方、信号配線用駆動回路は、画像のデジタル信号をアナログ電圧信号に変換して、一時保持する回路を有する。このため、走査配線用駆動回路は、信号配線用駆動回路よりも低コストであり、この信号配線数を半分にした構成の方が、液晶表示装置のコストを下げることができる。

【0008】

また、広視野角特性を実現するために、特許文献3には、横電界方式の一種類であるFFS型の液晶表示装置が開示されている。FFS型の液晶表示装置は、液晶を駆動する電界を形成する画素電極と共通電極は、アレイ基板上に形成され、画素電極と共通電極は絶縁層を介して積層される。そして、上部電極に複数の開口部であるスリットが設けられ、上部電極とスリットを経由して下部電極との間に生じるフリンジ電界によって、液晶を駆動する方式である。画素電極と共通電極は、一方を上部電極、他方を下部電極とすることができる。FFS型の液晶表示装置は、通常は、画素電極と共通電極は、ITO（Indium Tin Oxide）等の透明導電膜で形成され、フリンジ電界により、画素電極や共通電極の膜部分も光透過することができる利点がある。

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2000-035589号公報

【特許文献2】特開2006-178461号公報

【特許文献3】特開2010-191410号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、液晶表示装置に、信号配線数を半分にした構成を適用する場合、隣接する2個の画素間の信号配線がない領域にも、画素間の光漏れを遮光するために、信号配線がある領域と同様に、対向基板にブラックマトリクスを設ける必要があった。その結果、走査配線数は2倍となるので、画素の開口率は、通常構成よりも小さくなるという課題があった。特に、FFS型の液晶表示パネル、及び液晶表示装置に、信号配線数を半分にした構成を適用する場合、開口率が大きくできる画素構成についての検討は殆どなされていなかった。

【0011】

本発明は、上記の様な課題を解決するためになされたものであり、特に、FFS型の液晶表示パネル、及び液晶表示装置に、信号配線数を半分にした構成を適用する場合、開口率の低下を抑制し、従来の画素構成に、単純に信号配線数を半分にした構成を適用する場合よりも、開口率が大きくできる液晶表示パネル、及び液晶表示装置を提供することを目的としている。

【課題を解決するための手段】

【0012】

本発明の液晶表示パネル、及び液晶表示装置は、基板上に、複数の画素がマトリクス状

10

20

30

40

50

に配置された表示領域と、走査配線と、走査配線に交差する信号配線と、画素は、スイッチング素子と、下部電極と、下部電極上に形成された絶縁膜と、絶縁膜上に形成され、下部電極との間でフリンジ電界を発生させる複数のスリットを有する上部電極と、絶縁膜よりも下層に、走査配線と同一層からなり、走査配線方向に設けられて所定の共通電位を供給する共通信号配線とを備えたアレイ基板と、アレイ基板と液晶を介して対向配置され、ブラックマトリクスが形成された対向基板とを備え、下部電極と上部電極は、一方がスイッチング素子と接続された画素電極であり、他方が所定の共通電位の共通電極であり、信号配線は、走査配線方向に隣接する2個の画素毎に1本のみ配置され、ブラックマトリクス領域下で、信号配線が配置されない隣接する画素の境界領域において、共通電極と共通信号配線との接続に、隣接する画素で共用されるコンタクトホールを備えているものである。

10

【発明の効果】

【0013】

本発明によれば、FFS型の液晶表示パネル、及び液晶表示装置において、従来の画素構成に、単純に信号配線数を半分にした構成を適用する場合よりも、開口率を大きくすることができる。

【図面の簡単な説明】

【0014】

【図1】本発明の実施の形態1に係る液晶表示装置の構成を模式的に示す平面図である。

【図2】本発明の実施の形態1に係る液晶表示装置の隣接する2個の画素構成を示す等価回路図である。

20

【図3】本発明の実施の形態1に係る液晶表示装置の隣接する2個の画素構成を拡大して示す平面図である。

【図4】図3のA-A断面図である。

【図5】図3のB-B断面図である。

【図6】図3のC-C断面図である。

【図7】参考の形態1に係る液晶表示装置の隣接する2個の画素構成を拡大して示す平面図である。

【図8】本発明の実施の形態2に係る液晶表示装置の隣接する2個の画素構成を拡大して示す平面図である。

30

【図9】本発明の実施の形態3に係る液晶表示装置の隣接する2個の画素構成を拡大して示す平面図である。

【図10】本発明の実施の形態4に係る液晶表示装置の隣接する2個の画素構成を拡大して示す平面図である。

【図11】本発明の実施の形態5に係る液晶表示装置の隣接する2個の画素構成を拡大して示す平面図である。

【発明を実施するための形態】

【0015】

以下、本発明の液晶表示パネル、及び液晶表示装置についての実施の形態を図面に基づいて説明する。なお、以下の実施の形態を説明するための各図において、同一符号は、同一または相当部分を示しているため、適宜、重複する説明は省略する。

40

【0016】

実施の形態1.

はじめに、液晶表示装置の構成を簡単に説明する。図1は、本発明の実施の形態1に係る液晶表示装置の構成を模式的に示す平面図である。

【0017】

FFS型の液晶表示装置100は、主要部である液晶表示パネル90等から構成される。液晶表示パネル90を構成するアレイ基板10と対向基板20の2枚の基板の間には、液晶が封入されている。アレイ基板10は、表示領域50を構成する複数の画素30がマトリクス状に配置されている。そして、画素30を構成する走査配線2、信号配線5や、

50

図示していないが、スイッチング素子のTFT、共通信号配線、画素電極及び共通電極等が形成されている。対向基板20は、アレイ基板10の表示領域50上に液晶を介して対向配置され、カラーフィルタやブラックマトリクス等が形成されている。

【0018】

アレイ基板10は、ガラス、プラスチック等の透明基板1上で、表示領域50と、表示領域50の周辺の額縁領域55に大まかに分けられる。液晶表示装置100は、額縁領域55に、COG(Chip On Glass)実装技術により、走査配線用駆動回路60と、信号配線用駆動回路65が実装されている。また、アレイ基板10の端部には、走査配線用駆動回路60、及び信号配線用駆動回路65に基準電圧、クロック、画像データ等を供給する外部回路と接続するための複数の接続端子(図示せず)が設けられ、フレキシブル基板70、75が接続されている。

10

【0019】

さらに、液晶表示装置100は、図示しないが、液晶表示パネル90の両面に、偏光板や、必要に応じて位相板が貼付される。また、背面光源(バックライト)、外部回路や筐体等が取り付けられる。

【0020】

なお、図1では、表示領域50から、走査配線用駆動回路60の出力部へ延びる走査配線2、信号配線用駆動回路65の出力部へ延びる信号配線5や、走査配線用駆動回路60及び信号配線用駆動回路65の入力部と複数の接続端子とを接続する入力配線が多数本あるが、図の簡素化のために、一部分のみを図示している。

20

【0021】

小型の液晶表示装置100では、配線の総本数が比較的少ないので、走査配線用駆動回路60と信号配線用駆動回路65を一体化した駆動回路が使用されることが多い。また、フレキシブル基板70、75も、まとめて1個にすることが多い。

【0022】

図2は、本発明の実施の形態1に係る液晶表示装置の隣接する2個の画素構成を示す等価回路図である。ここでは、走査配線2(2a、2b)方向に、隣接する2個の画素30毎に1本の信号配線5が交差して配置されている。そのかわりに、2本の走査配線2a、2bが配置されている。

30

【0023】

走査配線2a、2bは、それぞれ、隣接する2個の画素30の片方のTFTに接続され、信号線5は、TFTを介して画素電極6に接続されている。隣接する2個の画素30のTFTの配置は逆向きになっている。

【0024】

また、画素電極6に対向して共通電極8が設けられており、液晶を駆動するフリンジ電界を発生する。ここで、共通電極8は、走査配線2(2a、2b)方向の所定の共通電位(基準電位)を供給する共通信号配線82と接続されている。

【0025】

さらに、実施の形態1では、詳細は後述するが、信号配線5方向に、走査配線2(2a、2b)を超えて、隣接する画素30の共通電極8と、共通電極8と同一層からなる共通電極接続部84で接続されている。

40

【0026】

その結果、各画素30の共通電極8は、上下、左右の隣接する画素30の共通電極8と電氣的に接続され、所定の共通電位となっている。

【0027】

図3は、本発明の実施の形態1に係る液晶表示装置の隣接する2個の画素構成を拡大して示す平面図である。図4は、図3のA-A断面図である。図5は、図3のB-B断面図である。図6は、図3のC-C断面図である。

【0028】

以下に、図3の平面図を、図4、5、6の断面図を適宜参照して、実施の形態1の構成

50

を詳述する。

【0029】

F F S 型の液晶表示装置 100 の特徴であるフリンジ電界を形成する画素電極 6 と共通電極 8 は、実施の形態 1 では、図 4 より、下部電極が画素電極 6 であり、ドレイン電極 5 d に直接接続されている。そして、信号配線 5 や画素電極 6 等の上に保護膜 7 が形成されている。保護膜 7 上の上部電極が共通電極 8 である。共通電極 8 には、開口部である複数のスリット 9 が形成されている。

【0030】

各画素 30 において、共通電極 8 に設けられた複数のスリット 9 は、走査配線 2 方向に対して、所定の同一角度で対称的に少し傾いた 2 方向を有している。スリット 9 を 2 方向にすることで、マルチドメイン化（配向分割）がなされている。これにより、任意の方向において、色変化が少なくなり、視野角特性が向上する。

【0031】

さらに、ここでは、走査配線 2 方向に隣接する 2 個の画素 30 の形状は、コンタクトホール 12 を回転中心とした略回転対称形となっている。

【0032】

次に、図 4 より、T F T は、走査配線 2 (2 a、2 b) の一部分からなるゲート電極と、ゲート絶縁膜 3 上に形成された半導体膜 4 (4 i、4 n)、ソース電極 5 s、ドレイン電極 5 d 等から構成される。半導体膜 4 は、S i 等からなる不純物が添加されない半導体膜 4 i と、P 等の不純物が添加された半導体膜 4 n の積層膜である。ソース電極 5 s とドレイン電極 5 d の間の T F T のチャネル部の半導体膜 4 n は除去されている。

【0033】

また、図 3 より、信号配線 5 の下にも半導体膜 4 を配置している。半導体膜 4 は、信号配線 5 が、走査配線 2 (2 a、2 b) や、走査配線 2 と同一層からなる共通信号配線 8 2 を跨ぐ段差部分での断線や短絡を抑制する効果がある。

【0034】

図 3 において、太線で示す 2 個の矩形領域は、対向基板 20 に設けられた 2 個の画素 30 のブラックマトリクス B M の境界であり、それぞれの内側がブラックマトリクス B M の開口部であり、画素 30 の開口率を決定する。その他の領域は、対向基板 20 のブラックマトリクス B M 領域である。

【0035】

次に、図 3、5 より、走査配線 2 方向に隣接する 2 個の画素 30 は、信号配線 5 がない境界領域において、隣接する 2 個の画素 30 の共通電極 8 は分離しておらず、同一層で連続的に繋がっている。

【0036】

さらに、ブラックマトリクス B M 領域下で、隣接する 2 個の画素 30 の信号配線 5 がない境界領域の中央近傍に、ゲート絶縁膜 3 及び保護膜 7 の 2 層の絶縁膜にコンタクトホール 12 を設け、共通信号配線 8 2 と共通電極 8 の電氣的接続を行っている。これにより、光透過に対して無効領域であるコンタクトホール 12 の数を、2 個の画素 30 で 1 個に削減することができる。

【0037】

また、コンタクトホール 12 を、ブラックマトリクス B M 領域下で、信号配線 5 がない領域に配置できるので、実質的に、コンタクトホール 12 による開口率の低下をなくすることができる。以上の構成により、信号配線 5 を半分にした構成の場合でも、走査配線 2 が 2 倍になることによる画素 30 の開口率の低下を抑制することができる。

【0038】

また、図 3、6 より、共通電極 8 は、信号配線 5 方向に隣接する 2 個の画素 30 の共通電極 8 にも、共通電極 8 を延在した同一層からなる共通電極接続部 8 4 により、走査配線 2 (2 a、2 b) を跨いで接続されている。

【0039】

10

20

30

40

50

ただし、ここでは、共通電極接続部 8 4 は、T F T 上には配置していない。この理由は、T F T 上に共通電極接続部 8 4 を配置した場合、共通電極接続部 8 4 の共通電位が、T F T 特性に影響を与えることを避けるためである。

【 0 0 4 0 】

走査配線 2 (2 a 、 2 b) と共通電極接続部 8 4 の間には、ゲート絶縁膜 3 及び保護膜 7 の 2 層の絶縁膜が形成されているので、片方の絶縁膜にピンホール等の不良があっても短絡することは殆どない。このように、信号配線 5 方向の画素 3 0 間の共通電極 8 を、共通電極接続部 8 4 により接続することにより、共通電極 8 の低抵抗化が図れると共に、走査配線 2 と同一層からなる共通信号配線 8 2 の一部が断線した場合でも、所定の共通電位を、信号配線 5 方向の共通電極接続部 8 4 を介して、共通電極 8 に供給することができる。

10

【 0 0 4 1 】

また、実施の形態 1 の構成は、新たな製造工程を追加する必要がないので、製造コストの増加はない。この結果、信号配線 5 数を半分にしているので、信号配線用駆動回路 6 5 のコストを下げることができ、液晶表示パネル 9 0 、及び液晶表示装置 1 0 0 のコストを下げることができる。

【 0 0 4 2 】

なお、コンタクトホール 1 2 は、隣接する 2 個の画素で共用される 1 個を設けて共通信号配線 8 2 と接続しているが、実施の形態 1 のように、共通電極 8 が、信号配線 5 方向に隣接する画素 3 0 の共通電極 8 と、共通電極接続部 8 4 により接続されている場合は、必ずしも隣接する 2 個の画素 3 0 に 1 個のコンタクトホール 1 2 を設ける必要はない。信号配線 5 方向に隣接する 4 個以上の画素 3 0 毎に 1 個のコンタクトホール 1 2 とすることもできる。この場合も、コンタクトホール 1 2 は、ブラックマトリクス B M 領域下で、隣接する画素 3 0 の信号配線 5 がない境界領域に配置する。

20

【 0 0 4 3 】

また、隣接する画素 3 0 で共用されるコンタクトホール 1 2 は、ブラックマトリクス B M 領域下で、隣接する画素 3 0 の信号配線 5 がない境界領域であれば、開口率に影響しないので、複数個を設けてもよい。

【 0 0 4 4 】

参考の形態 1 .

次に、実施の形態 1 の開口率を、従来の画素構成に、単純に信号配線 5 数を半分にした構成の場合である参考の形態 1 と比較する。図 7 は、参考の形態 1 に係る液晶表示装置の隣接する 2 個の画素構成を拡大して示す平面図である。参考の形態 1 では、従来の F F S 型の液晶表示装置 1 0 0 の画素 3 0 の構成を基に、単純に信号配線 5 数を半分にした構成である。光透過に対して無効領域であるコンタクトホール 1 2 は、各画素 3 0 に 1 個が必要である。光透過領域は、太線で示すブラックマトリクス B M の境界の内側の領域である。

30

【 0 0 4 5 】

図 3 と図 7 の比較より、実施の形態 1 は、各画素 3 0 にコンタクトホール 1 2 を設ける必要はなく、また、コンタクトホール 1 2 は、ブラックマトリクス B M 領域下の信号配線 5 がない領域に配置できるので、参考の形態 1 のように、各画素 3 0 にコンタクトホール 1 2 を設け、コンタクトホール 1 2 近傍で、ブラックマトリクス B M 領域を拡げる必要がないので、開口率が大きくできる。

40

【 0 0 4 6 】

また、参考の形態 1 では、単純に信号配線 5 数を半分にした構成なので、2 個の画素 3 0 の共通電極 8 は分離している。また、共通信号配線接続部 8 4 は設けていない。

【 0 0 4 7 】

参考の形態 1 も、隣接する 2 個の画素 3 0 の共通電極 8 を延在して同一層で繋げることや、共通信号配線接続部 8 4 を設けることはできる。しかし、開口率を大きくする効果は有していない。

50

【0048】

実施の形態2.

図8は、本発明の実施の形態2に係る液晶表示装置の隣接する2個の画素構成を拡大して示す平面図である。実施の形態1と同様に、ブラックマトリクスBM領域下で、信号配線5がない隣接する2個の画素30の境界領域に1個のコンタクトホール12を設け、共通信号配線82と共通電極8の電気的接続を行っている。これにより、共通電極8を低抵抗化することができると共に、開口率の低下を抑制している。

【0049】

さらに、実施の形態2では、実施の形態1の構成に加えて、信号配線5上にも共通電極8を延在して配置している。そして、信号配線5を跨いで走査配線2方向に隣接する画素30の共通電極8と接続している。従って、最上層にある共通電極8は、上下、左右の隣接画素30の共通電極8と接続される格子(メッシュ)形状の構成となっている。これにより、実施の形態1よりも、共通電極8の抵抗をさらに下げることができる。

10

【0050】

また、実施の形態2では、スリット9は、信号配線5方向に配置している。スリット9は、信号配線5方向に配置した方が、実施の形態1に比較して、スリット9の本数を少なくできる。

【0051】

ここで、スリット9の両端部では、フリンジ電界の方向が変化する為、液晶配向が変化しない領域が発生する。よって、スリット9の両端部では暗部となり、光透過に寄与しない。よって、スリット9の両端部の数が少なくなるように、スリット9の本数が少ない本構成の方が、光透過率を大きくすることができる。

20

【0052】

なお、スリット9を、実施の形態1と異なり、信号配線5方向に配置できるのは、信号配線5上にも共通電極8を配置することにより、信号配線5から液晶への漏れ電界を効率的に遮蔽(シールド)できるためである。平面視において、信号配線5からの漏れ電界の方向は走査配線2方向であるが、液晶がポジ型の場合、液晶の初期配向方向は、通常、スリット9方向である。スリット9が信号配線5方向は、信号配線5からの漏れ電界の方向と異なるため、液晶の配向が信号配線5からの漏れ電界の影響を受けやすい問題がある。すなわち、表示特性は、信号配線5からの漏れ電界の影響を受けやすいので、信号配線5上に共通電極8を配置する本構成は、表示特性の観点でも有効である。

30

【0053】

実施の形態3.

図9は、本発明の実施の形態3に係る液晶表示装置の隣接する2個の画素構成を拡大して示す平面図である。実施の形態3では、実施の形態2の構成に加えて、スリット9を2方向に設けて、画素30をマルチドメイン(配向分割)化している。これにより、視野角方向による色変化が少なくなるように、視野角特性の改善を図ることができる。なお、スリット9は、屈曲部で分離している。

【0054】

また、信号配線5も、スリット9と平行に配置することで、画素30を屈曲形状として、光透過に対して無効領域が増えないようにしている。

40

【0055】

共通信号配線82は、屈曲部に配置するとよい。この理由は、光透過に対して無効領域となる共通信号配線82を、スリット9のない屈曲部に重ねて配置することで、共通信号配線82による光透過率の低下を実質的になくすることができるからである。

【0056】

また、スリット9を屈曲部で分離しない場合でも、屈曲部で発生しやすい液晶の配向乱れ領域(ドメイン領域)である光透過しない領域と、共通信号配線82を屈曲部に重ねて配置することで、共通信号配線82による光透過率の低下を実質的になくすることができる。

50

【 0 0 5 7 】

また、ブラックマトリクス B M は、屈曲部に配置する必要がない。これにより、ブラックマトリクス B M による開口率の低下がなく、マルチドメイン化することができる。

【 0 0 5 8 】

また、コンタクトホール 1 2 については、実施の形態 3 も、実施の形態 1 ~ 2 と同様であり、開口率を参考の形態 1 よりも大きくすることができる。

【 0 0 5 9 】

実施の形態 4 .

図 1 0 は、本発明の実施の形態 4 に係る液晶表示装置の隣接する 2 個の画素構成を拡大して示す平面図である。

10

【 0 0 6 0 】

実施の形態 4 は、実施の形態 1 ~ 3 と同様に、ブラックマトリクス B M 領域下で、共通電極 8 と共通信号配線 5 2 を接続するコンタクトホール 1 2 を、信号配線 5 がない隣接する 2 個の画素 3 0 の境界領域に形成する。従って、実施の形態 1 ~ 3 と同様に、開口率を参考の形態 1 よりも大きくすることができる。

【 0 0 6 1 】

なお、実施の形態 4 は、共通信号配線 5 2 は、ブラックマトリクス B M 領域下で、信号配線 5 がない隣接する 2 個の画素 3 0 の境界領域に、信号配線 5 方向に形成している。この場合、共通信号配線 5 2 は、信号配線 5 と同一層で形成される。実施の形態 1 ~ 3 と異なり、開口部の走査信号線 2 方向に、光透過に対して無効領域である共通信号配線 5 2 がないので、実施の形態 1 ~ 3 よりも、さらに開口率を大きくすることができる。

20

【 0 0 6 2 】

また、共通信号配線 5 2 が、走査配線 2 (2 a 、 2 b) を跨ぐ領域には、信号配線 5 と同様に、共通信号配線 5 2 の下に半導体膜 4 2 を形成する。これにより、共通信号配線 5 2 は、信号配線 5 と同様に、走査配線 2 (2 a 、 2 b) を跨ぐ部分での断線や短絡を抑制することができる。

【 0 0 6 3 】

なお、実施の形態 4 では、信号配線 5 上にも共通電極 8 を延在して、信号配線 5 を跨いで走査配線 2 方向に隣接する画素 3 0 の共通電極 8 と接続している。このため、実施の形態 2 と同様に、スリット 9 を信号配線 5 方向に配置したが、実施の形態 1 と同様に、スリット 9 を走査配線 2 方向とすることもできる。

30

【 0 0 6 4 】

実施の形態 5 .

図 1 1 は、本発明の実施の形態 5 に係る液晶表示装置の隣接する 2 個の画素構成を拡大して示す平面図である。実施の形態 5 は、実施の形態 3 と同様に、画素 3 0 の形状を屈曲形状として、マルチドメイン化すると共に、実施の形態 4 と同様に、共通信号配線 5 2 を、ブラックマトリクス B M 領域下で、信号配線 5 がない隣接する 2 個の画素の境界領域に、信号配線 5 方向に形成している。従って、実施の形態 3 、 4 の両方の効果を有することができる。

【 0 0 6 5 】

また、コンタクトホール 1 2 については、実施の形態 5 も、実施の形態 1 ~ 4 と同様であり、開口率を参考の形態 1 よりも大きくすることができる。

40

【 0 0 6 6 】

以上のように、本発明の画素構成は、実施の形態 1 ~ 5 を、様々に組み合わせた構成とすることができる。

【 0 0 6 7 】

また、以上の実施の形態では、下部電極が画素電極 6 であり、上部電極が共通電極 8 とした F F S 構成の場合を示したが、下部電極が共通電極 8 であり、上部電極が画素電極 6 とした構成にも適用でき、共通電極 8 と共通信号配線 8 2 との接続に、走査配線 2 方向に隣接する画素 3 0 で共有されるコンタクトホール 1 2 とすることができる。この場合も、

50

コンタクトホール 1 2 は、ブラックマトリクス B M 領域下で、信号配線 5 が隣接する画素 3 0 の境界領域に形成する。

【 0 0 6 8 】

また、以上の実施の形態では、T F T は、チャンネルエッチ逆スタガ型の場合を示したが、エッチストップ逆スタガ型、トップゲート型等とすることもできる。

【 0 0 6 9 】

また、以上の実施の形態では、駆動回路が C O G 実装の場合を示したが、T A B (T a p e A u t o m a t e d B o n d i n g) 実装や、画素の T F T 形成と同時にアレイ基板上に駆動回路をポリシリコン等の T F T で形成した液晶表示パネル、及び液晶表示装置にも適用できる。

10

【符号の説明】

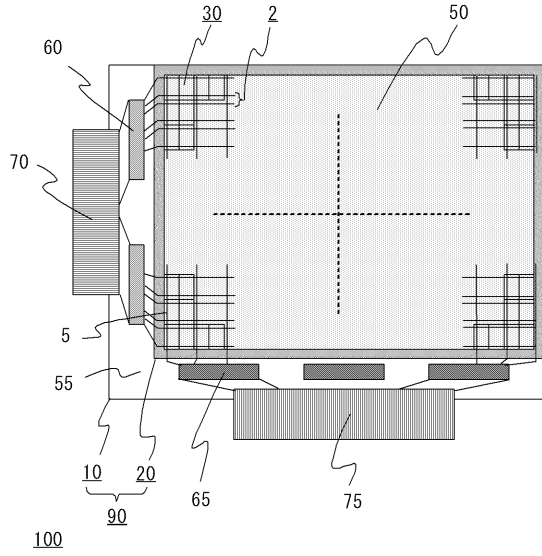
【 0 0 7 0 】

- 1 透明基板
- 2 走査配線
- 3 ゲート絶縁膜
- 4 半導体膜
- 5 信号配線
- 6 画素電極
- 7 保護膜
- 8 共通電極
- 9 スリット
- 1 0 アレイ基板
- 1 2 コンタクトホール
- 2 0 対向基板
- 3 0 画素
- 5 0 表示領域
- 5 2 共通信号配線
- 8 2 共通信号配線
- 8 4 共通電極接続部
- 9 0 液晶表示パネル
- 1 0 0 液晶表示装置

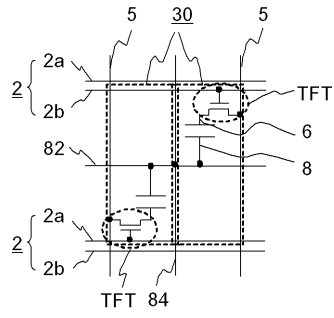
20

30

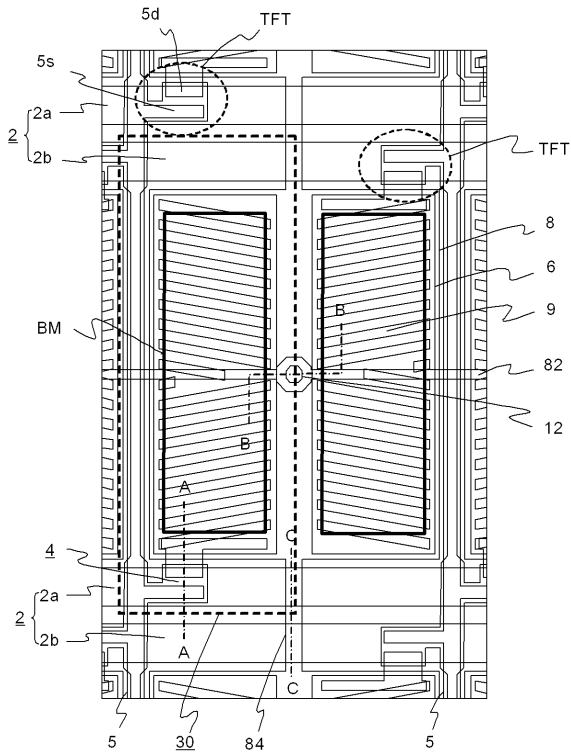
【図1】



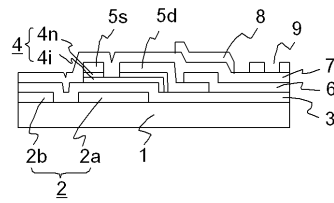
【図2】



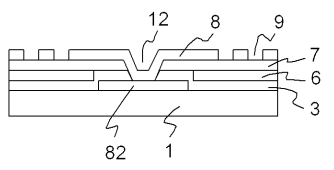
【図3】



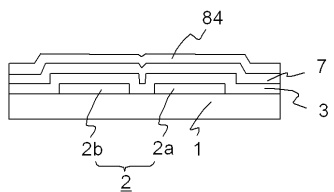
【図4】



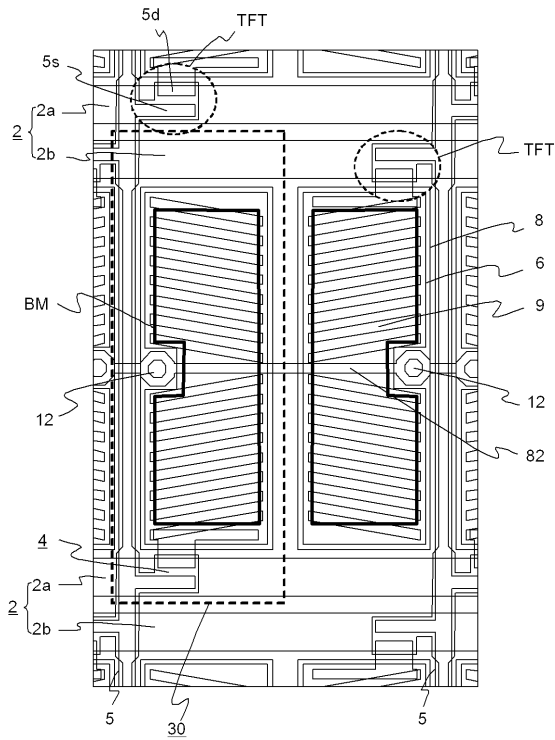
【図5】



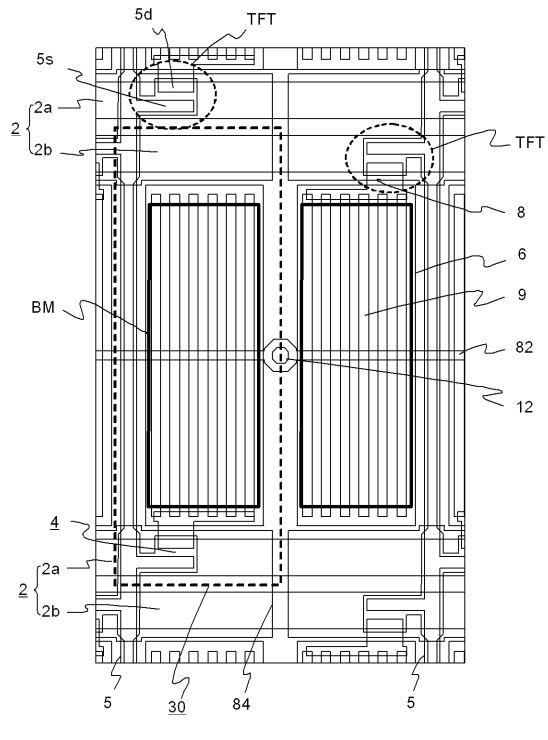
【図6】



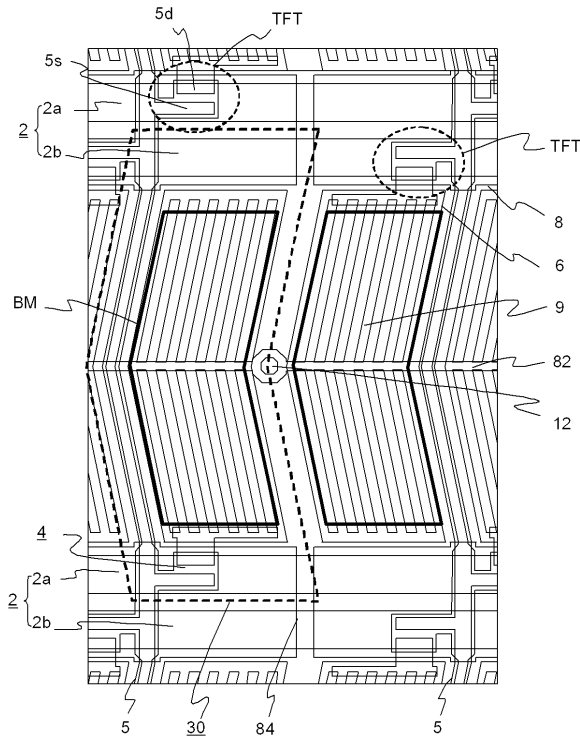
【図7】



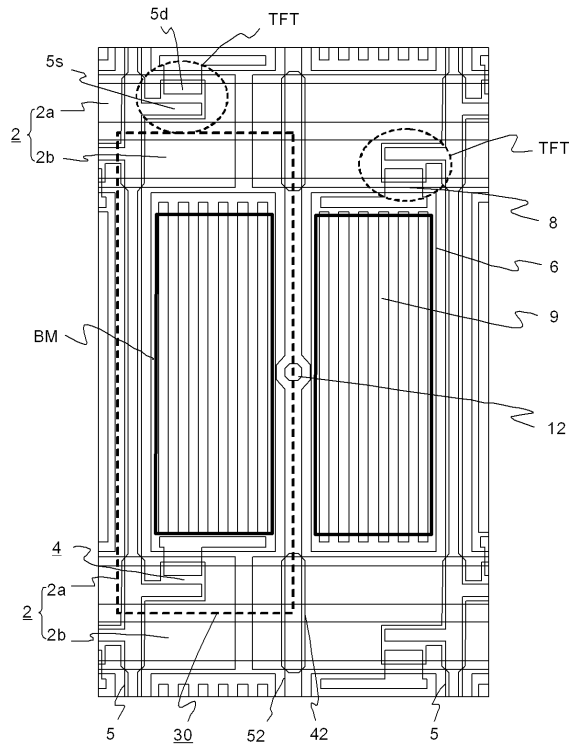
【図8】



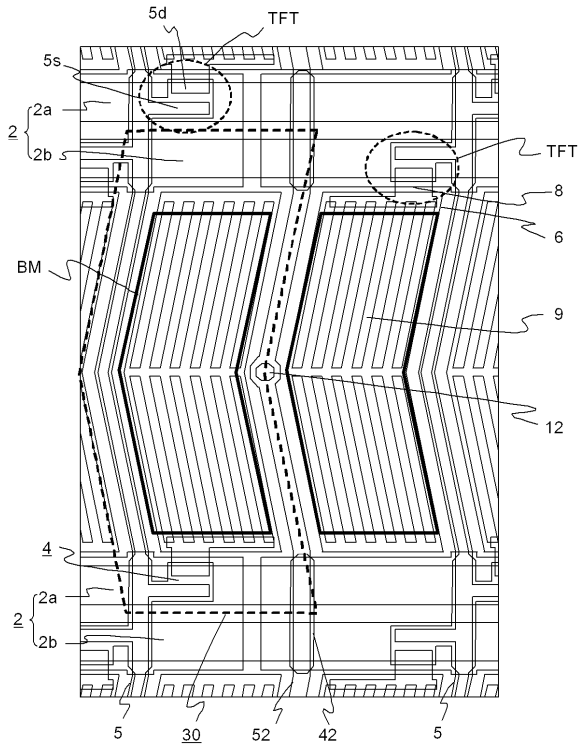
【図9】



【図10】



【図11】



フロントページの続き

審査官 福村 拓

- (56)参考文献 特開2005-196190(JP,A)
特開2008-070763(JP,A)
特開2010-191410(JP,A)
特開2005-148602(JP,A)
特開2009-192932(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/1343

专利名称(译)	液晶显示面板和液晶显示装置		
公开(公告)号	JP5659708B2	公开(公告)日	2015-01-28
申请号	JP2010249887	申请日	2010-11-08
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	永野慎吾		
发明人	永野 慎吾		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134363 G02F2001/134372 G02F2201/121		
FI分类号	G02F1/1343		
F-TERM分类号	2H092/GA17 2H092/GA51 2H092/GA59 2H092/GA60 2H092/JA25 2H092/JA26 2H092/JB32 2H092/JB69 2H092/KA04 2H092/NA07 2H092/NA28 2H092/PA09		
代理人(译)	稻叶忠彦 村上佳菜子 松井茂明		
审查员(译)	福村 拓		
其他公开文献	JP2012103343A		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了解决以下问题：将信号线数量减少到一半的FFS液晶显示装置可以降低成本但是由于扫描线的数量增加了一倍而导致开口率低的问题在没有信号线的像素的边界区域中需要对向基板的黑矩阵。

解决方案：FFS液晶显示装置100的液晶显示面板90包括通常由相邻的两个像素30使用的接触孔12，其中未设置信号线5，用于连接公共电极8和公共信号线82。在对向基板20的黑矩阵BM区域中的相邻两个像素之间的边界区域。

【图3】

