

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5500537号
(P5500537)

(45) 発行日 平成26年5月21日(2014.5.21)

(24) 登録日 平成26年3月20日(2014.3.20)

(51) Int.Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 3 (全 13 頁)

(21) 出願番号	特願2009-75839 (P2009-75839)	(73) 特許権者	502356528
(22) 出願日	平成21年3月26日(2009.3.26)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2010-230780 (P2010-230780A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成22年10月14日(2010.10.14)	(74) 代理人	100089118
審査請求日	平成24年2月13日(2012.2.13)		弁理士 酒井 宏明
		(74) 代理人	100118762
			弁理士 高村 順
		(74) 代理人	100092152
			弁理士 服部 毅巖
		(72) 発明者	木下 卓生
			長野県安曇野市豊科田沢6925 エプソ
			ンイメージングデバイス株式会社内
		(72) 発明者	伊藤 祐之
			長野県安曇野市豊科田沢6925 エプソ
			ンイメージングデバイス株式会社内
			最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

液晶層を挟持した一对の基板のうち、一方の基板には、
 平行に設けられた複数の走査線及びコモン配線と、
 前記走査線、前記コモン配線及び前記一方の基板を被覆する第1の絶縁膜と、
 前記走査線及び前記コモン配線と交差する方向に、前記第1の絶縁膜上に設けられた複
 数の信号線と、
 前記走査線及び前記信号線の交差部近傍に設けられた薄膜トランジスタと、
 前記第1の絶縁膜の下に形成されているとともに前記コモン配線に接続された下電極と
 、
 前記薄膜トランジスタと、前記信号線と、前記第1の絶縁膜との表面に形成された第2
 の絶縁膜と、
 前記第2の絶縁膜上に平面視で前記下電極と重畳するように形成され、スリットを有す
 る上電極と、
 を備え、
 前記下電極と前記上電極との間に生じる電界によって前記液晶層が駆動される表示領域
 と、前記表示領域の外側に形成される非表示領域を有する液晶表示装置において、
 前記コモン配線は、該コモン配線が配設された領域に隣接する前記走査線の一方側に寄
 せて配設され、
 前記下電極は、前記コモン配線の少なくとも一方の側面に複数の段差が形成されるよう

10

20

に前記コモン配線を覆っており、

前記下電極の段差部分は、前記コモン配線の側面から前記下電極の端部までの幅が $2.25\ \mu\text{m}$ 以上であり、

前記下電極の段差部分は、前記コモン配線と前記信号線とが交差する位置の近傍にのみ形成され、

前記非表示領域にはダミー画素が形成されており、前記下電極の段差部分は前記ダミー画素に形成されていることを特徴とする液晶表示装置。

【請求項 2】

前記第 1 の絶縁膜のステップカバレッジは、

前記下電極上の平坦部に形成された絶縁膜の厚さを A とし、

前記下電極の段差の側面に形成された絶縁膜の厚さを B としたとき、

$$B/A \geq 1$$

の関係を満たすように形成されていることを特徴とする請求項 1 に記載された液晶表示装置。

【請求項 3】

(1) 透明な基板の表面全体に亘って導電性層を被覆し、エッチングすることによりゲート電極部分を有する複数の走査線及び複数のコモン配線を互いに平行にパターニングする工程、

(2) 前記(1)の工程で得られた基板の表面全体に亘って透明導電性層を被覆し、各画素に対応する位置に、前記下電極間のコモン配線の表面を覆うと共に、コモン配線の側面を超えて延在するように下電極をパターニングする工程、

(3) 前記(2)の工程で得られた基板の表面全体に亘って第 1 の絶縁膜を被覆する工程、

(4) 前記第 1 の絶縁膜の表面全体に亘って半導体層を被覆し、エッチングすることによりゲート電極部分に対応する位置に半導体層をパターニングする工程、

(5) 前記(4)の工程で得られた基板表面全体に亘って導電性層を被覆し、エッチングすることにより、前記走査線及びコモン配線と交差する方向に信号線を、それぞれの画素毎にドレイン電極と前記信号線に電氣的に接続されたソース電極とをパターニングする工程、

(6) 前記(5)の工程で得られた基板の表面全体に亘って第 2 の絶縁膜を被覆する工程、

(7) 前記それぞれの画素のドレイン電極上に位置する前記第 2 の絶縁膜にコンタクトホールを形成する工程、

(8) 前記(7)の工程で得られた基板の表面全体に亘って透明導電性層を被覆し、エッチングすることにより各画素に複数のスリットを有する上電極をパターニングすると共に、前記上電極とドレイン電極とを電氣的に導通させる工程、

(9) 前記(8)の工程で得られた基板とカラーフィルター基板とを対向させ、両基板間に液晶を封入する工程、

を含み、

前記(2)の工程は、前記下電極のコモン配線の側面を超えて延在する部分である段差部分が、前記コモン配線と前記信号線とが交差する位置の近傍にのみに形成され、かつ、前記コモン配線の側面から前記下電極の端部までの幅が $2.25\ \mu\text{m}$ 以上となり、

さらに、前記下電極と前記上電極との間に生じる電界によって前記液晶層が駆動される表示領域と、前記表示領域の外側に形成される非表示領域が形成され、

前記非表示領域にダミー画素が形成され、

前記下電極の段差部分は、前記ダミー画素に形成されていることを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本発明は、フリンジフィールドスイッチング（Fringe Field Switching：以下、「F F S」という。）モードの液晶表示装置に関し、特に、信号線と共通電極（以下、下電極ともいう）との短絡を抑制したF F Sモードの液晶表示装置に関する。

【 背景技術 】

【 0 0 0 2 】

横電界方式の液晶表示装置として、一方の基板にのみ画素電極及び共通電極からなる一対の電極を備えたF F Sモードの液晶表示装置が知られている。このF F Sモードの液晶表示装置は、液晶層に電界を印加するための画素電極と共通電極をそれぞれ絶縁膜を介して異なる層に配置したものであり、広視野角かつ高コントラストであり、さらに低電圧駆動ができると共ににより高透過率であるため明るい表示が可能となるという特徴を備えている。加えて、F F Sモードの液晶表示装置は、平面視で画素電極と共通電極との重畳面積が大きいために、より大きな保持容量が副次的に生じ、別途補助容量電極を設ける必要がなくなるといふ長所も存在している。

10

【 0 0 0 3 】

しかし、従来より蒸着方法として、真空蒸着法やスパッタリングなどの物理蒸着法、熱分解による有機金属化学蒸着法などにより製造されており、このようなF F Sモードの液晶表示装置では、信号線がコモン配線と交差する位置に積層による段差が生じ、段差の側面領域の膜厚が薄くなることで絶縁耐圧が低下しやすく、断線故障ないし短絡故障が時折り見受けられた。従来のF F Sモードの液晶表示装置では、コモン配線の表面は下電極で被覆され、下電極の表面はゲート絶縁膜で被覆されており、ゲート絶縁膜の表面には信号線が形成されており、さらに、走査線及び信号線の交差部近傍にはスイッチング素子としての薄膜トランジスタT F T（Thin Film Transistor）が形成されている。そのため、製造時には、ゲート絶縁膜表面の全面に例えばアモルファスシリコン（a - S i）層及び n^+ a - S i層を成膜した後、フォトリソグラフィ法によってT F T形成用の半導体層をパターニングしている。このとき、a - S i層及び n^+ a - S i層に対してフォトリソグラフィ法を適用してパターニングする前に純水による洗浄工程があるが、純水と n^+ a - S i層との間で静電気が発生するため、この静電気によって n^+ a - S i層とコモン配線との間でスパークが発生し、 n^+ a - S i層と下電極との間の第1の絶縁膜に絶縁破壊が生じることがある。

20

30

【 0 0 0 4 】

半導体基板において、形成された微細な段差に金属膜を成膜するとき、段差の側面領域と、段差の周囲の平坦部分での膜厚の比率をステップカバレッジといい、段差の周囲の平坦部分での膜厚をA、段差の側面領域での膜厚をBとすると、ステップカバレッジは B/A と表される。この値が1より大きいほどカバレッジ性がよく、1より小さいほどカバレッジ性が悪い。段差の周囲の平坦部分での膜厚に比較して段差の側面領域の膜厚が薄いとカバレッジ性が悪く、段差の側面領域に微細な穴やクラックが生じやすい。

【 0 0 0 5 】

この状態で、第1の絶縁膜の表面にソースレイヤーを製膜した後に信号線、ソース電極及びドレイン電極等をパターニングすると、ソースレイヤーがゲート絶縁膜の破壊された箇所に進入するので、信号線と下電極とが短絡してしまい、線欠陥として表れることがある。このような現象が生じる原因は、コモン配線と下電極とにより形成される段差が大きく、しかも、コモン配線と下電極を被覆しているゲート絶縁膜のステップカバレッジが悪いため、コモン配線と下電極の側面を被覆しているゲート絶縁膜の厚さが薄くなってしまうためである。このようにコモン配線と下電極とにより形成される段差が大きくなる理由は、

40

（1）コモン配線を、このコモン配線が配設された領域に隣接する走査線の一方側に寄せて配設して開口率を向上させると共に表示画質を向上させるため、

（2）コモン配線と下電極間の接触抵抗を小さくするために最大限にコモン配線と下電極間の接触面積を大きくするため、

50

走査線側に下電極がはみ出さないようにコモン配線の側面と同一位置に側面が形成されるようにしているためである。

【 0 0 0 6 】

このような、課題を解決する方法として、下記特許文献 1 には、絶縁膜を 2 重にすることで、静電気等に対して十分な絶縁破壊強度を確保することができる半導体装置が開示されている。下記特許文献 1 に開示されている半導体装置において、絶縁膜を酸化ケイ素膜又はチタ化ケイ素膜からなる第 1 の絶縁膜と耐熱性の有機系材料からなる第 2 の絶縁膜の 2 層構造としている。そして、第 2 の絶縁膜は、粘性を大きくした液状物を塗布することにより形成されているため、肩はダレて絶壁にならず、膜端部の形状が緩和されてなだらかな斜面状（テーパー状）となるため、従来に比べ絶縁膜の膜厚を増加することができ、静電気に対して十分な絶縁破壊強度を確保できるとしている。

10

【先行技術文献】

【特許文献】

【 0 0 0 7 】

【特許文献 1】特開平 0 6 - 1 1 2 3 3 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 8 】

しかし、上記特許文献 1 に開示されている半導体装置のような絶縁膜の端部を斜面状にして十分な膜厚を得る方法では、下電極の端部の上部側に形成された絶縁膜は、端部を斜面状としてステップカバレッジをよくしたとはいえ、平坦部に比べると膜厚が薄くなっていることには変わりはなく、絶縁膜全体に亘って十分な厚さに形成することは困難である。そのため、上記特許文献 1 に開示されている半導体装置においても、洗浄中に発生した静電気と下電極との間で発生した電界によって下電極の斜面状の端部の上側に形成されている厚さが薄い部分で局所的に静電破壊されてしまうことがある。

20

【 0 0 0 9 】

本発明者らは、上記のような従来技術の問題点を解決すべく種々検討を重ねた結果、スパーク発生の起点となるコモン配線上に形成される下電極を延設して複数の段差を形成することで、第 1 の絶縁膜の C V D 成膜時にエッジ部の膜厚形成不足を解消させることができることを見出し、本発明を完成するに至ったのである。すなわち、本発明の目的は、下電極と信号線間の短絡を抑制し、線欠陥の発生を少なくした、信頼性の高い F F S モードの液晶表示装置を提供することにある。

30

【 0 0 1 0 】

また、本発明の他の目的は、上記本発明の効果を奏することができる F F S モードの液晶表示装置の製造方法を提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

上記目的を達成するため、本発明の液晶表示装置は、液晶層を挟持した一対の基板のうち、一方の基板には、平行に設けられた複数の走査線及びコモン配線と、前記走査線、前記コモン配線及び前記一方の基板を被覆する第 1 の絶縁膜と、前記走査線及び前記コモン配線と交差する方向に、前記第 1 の絶縁膜上に設けられた複数の信号線と、前記走査線及び前記信号線の交差部近傍に設けられた薄膜トランジスタと、前記第 1 の絶縁膜の下に形成されているとともに前記コモン配線に接続された下電極と、前記薄膜トランジスタと、前記信号線と、前記第 1 の絶縁膜との表面に形成された第 2 の絶縁膜と、前記第 2 の絶縁膜上に平面視で前記下電極と重畳するように形成され、スリットを有する上電極と、を備え、前記下電極と前記上電極との間に生じる電界によって前記液晶層が駆動される表示領域と、前記表示領域の外側に形成される非表示領域を有する液晶表示装置において、前記コモン配線は、該コモン配線が配設された領域に隣接する前記走査線の一方側に寄せて配設され、前記下電極は、前記コモン配線の側面に複数の段差が形成されるように前記コモン配線を覆っていることを特徴とする。

40

50

【 0 0 1 2 】

本発明の液晶表示装置は、液晶層を挟持した一対の基板のうち、一方の基板上には、平行に設けられた複数の走査線及びコモン配線と、前記走査線、コモン配線及び露出している前記第1基板を被覆する第1の絶縁膜と、前記走査線及びコモン配線と交差する方向に、前記第1の絶縁膜上に設けられた複数の信号線と、前記走査線及び信号線の交差部近傍に設けられた薄膜トランジスタTFT(Thin Film Transistor)と、複数の前記走査線及び信号線で区画された領域毎に、前記第1の絶縁膜の下に形成されているとともに前記コモン配線に接続された透明導電性材料からなる下電極と、前記薄膜トランジスタ及びその電極と、前記信号線と、露出している前記第1の絶縁膜の表面に形成された第2の絶縁膜と、前記第2の絶縁膜上に平面視で前記下電極と重畳するように形成され、互いに平行に設けられた複数のスリットを有する透明導電性材料からなる上電極と、を備えている。それによって本発明の液晶表示装置はFFSモードの液晶表示装置として作動する。ここでは、下電極は共通電極として作動し、上電極が画素電極として作動する。

10

【 0 0 1 3 】

そして、本発明の液晶表示装置では、下電極を、コモン配線の側面に段差が形成されるように、コモン配線を覆うように形成し、コモン配線と下電極とにより複数の段差が形成されるようにしている。このような構成であると、これらの表面に第1の絶縁膜を被覆しても、個々の段差は小さいので第1の絶縁膜の厚さが薄くなることが抑制され、前述のような第1の絶縁膜が洗浄等の製造工程中に静電気によって絶縁破壊されることが抑制されるようになる。従って、本発明の液晶表示装置によれば、信号線とコモン配線との間の短絡が抑制されるので、線欠陥の少ない液晶表示装置を提供することができる。

20

【 0 0 1 4 】

また、本発明の液晶表示装置では、下電極は下電極間のコモン配線の表面をも覆うようにしている。通常、下電極は複数の前記走査線及び信号線で区画された領域毎に形成されていけばよいものであるが、下電極間のコモン配線の表面をも覆うようにすると、コモン配線と交差する部分で信号線の両側の第1の絶縁膜に段差が生じないので、より洗浄時の静電気による第1の絶縁膜の絶縁破壊を抑制することができるようになる。

【 0 0 1 5 】

また、本発明の液晶表示装置では、コモン配線は、このコモン配線が配設された画素領域に隣接する走査線の一方側に寄せて配設されている。このような構成を採用することにより、コモン配線が1画素内の中央部に位置することがなくなるので、開口率を大きくすることができ、また、1画素がコモン配線によって2つの領域に分割されることがなくなるので、表示画質が良好となる。

30

【 0 0 1 6 】

また、本発明の液晶表示装置においては、前記下電極の段差部分の幅は、前記コモン配線の側面から2.25 μm 以上であることが好ましい。

【 0 0 1 7 】

走査線及びコモン配線の厚さは0.2 μm 程度であり、下電極の厚さは0.1 μm 程度であり、さらにゲート絶縁膜とも称される第1の絶縁膜の厚さは一般に0.4 μm 程度である。そのため、下電極の段差部分の幅をコモン配線の側面から2.25 μm 以上とすることにより、信号線の線幅のバラツキやパターンズレを考慮しても、下電極の上層に成膜される第1の絶縁膜の厚さを段差部分の側面においても静電気による絶縁破壊を十分抑制できる厚さにすることができる。そのため、本発明の液晶表示装置によれば、信号線とコモン配線との間の短絡をより抑制することができ、より線欠陥が少ない液晶表示装置を提供することができる。下電極の段差の幅が2.25 μm 未満となると、下電極と信号線との間の短絡が多くなるので好ましくない。

40

【 0 0 1 8 】

また、本発明の液晶表示装置においては、前記下電極の段差部分は、前記コモン配線と前記信号線とが交差する位置の近傍にのみ形成されていることが好ましい。

【 0 0 1 9 】

50

本発明は下電極と信号線との間の短絡防止を目的とするものであるから、下電極の段差部分はコモン配線と信号線とが交差する部分のみ形成すれば十分である。そのため、本発明の液晶表示装置によれば、線欠陥の発生が抑制されていると共に、開口率が大きく、しかも、表示画質が良好な液晶表示装置を提供することができる。

【 0 0 2 0 】

また、本発明の液晶表示装置においては、前記第 1 の絶縁膜のステップカバレッジは、前記下電極上の平坦部に形成された絶縁膜の厚さを A とし、前記下電極の段差の側面に形成された絶縁膜の厚さを B としたとき、

$$B / A \geq 1$$

の関係を満たすように形成されていることが好ましい。

10

【 0 0 2 1 】

第 1 の絶縁膜のステップカバレッジが $B / A \geq 1$ の関係を満たすようにすれば、段差の周囲の平坦部分での膜厚に比較して段差の側面領域の膜厚が十分厚くカバレッジ性が良いと判断でき、第 1 の絶縁膜に十分な絶縁耐圧を付与することができる。そのため、本発明の液晶表示装置によれば、第 1 の絶縁膜の絶縁耐力を大きくすることができるので、信号線とコモン配線との間の短絡をより抑制することができ、より線欠陥の発生が少ない液晶表示装置を提供することができる。ステップカバレッジが $B / A < 1$ の関係になると、段差の周囲の平坦部分での膜厚に比較して段差の側面領域の膜厚が薄くなり、段差の側面領域に微細な穴やクラックが生じやすく、下電極と信号線との間の短絡が多くなるので好ましくない。

20

【 0 0 2 2 】

また、本発明の液晶表示装置においては、前記非表示領域にはダミー画素が形成されており、前記下電極の段差部分は前記ダミー画素に形成されていることが好ましい。

【 0 0 2 3 】

ダミー画素領域は、表示領域に隣接した領域に形成され、実際の表示には寄与しない領域である。しかし、ダミー画素が形成されていることにより、表示領域の各層の膜厚とダミー画素の各層の膜厚とを同一とすることができるため、表示領域の周辺部の画素の表示画質が非表示領域と隣接していることによる悪影響を受けることが少なくなる。また、ダミー画素は、表示領域周辺に形成されているため、外部からの静電気等のストレスを吸収することができるので、表示領域内の画素に欠陥が発生することを抑制できる。そのため、本発明の液晶表示装置によれば、ダミー画素においても信号線とコモン配線との間の短絡を抑制することができるから、ダミー画素が正常に機能することで表示領域内の表示画素の欠陥を抑制した信頼性の高い液晶表示装置を提供することができる。

30

【 0 0 2 4 】

さらに本発明の液晶表示装置の製造方法は、以下の (1) ~ (9) の工程を含むことを特徴とする。

(1) 透明な基板の表面全体に亘って導電性層を被覆し、エッチングすることによりゲート電極部分を有する複数の走査線及び複数のコモン配線を互いに平行にパターンニングする工程、

(2) 前記 (1) の工程で得られた基板の表面全体に亘って透明導電性層を被覆し、各画素に対応する位置に、前記下電極間のコモン配線の表面を覆うと共に、コモン配線の側面を超えて延在するように下電極をパターンニングする工程、

40

(3) 前記 (2) の工程で得られた基板の表面全体に亘って第 1 の絶縁膜を被覆する工程、

(4) 前記第 1 の絶縁膜の表面全体に亘って半導体層を被覆し、エッチングすることによりゲート電極部分に対応する位置に半導体層をパターンニングする工程、

(5) 前記 (4) の工程で得られた基板表面全体に亘って導電性層を被覆し、エッチングすることにより、前記走査線及びコモン配線と交差する方向に信号線を、それぞれの画素毎にドレイン電極と前記信号線に電氣的に接続されたソース電極とをパターンニングする工程、

50

(6) 前記 (5) の工程で得られた基板の表面全体に亘って第 2 の絶縁膜を被覆する工程、
(7) 前記それぞれの画素のドレイン電極上に位置する前記第 2 の絶縁膜にコンタクトホールを形成する工程、
(8) 前記 (7) の工程で得られた基板の表面全体に亘って透明導電性層を被覆し、エッチングすることにより各画素に複数のスリットを有する上電極をパターンニングすると共に、前記上電極とドレイン電極とを電氣的に導通させる工程、
(9) 前記 (8) の工程で得られた基板とカラーフィルター基板とを対向させ、両基板間に液晶を封入する工程。

【 0 0 2 5 】

10

本発明の液晶表示装置の製造方法によれば、上記効果を奏する本発明の F F S モードの液晶表示装置を製造することができる。

【図面の簡単な説明】

【 0 0 2 6 】

【図 1】実施形態の F F S モードの液晶表示装置の平面図である。

【図 2】実施形態の F F S モードの液晶表示装置のアレイ基板側の 2 画素分の概略平面図である。

【図 3】図 2 の III - III 線に沿った概略断面図である。

【図 4】図 4 A ~ 図 4 F は実施形態の 1 画素分の製造工程を順を追って示す図 1 の III - III 線に対応する部分の断面図である。

20

【図 5】図 5 A ~ 図 5 C は実施形態の 1 画素分の製造工程を順を追って示す図 4 に続く断面図である。

【図 6】図 6 A は、図 2 の VIA 部分の信号線までを透過した拡大平面図であり、図 6 B は、図 6 A の VIB - VIB 線での断面図である。

【図 7】図 7 A は、従来例の図 6 B に対応する断面図であり、図 7 B はスパーク状態を示した断面図である。

【図 8】図 8 A は、従来例の短絡状態を示した図 6 A に対応する平面図であり、図 8 B は、図 8 A の VIIIB - VIIIB 線での断面図である。

【発明を実施するための形態】

【 0 0 2 7 】

30

以下、図面を参照して本発明の実施形態を説明する。但し、以下に示す実施形態は、本発明の技術思想を具体化するための液晶表示装置として F F S モードの液晶表示装置を例示するものであって、本発明をこの F F S モードの液晶表示装置に特定することを意図するものではなく、特許請求の範囲に含まれるその他の実施形態のものにも等しく適応し得るものである。なお、この明細書における説明のために用いられた各図面においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならせて表示しており、必ずしも実際の寸法に比例して表示されているものではない。

【 0 0 2 8 】

本発明の実施形態の F F S モードの液晶表示装置 1 0 を図 1 ~ 図 6 を参照して説明する。本実施形態に係る液晶表示装置 1 0 は、図 1 に示すように、アレイ基板 A R 及びカラーフィルター基板 C F と、両基板 A R、C F を貼り合わせるシール材 2 5 と、アレイ基板 A R、カラーフィルター基板 C F 及びシール材 2 5 により囲まれた領域に液晶 (図示省略) が液晶注入口 2 7 から注入され液晶注入口 2 7 が封止材 2 8 で封止された構成の液晶表示装置である。この液晶表示装置 1 0 においては、シール材 2 5 により囲まれた領域が表示領域 2 6 を形成しており、この表示領域 2 6 の周囲に設けられる画像が認識されない領域が液晶表示装置 1 0 の非表示領域 2 9 となる。

40

【 0 0 2 9 】

アレイ基板 A R は、ガラス等で形成された矩形状の第 1 の透明基板 1 1 の表面に液晶駆動用の各種配線等が形成されたものである。このアレイ基板 A R はカラーフィルター基板 C F よりもその長手方向の長さが長く、両基板 A R、C F を貼り合わせた際に外部に延在

50

する延在部 11a が形成されるようになっており、この延在部 11a には駆動信号を出力する IC チップあるいは LSI 等からなるドライバー Dr が設けられている。

【0030】

この実施形態の FFS モードの液晶表示装置 10 のアレイ基板 AR は、透明基板 11 の表面全体に亘って、フォトリソグラフィ法あるいはエッチング法等によって、複数の走査線 12 及び複数のコモン配線 13 が互いに平行になるように形成する（図 2、図 4A 参照）。なお、本発明にかかる液晶表示装置 10 では、開口率を向上させると共に表示画質を向上させるため、コモン配線 13 を走査線 12 の一方側に寄せて配設している。

【0031】

次いで、走査線 12 及びコモン配線 13 を形成した透明基板 11 の表面全体に亘って ITO (Indium Thin Oxide) 又は IZO (Indium Zink Oxide) 等からなる透明導電性層を被覆し、同じくフォトリソグラフィ法等によって下電極 14 を形成する。このとき、下電極 14 は、図 4B、図 6A 及び図 6B に示すように、各画素間のコモン配線 13 の表面をも覆うと共に、複数の段差 14a が幅 X にわたって形成されるようコモン配線 13 の表面を覆うようにする。なお、ここでは下電極 14 の一部を、信号線 17 と平面視で重畳する位置において、隣接する画素の走査線 12 を覆う位置まで延在させている。

10

【0032】

このようにして下電極 14 を形成した後、この表面全体に窒化ケイ素層からなる第 1 の絶縁膜 15 を被覆する（図 4C 参照）。このとき、第 1 の絶縁膜 15 は、下電極 14 に形成された複数の段差 14a 上に成膜されるため、第 1 の絶縁膜 15 も複数の段差が形成される。

20

【0033】

次いで、a-Si 層 16a 及び n⁺a-Si 層 16b を第 1 の絶縁膜 15 の表面全体に亘って被覆した後に、同じくフォトリソグラフィ法等によって、TFT 形成領域に a-Si 層 16a 及び n⁺a-Si 層 16b からなる半導体層 16 を形成する（図 4D、図 4E 参照）。この半導体層 16 が形成されている位置の走査線 12 の領域が TFT のゲート電極 G を形成する。

【0034】

次いで、半導体層 16 を形成した透明基板 11 の表面全体に亘って導電性層を被覆し、同じくフォトリソグラフィ法等によって、信号線 17 及びドレイン電極 D を形成する（図 5A 参照）。この信号線 17 のソース電極 S 部分及びドレイン電極 D 部分は、いずれも半導体層 16 の表面に部分的に重なっている。

30

【0035】

ここで、図 7、図 8 を参照して本実施形態の場合と従来例の場合とを比較して説明する。図 4F に示す工程では、半導体層 16b を成膜した後、純水 WT で洗浄する工程がある。従来例では、コモン配線 13 上の第 1 の絶縁膜 15 は、図 7A に示すように下電極 14 がエッジ部 E を有しており、その上層に第 1 の絶縁膜 15 を形成しているため、第 1 の絶縁膜 15 の平坦部の厚さ A' に比べ、エッジ部 E に形成された第 1 の絶縁膜の厚さ B' が薄くなり、ステップカバレッジ (B' / A') が悪くなる。

【0036】

40

このとき、半導体層 16 は、図 7B で示したように、コモン配線 13 上の第 1 の絶縁膜 15 の表面にも成膜され、この状態で洗浄される。そのため、純水 WT による洗浄中に、純水 WT と n⁺a-Si 層 16b との間での摩擦により発生した静電気が n⁺a-Si 層 16b 及び a-Si 層 16a を経てコモン配線 13 上に形成された下電極 14 との間でスパーク 22 を起し、下電極 14 上に薄く形成された第 1 の絶縁膜 15 が破壊されて傷 23 が形成されてしまう（図 8B 参照）。そして、この第 1 の絶縁膜 15 に傷 23 を残したまま図 4F に示す工程に進んで、第 1 の絶縁膜 15 の上層に信号線 17 を形成すると、ソースレイヤー形成時にソースレイヤーが第 1 の絶縁膜 15 の破壊された傷 23 に進入するので、信号線 17 と下電極 14 とが短絡してしまい、線欠陥不良となる。

【0037】

50

そこで、本実施形態では、図 6 A、図 6 B に示すように、下電極 1 4 はコモン配線 1 3 を覆うように複数の段差 1 4 a が幅 X にわたって形成されるようにしている。そして、この段差 1 4 a を覆うように第 1 の絶縁膜 1 5 を形成することにより、第 1 の絶縁膜 1 5 は、平坦部の厚さ A と段差 1 4 a 部の厚さ B とがほぼ同じになるように形成される。そのため、この段差部分の第 1 の絶縁膜 1 5 のステップカバレッジ (B / A) が良化し、すなわち、第 1 の絶縁膜 1 5 が従来例のものよりも厚く形成されるため、静電気に対する絶縁耐力が向上し、純水 W T による洗浄中に発生した静電気により第 1 の絶縁膜 1 5 が破壊されることが抑制され、その結果、下電極 1 4 と信号線 1 7 間の短絡 2 4 を抑制することができるようになる。

【 0 0 3 8 】

10

なお、本実施形態では、下電極 1 4 の一部を、信号線 1 7 と平面視で重畳する位置において、隣接する画素の走査線 1 2 を覆う位置まで延在させているため、上述の信号線 1 7 とコモン配線 1 3 との間に生じる効果を、信号線 1 7 と走査線 1 2 との間にも期待できるようになる、そのため、本実施形態では、信号線 1 7 と走査線 1 2 との間に形成される可能性がある短絡も抑制することができるようになる。

【 0 0 3 9 】

次に、本実施形態の液晶表示装置 1 0 を完成させるために、この基板の表面全体に窒化ケイ素層からなる第 2 の絶縁膜 1 8 を被覆した後、ドレイン電極 D に対応する位置の第 2 の絶縁膜 1 8 にコンタクトホール 1 9 を形成してドレイン電極 D の一部を露出させる (図 5 B 参照) 。さらに、この表面全体に亘って I T O 等からなる透明導電性層を被覆し、同じくフォトリソグラフィ法等によって、図 2 に示したパターンとなるように、走査線 1 2 及び信号線 1 7 で囲まれた領域の第 2 の絶縁膜 1 8 上に、互いに平行に複数のスリット 2 0 を有する上電極 2 1 を形成する (図 5 C 参照) 。このスリット 2 0 は、フリンジフィールド効果を発生させるためのものである。この上電極 2 1 はコンタクトホール 1 9 を介してドレイン電極 D と電氣的に接続されているため、画素電極として機能する。

20

【 0 0 4 0 】

次に、この表面全体に亘り所定の配向膜 (図示せず) を形成することによりアレイ基板 A R が完成される。このようにして製造されたアレイ基板 A R と別途製造されたカラーフィルター基板とを対向させ、周囲をシール材 2 5 で貼り合わせて両基板間に形成された空間に液晶を封入することにより実施形態に係る F F S モードの液晶表示装置 1 0 が得られる。なお、カラーフィルター基板 C F の詳細な説明は省略したが、ガラス等の透明基板の表面にカラーフィルター層、オーバーコート層及び配向膜がそれぞれ積層されており、共通電極が設けられていない他は従来の T N (Twisted Nematic) 方式の液晶表示装置用のものと実質的に同一の構成を備えている。

30

【 0 0 4 1 】

このようにして作製された実施形態の F F S モードの液晶表示装置によれば、下電極の表面にステップカバレッジの良好な第 1 の絶縁膜が形成されるので、静電気による第 1 の絶縁膜の破壊が抑制され、その結果、下電極と信号線との間での短絡を抑制することができ、信頼性の高い液晶表示装置を提供することができる。

【 0 0 4 2 】

40

なお、本実施形態では、下電極の段差はコモン配線に沿って全面に形成されている例を示したが、短絡の起こりやすい場所のみ、例えばコモン配線と信号線とが交差する位置の近傍にのみ形成されるようにしてもよい。このようにすることで、下電極と信号線との間の短絡防止の目的を達することができ、表示画質が良好な F F S モードの液晶表示装置を提供することができる。

【 0 0 4 3 】

なお、下電極の複数の段差の幅 X は、第 1 の絶縁膜を十分な厚さで成膜できるようにするために、 $2.25 \mu\text{m}$ 以上とするとよい。下電極の厚さは $0.1 \mu\text{m}$ 程度であるが、ゲート絶縁膜と称される第 1 の絶縁膜の厚さは通常 $0.4 \mu\text{m}$ 程度も必要である。下電極の複数の段差の幅 X を $2.25 \mu\text{m}$ 以上とすることで、信号線の線幅のバラツキやパターン

50

ズレを考慮しても、下電極の上層に成膜される第1の絶縁膜の厚さを段差部分の側面においても静電気による絶縁破壊を十分抑制できる厚さにすることができるようになる。この下電極の複数の段差の幅Xが2.25 μm未満となると、下電極と信号線との間の短絡が多くなるので好ましくない。

【0044】

また、本実施形態におけるステップカバレッジ(B/A)の値の算出に用いる第1の絶縁膜の平坦部の膜厚Aの測定箇所は、段差最上部の平坦部中央、又は段差周囲の平坦部であることがのぞましく、側面領域の膜厚Bの測定箇所は該当段差部の最薄部とすることがのぞましく、これにより正確にステップカバレッジ(B/A)の値を算出できる。

【0045】

また、本実施形態における第1の絶縁膜の平坦部の膜厚Aと、側面領域の膜厚Bとの比であるステップカバレッジ(B/A)の値は、1以上となるようにするとよい。そのようにすることで、側面領域の膜厚Bが平坦部の膜厚Aと比較して十分に厚く、段差部の側面領域にも膜を形成するための材料物質が十分留まっており、微細な穴やクラックが生じることなく安定した金属膜や絶縁膜が成膜できる。このようにすることで、第1の絶縁膜に十分な絶縁耐圧を付与することができるため、第1の絶縁膜の絶縁耐力を大きくすることができ、信号線とコモン配線との間の短絡をより抑制することができるので、より線欠陥の発生が少ない液晶表示装置を提供することができる。ステップカバレッジ(B/A)の値が1未満であると、側面領域の膜厚Bが平坦部の膜厚Aと比較して薄く、段差部の側面領域にも膜を形成するための材料物質が十分留まっておらず、微細な穴やクラックが生じるため、下電極と信号線との間の短絡が多くなるので好ましくない。

【0046】

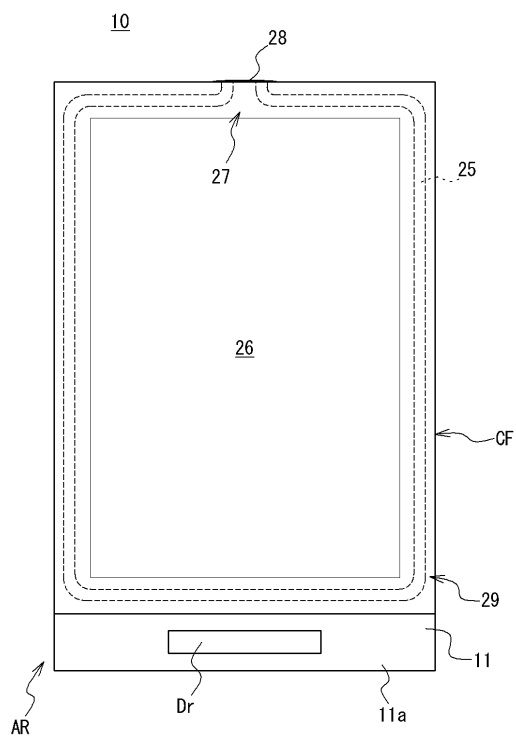
また、本実施形態における液晶表示装置の非表示領域29にはダミー画素が形成され、下電極の段差部分をこのダミー画素に形成されるようにするとよい。ダミー画素は静電気によって優先的に破壊されて表示領域内の画素に静電気の影響が及ばないようにする機能をも備えているため、ダミー画素が正常に機能していればより表示領域の画素に静電気の影響が及ばないようにすることができるため、より信頼性の高い液晶表示装置を提供することができるようになる。

【符号の説明】

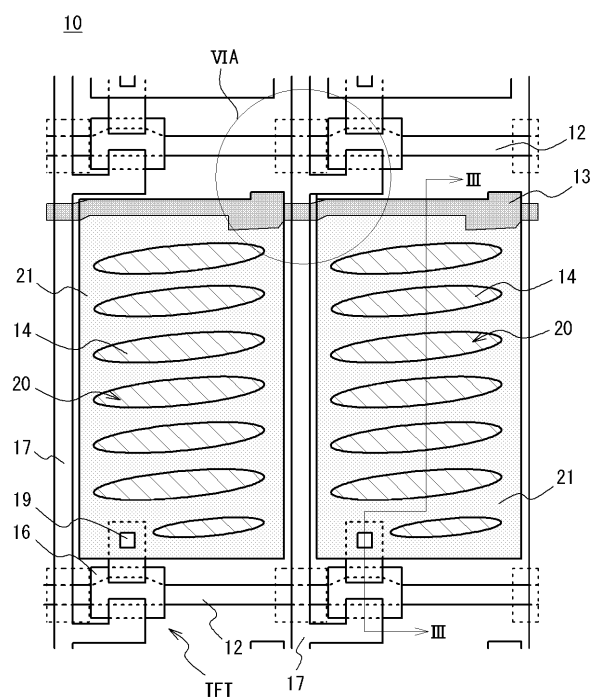
【0047】

10：液晶表示装置 11：透明基板 11a：延在部 12：走査線 13：コモン配線 14：下電極 14a：段差 15：第1の絶縁膜 16：半導体層 17：信号線 18：第2の絶縁膜 19：コンタクトホール 20：スリット 21：上電極 22：スパーク 23：傷 24：短絡 25：シール材 26：表示領域 27：液晶注入口 28：封止材 29：非表示領域 AR：アレイ基板 CF：カラーフィルター基板 D：ドレイン電極 G：ゲート電極 S：ソース電極 Dr：ドライバー E：エッジ部

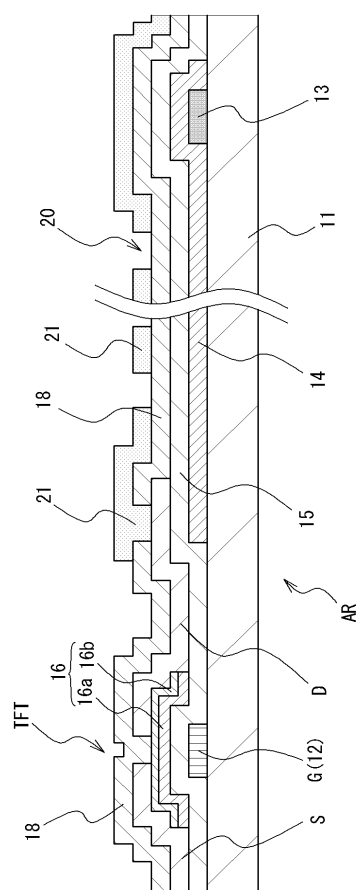
【 図 1 】



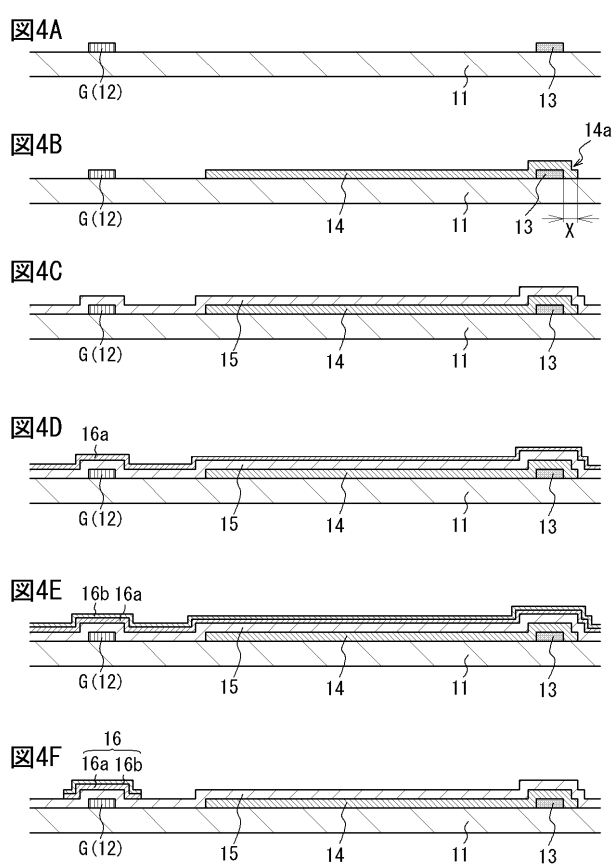
【圖 2】



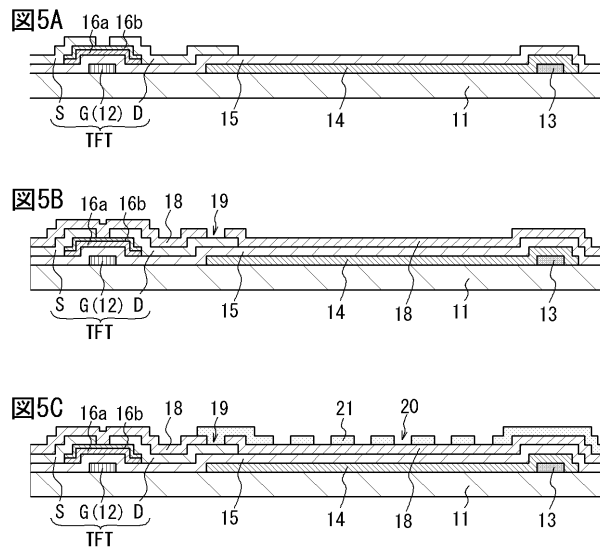
【 図 3 】



【 図 4 】



【図 5】



【図 6】

図6A

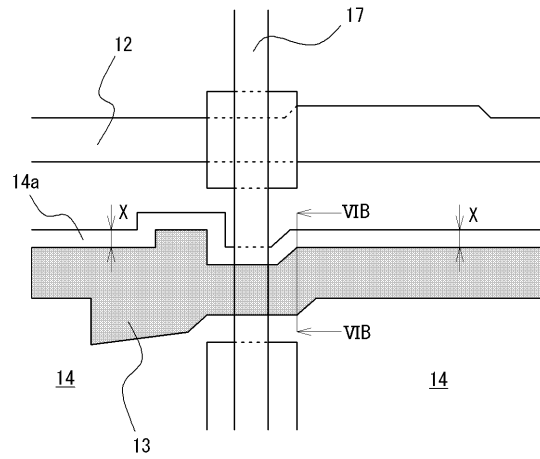
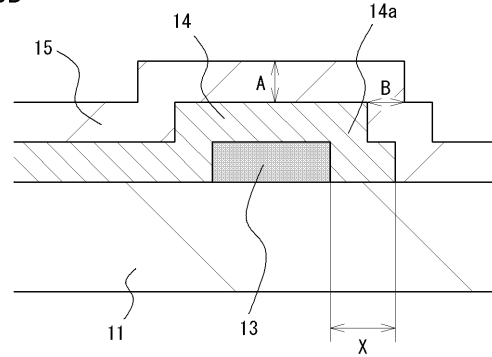


図6B



【図 7】

図7A

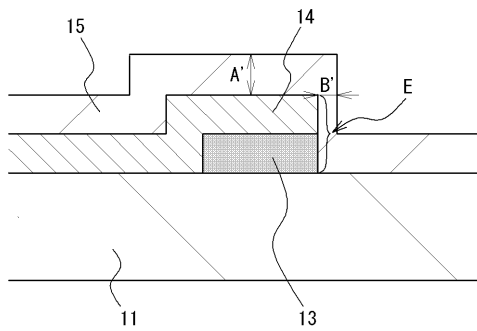
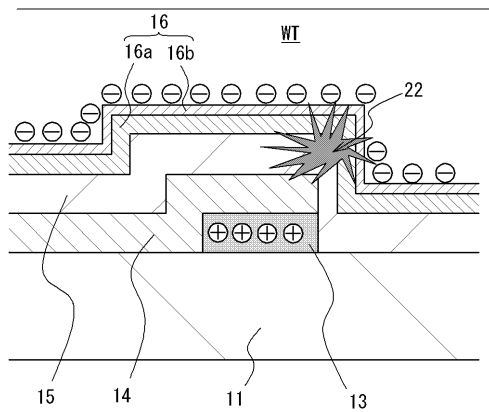


図7B



【図 8】

図8A

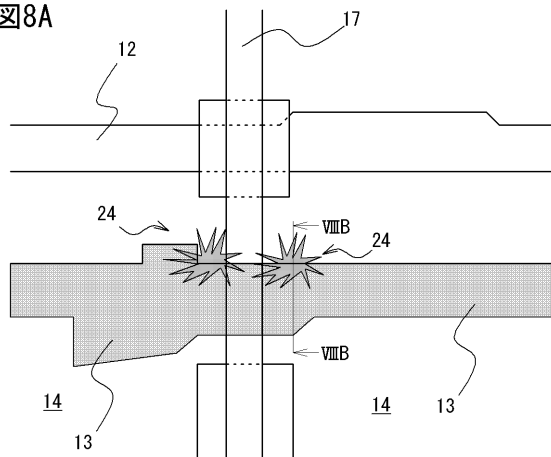
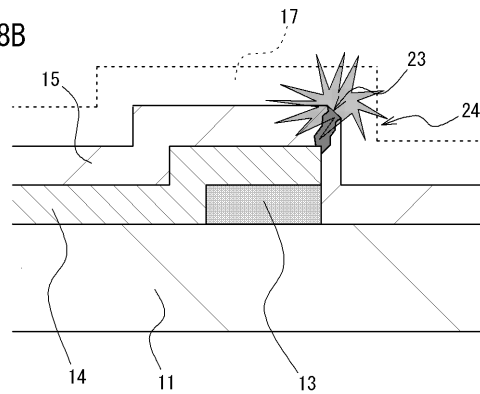


図8B



フロントページの続き

審査官 鈴木 俊光

- (56)参考文献 特開 2 0 0 8 - 3 1 0 2 1 0 (J P , A)
特開 2 0 0 8 - 0 2 0 6 6 0 (J P , A)
特開 2 0 0 1 - 1 9 4 6 7 6 (J P , A)
特開 2 0 0 1 - 1 4 2 0 9 2 (J P , A)
特開 2 0 0 8 - 0 9 6 9 6 0 (J P , A)
特開 2 0 0 0 - 3 1 5 6 8 3 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 6 8

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP5500537B2	公开(公告)日	2014-05-21
申请号	JP2009075839	申请日	2009-03-26
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	木下卓生 伊藤祐之		
发明人	木下 卓生 伊藤 祐之		
IPC分类号	G02F1/1343 G02F1/1368		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA17 2H092/GA29 2H092/GA60 2H092/GA61 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB56 2H092/JB69 2H092/JB79 2H092/KA05 2H092/MA07 2H092/MA13 2H092/MA17 2H092/NA01 2H092/NA07 2H092/NA14 2H092/NA16 2H192/AA24 2H192/BB13 2H192/BB52 2H192/BB73 2H192/BB82 2H192/BC31 2H192/CB05 2H192/CC04 2H192/EA72 2H192/FA02 2H192/GA31 2H192/GA42 2H192/JA32		
代理人(译)	酒井宏明 高村秩序		
审查员(译)	铃木俊光		
其他公开文献	JP2010230780A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种高可靠性的液晶显示装置，其中在信号线和下电极之间难以产生短路。解决方案：液晶显示装置10具有：覆盖的第一绝缘膜15—对基板的第一基板AR;多条信号线17设置在第一绝缘膜15上，与扫描线12交叉的方向和公共布线13;下电极14由每个区域形成，每个区域由多条扫描线12和信号线17分开并连接到公共布线13;第二绝缘膜18，形成在下电极14的表面上;上电极21形成在第二绝缘膜18上以平面图叠置在下电极14上并具有多个狭缝20.在显示装置10中，公共布线13通过被带到扫描线12的一侧与布置公共布线13的区域相邻，并且下电极14覆盖公共布线13，使得可以在公共布线13侧形成高度差14a。

【图3】

