

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5471028号
(P5471028)

(45) 発行日 平成26年4月16日 (2014. 4. 16)

(24) 登録日 平成26年2月14日 (2014. 2. 14)

(51) Int. Cl.

F 1

GO 2 F 1/1368 (2006. 01)

GO 2 F 1/1368

GO 2 F 1/1335 (2006. 01)

GO 2 F 1/1335 5 0 0

GO 2 F 1/1339 (2006. 01)

GO 2 F 1/1339 5 0 5

請求項の数 7 (全 14 頁)

(21) 出願番号 特願2009-118673 (P2009-118673)
 (22) 出願日 平成21年5月15日 (2009. 5. 15)
 (65) 公開番号 特開2010-266741 (P2010-266741A)
 (43) 公開日 平成22年11月25日 (2010. 11. 25)
 審査請求日 平成24年4月6日 (2012. 4. 6)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100113077
 弁理士 高橋 省吾
 (74) 代理人 100112210
 弁理士 稲葉 忠彦
 (74) 代理人 100108431
 弁理士 村上 加奈子
 (74) 代理人 100128060
 弁理士 中鶴 一隆
 (72) 発明者 野尻 勲
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

ゲート線駆動回路が形成されたアレイ基板、
 このアレイ基板に対向するカラーフィルタ基板を具備し、
 前記アレイ基板およびカラーフィルタ基板はシール材によって液晶層を挟持するよう貼り
 合わされ、
 前記ゲート線駆動回路にはコンタクトホール部を有し、
 前記カラーフィルタ基板には金属材料により形成された遮光層を有する液晶表示装置であ
 って、
 少なくとも前記アレイ基板上の前記コンタクトホール部に対向する領域において、カラー
 フィルタ基板の前記遮光層を覆って絶縁膜が形成されていることを特徴とする液晶表示装
 置。

【請求項 2】

前記絶縁膜が、カラーフィルタ着色層と同一材料であることを特徴とする請求項 1 記載
 の液晶表示装置。

【請求項 3】

カラーフィルタ基板に前記遮光層と接続された対向電極が形成されており、
 前記コンタクトホール部が、少なくとも前記対向電極に印加される電位に対して低電位で
 あることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

10

20

前記アレイ基板において、前記絶縁膜が形成される領域が、前記シール材と重なる領域またはシール端近傍に位置する領域であることを特徴とする請求項 1 また 2 に記載の液晶表示装置。

【請求項 5】

前記絶縁膜は、液晶層内の所定の位置に配置された柱状スペーサと同一材料であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記絶縁膜が有機樹脂膜であることを特徴とする請求項 1 または 5 に記載の液晶表示装置。

【請求項 7】

請求項 1 ないし 6 のいずれか一項に記載の液晶表示装置であって、
前記ゲート線駆動回路を構成するトランジスタは非晶質シリコン薄膜トランジスタであることを特徴とする液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関するもので、特にゲート線駆動回路にアモルファス T F T を採用した液晶表示装置に適用して好適なものである。

【背景技術】

【0002】

アクティブマトリクス型液晶表示装置は、複数のゲート線と複数のソース線およびゲート線駆動回路が具備されたアレイ基板、アレイ基板と向かい合うカラーフィルタ基板を具備する。カラーフィルタ基板には、ガラス基板上に着色パターン（赤、緑、青色）が設けられている。この着色層の隙間から入射光が漏れると液晶表示装置のコントラストが低下するため、その間に光を遮光する遮光層が形成される。この遮光層は、バックライトの光漏れを防止するため表示領域以外の周辺領域にも具備されている。この遮光層は、例えば樹脂材料や金属材料により構成されている。樹脂の遮光層は、樹脂材料にカーボンブラック等の遮光材料が混入して形成されており、遮光率が比較的低い。従って、十分な遮光性を実現するためには、比較的大きな膜厚が必要となる。これに対して、金属材料の遮光層は、一般に遮光率が高いため、薄膜にて十分に遮光性を発揮することができる。また、樹脂の遮光層は、構造的に振動・衝撃に対して比較的弱いという特性も有している。従って、装置全体の薄型化や信頼性の観点から、液晶表示装置には樹脂の遮光層より、金属材料の遮光層を用いることが望ましい。

20

30

また、カラーフィルタ基板には I T O (I n d i u m T i n O x i d e) 膜から形成される対向電極を有し、この I T O 膜と遮光層が接しているため、遮光層が金属の場合、遮光層は対向電極と同じ電位が与えられる。対向電極は通常、5 V 程度が印加される。

【0003】

非晶質シリコン薄膜トランジスタ（以下「T F T」と称す）を採用したアクティブマトリクス型液晶表示装置において、その表示部である液晶表示パネルを走査するためのゲート線駆動回路（走査線駆動回路）としては、表示信号の 1 フレーム期間で一巡するシフト動作を行うシフトレジスタを用いることができる。当該シフトレジスタは、液晶表示装置の製造プロセスにおける工程数を少なくするために、同一導電型の T F T のみで構成されることが望ましい。

40

【0004】

ゲート線駆動回路のシフトレジスタを T F T で構成した液晶表示装置は、大面積化が容易で且つ生産性が高く、例えばノート型 P C、携帯情報端末（P D A）、マルチ・メディア・プレーヤ（P M P）、簡易型カーナビゲーションシステム（P N D : P e r s o n a l N a v i g a t i o n D e v i c e）の画面などに採用されている（非特許文献 1 参照）。

【0005】

ゲート線駆動回路には異種の金属配線間を接続するために多数のコンタクトホールを有

50

する。すなわちこのコンタクトホールは、異なる層に形成された第1金属薄膜と第2金属薄膜を電氣的に接続するためのもので、第1金属薄膜上にコンタクトホールが形成されたものと、第2金属薄膜上にコンタクトホールが形成されたものがあり、両コンタクトホール間を導電性膜によってブリッジ接続する(コンタクトホール部)。

このコンタクトホールにより開口した金属配線間を接続する導電性材料として、一般的にITOのような透明導電性膜が用いられる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平11-281992号公報

10

【非特許文献1】Jin Young Choi, Jin Jeon, Jong Heon Han, Seob Shin, Se Chun Oh, Jun Ho Song, Kee Han Uh, and Hyung Guel Kim, 「A Compact and Cost-efficient TFT-LCD through the Triple-Gate Pixel Structure」、274頁～276頁、SID '06 DIGEST

【発明の概要】

【発明が解決しようとする課題】

【0007】

液晶表示パネルの狭額縁化のため、ゲート線駆動回路は、液晶表示パネルの周縁を囲むように形成されるシール領域とその一部を重畳して配置させることが必要となる。一般にシール領域下では、外部から浸透する水分や、不純物等の影響を受けやすい。

20

また、TFTで構成したゲート線駆動回路の場合、この回路内の信号振幅は、例えばHigh電圧が24V、Low電圧が-6Vと大きく、この電圧がコンタクトホール間をブリッジ接続する導電性膜に印加される。また、上述したように対向電極は通常、5V程度が印加されるため、Low電圧が印加された前記導電性膜に対して、+10V程度の大電圧が対向電極および遮光層へ印加される。

前記遮光層に金属材料を用いた液晶表示パネルを高温高湿環境下で動作させた場合、上述した水分、不純物等の影響を強く受け、前記導電性膜にLow電圧が印加された時にシール端(液晶側)もしくはシール下に形成されたコンタクトホールと接続された前記導電性膜とカラーフィルタ基板の遮光層間で電気分解が起こり、この導電性膜に対向した遮光層が液晶層へ溶け出して欠損し、光漏れなどの表示品質を落とすという問題が発生する。

30

【0008】

本発明は以上のような課題を解決するためになされたものであり、遮光層が溶失することを防ぎ、表示品質の低下を防止することを目的とする。

【課題を解決するための手段】

【0009】

本発明に係る液晶表示装置は、ゲート線駆動回路が形成されたアレイ基板、このアレイ基板に対向するカラーフィルタ基板を具備し、前記アレイ基板およびカラーフィルタ基板はシール材によって液晶層を挟持するよう貼り合わされ、前記ゲート線駆動回路にはコンタクトホール部を有し、前記カラーフィルタ基板には金属材料により形成された遮光層を有する液晶表示装置であって、少なくとも前記アレイ基板上の前記コンタクトホール部に

40

対向する領域において、カラーフィルタ基板の前記遮光層を覆って絶縁膜が形成されていることを特徴とするものである。

【発明の効果】

【0011】

本発明の液晶表示装置の構成を採用することにより、カラーフィルタ基板の遮光層が溶失することを防ぎ、表示品質の低下を防止することができる。

【図面の簡単な説明】

【0012】

【図1】本発明に係る液晶表示装置の平面図である。

【図2】実施の形態1に係る液晶表示装置の断面図である。

50

【図 3】実施の形態 1 に係るゲート線駆動回路を構成するシフトレジスタの複数段分の構成図である。

【図 4】実施の形態 1 に係るゲート線駆動回路を構成するシフトレジスタの一段分の構成を示す回路図である。

【図 5】実施の形態 1 に係る単位シフトレジスタの動作を示すタイミング図である。

【図 6】図 3 における走査線駆動回路の動作を示すタイミング図である。

【図 7】実施の形態 1 に係るゲート線駆動回路において、TFT を含む一部の回路領域を拡大して示す平面図である。

【図 8】図 7 のコンタクトホール部を含む断面図である。

【図 9】実施の形態 1 に係る他の実施の形態を示した液晶表示装置の断面図である。

10

【図 10】実施の形態 2 に係るゲート線駆動回路の一部を示した概略平面図である。

【図 11】実施の形態 3 に係る液晶表示装置の断面図である。

【発明を実施するための形態】

【0013】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

【0014】

実施の形態 1.

図 1 は、液晶表示装置 400 の画像表示を行う液晶表示パネル 300 の平面図であり、図 2 は図 1 の破線 A-A 線に沿って切断した断面図である。図 1 に示すように、本実施の形態による液晶表示装置 400 は、2 枚の基板間に液晶材料を挟持した液晶表示パネル 300 と、この液晶表示パネル 300 に具備されて前記液晶表示パネル 300 に駆動信号をそれぞれ出力するソース線ドライバ IC 150 と液晶表示パネル 300 の一方の基板上に形成されたゲート線駆動回路 160 と、で構成される。

20

【0015】

さらに詳しく前記液晶表示パネル 300 について述べる。この液晶表示パネル 300 は、図 1、図 2 に示すように第 1 基板 110、その基板上に配設された複数のゲート線 (GL1 ~ GLn)、このゲート線と絶縁するように交差する複数のソース線 (SL1 ~ SLm)、およびそれらの交差部に配置された複数の画素電極 PE、この画素電極 PE を駆動する TFT などによって構成されるアレイ基板 100 と、このアレイ基板 100 と向かい合うカラーフィルタ基板 200 と、前記アレイ基板 100 と前記カラーフィルタ基板 200 との間に挟持された液晶層 330 および、該液晶層 330 を保持し、前記アレイ基板 100 と前記カラーフィルタ基板 200 とを結合させるシール材 350 にて構成される。

30

【0016】

前記ソース線ドライバ IC 150 の各出力は、前記ソース線 (SL1 ~ SLm) に夫々接続され、各ソース線にソース駆動信号を印加する。同様に前記ゲート線駆動回路 160 の各出力は、前記ゲート線 (GL1 ~ GLn) に夫々接続され、各ゲート線にゲート駆動信号を印加する。カラーフィルタ基板 200 のアレイ基板と対向する面上には対向電極 CE (250) が形成されており、前記画素電極 PE との間に生成される電界によって液晶層 330 の光透過率が制御される。また、前記 TFT のドレイン電極と共通電極 (非図示) 間には、補助容量 Cs が画素毎に配設されている。

40

【0017】

図 1 では、画像を表示する表示領域 DA に対応して、マトリクス状に配置された複数画素の中で、第 1 ゲート線 GL1 と第 1 ソース線 SL1 との交差部に配置された画素電極 PE1、TFT (TR1)、対向電極 CE および補助容量 Cs1 に関して、特にその接続図を示しているが、他の画素 (非図示) についても同様である。

【0018】

前記液晶表示パネル 300 は、前記表示領域 DA、この表示領域 DA を取り囲むように配置された第 1 周辺領域 PA1、この第 1 周辺領域 PA1 の外側に隣接した第 2 周辺領域

50

P A 2 を含む。

上述したように、前記表示領域 D A に対応して、前記アレイ基板 1 0 0 の第 1 基板 1 1 0 上には、第 1 ~ 第 n ゲート線 G L 1 ~ G L n および第 1 ~ 第 m ソース線 S L 1 ~ S L m が形成される。

また前記複数の T F T のうち、第 1 T F T (T R 1) のゲート電極は前記第 1 ゲート線 G L 1 と電氣的に接続され、前記第 1 T F T (T R 1) のソース電極は前記第 1 ソース線 S L 1 と電氣的に接続され、前記第 1 T F T (T R 1) のドレイン電極は前記複数の画素電極のうち、第 1 画素電極 P E 1 と第 1 補助容量 C s 1 に接続される。

【 0 0 1 9 】

額縁状の前記第 1 周辺領域 P A 1 の一辺 (図 1 では左辺) には、前記複数の T F T および前記表示領域 D A の形成工程と同一の工程を通じて同時に生成された前記ゲート線駆動回路 1 6 0 が配置されている。このゲート線駆動回路 1 6 0 の各出力は、前記表示領域 D A に形成された前記第 1 ~ 第 n ゲート線 G L 1 ~ G L n と電氣的に接続される。前記ゲート線駆動回路 1 6 0 から出力されたゲート線駆動信号は、第 1 ~ 第 n ゲート信号 (O U T 1 ~ O U T n) を含み、前記第 1 ~ 第 n ゲート信号は、前記第 1 ~ 第 n ゲート線 G L 1 ~ G L n に順次印加される。

【 0 0 2 0 】

前記第 2 周辺領域 P A 2 において、前記第 1 基板 1 1 0 は、前記第 2 基板 2 1 0 より長く (図 1 の例では上方に) 延在され、前記ソース線ドライバ I C 1 5 0 が実装されている。このソース線ドライバ I C 1 5 0 から出力されるソース線駆動信号は第 1 ~ 第 m ソース信号を含み、前記第 2 周辺領域 P A 2 に形成された複数のソース線引き出し配線を介して前記第 1 ~ 第 m ソース線 S L 1 ~ S L m に夫々印加される。

【 0 0 2 1 】

図 2 に示したように前記表示領域 D A に対応して、前記カラーフィルタ基板 2 0 0 の第 2 基板 2 1 0 上には、赤、緑および青色画素 R、G、B を含むカラーフィルタ層 2 2 0 および前記赤、緑、青のうちの隣接する 2 つの色画素の間に形成された第 1 遮光層 2 3 0 が配置される。また、前記ゲート線駆動回路 1 6 0 が配置されている額縁状の前記第 1 周辺領域 P A 1 の一辺 (図 1 では左辺) に対応して、前記第 2 基板 2 1 0 上に前記第 1 遮光層 2 3 0 に隣接して第 2 遮光層 2 4 0 が配置される。第 1 遮光層 2 3 0、第 2 遮光層 2 4 0 は、例えば、酸化クロムおよびクロムの層がガラス基板 2 1 0 から順に積層されて形成されている。

【 0 0 2 2 】

また、前記第 2 遮光層 2 4 0 上には、それを覆うようにカラーフィルタ層 2 6 0 を具備する。このカラーフィルタ層 2 6 0 は、赤色のみ、または緑色のみ、または青色のみ、または、赤、緑および青色画素を含むものであり、有機絶縁膜の一種である。図 2 の例では、赤色画素 R のカラーフィルタ層 2 2 0 をゲート駆動回路 1 6 0 に対応する領域を含めてシール材 3 5 0 方向に延在して形成した例を示している。前記カラーフィルタ層 2 2 0 上、第 1 遮光層 2 3 0 上およびカラーフィルタ層 2 6 0 上には、上述の図 1 の対向電極 C E に相当する対向電極 2 5 0 を具備する。この対向電極 2 5 0 は、画素電極 P E に対する対向電極 C E として液晶層 3 3 0 へ電圧印加を行うものであり、本実施の形態では I T O 等の透明導電膜を用いている。

前記カラーフィルタ基板 2 0 0 と前記アレイ基板 1 0 0 は、前記カラーフィルタ層 2 2 0 や対向電極 2 5 0 が形成された面と前記表示領域 D A が形成された面が対向配置され、前記 2 枚の基板を固着する前記シール材 3 5 0 と共に前記液晶層 3 3 0 を挟持している。

【 0 0 2 3 】

このように第 2 遮光層 2 4 0 と対向電極 2 5 0 間に、カラーフィルタ層 2 6 0 を具備することで、対向電極 2 5 0 が第 2 遮光層 2 4 0 に対してシールド効果を有する。このため、カラーフィルタ基板の遮光層である金属膜の溶失を防ぐことが可能となる。また、カラーフィルタ層 2 6 0 は表示領域 D A で使用しているカラーフィルタ層 2 2 0 をゲート線駆動回路 1 6 0 に対応する領域まで延在して形成した層であり、カラーフィルタ層 2 2 0 と

同時に形成可能であり、新たな層を形成する工程を必要とせず、カラーフィルタ基板 200 のコストアップも発生しない。

【0024】

次に、前記ゲート線駆動回路 160 の回路構成および動作について、図 3 乃至 6 を用いて詳しく説明する。図 3 はゲート線駆動回路を構成するシフトレジスタの複数段分の構成を示す図である。また、図 4 はゲート線駆動回路を構成するシフトレジスタの一段分（単位シフトレジスタ）の構成を示す回路図である。図 3 のシフトレジスタは、縦続接続した n 個の単位シフトレジスタ $SR1, SR2, SR3, \dots, SRn$ と、最後段の単位シフトレジスタ SRn のさらに後段に設けられたダミーの単位シフトレジスタ SRD とから成っている（以下、単位シフトレジスタ $SR1, SR2, \dots, SRn, SRD$ を「単位シフトレジスタ SR 」と総称する）。単位シフトレジスタ SR のそれぞれが図 4 の回路となる。

10

【0025】

また図 3 に示すクロック発生器 31 は、互いに逆相の（活性期間が重ならない）2 相のクロック信号 $CLKA, CLKB$ を複数の単位シフトレジスタ SR に供給するものである。ゲート線駆動回路では、これらクロック信号 $CLKA, CLKB$ は、液晶表示装置の走査周期に同期したタイミングで順番に活性化するように制御される。

【0026】

図 3 および図 4 に示すように、各単位シフトレジスタ SR は、入力端子 $IN1$ 、出力端子 OUT 、クロック端子 $CK1$ およびリセット端子 RST を有している。また各単位シフトレジスタ SR には、第 1 電源端子 $S1$ を介して低電位側電源電位 $VSS (= 0V)$ が供給され、第 2 電源端子 $S2$ を介して高電位側電源電位 VDD がそれぞれ供給される（図 3 では非図示）。

20

【0027】

図 4 の如く、単位シフトレジスタ SRn の出力段は、出力端子 OUT とクロック端子 $CK1$ との間に接続するトランジスタ $Q1$ と、出力端子 OUT と第 1 電源端子 $S1$ との間に接続するトランジスタ $Q2$ とにより構成されている。即ち、トランジスタ $Q1$ は、クロック端子 $CK1$ に入力されるクロック信号 $CLKA$ を出力端子 OUT に供給するトランジスタ（第 1 トランジスタ）であり、トランジスタ $Q2$ は当該出力端子 OUT を放電するトランジスタ（第 2 トランジスタ）である。以下、トランジスタ $Q1$ のゲート（制御電極）が接続するノードを「ノード $N1$ 」、トランジスタ $Q2$ のゲートが接続するノードを「ノード $N2$ 」と定義する。

30

【0028】

トランジスタ $Q1$ のゲート・ソース間（即ちノード $N1$ と出力端子 OUT との間）には容量素子 $C1$ が設けられている。この容量素子 $C1$ は、出力端子 OUT とノード $N1$ との間を容量結合させ、出力端子 OUT のレベル上昇に応じてノード $N1$ を昇圧させる素子（ブートストラップ容量）である。但し、容量素子 $C1$ は、トランジスタ $Q1$ のゲート・チャンネル間容量が充分大きい場合にはそれで置き換えることができるので、そのような場合には省略してもよい。

40

【0029】

ノード $N1$ と第 2 電源端子 $S2$ との間には、ゲートが入力端子 $IN1$ に接続したトランジスタ $Q3$ が接続する。またノード $N1$ と第 1 電源端子 $S1$ との間には、ゲートがリセット端子 RST に接続したトランジスタ $Q4$ が接続する。即ちトランジスタ $Q3$ は、入力端子 $IN1$ に入力される信号に応じてノード $N1$ を充電する充電回路を構成しており、トランジスタ $Q4$ はリセット端子 RST に入力される信号に応じてノード $N1$ を放電する放電回路を構成している。また、トランジスタ $Q2$ のゲート（ノード $N2$ ）もリセット端子 RST に接続されている。

【0030】

図 3 の如く、各単位シフトレジスタ SR の入力端子 $IN1$ には、その前段の単位シフト

50

レジスタSRの出力端子OUTが接続する。但し、第1段目である単位シフトレジスタSR1の入力端子IN1には、所定のスタートパルスSTが入力される。また、各単位シフトレジスタSRのクロック端子CK1には、前後に隣接する単位シフトレジスタSRとは互いに異なる位相のクロック信号が入力されるよう、クロック信号CLKA, CLKBの片方が入力される。

【0031】

そして各単位シフトレジスタSRのリセット端子RSTには、自己の次段の単位シフトレジスタSRの出力端子OUTが接続される。但し、最後段の単位シフトレジスタSRnの次段に設けられたダミーの単位シフトレジスタSRDのリセット端子RSTには、所定のエンドパルスENが入力される。なおゲート線駆動回路では、スタートパルスSTおよびエンドパルスENは、それぞれ画像信号の各フレーム期間の先頭および末尾に対応するタイミングで入力される。

10

【0032】

次に図4に示した各単位シフトレジスタSRnの動作を説明する。基本的に各段の単位シフトレジスタSRnは全て同様に動作するので、ここでは多段のシフトレジスタのうち第k段目の単位シフトレジスタSRkの動作を代表的に説明する。当該単位シフトレジスタSRkのクロック端子CK1にはクロック信号CLKAが入力されているものとする（例えば、図3における単位シフトレジスタSR1, SR3などがこれに該当する）。

【0033】

ここで、クロック信号CLKA, CLKBのHレベルの電位はVDD（高電位側電源電位）であり、Lレベルの電位はVSS（低電位側電源電位）であるとする。また単位シフトレジスタSRを構成する各トランジスタQxのしきい値電圧をVth(Qx)と表すこととする。

20

【0034】

図5は、単位シフトレジスタSRk（図4）の動作を示すタイミング図である。まず単位シフトレジスタSRkの初期状態として、ノードN1がLレベルの状態を仮定する（以下、ノードN1がLレベルの状態を「リセット状態」と称す）。また入力端子IN1（前段の出力信号Gk-1）、リセット端子RST（次段の出力信号Gk+1）、クロック端子CK1（クロック信号CLKA）は何れもLレベルであるとする。このときトランジスタQ1, Q2は共にオフであるので出力端子OUTが高インピーダンス状態（フローティング状態）となっているが、当該初期状態では出力端子OUT（出力信号Gk）もLレベルであるとする。

30

【0035】

その状態から時刻t1において、クロック信号CLKAがLレベル、クロック信号CLKBがHレベルに変化すると共に、前段の出力信号Gk-1（第1段目の場合はスタートパルスST）がHレベルになると、単位シフトレジスタSRkのトランジスタQ3がオンになり、ノードN1は充電されてHレベルになる（以下、ノードN1がHレベルの状態を「セット状態」と称す）。このときノードN1の電位レベル（以下、単に「レベル」と称す）はVDD - Vth(Q3)まで上昇する。応じて、トランジスタQ1がオンになる。

40

【0036】

そして時刻t2において、クロック信号CLKBがLレベル、クロック信号CLKAがHレベルに変化すると共に、前段の出力信号Gk-1がLレベルになる。するとトランジスタQ3がオフになりノードN1がHレベルのままフローティング状態になる。またトランジスタQ1がオンしているので、出力端子OUTのレベルがクロック信号CLKAに追従して上昇する。

【0037】

クロック端子CK1および出力端子OUTのレベルが上昇すると、容量素子C1およびトランジスタQ1のゲート・チャネル間容量を介する結合により、ノードN1のレベルは図5に示すように昇圧される。このときの昇圧量は、ほぼクロック信号CLKAの振幅（VDD）に相当するので、ノードN1はおよそ2 × VDD - Vth(Q3)まで昇圧され

50

る。

【 0 0 3 8 】

その結果、出力信号 G k が H レベルとなる間も、トランジスタ Q 1 のゲート (ノード N 1) ・ソース (出力端子 O U T) 間の電圧は大きく保たれる。つまりトランジスタ Q 1 のオン抵抗は低く保たれるので、出力信号 G k はクロック信号 C L K A に追従して高速に立ち上がって H レベルになる。またこのときトランジスタ Q 1 は線形領域 (非飽和領域) で動作するので、出力信号 G k のレベルはクロック信号 C L K A の振幅と同じ V D D まで上昇する。

【 0 0 3 9 】

さらに時刻 t 3 においてクロック信号 C L K B が H レベル、クロック信号 C L K A が L レベルに変化するときも、トランジスタ Q 1 のオン抵抗は低く保たれ、出力信号 G k はクロック信号 C L K A に追従して高速に立ち下がって、L レベルに戻る。

10

【 0 0 4 0 】

またこの時刻 t 3 では、次段の出力信号 G k + 1 が H レベルになるので、単位シフトレジスタ S R k のトランジスタ Q 2 , Q 4 がオンになる。それにより、出力端子 O U T はトランジスタ Q 2 を介して十分に放電され、確実に L レベル (V S S) にされる。またノード N 1 は、トランジスタ Q 4 により放電されて L レベルになる。即ち、単位シフトレジスタ S R k はリセット状態に戻る。

【 0 0 4 1 】

そして時刻 t 4 で次段の出力信号 G k + 1 が L レベルに戻った後は、次に前段の出力信号 G k - 1 が入力されるまで、単位シフトレジスタ S R k はリセット状態に維持され、出力信号 G k は L レベルに保たれる。

20

【 0 0 4 2 】

以上の動作をまとめると、単位シフトレジスタ S R k は、入力端子 I N 1 に信号 (スタートパルス S P または前段の出力信号 G k - 1) が入力されない期間はリセット状態であり、トランジスタ Q 1 がオフを維持するため、出力信号 G k は L レベル (V S S) に維持される。そして入力端子 I N 1 に信号が入力されると、単位シフトレジスタ S R k はセット状態に切り替わる。セット状態ではトランジスタ Q 1 がオンになるため、クロック端子 C K 1 の信号 (クロック信号 C L K A) が H レベルになる間、出力信号 G k が H レベルになる。そしてその後、リセット端子 R S T に信号 (次段の出力信号 G k + 1 またはエンドパルス E N) が入力されると、元のリセット状態に戻る。

30

【 0 0 4 3 】

このように動作する複数の単位シフトレジスタ S R から成る多段のシフトレジスタによれば、第 1 段目の単位シフトレジスタ S R 1 にスタートパルス S T が入力されると、それを切っ掛けにして (トリガにして) 、出力信号 G がクロック信号 C L K A , C L K B に同期したタイミングでシフトされながら、図 6 の如く単位シフトレジスタ S R 1 , S R 2 , S R 3 ・ ・ ・ と順番に伝達される。ゲート線駆動回路では、このように順番に出力される出力信号 G が液晶表示パネルの水平 (又は垂直) 走査信号として用いられる。

【 0 0 4 4 】

以下、特定の単位シフトレジスタ S R が出力信号 G を出力する期間を、その単位シフトレジスタ S R の「選択期間」と称する。

40

【 0 0 4 5 】

なお、ダミーの単位シフトレジスタ S R D は、最後段の単位シフトレジスタ S R n が出力信号 G n を出力した直後に、その出力信号 G D によって単位シフトレジスタ S R n をリセット状態にするために設けられている。例えばゲート線駆動回路であれば、最後段の単位シフトレジスタ S R n を出力信号 G n の出力直後にリセット状態にしなければ、それに対応するゲート線 (走査線) が不要に活性化され、表示の不具合が生じてしまう。

【 0 0 4 6 】

なお、ダミーの単位シフトレジスタ S R D は、出力信号 G D を出力した後のタイミングで入力されるエンドパルス E N によってリセット状態にされる。ゲート線駆動回路のよう

50

に、信号のシフト動作が繰り返して行われる場合には、エンドパルス E N に代えて次のフレーム期間のスタートパルス S T を用いてもよい。

【 0 0 4 7 】

また、図 5 のように 2 相クロックを用いた駆動の場合、単位シフトレジスタ S R のそれぞれは、自己の次段の出力信号 G によってリセット状態にされるので、次段の単位シフトレジスタ S R が少なくとも一度動作した後でなければ、図 5 および図 6 に示したような通常動作を行うことができない。従って、通常動作に先立って、ダミーの信号を第 1 段目から最終段まで伝達させるダミー動作を行わせる必要がある。あるいは、各単位シフトレジスタ S R のリセット端子 R S T (ノード N 2) と第 2 電源端子 S 2 (高電位側電源) との間にリセット用のトランジスタを別途設け、通常動作の前に強制的にノード N 2 を H レベルにするリセット動作を行ってもよい。但し、その場合はリセット用の信号ラインが別途必要になる。

10

【 0 0 4 8 】

図 7 は、アレイ基板 1 0 0 上のゲート線駆動回路 1 6 0 において、T F T Q 4 を含む一部の回路に該当する領域 (図 4 の破線で囲まれた回路) を拡大して示す平面図であり、図 8 は、図 7 において本実施の形態の主要部であるコンタクトホール部 2 1 7 a - 2 1 7 b を含む破線 B - B 線に沿って切断した断面図を示す。

図 8 において前記アレイ基板 1 0 0 には、透明な第 1 基板 1 1 0 上に、金属の導電物質 (第 1 金属薄膜) からなるゲート電極 2 1 2 が形成されていて、その上にシリコン窒化膜 (S i N x) やシリコン酸化膜 (S i O 2) で構成されたゲート絶縁膜 2 1 3 がゲート電極 2 1 2 を覆っている。

20

【 0 0 4 9 】

前記ゲート電極 2 1 2 上部のゲート絶縁膜上 2 1 3 上には非晶質シリコンで構成されたアクティブ層 2 1 4 が形成されており、その上に不純物がドーピングされた非晶質シリコンで構成されたオーミックコンタクト層 2 1 5 が形成されている。

【 0 0 5 0 】

前記オーミックコンタクト層 2 1 5 上部には金属の導電物質 (第 2 金属薄膜) からなるソース・ドレイン電極 2 1 6 が形成されている。ソース・ドレイン電極 2 1 6 はゲート電極 2 1 2 と共に T F T (Q 4) を形成する。図 8 では示されていないが、ゲート電極 2 1 2 は、ゲート線駆動回路内の各ノードをつなぐゲート配線 2 1 9 と接続されている (図 4 で図示) 。同様に、ソース・ドレイン電極 2 1 6 の一方は、ゲート線駆動回路内の各ノードをつなぐソース・ドレイン配線 2 2 1 と接続されている (図 4 で図示) 。

30

【 0 0 5 1 】

続いて、ソース・ドレイン電極 2 1 6 上にはシリコン窒化膜やシリコン酸化膜または有機絶縁膜で構成された保護層 2 1 7 が形成されており、保護層 2 1 7 は、ソース・ドレイン配線およびゲート配線を露出するコンタクトホール部 2 1 7 a - 2 1 7 b を有する。

【 0 0 5 2 】

前記保護層 2 1 7 上部には透明導電膜 2 1 8 が形成され、透明導電膜 2 1 8 は、コンタクトホール部 2 1 7 a - 2 1 7 b を介して、他方のソース・ドレイン電極 2 1 6 から延在されたソース・ドレイン配線 2 2 2 とゲート配線 2 2 3 をブリッジ接続する (I T O 変換部) 。

40

【 0 0 5 3 】

図 4 から明らかなように上記ゲート配線 2 2 3 は L o w 電位である V S S 電位が与えられた V s s バス配線であり、コンタクトホール 2 1 7 b で透明導電膜 2 1 8 に接続され、さらにコンタクトホール 2 1 7 a でソース・ドレイン配線 2 2 2 に接続される。このソース・ドレイン配線 2 2 2 は他方のソース・ドレイン電極 2 1 6 となる。

【 0 0 5 4 】

なお、本実施の形態では、カラーフィルタ層 2 6 0 を、ゲート線駆動回路 1 6 0 が配置されている額縁状の前記第 1 周辺領域 P A 1 の一辺 (図 1 では左辺) に対応してほぼ全面に具備しているが、少なくとも、ゲート線駆動回路 1 6 0 に対向した領域のみ、さらには

50

、ゲート線駆動回路 160 の Low 電圧が印加されるコンタクトホール部 (ITO 変換部) に対向した領域のみに配置したとしても、対向電極 250 と第 2 遮光層 240 間での電気分解を防ぐ効果があり、第 2 遮光層 240 の溶失を抑制することができる。

また、図 9 に示すように、カラーフィルタ層 260 を液晶層 330 に接するシール端近傍のみに配置しても良い。この場合、カラーフィルタ層 260 に使用する色材に制限はなく、R、G、B 各画素と同じ色材を使用することができる。図 9 では、R 画素と同一色材とした。

【0055】

カラーフィルタ基板の遮光層の溶失は、液晶層 330 に接するシール端が特に発生するため、このような配置でも十分に第 2 遮光層 240 の溶失を防止する効果がある。また、カラーフィルタ層 260 をシール材 350 の全領域に配置した場合、カラーフィルタ層 260 と対向電極 (ITO 膜) 250 の密着強度が弱いため、シールが剥離しやすい場合がある。図 9 にて示した実施の形態では、カラーフィルタ層 260 を液晶層 330 に接するシール端のみに配置しているため、密着強度が強い対向電極 250 と第 2 遮光層 240 (金属膜) が接触しており、シール剥離強度を強く保つことが可能となる。

【0056】

実施の形態 2 .

図 10 は、本発明の実施の形態 2 に係り、図 1 にて示した液晶表示装置 400 において、鎖線で示したゲート線駆動回路周辺領域 270 の一部を概略的に示した平面図である。ここでゲート駆動回路 160 は、複数の信号配線、TFT、コンタクトホール部 (ITO 変換部) を含む。ここで、図 10 に示したようにゲート駆動回路 160 は、領域 a 271、領域 b 272、領域 c 273 に三分割され、領域 a 271、領域 c 273 には TFT、信号配線、Low 電位印加コンタクトホール部 (ITO 変換部) を配置し、領域 b 272 には、TFT をよび信号配線のみを配置し、Low 電位印加コンタクトホール部を配置しないよう構成されている。

さらにシール材 350 は、アレイ基板 100 またはカラーフィルタ基板 200 の一方に、スクリーン印刷またはディスペンサーによる描画等によって塗布形成されるが、図 10 で示したように液晶層 330 に接するシール端側が上記領域 b 272 内に位置するように塗布される。シール材塗布の位置ばらつき、シール材の粘性ばらつき等により、領域 b 272 の幅は 0.5 mm ~ 1 mm 程度確保する必要がある。

【0057】

本実施の形態によれば、液晶層 330 に接するシール端が Low 電位が印加されたコンタクトホール部が形成されていない領域 b 272 に配置されるため、カラーフィルタ基板の第 2 遮光層 240 と Low 電位のコンタクトホール間をブリッジ接続する透明導電性膜 218 との間の距離を十分にとることができ、電気分解による第 2 遮光層 240 の溶失を防ぐ効果がある。

【0058】

なお、本実施の形態は、IPS 駆動方式や FFS 駆動方式のようにカラーフィルタ基板 200 上に画素電極に対向して対向電極 (ITO 膜) 250 が形成されていない場合でも同様の効果を有する。

【0059】

実施の形態 3 .

図 11 に示した断面図は、本発明の実施の形態 3 に係り、前述の実施の形態 1 と同様に図 1 の破線 A - A 線に沿って切断した断面図を示す。本実施の形態では、第 2 遮光層 240 上には、対向電極 250 を具備し、さらに、この対向電極 250 上の液晶層 330 に接するシール端に構造物 280 を有している。シール端 (液晶側) に構造物 280 を有することで、シール端面で起こる電気分解の経路が長くなり抵抗値が高くなる。この結果、電気分解を抑制し、第 2 遮光層 240 の溶失を抑制することが可能となる。この構造物 280 は、本実施の形態では有機樹脂膜等の材料を用いて形成された柱状スペーサ (非図示) と同じ有機材料を使用した。この柱状スペーサはアレイ基板 100 とカラーフィルタ基板

10

20

30

40

50

200間のセルギャップを保つ目的で液晶層330内にの所定の位置に適宜配置される。したがって平易に構造物280を形成することができる。

アレイ基板100と前記カラーフィルタ基板200間の液晶層の厚さ(セルギャップ)が5 μ m程度であるため、上記構造物280は横幅が50 μ m以上であれば、十分な効果を有するが、シール材塗布の位置ばらつき、シール材の粘性ばらつき等により、構造物280の幅は0.5mm~1mm程度が必要となる。

【0060】

なお、本実施の形態では、図1に示しように構造物280をシール端に沿って駆動回路上の全面に配置する場合を示したが、こうすることで、他の効果を有することも可能となる。

10

すなわち図8に示すゲート電極212、ゲート配線219、223、ソース・ドレイン電極216、ソース・ドレイン配線221、222は通常、シリコン窒化膜等の絶縁膜で被覆されているが、異物等により絶縁膜に覆われていない領域(膜欠陥)が発生する場合がある。このような状態で高温高湿環境下で連続動作試験を実施した場合、対向電極250との電気分解により、ゲート電極212、ゲート配線219、223、ソース・ドレイン電極216、ソース・ドレイン配線221、222の腐食が、特にシール端で発生する。構造物280をシール端に沿って駆動回路上の全面に配置すると、この腐食に対する抑制効果もある。

【0061】

また前述の実施の形態2と同様にLow電位が印加されるコンタクトホール部(ITO変換部)に対向する第2遮光層240の溶失に対する対策を行う場合には、構造物280の配置をLow電位が印加されるコンタクトホール部(ITO変換部)に対向する位置のみに形成すれば良い。

20

また、本実施の形態では、カラーフィルタ基板200に対向電極(ITO膜)250を具備する場合を示したが、本実施の形態3においても、IPS駆動方式やFFS駆動方式のようにカラーフィルタ基板200上に画素電極に対向して対向電極(ITO膜)250が形成されていない場合でも同様の効果を有する。

【0062】

なお、上記実施の形態1ないし3において、遮光層240を覆う絶縁膜としては、有機材料であるカラーフィルタ色材や有機絶縁膜を採用した例を示したが、本発明は、絶縁膜として特に有機材料である必要は無く、窒化珪素等の無機絶縁膜でも同様の効果を奏する。

30

さらには、前記実施の形態2においては、ゲート駆動回路160に対向するカラーフィルタ基板200側には特に制約を設けなかったが、実施の形態1や3に記載の内容と組み合わせ、遮光膜を覆うように絶縁膜を設けてもさらに効果があるのは無論である。

【0063】

さらに上記実施の形態1ないし3において、コンタクトホール部(ITO変換部)は、2つの独立したコンタクトホール217a、217b間を透明導電膜218でブリッジ接続する構造とした例を示したが、2つのコンタクトホールの位置は互いに独立していてもよく、他方が一方に含まれた二重構造であったり、一部が重なった形状でもよく、異なる層に形成された第1金属薄膜と第2金属薄膜を透明導電膜で電氣的に接続するための構造であれば同様に前述の遮光層の溶失防止効果を奏する。

40

【符号の説明】

【0064】

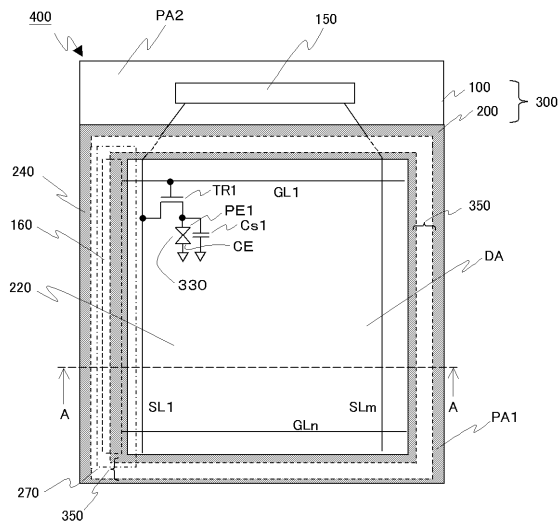
100 アレイ基板
160 ゲート線駆動回路
200 カラーフィルタ基板
217a、217b コンタクトホール
220、260 カラーフィルタ層
218 透明導電膜

50

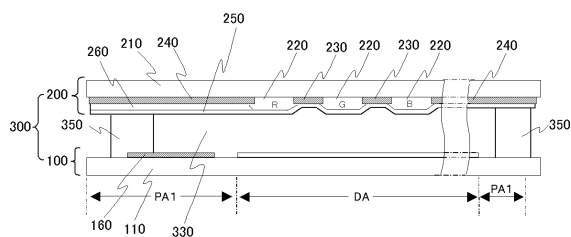
2 3 0、	2 4 0	遮光層
2 5 0	対向電極	
2 7 1	領域 a	
2 7 2	領域 b	
2 7 3	領域 c	
2 8 0	構造物	
3 0 0	アクティブマトリクス用液晶表示パネル	
3 3 0	液晶層	
3 5 0	シール材	
C E、	C E 1	対向電極
D A	表示領域	

10

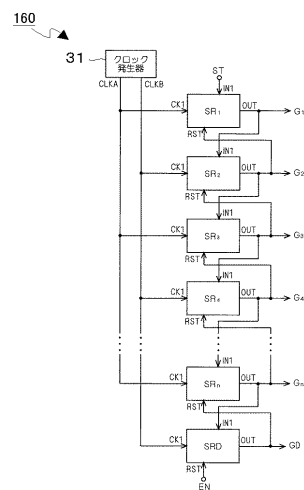
【 図 1 】



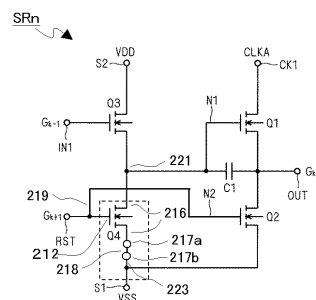
【圖 2】



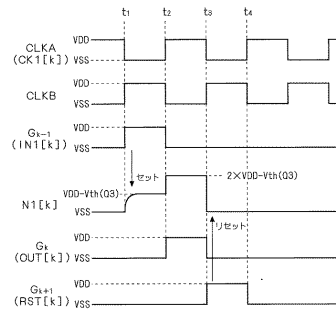
【 図 3 】



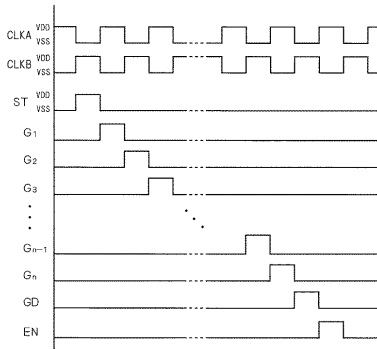
【図 4】



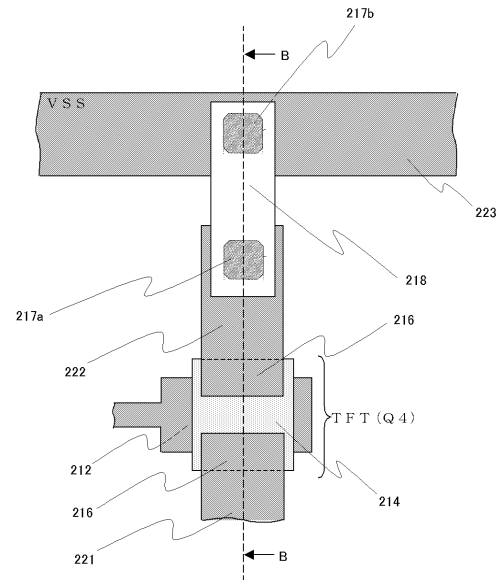
【図 5】



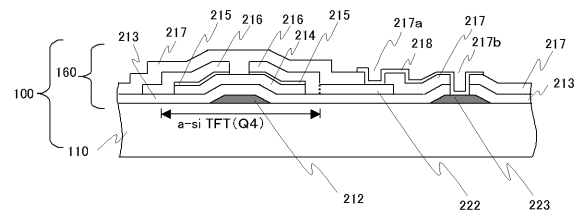
【図 6】



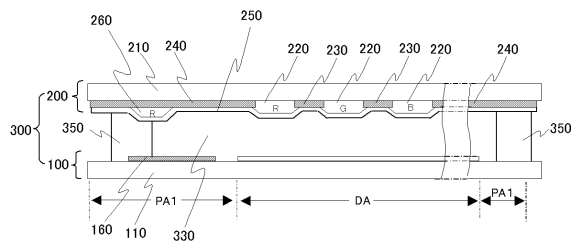
【図 7】



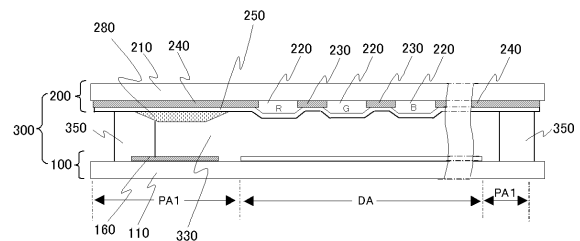
【図 8】



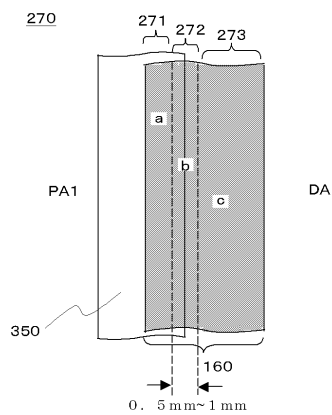
【図 9】



【図 11】



【図 10】



フロントページの続き

- (72)発明者 藤田 康雄
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内
- (72)発明者 村井 博之
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 鈴木 俊光

- (56)参考文献 特開2009-069776(JP,A)
特開2001-021877(JP,A)
特開平11-194367(JP,A)
特開2004-213026(JP,A)
特開平10-048663(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|-------------|
| G 0 2 F | 1 / 1 3 6 8 |
| G 0 2 F | 1 / 1 3 3 5 |

专利名称(译)	液晶表示装置		
公开(公告)号	JP5471028B2	公开(公告)日	2014-04-16
申请号	JP2009118673	申请日	2009-05-15
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	野尻勲 藤田康雄 村井博之		
发明人	野尻 勲 藤田 康雄 村井 博之		
IPC分类号	G02F1/1368 G02F1/1335 G02F1/1339		
CPC分类号	G02F1/133512 G02F1/13454 G09G3/3674 G09G2310/0286		
FI分类号	G02F1/1368 G02F1/1335.500 G02F1/1339.505		
F-TERM分类号	2H092/GA59 2H092/JA26 2H092/JA46 2H092/KA05 2H092/NA01 2H092/NA11 2H092/PA03 2H092/PA04 2H092/PA08 2H092/PA09 2H189/DA07 2H189/DA25 2H189/FA46 2H189/FA47 2H189/FA49 2H189/HA01 2H189/HA16 2H189/LA06 2H189/LA10 2H189/LA14 2H189/LA15 2H191/FA06Y 2H191/FA15Y 2H191/FA94Y 2H191/FD04 2H191/FD07 2H191/FD22 2H191/FD23 2H191/FD26 2H191/FD27 2H191/GA10 2H191/GA11 2H191/GA15 2H191/GA19 2H191/LA01 2H191/LA22 2H192/AA24 2H192/CB05 2H192/CB35 2H192/DA12 2H192/EA23 2H192/EA43 2H192/EA44 2H192/FA81 2H192/FB03 2H192/FB33 2H192/GD23 2H192/GD25 2H291/FA06Y 2H291/FA15Y 2H291/FA94Y 2H291/FD04 2H291/FD07 2H291/FD22 2H291/FD23 2H291/FD26 2H291/FD27 2H291/GA10 2H291/GA11 2H291/GA15 2H291/GA19 2H291/LA01 2H291/LA22		
代理人(译)	高桥省吾 稻叶忠彦 村上佳菜子		
审查员(译)	铃木俊光		
其他公开文献	JP2010266741A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在具有接触孔的栅极驱动电路的液晶显示器中，提供防止滤色器基板的遮光层溶解并防止显示质量劣化的液晶显示器形成在阵列基板上。ŹSOLUTION：液晶显示器包括栅极线驱动电路上的接触孔部分，并包括在滤色器基板上形成有金属材料的遮光层，其中形成绝缘膜以覆盖颜色的遮光层在面对阵列基板上的接触孔部分的区域中过滤基板。Ź

