

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5391106号
(P5391106)

(45) 発行日 平成26年1月15日 (2014. 1. 15)

(24) 登録日 平成25年10月18日 (2013. 10. 18)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 2 F 1/133 (2006. 01)

G O 2 F 1/133 5 5 0

G O 9 G 3/36 (2006. 01)

G O 9 G 3/36

G O 9 G 3/20 (2006. 01)

G O 9 G 3/20 6 2 4 B

請求項の数 8 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2010-39782 (P2010-39782)
 (22) 出願日 平成22年2月25日 (2010. 2. 25)
 (65) 公開番号 特開2011-175134 (P2011-175134A)
 (43) 公開日 平成23年9月8日 (2011. 9. 8)
 審査請求日 平成25年1月11日 (2013. 1. 11)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 100089118
 弁理士 酒井 宏明
 (74) 代理人 100118762
 弁理士 高村 順
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 有賀 修二
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 (72) 発明者 小間 徳夫
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 最終頁に続く

(54) 【発明の名称】 画素回路、液晶装置及び電子機器

(57) 【特許請求の範囲】

【請求項 1】

走査線及びデータ線と接続される画素回路であって、

ゲート電極が前記走査線と接続され、ソース電極及びドレイン電極の一方が前記データ線と接続される第1トランジスタと、

ゲート電極が前記走査線と接続され、ソース電極及びドレイン電極の一方が前記第1トランジスタと接続され、ソース電極及びドレイン電極の他方が第1ノードと接続される第2トランジスタと、

前記第1トランジスタと前記第2トランジスタとが接続されるノードに接続される補助容量と、

前記第1ノードに接続された画素電極と、

前記画素電極に対向する対向電極と、

前記画素電極と前記対向電極との間に挟持された液晶と、

前記第1ノードに接続された保持容量とを具備し、

前記第1トランジスタ及び前記第2トランジスタをオフ状態にしたとき、前記第1ノードの電位の変化量が最小となるように、前記補助容量の容量値と前記保持容量の容量値との比を定めた、

ことを特徴とする画素回路。

【請求項 2】

前記補助容量の容量値と前記保持容量の容量値との比は、前記補助容量の容量値の増加

に伴い減少する前記第 1 トランジスタ及び前記第 2 トランジスタにおけるリーク電流量と、前記保持容量の容量値の増加に伴い減少する前記画素電極と前記対向電極との間に生じるリーク電流量との合計のリーク電流量を最小にすることにより、前記第 1 ノードの電位の変化量を最小とする、ことを特徴とする請求項 1 に記載の画素回路。

【請求項 3】

走査線及びデータ線と接続される画素回路であって、

ゲート電極が前記走査線と接続され、ソース電極及びドレイン電極の一方が前記データ線と第 1 ノードとの間に直列に接続される N (N は 3 以上の整数) 個のトランジスタと、前記 N 個のトランジスタどうしが接続される複数のノードの各々に一方の電極が接続される $N - 1$ 個の補助容量と、

10

前記第 1 ノードに接続された画素電極と、

前記画素電極に対向する対向電極と、

前記画素電極と前記対向電極との間に挟持された液晶と、

前記第 1 ノードに接続された保持容量とを具備し、

前記 $N - 1$ 個の補助容量の各容量値と前記保持容量の容量値との比は、前記 N 個のトランジスタをオフ状態としたとき、前記第 1 ノードの電位の変化量が最小となるように、前記補助容量の容量値と前記保持容量の容量値との比を定めた、

ことを特徴とする画素回路。

【請求項 4】

前記補助容量は、画素電極に接続された一方の電極と、誘電体を介して前記一方の電極の上層側及び下層側に配置された他方の電極を備えることを特徴とする請求項 1 乃至 3 のうちいずれか 1 項に記載の画素回路。

20

【請求項 5】

前記液晶はメモリ性液晶であることを特徴とする請求項 1 乃至 4 のうちいずれか 1 項に記載の画素回路。

【請求項 6】

前記データ線から画素回路に供給される信号は、2 つのレベルのうちいずれか一方のレベルとなる 2 値信号であることを特徴とする請求項 1 乃至 5 のうちいずれか 1 項に記載の画素回路。

【請求項 7】

30

複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応して設けられた複数の画素回路と、前記複数の画素回路を駆動する駆動回路とを備え、

前記複数の画素回路の各々は、請求項 1 乃至 6 のうちいずれか 1 項に記載の画素回路であることを特徴とする液晶装置。

【請求項 8】

請求項 7 に記載の液晶装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素回路、画素回路を用いた液晶装置、及び液晶装置用いた電子機器に関する。

40

【背景技術】

【0002】

液晶表示装置に代表される中型・小型ディスプレイは、その可搬性から、多くの携帯型の電子機器（例えば、携帯電話、デジタルスチルカメラ、デジタルビデオカメラ、デジタル式写真立て、電子ペーパー等）に応用されている。携帯型の電子機器は電池により駆動されることが多いため、稼働時間確保の観点から、これに用いられるディスプレイには消費電力の低さが求められる。

【0003】

液晶表示装置はマトリクス状に配置された複数の画素を備える。画像の表示は、複数の

50

画素の各々に表示すべき階調に応じた電圧を書き込み、書き込まれた電圧に応じて液晶の透過率が制御されることによって行われる。

ディスプレイの消費電力を抑えるには、画素の駆動周波数を低くする方法が考えられる。しかし、駆動周波数を低くすると、画素への電圧の書き込み間隔が長くなる。液晶容量に蓄積された電荷はリーク電流により時間と共に減少し、画素の電位が低下するので、書き込み間隔が大きくなるとディスプレイの画質が低下してしまう。したがって、駆動周波数を低くしつつ、ディスプレイの画質も維持するには、リーク電流を抑えて液晶に印加される電圧を保持する必要がある。

【0004】

特許文献1には、リーク電流を抑える画素回路が開示されている。この画素回路は、データ線と画素電極（液晶）との間に2個のトランジスタが直列に接続されており、2個のトランジスタの接続点に保持容量が接続される構成となっている。2個のトランジスタのゲートは1本の走査線に接続されている。したがって、書込期間において、走査信号が走査線に供給されると、2個のトランジスタはオン状態となり、保持容量と液晶の画素容量に同じ電圧が書き込まれる。その後、2個のトランジスタがオフ状態になる。ここで、データ線に接続されるトランジスタを第1トランジスタ、画素電極（液晶）に接続されるトランジスタを第2トランジスタとする。リーク電流の大きさはソース・ドレイン間の電圧が大きくなると増大するが、保持容量と画素容量に同じ電圧を書き込むので、第2トランジスタのリーク電流を抑制することが可能となる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平10-111491号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、従来の画素回路においては、保持容量が第2トランジスタのリーク電流を抑制する程度の大きさであればよく、保持容量及び画素容量について特段の適正化がされていないため、画素容量に印加される電圧の変動を適切に抑えることができないという問題がある。

【0007】

本発明は上述した問題に鑑みてなされたものであり、単位面積当たりの容量を増大させる積層構造を設けた補助容量を用いて、補助容量と保持容量の比を変動させてリーク電流の量を最小にすることにより、液晶素子に印加される電位の変動を最小に抑えることが可能な画素回路、かかる画素回路を用いた液晶装置、及びかかる液晶装置用いた電子機器を提供することを課題とする。

【課題を解決するための手段】

【0008】

上述した課題を解決するため、本発明にかかる画素回路は、走査線及びデータ線と接続される画素回路であって、ゲート電極が前記走査線と接続され、ソース電極及びドレイン電極の一方が前記データ線と接続される第1トランジスタと、ゲート電極が前記走査線と接続され、ソース電極及びドレイン電極の一方が前記第1トランジスタと接続され、ソース電極及びドレイン電極の一方が第1ノードと接続される第2トランジスタと、前記第1トランジスタと前記第2トランジスタとが接続されるノードに接続される補助容量と、前記第1ノードに接続された画素電極と、前記画素電極に対向する対向電極と、前記画素電極と前記対向電極との間に挟持された液晶と、前記第1ノードに接続された保持容量とを具備し、前記第1トランジスタ及び前記第2トランジスタをオフ状態にしたとき、前記第1ノードの電位の変化量が最小となるように、前記補助容量の容量値と前記保持容量の容量値との比を定めたことを特徴とする。

【0009】

この発明によれば、補助容量の容量値と保持容量の容量値との比が、第1トランジスタ及び第2トランジスタをオフ状態にしたとき、第1ノードの電位の変化量が最小となるように定められる。第1トランジスタ及び第2トランジスタには、オフ状態であってもドレイン・ソース間の電圧に応じた大きさのリーク電流が流れる。トランジスタのドレイン・ソース間に印加される電圧は、これに接続される容量の容量値の大きさによって変動する。本発明によれば、第1ノードの電位の変化量が最小となるように、第1トランジスタと第2トランジスタとが接続されるノードに接続される補助容量の容量値と、第2トランジスタが接続される第1ノードに接続される保持容量の容量値の比を定めるので、表示する階調の精度を向上させることができる。

【0010】

10

ここで、前記補助容量の容量値と前記保持容量の容量値との比は、前記補助容量の容量値の増加に伴い減少する前記第1トランジスタ及び前記第2トランジスタにおけるリーク電流量と、前記保持容量の容量値の増加に伴い減少する前記画素電極と前記対向電極との間に生じるリーク電流量との合計のリーク電流量を最小にすることにより、前記第1ノードの電位の変化量を最小とすることが好ましい。この場合には、補助容量の容量値の増加に伴い減少する第1トランジスタ及び第2トランジスタにおけるリーク電流量と、保持容量の容量値の増加に伴い減少する画素電極と対向電極との間に生じるリーク電流量とに基づいて合計のリーク電流量を最小にするので、より効率的に補助容量の容量値と保持容量の容量値との比を定めることができ、ひいてはより効率的に第1ノードの電位の変化量を最小にすることが可能となる。

20

【0011】

また、前記第1トランジスタ及び前記第2トランジスタの替わりに、前記データ線と前記第1ノードとの間にN（Nは3以上の整数）個のトランジスタが直列に接続され、前記N個のトランジスタのゲート電極は前記走査線に接続され、前記補助容量の替わりに、前記N個のトランジスタどうしが接続される複数のノードの各々にN-1個の補助容量の一方の電極が接続され、前記N-1個の補助容量の各容量値と前記保持容量の容量値との比は、前記N個のトランジスタをオフ状態としたとき、前記第1ノードの電位の変化量が最小となるように、前記補助容量の容量値と前記保持容量の容量値との比を定めたことが好ましい。この場合には、この場合には、トランジスタを多段に接続するので、第1ノードに接続されるトランジスタのリーク電流の大きさをより一層低減することが可能となる。

30

【0012】

また、前記補助容量は、画素電極に接続された一方の電極と、誘電体を介して前記一方の電極の上層側及び下層側に配置された他方の電極を備えることが好ましい。この場合には、電極の積層構造により補助容量の単位面積当たりの容量値を増大させることができるので、より柔軟に補助容量の容量値を変動させることができるので、適切に補助容量の容量値と保持容量の容量値との比を定めることが可能となる。また、前記液晶はメモリ性液晶であることが好ましい。この場合には、通常の液晶を用いた場合と比較してより長い期間にわたり画像を保持することが可能となる。また、前記データ線から画素回路に供給される信号は、2つのレベルのうちいずれか一方のレベルとなる2値信号であることが好ましい。この場合には、データ線を駆動する信号の種類が2値でよいので、2値より多い種類を取る場合と比べて駆動方法が簡単になり、駆動回路を単純化することが可能となる。

40

【0013】

次に、本発明に係る液晶装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線との交差に対応して設けられた複数の画素回路と、前記複数の画素回路を駆動する駆動回路とを備え、前記複数の画素回路の各々は、上述した画素回路であることを特徴とする。また、本発明に係る電子機器は、上述した液晶装置を備えたことを特徴とする。

【図面の簡単な説明】

【0014】

【図1】本発明の実施形態に係る電気光学装置の概略構成を示すブロック図である。

50

【図 2】同装置における画素回路の構成を示す回路図である。

【図 3】同装置における T F T の伝達特性を示すグラフである。

【図 4】同装置における T F T のリーク電流の特性を示すグラフである。

【図 5】同装置における液晶素子における印加電圧と透過率の関係を示すグラフである。

【図 6】同装置における表示領域に表示される画面の模式図である。

【図 7】同装置における駆動周波数、補助容量値の比、及びリーク電圧の値の関係を示す図である。

【図 8】同装置における駆動周波数、補助容量値の比、及びリーク電圧の値の関係を示す図である。

【図 9】同装置における駆動周波数、補助容量値の比、及びリーク電圧の値の関係を示す図である。 10

【図 10】同装置における補助容量の横断面図である。

【図 11】同実施形態の変形例に係る電気光学装置の画素回路の構成を示す回路図である。

【図 12】画素回路の駆動可能周波数の対比を示す図である。

【図 13】同電気光学装置を適用したモバイル型のパーソナルコンピュータの構成を示す斜視図である。

【図 14】同電気光学装置を適用した携帯電話機の構成を示す斜視図である。

【図 15】同電気光学装置を適用した携帯情報端末の構成を示す斜視図である。

【発明を実施するための形態】 20

【0015】

< 1. 実施形態 >

図 1 は、本発明の実施形態に係る電気光学装置の概略構成を示すブロック図である。電気光学装置 1 は、電気光学パネル A A と制御回路 7 0 0 を備える。電気光学パネル A A には、表示領域 A、走査線駆動回路 1 0 0、データ線駆動回路 2 0 0 が形成される。このうち、表示領域 A には、X 方向と平行に m 本の走査線 1 0 2 が形成される。また、X 方向と直交する Y 方向と平行に n 本のデータ線 1 0 3 が形成される。そして、走査線 1 0 2 とデータ線 1 0 3 との各交差に対応して画素回路 4 0 0 A が各々設けられている。

【0016】

走査線駆動回路 1 0 0 は、複数の走査線 1 0 2 を順次選択するための走査信号 Y 1、Y 2、Y 3、...、Y m を生成する。 30

【0017】

データ線駆動回路 2 0 0 は、選択された走査線 1 0 2 に位置する画素回路 4 0 0 A の各々に対しデータ信号 X 1、X 2、X 3、...、X n を供給する。この例において、データ信号 X 1 ~ X n は階調輝度を指示する電圧信号として与えられる。

【0018】

制御回路 7 0 0 は、各種の制御信号を生成してこれらを走査線駆動回路 1 0 0 及びデータ線駆動回路 2 0 0 へ出力する。また、制御回路 7 0 0 はガンマ補正等の画像処理を施した階調データ D を生成し、データ線駆動回路 2 0 0 へ出力する。なお、この例では、制御回路 7 0 0 を電気光学パネル A A の外部に設けたが、これらの構成要素の一部又は全部を電気光学パネル A A に取り込んでもよい。更に、電気光学パネル A A に設けられた構成要素の一部を外部回路として設けてもよい。 40

【0019】

図 2 は、本発明の実施形態に係る画素回路 4 0 0 A の回路図である。画素回路 4 0 0 A は、表示領域 A の i (i は 1 i m を満たす自然数) 行目の j (j は 1 j n を満たす自然数) 列目に設けられている。画素回路 4 0 0 A には、データ線 1 0 3 からデータ信号 X j が、走査線 1 0 2 から走査信号 Y i がそれぞれ供給される。画素回路 4 0 0 A は、2 個の薄膜トランジスタ (以下、「T F T (Thin Film Transistor) と称する) 4 0 1、4 0 2 と、補助容量 C s と、保持容量 C h と、液晶素子 4 1 0 とを備える。T F T 4 0 1 のソース電極はノード m を介してデータ線 1 0 3 に接続される。T F T 4 0 1 のドレイン 50

電極はノードoを介してTFT402のソース電極及び補助容量Csに接続される。TFT402のドレイン電極はノードpを介して液晶素子410及び保持容量Chに接続される。TFT401及びTFT402のゲート電極は走査線102に接続される。

【0020】

補助容量Csの一端はTFT401のドレイン電極及びTFT402のソース電極に接続される一方、ノードqを介して図示しない対向電極に接続される。液晶素子410は、画素電極411と、対向電極412と、それらの間に挟持される液晶Clcとによって構成される。尚、対向電極412は他の画素回路400Aと共通であり、そこには共通電位Vcomが供給される。

液晶素子410及び保持容量Chの一端はそれぞれTFT402のドレイン電極に接続される一方、液晶素子410及び保持容量Chの他端はノードqを介して図示しない対向電極にそれぞれ接続される。

液晶Clcは、メモリ性液晶であってもよい。メモリ性液晶とは、光を通す状態、あるいは通さない状態どちらにも安定性がある、双安定性（バイステイブル性）のある液晶である。液晶は分子配列によって「ネマティック液晶」「コレステリック液晶」「スメクティック液晶」に分類できるが、いずれのタイプでも保持特性の優れたものがある。例えば、「コレステリック液晶」を用いた製品や、強誘電性液晶（FLC:Ferroelectric Liquid Crystal）であって、液晶分子が螺旋構造をとるスメクティック液晶の一種を利用した製品が知られている。液晶Clcにメモリ性液晶を用いることで、通常の液晶を用いた場合と比較してより長い期間にわたり画像を保持することができる。

【0021】

図3は、本実施形態に用いられるTFTの伝達特性を示すグラフである。X軸はゲート-ソース間電圧の値を示し、Y軸はドレイン-ソース間電流の値を示している。グラフ上の各曲線は、それぞれ異なるドレイン-ソース間電圧における伝達特性を示している。

ゲート-ソース間電圧（Vgs）が負の値から正の値に変動して閾値電圧を超えると、ドレイン-ソース間電流（Ids）が急激に上昇する。また、ドレイン-ソース間電圧（Vds）が小さい程、ドレイン-ソース間電流（Ids）も小さくなる。但し、ゲート-ソース間電圧（Vgs）が閾値電圧以下で負の値になっても、ドレイン-ソース間電流（Ids）が流れる。これは、TFTがオフ状態であっても、実際の回路ではリーク電流が流れることを意味する。

【0022】

図4は、本実施形態に用いられるTFTのリーク電流の特性を示すグラフである。X軸はドレイン-ソース間電圧（Vds）の値を示し、Y軸はリーク電流（Ileak）の値を示している。Vdsが小さい程、Ileakも小さくなる。このため、このTFTのリーク電流を抑えるには、ドレイン電極とソース電極の間の電圧を小さくすればよいことが理解できる。

【0023】

図5は、本実施形態に用いられる液晶素子における印加電圧と透過率の関係を示すグラフである。X軸は液晶素子に印加される電圧の値を示し、Y軸は液晶素子の透過率を示している。位相差板が無い場合、印加電圧が低い（0V～約10V）場合には透過率はほぼ100%に維持される。印加電圧の上昇（約10V～14V）に伴い一度透過率が上昇し、さらなる印加電圧の上昇（約14V～）に伴い透過率が低下して透過率0に到る。位相差板が有る場合、印加電圧が低い（0V～約10V）場合には透過率はほぼ100%に維持される。印加電圧の上昇（約10V～）に伴い透過率が低下して透過率0に到る。いずれの場合も、液晶素子の透過率を0にするためには印加電圧を上げる必要がある。

【0024】

図6は、本実施形態に用いられる表示領域Aに表示される画面の模式図である。状態（A）では、走査信号Y1が供給される画素の全てが黒を表示し、その他の画素の全てが白を表示している。状態（B）では、走査信号Yiが供給される画素の全てが黒を表示し、その他の画素の全てが白を表示している。黒を表示している画素の透過率は0%であり、

10

20

30

40

50

白を表示している画素の透過率は100%である。この例において、データ信号 X_j は、点灯または消灯を示す2値信号である。各画素の階調表示は、フィールドを分割した複数のサブフィールド毎に点灯・消灯を制御するサブフィールド駆動によって実行される。

【0025】

このような画素回路400Aにおいて、画素回路400Aへの階調に応じた電圧の書き込みが終了した時刻において、ノードp及びノードoの電圧を30V、ノードmの電圧が10Vであったとする。この場合、ノードmとノードoとの間の電圧が20Vであるため、TF T 401のドレイン・ソース電圧 V_{ds} は20Vとなり、リーク電流 I_{leak1} が流れる(図4参照)。

一方、ノードoとノードpとの間の電圧は0VのためTF T 402にはリーク電流 I_{leak2} が流れない。ノードoの電圧は徐々にノードmの電圧に漸近していく。ここで、ノードoの電圧の変化量を ΔV とすると、 $\Delta V = I_{leak1} \times \Delta T$ (保持時間) / C_{sc1} で表すことができ、例えば、駆動周波数4Hz、 $C_{sc1}=200\text{fF}$ の時、約2Vとなる。したがって、最終的なノードoの電圧は約28Vとなる。このようにノードoとノードpとの間の電圧を小さくして、TF T 402によるリーク電流 I_{leak2} を抑制することができる。この結果、駆動周波数を低くすることができ、低消費電力化が可能となる。

【0026】

次に、図7乃至図9を参照して、本実施形態に用いられる画素回路400Aの駆動周波数、補助容量 C_s 及び保持容量 C_h の容量値の比、並びにリーク電流の関係について説明する。

【0027】

図7及び図8は、駆動周波数を変動させた場合のノードpにおける電位変動 ΔV_p の大きさを表している。電位変動 ΔV_p の大きさは、TF T 401のソース・ドレイン間及びTF T 402のソース・ドレイン間で生じるリーク電流による電位変動 ΔV_t 及び液晶素子410の画素電極411と対向電極412との間に生じるリーク電流による電位変動 ΔV_c の合計である。 ΔV_t 及び ΔV_c は、補助容量 C_s 及び保持容量 C_h の容量値によっても変動するが、図7及び図8においてはその比が1:1に固定されている。図7の表をグラフにしたのが図8である。図7及び図8が示す通り、 ΔV_t 及び ΔV_c 並びにそれらの和である ΔV_p は、駆動周波数が低下するに従い上昇する。例えば、駆動周波数が1Hzの場合は $\Delta V_t = 0.01$ 、 $\Delta V_c = 0.04$ 、 $\Delta V_p = 0.05$ であるところ、駆動周波数が0.2Hzに低下すると、 $\Delta V_t = 0.11$ 、 $\Delta V_c = 0.19$ 、 $\Delta V_p = 0.30$ と、それぞれ電位変動が大きくなる。

【0028】

図9は、駆動周波数を0.2Hzに固定したときに、補助容量 C_s 及び保持容量 C_h の比を変動させた場合のノードpにおける電位変動 ΔV_p の大きさを表している。補助容量 C_s 及び保持容量 C_h の合計値は、補助容量 C_s 及び保持容量 C_h の比を変化させても一定である(この合計値を以下Sと称する)。図7及び図8と同様、ノードpにおける電位変動 ΔV_p の大きさは、 ΔV_t 及び ΔV_c の合計である。

図9に示される通り、補助容量 C_s 及び保持容量 C_h の比を1:1から1:2に変動させると、すなわち、補助容量 C_s の値を小さくし保持容量 C_h の値を大きくすると、TF T 401及びTF T 402によるリーク電流による電位変動 ΔV_t は0.11から0.12に上昇する一方、液晶素子410によるリーク電流による電位変動 ΔV_c は0.19から0.14に低下し、結果としてこれらの合計値である ΔV_p は0.30から0.26へと低下する。

【0029】

前述の通り、補助容量 C_s 及び保持容量 C_h の合計値Sは一定であるから、補助容量 C_s の容量値を上昇させると保持容量 C_h の容量値が低下するし、保持容量 C_h の容量値を上昇させると補助容量 C_s の容量値が低下する。すなわち、保持容量 C_h の容量値と補助容量 C_s の容量値はトレードオフの関係にある。

また、図9が示す通り、補助容量 C_s の容量値を上昇させると、これに接続されるTF

10

20

30

40

50

T 4 0 1 及び T F T 4 0 2 によるリーク電流が低減されて ΔV_t が低下し、保持容量 C h の容量値を上昇させると、これに接続される液晶素子 4 1 0 によるリーク電流が低減されて ΔV_c が低下する。すなわち、 ΔV_t は C s の容量値に相反して変化し、 ΔV_c は C h の容量値に相反して変化する。 ΔV_t の変化率と ΔV_c の変化率は同じではないから、C s の容量値と C h の容量値との均衡を取ることで、ノード p における電位変動 $\Delta V_p (= \Delta V_t + \Delta V_c)$ を最小にすることができる。

【 0 0 3 0 】

以上の通り、ある一定の駆動周波数において、補助容量 C s 及び保持容量 C h の比を変動させることで、回路全体としての容量値は一定であるにも拘わらず、リーク電流の発生による電位変化を制御することができる。すなわち、ある一定の駆動周波数において、補助容量 C s 及び保持容量 C h の容量値の比を変動させて、T F T によるリーク電流量と液晶素子によるリーク電流量の均衡を図ることにより、液晶素子に印加される電位に影響する電位変動 ΔV_p を制御でき、例えば、電位変動 ΔV_p を最小に抑えることができる。

10

【 0 0 3 1 】

次に、本実施形態に用いられる補助容量の構造について説明する。

一般的に、ディスプレイに用いられる画素回路は集積化が必要なため、画素回路に用いることのできる面積は限られている。したがって、上述した補助容量 C s 及び保持容量 C h の比を変動させるために、画素回路に含まれる補助容量の面積を大きくして容量値を変えることは困難である。そのため、補助容量の面積を抑えつつ容量の値を大きくすることが必要である。

20

【 0 0 3 2 】

図 1 0 は、本実施形態に用いられる補助容量 C s の横断面図である。基板 5 0 0 上には、基板 5 0 0 に近い順に、ソース配線金属層 5 1 0、絶縁体層 5 2 0 (誘電体)、ゲート配線金属層 5 3 0、絶縁体層 5 4 0 (誘電体)、ソース配線金属層 5 5 0 が積層されている。ソース配線金属層 5 1 0 及びソース配線金属層 5 5 0 は短絡され、図 2 のノード q へ接続される。ゲート配線金属層 5 3 0 は、図 2 のノード o へ接続される。

すなわち、通常であれば、補助容量はソース配線金属層、絶縁体層、及びゲート配線金属層の各 1 層から構成されるが、本実施形態に用いられる補助容量は、単位面積当たりの容量を増大させるために、ゲート配線金属層 5 3 0 を挟んだ両側に、それぞれ絶縁体層 5 2 0 及び 5 4 0 並びにソース配線金属層 5 1 0 及び 5 5 0 を設けた積層構造としている。このように構成することで、単位面積当たりの容量を約 2 倍にすることができる。

30

【 0 0 3 3 】

このような補助容量を用いることで、画素回路の大きさを増大させることなく、補助容量の容量値を変動させることができ、保持容量 C h の容量値と補助容量 C s の容量値との比を変動させることが可能となる。

【 0 0 3 4 】

< 2 . 変形例 >

上述した実施形態では、2 個の T F T を用いた画素回路 4 0 0 A について説明したが、本発明はこれに限定されるものではなく、3 個以上の T F T を用いた画素回路にも適用可能である。

40

図 1 1 は、本発明の実施形態の変形例に係る画素回路 4 0 0 B の回路図である。画素回路 4 0 0 B は、表示領域 A の i (i は 1 i m を満たす自然数) 行目の j (j は 1 j n を満たす自然数) 列目に設けられている。画素回路 4 0 0 A には、データ線 1 0 3 からデータ信号 X j が、走査線 1 0 2 から走査信号 Y i がそれぞれ供給される。画素回路 4 0 0 A は、3 個の T F T 4 0 1、4 0 2、4 0 3 と、2 個の補助容量 C s 3、C s 4 と、保持容量 C h と、液晶素子 4 1 0 とを備える。T F T 4 0 1 のソース電極はデータ線 1 0 3 に接続される。T F T 4 0 1 のドレイン電極は T F T 4 0 2 のソース電極及び補助容量 C s 3 に接続される。T F T 4 0 2 のドレイン電極は T F T 4 0 3 のソース電極及び補助容量 C s 4 に接続される。T F T 4 0 3 のドレイン電極は液晶素子 4 1 0 及び保持容量 C h に接続される。T F T 4 0 1、4 0 2、及び 4 0 3 のゲート電極は走査線 1 0 2 に接続

50

される。

【 0 0 3 5 】

補助容量 C_{s3} の一端は $TFT401$ のドレイン電極及び $TFT402$ のソース電極に接続される一方、その他端は図示しない対向電極に接続される。補助容量 C_{s4} の一端は $TFT402$ のドレイン電極及び $TFT403$ のソース電極に接続される一方、その他端は図示しない対向電極に接続される。液晶素子 410 及び保持容量 C_h の一端はそれぞれ $TFT403$ のドレイン電極に接続される一方、液晶素子 410 の対向電極 412 及び保持容量 C_h の他端は図示しない対向電極にそれぞれ接続される。対向電極からは共通電位 V_{com} が供給される。

【 0 0 3 6 】

10

図 11 の 3 分割の画素回路 400B の動作は、上述した図 2 の 2 分割の画素回路 400A の動作に準じる。補助容量が図 2 の 2 分割の画素回路 400A よりも 1 つ多いため、リーク電流の発生をより抑えることができる。

【 0 0 3 7 】

図 12 は、3 型 VGA (Video Graphics Array) ディスプレイにおける、従来の分割しない画素回路、図 2 に示すような 2 分割の画素回路、及び図 11 に示すような 3 分割の画素回路の駆動可能周波数の対比を示す図である。ここで、各画素回路に含まれる合計の容量値は一定である。

前述の通り、駆動周波数が低くなると、画素回路への電圧の書込み間隔が長くなる。液晶容量に蓄積された電荷はリーク電流により時間と共に減少し、画素の電位が低下するので、書込み間隔が大きくなるとディスプレイの画質が低下してしまう。すなわち、一定のディスプレイの画質を保つために必要な駆動周波数は、画素回路にリーク電流が発生しやすいほど高くなる。分割なしの画素回路においてはリーク電流が発生しやすいため、駆動可能周波数は 30 Hz という高い値である。2 分割の画素回路では、分割なしの画素回路よりもリーク電流が抑えられるため、より低い 4 Hz で駆動可能である。そして、3 分割の画素回路では、2 分割の画素回路よりも更にリーク電流が抑えられるため、更に低い 3 Hz で駆動可能である。このようにして、画素回路全体の容量値が一定でも、画素回路の分割数を増やすことで駆動可能周波数を低く抑えることができ、ひいては消費電力を低減することが可能である。

20

【 0 0 3 8 】

30

< 3 . 応用例 >

次に、上述した実施形態に係る電気光学装置 1 を適用した電子機器について説明する。図 13 に、電気光学装置 1 を適用したモバイル型のパーソナルコンピュータの構成を示す。パーソナルコンピュータ 2000 は、表示ユニットとしての電気光学装置 1 と本体部 2010 を備える。本体部 2010 には、電源スイッチ 2001 及びキーボード 2002 が設けられている。

【 0 0 3 9 】

図 14 に、電気光学装置 1 を適用した携帯電話機の構成を示す。携帯電話機 3000 は、複数の操作ボタン 3001 及びスクロールボタン 3002、並びに表示ユニットとしての電気光学装置 1 を備える。スクロールボタン 3002 を操作することによって、電気光学装置 1 に表示される画面がスクロールされる。

40

【 0 0 4 0 】

図 15 に、電気光学装置 1 を適用した情報携帯端末 (PDA : Personal Digital Assistants) の構成を示す。情報携帯端末 4000 は、複数の操作ボタン 4001 及び電源スイッチ 4002、並びに表示ユニットとしての電気光学装置 1 を備える。電源スイッチ 4002 を操作すると、住所録やスケジュール帳といった各種の情報が電気光学装置 1 に表示される。

【 0 0 4 1 】

なお、電気光学装置 1 が適用される電子機器としては、図 13 ~ 15 に示すものの他、デジタルスチルカメラ、デジタル式写真立て、電子ペーパー、液晶テレビ、ビューファイ

50

ンダ型、モニタ直視型のビデオテープレコーダ、モニタ直視型のデジタルビデオカメラ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種電子機器の表示部として、前述した電気光学装置1が適用可能である。

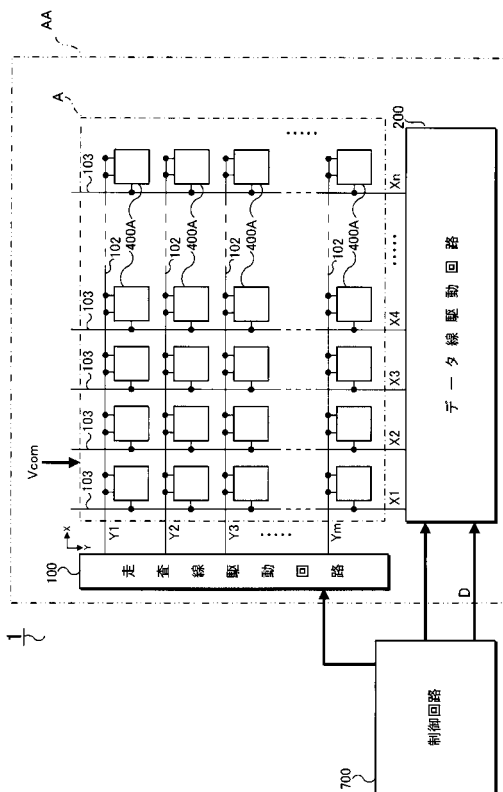
【符号の説明】

【 0 0 4 2 】

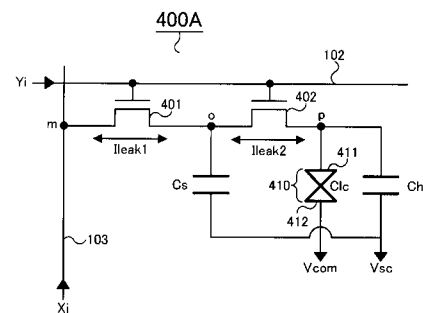
1 ... 電気光学装置、1 0 0 ... 走査線駆動回路、2 0 0 ... データ線駆動回路、4 0 0 A、B、C ... 画素回路、7 0 0 ... 制御回路、C s、C s 3、C s 4 ... 補助容量、X 1 ~ X n ... データ信号、Y 1 ~ Y m ... 走査信号。

10

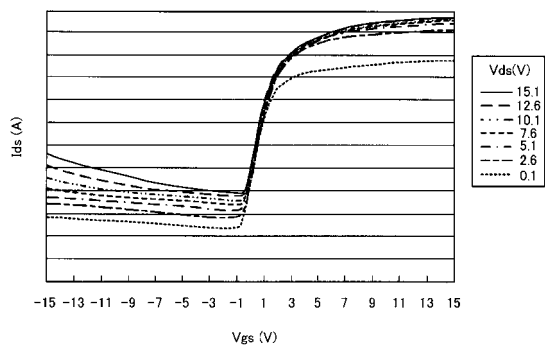
【 図 1 】



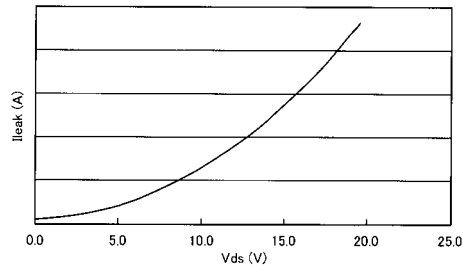
【圖 2】



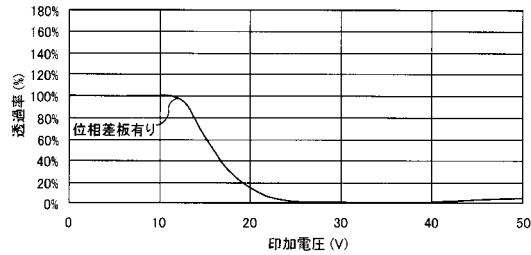
【 図 3 】



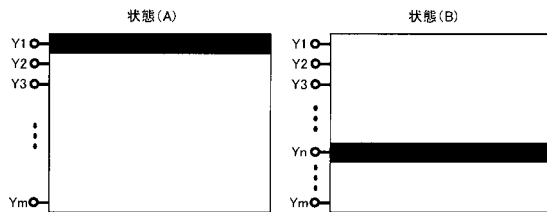
【図 4】



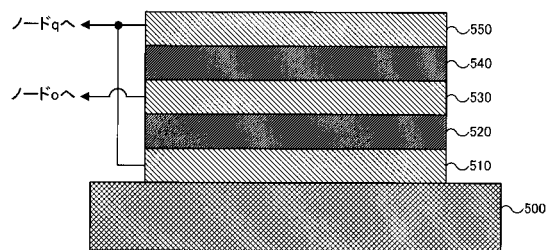
【図 5】



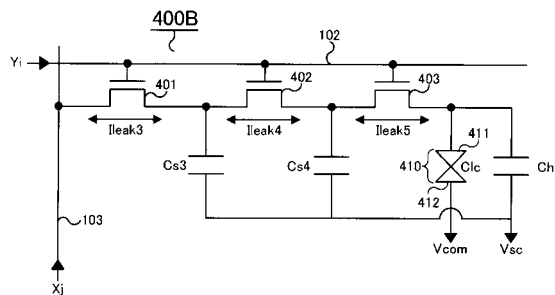
【図 6】



【図 10】



【図 11】



【図 12】

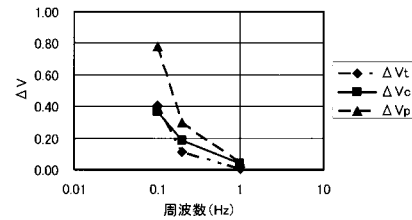
	分割なし	2分割	3分割
3型VGA	30Hz	4Hz	3Hz

【図 7】

Cs:Ch=1:1 の場合

周波数(Hz)	TFTリークによる $\Delta V(\Delta V_t)$	液晶による $\Delta V(\Delta V_c)$	合計 $\Delta V(\Delta V_p)$
1	0.01	0.04	0.05
0.2	0.11	0.19	0.30
0.1	0.41	0.37	0.78

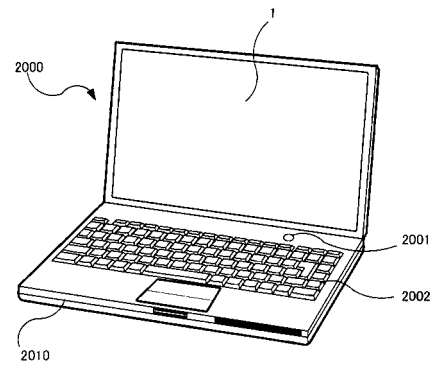
【図 8】

周波数と ΔV (電圧変化)

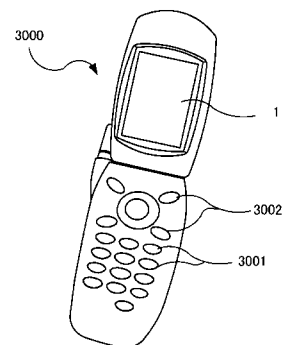
【図 9】

周波数(Hz)	Cs:Ch	TFTリークによる $\Delta V(\Delta V_t)$	液晶による $\Delta V(\Delta V_c)$	合計 $\Delta V(\Delta V_p)$
0.2Hz	1:1	0.11	0.19	0.30
0.2Hz	1:2	0.12	0.14	0.26

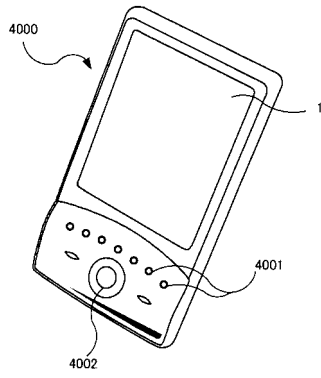
【図 13】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 1 1 G
G 0 9 G 3/20 6 1 1 A
G 0 9 G 3/20 6 4 1 E
G 0 9 G 3/20 6 2 3 C
G 0 2 F 1/133 5 6 0

(72)発明者 廣澤 考司
長野県安曇野市豊科田沢 6 9 2 5 エプソンイメージングデバイス株式会社内

審査官 清水 督史

(56)参考文献 特開 2 0 0 2 - 3 2 3 7 0 7 (J P , A)
特開平 0 5 - 0 8 8 6 4 4 (J P , A)
特開平 0 8 - 0 4 6 2 0 4 (J P , A)
特開平 0 4 - 2 5 1 8 1 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 6 8
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6

专利名称(译)	像素电路，液晶装置和电子设备		
公开(公告)号	JP5391106B2	公开(公告)日	2014-01-15
申请号	JP2010039782	申请日	2010-02-25
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	有賀修二 小間徳夫 廣澤考司		
发明人	有賀 修二 小間 徳夫 廣澤 考司		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3648 G09G2300/0819 G09G2300/0876 G09G2330/021		
FI分类号	G02F1/1368 G02F1/1343 G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.611.G G09G3/20.611.A G09G3/20.641.E G09G3/20.623.C G02F1/133.560		
F-TERM分类号	2H092/JA24 2H092/JB42 2H092/JB61 2H092/PA06 2H092/PA10 2H092/QA11 2H092/QA13 2H192/AA24 2H192/CB13 2H192/DA01 2H192/DA65 2H192/DA67 2H192/JA23 2H192/JA52 2H193/ZA04 2H193/ZA05 2H193/ZA19 2H193/ZE15 2H193/ZQ10 2H193/ZQ17 2H193/ZQ20 2H193/ZQ22 2H193/ZR12 5C006/AA14 5C006/AC21 5C006/BB16 5C006/BC06 5C006/BF37 5C006/FA36 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47		
代理人(译)	酒井宏明 高村秩序		
其他公开文献	JP2011175134A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有层压结构的辅助容量，以增加每单位面积的容量，设定量和保持容量之间的比率，使得泄漏电流最小化并且施加到液晶元件的电压抑制订单中的波动。解决方案：源电极和漏电极中的一个连接到数据线103和第一晶体管401，源电极和漏电极中的一个连接到第一晶体管401并且源电极和漏电极中的另一个连接到第一节点，第二晶体管402连接到第一晶体管401和第二晶体管402连接的节点，连接到第一节点的液晶元件410，以及连接到第一节点的辅助电容Cs并且第一晶体管401和第二晶体管402导通 设定辅助电容Cs的电容，使得第一节点的电位的变化量最小化 确定保持容量Ch的电容值的值。The

【图 1】

