

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5384633号
(P5384633)

(45) 発行日 平成26年1月8日 (2014.1.8)

(24) 登録日 平成25年10月11日 (2013.10.11)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 2 F 1/133 (2006.01)

G O 2 F 1/133 5 5 0

G O 9 G 3/36 (2006.01)

G O 9 G 3/36

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 4 1 G

請求項の数 47 (全 61 頁) 最終頁に続く

(21) 出願番号 特願2011-519489 (P2011-519489)

(86) (22) 出願日 平成22年3月15日 (2010.3.15)

(86) 国際出願番号 PCT/JP2010/001822

(87) 国際公開番号 W02010/146747

(87) 国際公開日 平成22年12月23日 (2010.12.23)

審査請求日 平成23年9月20日 (2011.9.20)

(31) 優先権主張番号 特願2009-146353 (P2009-146353)

(32) 優先日 平成21年6月19日 (2009.6.19)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 110000338

特許業務法人原謙三国際特許事務所

(72) 発明者 津幡 俊英

日本国大阪府大阪市阿倍野区長池町22番
22号 シャープ株式会社内

審査官 鈴木 俊光

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス基板、液晶パネル、液晶表示装置、液晶表示ユニット、テレビジョン受像機

(57) 【特許請求の範囲】

【請求項 1】

1つの画素領域に、第1および第2画素電極が設けられるとともに、

1つの画素領域に対応して、データ信号線と、第1および第2走査信号線と、上記データ信号線および第1走査信号線に接続された第1トランジスタと、上記データ信号線および第2走査信号線に接続された第2トランジスタとが設けられ、

上記第1画素電極は、上記第1トランジスタを介して上記データ信号線に接続され、上記第2画素電極は、上記第1画素電極に容量を介して接続されるとともに、上記第2トランジスタを介して上記データ信号線に接続され、

自段の画素領域に設けられた上記第1および第2画素電極の少なくとも一方と、前段の画素領域に対応する第1および第2走査信号線の少なくとも一方との間に保持容量が形成されていることを特徴とするアクティブマトリクス基板。

【請求項 2】

1つの画素領域において、第1走査信号線には、表示すべきデータ信号の信号電位を第1画素電極へ供給するための第1ゲートオンパルス信号が供給され、第2走査信号線には、共通電極電位を第2画素電極へ供給するための第2ゲートオンパルス信号が供給され、

自段の画素領域に設けられた上記第1および第2画素電極の少なくとも一方と、前段の画素領域に対応する第2走査信号線との間には保持容量が形成されていることを特徴とする請求項1に記載のアクティブマトリクス基板。

【請求項 3】

10

20

上記第1トランジスタのチャネルのW/L比(チャネル幅Wのチャネル長Lに対する比)と、上記第2トランジスタのチャネルのW/L比(チャネル幅Wのチャネル長Lに対する比)とが互いに等しいことを特徴とする請求項1または2に記載のアクティブマトリクス基板。

【請求項4】

上記第1および第2画素電極の一方に電氣的に接続された結合容量電極を備え、該結合容量電極は、絶縁膜を介して、上記第1および第2画素電極の他方と重なっていることを特徴とする請求項1または2に記載のアクティブマトリクス基板。

【請求項5】

上記第1画素電極に電氣的に接続された第1保持容量電極と、第2画素電極に電氣的に接続された第2保持容量電極とを備え、

10

自段の画素領域に対応する上記第1および第2保持容量電極は、絶縁膜を介して、上記前段の画素領域に対応する第1および第2走査信号線の少なくとも一方と重なっていることを特徴とする請求項1または2に記載のアクティブマトリクス基板。

【請求項6】

上記第1および第2トランジスタの導通電極と同層に形成された結合容量電極と第1および第2保持容量電極とを備え、

上記結合容量電極は、上記第1および第2画素電極の一方に電氣的に接続されているとともに、層間絶縁膜を介して、上記第1および第2画素電極の他方と重なっており、

自段の画素領域に対応する上記第1保持容量電極は、上記第1画素電極に電氣的に接続されているとともに、ゲート絶縁膜を介して、上記前段の画素領域に対応する第1および第2走査信号線の少なくとも一方と重なっており、

20

自段の画素領域に対応する上記第2保持容量電極は、上記第2画素電極に電氣的に接続されているとともに、ゲート絶縁膜を介して、上記前段の画素領域に対応する第1および第2走査信号線の少なくとも一方と重なっていることを特徴とする請求項1または2に記載のアクティブマトリクス基板。

【請求項7】

層間絶縁膜を介して自段の画素領域の上記第2画素電極と重なる結合容量電極と、ゲート絶縁膜を介して上記前段の画素領域に対応する第1および第2走査信号線の少なくとも一方と重なる第1および第2保持容量電極とを備え、

30

上記第1トランジスタの導通電極から引き出された第1引き出し配線と上記結合容量電極とが同層で接続され、上記第1引き出し配線と上記第1画素電極とがコンタクトホールを介して接続されているとともに、上記第1引き出し配線と上記第1保持容量電極とが同層で接続されており、

上記第2トランジスタの導通電極から引き出された第2引き出し配線と上記第2画素電極とがコンタクトホールを介して接続され、上記第2保持容量電極から引き出された第3引き出し配線と上記第2画素電極とがコンタクトホールを介して接続されていることを特徴とする請求項1または2に記載のアクティブマトリクス基板。

【請求項8】

層間絶縁膜を介して自段の画素領域の上記第2画素電極と重なる結合容量電極と、ゲート絶縁膜を介して上記前段の画素領域に対応する第1および第2走査信号線の少なくとも一方と重なる第1および第2保持容量電極とを備え、

40

上記第1トランジスタの導通電極から引き出された第1引き出し配線と上記第1画素電極とがコンタクトホールを介して接続されているとともに、上記第1引き出し配線と上記第1保持容量電極とが同層で接続されており、

上記第2トランジスタの導通電極から引き出された第2引き出し配線と上記第2画素電極とがコンタクトホールを介して接続され、上記第2保持容量電極から引き出された第3引き出し配線と上記結合容量電極とが同層で接続されているとともに、上記第3引き出し配線と上記第2画素電極とがコンタクトホールを介して接続されていることを特徴とする請求項1または2に記載のアクティブマトリクス基板。

50

【請求項 9】

層間絶縁膜を介して自段の画素領域の上記第 1 画素電極と重なる第 2 結合容量電極と、層間絶縁膜を介して自段の画素領域の上記第 2 画素電極と重なる第 1 結合容量電極と、ゲート絶縁膜を介して上記前段の画素領域に対応して設けられた第 1 および第 2 走査信号線の少なくとも一方と重なる第 1 および第 2 保持容量電極とを備え、

上記第 1 トランジスタの導通電極から引き出された第 1 引き出し配線と上記第 1 結合容量電極とが同層で接続され、上記第 1 引き出し配線と上記第 1 画素電極とがコンタクトホールを介して接続されているとともに、上記第 1 保持容量電極から引き出された第 2 引き出し配線と上記第 1 画素電極とがコンタクトホールを介して接続されており、

上記第 2 トランジスタの導通電極から引き出された第 3 引き出し配線と上記第 2 画素電極とがコンタクトホールを介して接続され、上記第 2 保持容量電極から引き出された第 4 引き出し配線と上記第 2 結合容量電極とが同層で接続されているとともに、上記第 4 引き出し配線と上記第 2 画素電極とがコンタクトホールを介して接続されていることを特徴とする請求項 1 または 2 に記載のアクティブマトリクス基板。

10

【請求項 10】

走査信号線の延伸方向を行方向とすれば、2 本の走査信号線は行方向に並ぶ 2 つの画素領域に対応し、各画素領域には 2 つの画素電極が列方向に並べられ、

行方向に隣接する 2 つの画素電極の一方に接続されるトランジスタが上記 2 本の走査信号線の一方に接続され、上記 2 つの画素電極の他方に接続されるトランジスタが上記 2 本の走査信号線の他方に接続されていることを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載のアクティブマトリクス基板。

20

【請求項 11】

自段の画素領域に設けられた上記第 1 保持容量電極と、上記前段の画素領域に対応する第 1 および第 2 走査信号線の少なくとも一方との重なり面積が、自段の画素領域に設けられた上記第 2 保持容量電極と、上記前段の画素領域に対応して設けられた第 1 および第 2 走査信号線の少なくとも一方との重なり面積に等しくなっていることを特徴とする請求項 9 または 10 に記載のアクティブマトリクス基板。

【請求項 12】

1 つの画素領域は、各画素電極に対応する副画素領域により構成され、

各副画素領域は、液晶層に電圧が印加されたときの液晶分子のチルト方向が予め決められた第 1 方向である第 1 液晶ドメイン、第 2 方向である第 2 液晶ドメイン、第 3 方向である第 3 液晶ドメイン、および第 4 方向である第 4 液晶ドメインにそれぞれ対応する、第 1 ~ 第 4 領域を有し、

30

上記結合容量電極は、上記第 1 ~ 第 4 領域の内の隣り合う領域どうしの境界と重なっていることを特徴とする請求項 4 に記載のアクティブマトリクス基板。

【請求項 13】

1 つの画素領域は、これを横切る上記第 1 走査信号線によって 2 つの部分に分けられ、その一方に上記第 1 画素電極が配されているとともに、他方に上記第 2 画素電極が配されていることを特徴とする請求項 1 に記載のアクティブマトリクス基板。

【請求項 14】

40

1 つの画素領域に、第 3 画素電極をさらに備え、

上記第 3 画素電極は、上記第 1 画素電極と電氣的に接続されていることを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 15】

1 つの画素領域に、第 3 画素電極をさらに備え、

上記第 3 画素電極は、上記第 1 画素電極に容量を介して接続されるとともに、上記第 2 画素電極と電氣的に接続されていることを特徴とする請求項 1 ~ 9 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 16】

上記第 1 ~ 第 3 画素電極は、

50

上記第 1 画素電極の少なくとも一部が、上記第 1 走査信号線に近接し、
上記第 3 画素電極の少なくとも一部が、上記第 2 走査信号線に近接し、
上記第 2 画素電極の一方の端部が上記第 1 走査信号線に近接するとともに、他方の端部が上記第 2 走査信号線に近接するように配されていることを特徴とする請求項 1 4 に記載のアクティブマトリクス基板。

【請求項 1 7】

上記第 1 ～ 第 3 画素電極は、
上記第 2 画素電極の少なくとも一部が、上記第 1 走査信号線に近接し、
上記第 3 画素電極の少なくとも一部が、上記第 2 走査信号線に近接し、
上記第 1 画素電極の一方の端部が上記第 1 走査信号線に近接するとともに、他方の端部が上記第 2 走査信号線に近接するように配されていることを特徴とする請求項 1 5 に記載のアクティブマトリクス基板。

10

【請求項 1 8】

液晶表示装置に適用された場合に、上記第 1 画素電極を含む副画素が明副画素となり、上記第 2 画素電極を含む副画素が暗副画素となることを特徴とする請求項 1 ～ 1 7 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 1 9】

液晶表示装置に適用された場合に、上記第 1 および第 3 画素電極を含む副画素が明副画素となり、上記第 2 画素電極を含む副画素が暗副画素となることを特徴とする請求項 1 4 または 1 6 に記載のアクティブマトリクス基板。

20

【請求項 2 0】

液晶表示装置に適用された場合に、上記第 1 画素電極を含む副画素が明副画素となり、上記第 2 および第 3 画素電極を含む副画素が暗副画素となることを特徴とする請求項 1 5 または 1 7 に記載のアクティブマトリクス基板。

【請求項 2 1】

上記層間絶縁膜は、上記結合容量電極と重なる部分の少なくとも一部が薄くなっていることを特徴とする請求項 6 に記載のアクティブマトリクス基板。

【請求項 2 2】

上記ゲート絶縁膜は、上記保持容量電極と重なる部分の少なくとも一部が薄くなっていることを特徴とする請求項 6 に記載のアクティブマトリクス基板。

30

【請求項 2 3】

上記層間絶縁膜は、無機絶縁膜と有機絶縁膜とからなるが、上記結合容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去されていることを特徴とする請求項 2 1 に記載のアクティブマトリクス基板。

【請求項 2 4】

上記ゲート絶縁膜は、無機絶縁膜と有機絶縁膜とからなるが、上記保持容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去されていることを特徴とする請求項 2 2 に記載のアクティブマトリクス基板。

【請求項 2 5】

上記有機絶縁膜には、アクリル樹脂、エポキシ樹脂、ポリイミド樹脂、ポリウレタン樹脂、ノボラック樹脂、およびシロキサン樹脂の少なくとも 1 つが含まれていることを特徴とする請求項 2 3 または 2 4 に記載のアクティブマトリクス基板。

40

【請求項 2 6】

請求項 1 ～ 2 5 のいずれか 1 項に記載のアクティブマトリクス基板を備え、
表示中に上記第 2 走査信号線が少なくとも 1 回選択されることを特徴とする液晶表示装置。

【請求項 2 7】

上記第 2 トランジスタがオフするときに、上記データ信号線に共通電極電位が供給されていることを特徴とする請求項 2 6 に記載の液晶表示装置。

【請求項 2 8】

50

上記第 2 トランジスタがオフするときに上記第 1 トランジスタがオン状態であるか、あるいは、上記第 2 トランジスタがオフするときに上記第 1 トランジスタが同時にオフすることを特徴とする請求項 27 に記載の液晶表示装置。

【請求項 29】

上記第 2 トランジスタがオフするときに、第 1 および第 2 画素電極の電位を実質的に共通電極電位にすることを特徴とする請求項 26 ~ 28 のいずれか 1 項に記載の液晶表示装置。

【請求項 30】

上記第 1 走査信号線に供給される第 1 ゲートオンパルス信号と、上記第 2 走査信号線に供給される第 2 ゲートオンパルス信号とは、同一の水平走査期間内でアクティブになるとともに、

10

上記第 2 ゲートオンパルス信号は、そのパルス幅が上記第 1 ゲートオンパルス信号のパルス幅未満であり、かつ、上記第 1 ゲートオンパルス信号が非アクティブになる前に非アクティブになることを特徴とする請求項 26 ~ 29 のいずれか 1 項に記載の液晶表示装置。

【請求項 31】

上記第 1 走査信号線に供給される第 1 ゲートオンパルス信号、および、上記第 2 走査信号線に供給される第 2 ゲートオンパルス信号は、表示すべきデータ信号の信号電位が上記第 1 画素電極へ供給される期間よりも一水平走査期間前にアクティブになるとともに、

20

上記第 2 ゲートオンパルス信号は、上記第 1 ゲートオンパルス信号がアクティブの間に非アクティブになることを特徴とする請求項 26 ~ 29 のいずれか 1 項に記載の液晶表示装置。

【請求項 32】

各フレームにおいて、1 画素領域内の全ての画素電極へ、少なくとも 2 回、共通電極電位を供給することを特徴とする請求項 26 ~ 29 のいずれか 1 項に記載の液晶表示装置。

【請求項 33】

各フレームにおいて、表示すべきデータ信号の信号電位が上記第 1 画素電極へ供給されてから、2 / 3 フレーム期間経過後に、1 画素領域内の全ての画素電極へ、少なくとも 2 回、共通電極電位を供給することを特徴とする請求項 32 に記載の液晶表示装置。

30

【請求項 34】

各データ信号線に供給されるデータ信号の信号電位の極性は、一水平走査期間ごとに反転し、

上記データ信号の信号電位の極性が反転するときに、所定期間だけ各データ信号線へのデータ信号の供給が遮断されるとともに、各データ信号線が互いに短絡され、

上記第 1 および第 2 トランジスタは、上記所定期間内でオン状態であることを特徴とする請求項 26 ~ 33 のいずれか 1 項に記載の液晶表示装置。

【請求項 35】

各走査信号線を駆動する走査信号線駆動回路を備え、上記第 1 および第 2 走査信号線それぞれに供給される第 1 および第 2 ゲートオンパルス信号は、上記走査信号線駆動回路が有する 1 つのシフトレジスタの同一段からの出力を用いて生成されていることを特徴とする請求項 26 に記載の液晶表示装置。

40

【請求項 36】

上記走査信号線駆動回路は、上記シフトレジスタと、列方向に並ぶ複数の論理回路と、出力回路とを備え、

上記論理回路に入力される、上記シフトレジスタの出力と上記走査信号線駆動回路の出力を制御する出力制御信号とに基づいて、上記出力回路から出力される上記第 1 および第 2 ゲートオンパルス信号のパルス幅が決定されることを特徴とする請求項 35 に記載の液晶表示装置。

【請求項 37】

上記第 1 画素電極に供給される信号電位の極性は、1 フレーム単位で反転することを特

50

徴とする請求項 26 ~ 36 のいずれか 1 項に記載の液晶表示装置。

【請求項 38】

第 1 データ信号線に供給される信号電位の極性が一水平走査期間ごとに反転することを特徴とする請求項 26 ~ 37 のいずれか 1 項に記載の液晶表示装置。

【請求項 39】

同一水平走査期間においては、第 1 データ信号線およびこれに隣接するデータ信号線それぞれに、逆極性の信号電位が供給されることを特徴とする請求項 26 ~ 38 のいずれか 1 項に記載の液晶表示装置。

【請求項 40】

請求項 1 ~ 25 のいずれか 1 項に記載のアクティブマトリクス基板を備え、

10

所定のフレームでは、上記第 1 および第 2 走査信号線的一方を走査することでトランジスタを介してこれに接続する画素電極に信号電位を書き込み、

所定のフレーム以外のフレームでは、上記第 1 および第 2 走査信号線の他方を走査することでトランジスタを介してこれに接続する画素電極に信号電位を書き込むことを特徴とする液晶表示装置。

【請求項 41】

1 つの画素に設けられた第 1 および第 2 画素電極に共通電極電位を供給した状態で、一方の画素電極に接続するトランジスタをオフし、その後他方の画素電極に信号電位を書き込むことを特徴とする請求項 40 に記載の液晶表示装置。

【請求項 42】

20

連続する 2 フレームについて、

最初のフレームでは、上記第 1 および第 2 画素電極に共通電極電位を供給した状態で、上記第 2 画素電極に接続するトランジスタをオフし、その後上記第 1 画素電極に信号電位を書き込み、

次のフレームでは、上記第 1 および第 2 画素電極に共通電極電位を供給した状態で、上記第 1 画素電極に接続するトランジスタをオフし、その後上記第 2 画素電極に信号電位を書き込むことを特徴とする請求項 41 に記載の液晶表示装置。

【請求項 43】

上記第 1 および第 2 走査信号線のうち信号電位を書き込む際に選択される方の走査信号線を、1 フレームごとに切り替えるとともに、同一画素に対応する信号電位の極性を、2 フレームごとに反転させるか、あるいは、

30

上記第 1 および第 2 走査信号線のうち信号電位を書き込む際に選択される方の走査信号線を、連続する 2 フレームごとに切り替えるとともに、同一画素に対応する信号電位の極性を、1 フレームごとに反転させることを特徴とする請求項 41 に記載の液晶表示装置。

【請求項 44】

請求項 1 ~ 25 のいずれか 1 項に記載のアクティブマトリクス基板を備えることを特徴とする液晶パネル。

【請求項 45】

請求項 44 に記載の液晶パネルとドライバとを備えることを特徴とする液晶表示ユニット。

40

【請求項 46】

請求項 45 に記載の液晶表示ユニットと光源装置とを備えることを特徴とする液晶表示装置。

【請求項 47】

請求項 26 ~ 43 および 46 のいずれか 1 項に記載の液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1 画素領域に複数の画素電極を設けるアクティブマトリクス基板およびこれ

50

を用いた液晶表示装置（画素分割方式）に関する。

【背景技術】

【0002】

液晶表示装置の γ 特性の視野角依存性を向上させる（例えば、画面の白浮き等を抑制する）ため、1画素に設けた複数の副画素を異なる輝度に制御し、これら副画素の面積階調によって中間調を表示する液晶表示装置（画素分割方式、例えば特許文献1参照）が提案されている。

【0003】

特許文献1に記載のアクティブマトリクス基板では、図48に示すように、隣り合う2本のゲートバスライン112の間に画素領域が設けられ、画素領域の上端（ゲートバスラインに隣接する部分）に画素電極121aが配され、中段に画素電極121bが配され、下端（隣のゲートバスラインに隣接する部分）に画素電極121cが配され、画素電極121aおよび画素電極121cが、トランジスタ116のソース電極116sから引き出されたソース引き出し配線119に接続され、ソース引き出し配線119に接続する制御電極118が絶縁層を介して画素電極121bと重なっており、中段の画素電極121bは、画素電極121a・121cそれぞれに対して容量結合されている（容量結合型画素分割方式）。このアクティブマトリクス基板を用いた液晶表示装置では、画素電極121a・121cに対応する副画素それぞれを明副画素、画素電極121bに対応する副画素を暗副画素とすることができ、これら明副画素（2個）・暗副画素（1個）の面積階調によって中間調を表示することができる。

【0004】

このような容量結合型画素分割方式の液晶表示装置では、容量結合される画素電極121bに蓄積する電荷の影響により、画素電極121bを含む副画素において、焼き付きが生じることが知られている。

【0005】

具体的には、図49に示すように、トランジスタ56を介してソースライン55に直接接続される画素電極61bでは、1フレームごとにトランジスタ56がオンになることにより、画素電極61bとソースライン55とが電氣的に接続されるため、画素電極61bではトランジスタ56がオフの期間に蓄積された電荷がオンの期間にソースライン55に流れる。そのため、画素電極61bには直流電圧成分はほとんど残留せず、焼き付きが生じ難い。一方、画素電極61bに容量結合される画素電極61aでは、トランジスタ56がオンになっても、画素電極61aに蓄積された電荷がそのまま保持される。そのため、画素電極61aには直流電圧成分が残留し、これに起因して画素電極61aを含む副画素が焼き付くことになる。

【0006】

この焼き付きの問題を解決する方法の一例として、特許文献1に記載のアクティブマトリクス基板では、図48に示すように、画素電極121aに容量結合される画素電極121bを、ゲートバスライン112から離間して配置している。つまり、画素電極121bを、画素電極121aと画素電極121cとの間に配することにより、ゲートバスライン112に流れる信号の直流電圧成分による画素電極121bへの電荷の流入を抑えることができる。これにより、焼き付きの発生を抑えることができる。

【0007】

ところが、この構成では、画素電極121bが、依然としてフローティング状態であるため、電荷の流入を完全に防ぐことはできず、高品位の表示を得ることは困難である。

【0008】

また、非特許文献1には、上記のようなフローティング状態の画素電極を、トランジスタを介してソースラインに直接接続する構成が記載されている。図50は、非特許文献1に記載の液晶パネルの一部を示す等価回路図である。この液晶パネルは、同図に示すように、隣り合う2本のゲートバスラインの間に画素領域（主画素領域（Main region）、副画素領域（Sub region））が設けられ、主画素領域に対応する主画

10

20

30

40

50

素電極は、第1のトランジスタ(Main-TFT)を介してソースライン(Data line)に接続され、副画素領域に対応する副画素電極は、第2のトランジスタ(Sub-TFT)を介してソースラインに接続されている。そして、第1および第2のトランジスタは、それぞれ同一のゲートバスライン(Gate line)に接続されている。
【0009】

この構成によれば、第1および第2のトランジスタがオンすると、ソースラインと副画素電極とが電氣的に接続されるため、副画素電極に蓄積された電荷が放電(リフレッシュ)される。これにより、フローティング状態の画素電極を含む副画素の焼き付きの発生を抑えることができる。

【先行技術文献】

10

【特許文献】

【0010】

【特許文献1】日本国公開特許公報「特開2006-39290号公報(2006年2月9日公開)」

【非特許文献】

【0011】

【非特許文献1】「SID 07 DIGEST p1010~p1013」

【発明の概要】

【発明が解決しようとする課題】

【0012】

20

ところが、非特許文献1の構成では、主画素電極および副画素電極が、それぞれ、第1および第2のトランジスタを介して、同一のゲートバスラインおよび同一のソースラインに接続されているため、第1および第2のトランジスタのオン時間(ゲートオン時間)が互いに等しくなる。

【0013】

画素分割方式において、ゲートオン時間が等しい場合には、画素電極へ供給される電位は、トランジスタ特性の比率、すなわち、トランジスタのチャンネルの W/L 比(チャンネル幅 W のチャンネル長 L に対する比)で規定されることになる。つまり、上記の構成では、明副画素および暗副画素を形成するために、主画素電極に接続される第1のトランジスタのチャンネルの W/L 比(チャンネル幅 W のチャンネル長 L に対する比)と、第2のトランジスタのチャンネルの W/L 比(チャンネル幅 W のチャンネル長 L に対する比)とを、互いに異ならせることが必要となる。

30

【0014】

そのため、このような液晶パネルを製造する場合には、チャンネルサイズの異なるトランジスタを予め設計する必要がある。設計が複雑化する可能性がある。また、液晶パネルの完成後に、例えば各画素電極への書き込み時間を変更するといった調整が困難となり、製品の自由度が低下する。また、ソースラインおよびゲートバスラインの線幅のシフトによりトランジスタのチャンネルの W/L 比が変化するため、表示面内において第1および第2のトランジスタの特性が互いに異なり、表示品位の低下を招くおそれもある。

【0015】

40

さらに、トランジスタのチャンネルサイズにより明副画素および暗副画素を形成する場合、駆動周波数が互いに異なる液晶パネル(例えば、60Hz駆動の液晶パネルと120Hz駆動の液晶パネル)では、いわゆる白浮きを抑制する効果がそれぞれ異なるおそれがあり、液晶パネルの共通化が困難となる。

【0016】

本発明では、容量結合型画素分割方式の液晶表示装置において、副画素の焼き付きに起因する表示品位の低下のおそれが少ない構成を提案する。

【課題を解決するための手段】

【0017】

本アクティブマトリクス基板は、1つの画素領域に、第1および第2画素電極が設けら

50

れるとともに、１つの画素領域に対応して、データ信号線と、第１および第２走査信号線と、上記データ信号線および第１走査信号線に接続された第１トランジスタと、上記データ信号線および第２走査信号線に接続された第２トランジスタとが設けられ、上記第１画素電極は、上記第１トランジスタを介して上記データ信号線に接続され、上記第２画素電極は、上記第１画素電極に容量を介して接続されるとともに、上記第２トランジスタを介して上記データ信号線に接続され、自段の画素領域に設けられた上記第１および第２画素電極の少なくとも一方と、前段の画素領域に対応する第１および第２走査信号線の少なくとも一方との間に保持容量が形成されていることを特徴とする。

【００１８】

本アクティブマトリクス基板を用いた液晶表示装置では、１つの画素領域内の各画素電極それぞれが、異なる走査信号線に接続されたそれぞれのトランジスタを介してデータ信号線に接続されるため、信号電位を供給するタイミングを画素電極ごとに異ならせることができる。そのため、例えば、一方の画素電極へ正規の書き込み用の信号電位を供給する前に、この画素電極に容量結合される他方の画素電極へ、トランジスタを介してデータ信号線に電氣的に接続して、信号電位（例えば、 V_{com} ）を供給することができる。

【００１９】

このように、正規の書き込みが行われる前に、トランジスタを介してデータ信号線に接続される画素電極に容量結合される画素電極（容量結合電極）に対して、容量を介することなくデータ信号線から信号電位を供給することができるため、この容量結合電極に蓄積された電荷を放電（リフレッシュ）させることができる。そのため、この画素電極を含む副画素の焼き付きの発生を抑えることができる。また、上記の構成によれば、従来のように、トランジスタのチャネル W/L 比を調整する必要がなく、同一のチャネルサイズでアクティブマトリクス基板を構成することができる。よって、トランジスタの特性のばらつきによる表示品位の低下を抑えることができるとともに、液晶パネルの共通化を図ることができる。

【００２０】

さらに、上記の構成では、自段の画素領域に設けられた画素電極の保持容量が、走査が終了した前段の画素領域に対応して設けられた走査信号線（第１および第２走査信号線の少なくとも一方）との間で形成されているため、保持容量の値を増大させることができるとともに、保持容量の値の変動を抑えることができる。よって、表示品位の向上を図ることができる。

【００２１】

本液晶表示装置は、上記いずれかに記載のアクティブマトリクス基板を備え、表示中に上記第２走査信号線が少なくとも１回選択されることを特徴とする。

【００２２】

これにより、表示中に少なくとも１回は、第１トランジスタを介してデータ信号線に接続される第１画素電極に容量結合される第２画素電極を、第２トランジスタを介してデータ信号線に電氣的に接続することができるため、第２画素電極に蓄積された電荷を放電（リフレッシュ）させることができる。そのため、第２画素電極を含む副画素の焼き付きの発生を抑えることができるとともに、表示品位の低下を抑えることができる。

【００２３】

本液晶パネルは、上記アクティブマトリクス基板を備えることを特徴とする。本液晶表示ユニットは、上記液晶パネルとドライバとを備えることを特徴とする。本液晶表示装置は、上記液晶表示ユニットと光源装置とを備えることを特徴とする。本テレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とする。

【発明の効果】

【００２４】

以上のように、本アクティブマトリクス基板を用いた液晶表示装置では、トランジスタを介してデータ信号線に接続される画素電極に容量結合される画素電極に蓄積された電荷

10

20

30

40

50

を放電（リフレッシュ）させることができるため、この画素電極を含む副画素の焼き付きの発生を抑えることができるとともに、表示品位の低下を抑えることができる。

【図面の簡単な説明】

【0025】

【図1】液晶パネル5aの構成を示す回路図である。

【図2】液晶パネル5aの構成（具体例1-1）を示す平面図である。

【図3】図2のA-B断面の具体例を示す断面図である。

【図4】図2のC-D断面の具体例を示す断面図である。

【図5】図2のA-B断面の他の具体例を示す断面図である。

【図6】図2の液晶パネル5aの他の構成を示す平面図である。

10

【図7】液晶パネル5aの他の構成（具体例1-2）を示す平面図である。

【図8】液晶パネル5aの他の構成（具体例1-3）を示す平面図である。

【図9】図8の液晶パネル5aにおいて、各副画素領域が4つの液晶ドメインA～Dに分割されている状態を示す平面図である。

【図10】液晶パネル5a・5bを備えた液晶表示装置の駆動方法を示すタイミングチャートである。

【図11】図10の駆動方法を用いた場合の各フレームの表示状態を示す模式図である。

【図12】液晶パネル5a・5bを備えた液晶表示装置の他の駆動方法を示すタイミングチャートである。

【図13】液晶パネル5a・5bを駆動するゲートドライバの構成を示す回路図である。

20

【図14】図13のゲートドライバの駆動方法を示すタイミングチャートである。

【図15】液晶パネル5a・5bを備えた液晶表示装置の他の駆動方法を示すタイミングチャートである。

【図16】液晶パネル5a・5bを備えた液晶表示装置の他の駆動方法を示すタイミングチャートである。

【図17】液晶パネル5a・5bを駆動するゲートドライバ他の構成を示す回路図である。

【図18】図17のゲートドライバの駆動方法を示すタイミングチャートである。

【図19】液晶パネル5a・5bを備えた液晶表示装置の他の駆動方法を示すタイミングチャートである。

30

【図20】液晶パネル5a・5bを駆動するゲートドライバ他の構成を示す回路図である。

【図21】図20のゲートドライバの駆動方法を示すタイミングチャートである。

【図22】液晶パネル5a・5bを備えた液晶表示装置の他の駆動方法を示すタイミングチャートである。

【図23】液晶パネル5aの構成（具体例1-4）を示す平面図である。

【図24】図23の液晶パネル5aにおいて図10の駆動方法を用いた場合の各フレームの表示状態を示す模式図である。

【図25】液晶パネル5aの他の構成を示す回路図である。

【図26】液晶パネル5aの構成（具体例1-5）を示す平面図である。

40

【図27】図26の液晶パネル5aにおいて図10の駆動方法を用いた場合の各フレームの表示状態を示す模式図である。

【図28】液晶パネル5aの構成（具体例1-6）を示す平面図である。

【図29】液晶パネル5a・5bを備えた液晶表示装置の他の駆動方法を示すタイミングチャートである。

【図30】図26および図28の液晶パネル5aにおいて図29の駆動方法を用いた場合の各フレームの表示状態を示す模式図である。

【図31】液晶パネル5bの構成を示す回路図である。

【図32】液晶パネル5bの構成（具体例2-1）を示す平面図である。

【図33】図32のA-B断面の具体例を示す断面図である。

50

【図 3 4】図 3 2 の液晶パネル 5 a の他の構成を示す平面図である。
 【図 3 5】液晶パネル 5 b の構成（具体例 2 - 2）を示す平面図である。
 【図 3 6】液晶パネル 5 b の他の構成を示す回路図である。
 【図 3 7】液晶パネル 5 b の構成（具体例 2 - 3）を示す平面図である。
 【図 3 8】液晶パネル 5 b の構成（具体例 2 - 4）を示す平面図である。
 【図 3 9】MVA 構造の液晶パネル 5 a の構成を示す平面図である。
 【図 4 0】図 3 9 の液晶パネル 5 a の一部を拡大した平面図である。
 【図 4 1】本液晶表示ユニットおよび本液晶表示装置の構成を示す模式図であり、（a）は本液晶表示ユニットの構成を示し、（b）は本液晶表示装置の構成を示す。
 【図 4 2】ソースドライバの他の構成を示す回路図である。
 【図 4 3】ソースドライバのさらに他の構成を示す回路図である。
 【図 4 4】本液晶表示装置の全体構成を説明するブロック図である。
 【図 4 5】本液晶表示装置の機能を説明するブロック図である。
 【図 4 6】本テレビジョン受像機の機能を説明するブロック図である。
 【図 4 7】本テレビジョン受像機の構成を示す分解斜視図である。
 【図 4 8】従来の液晶パネルの構成を示す平面図である。
 【図 4 9】従来の液晶パネルの構成を示す平面図である。
 【図 5 0】従来の液晶パネルの構成を示す回路図である。
 【発明を実施するための形態】

10

【0026】

20

本発明にかかる実施の形態の例を、図 1 ~ 4 7 を用いて説明すれば、以下のとおりである。なお、説明の便宜のため、以下では走査信号線の延伸方向を行方向とする。ただし、本液晶表示装置（あるいはこれに用いられる液晶パネルやアクティブマトリクス基板）の利用（視聴）状態において、その走査信号線が横方向に延伸していても縦方向に延伸していてもよいことはいうまでもない。また、本実施の形態で示すトランジスタのチャネル特性（n 型・p 型）は特に限定されるものではない。

【0027】

〔実施の形態 1〕

図 1 は本実施の形態 1 における本液晶パネルの一部を示す等価回路図である。図 1 に示すように、液晶パネル 5 a は、列方向（図中上下方向）に延伸するデータ信号線（15x・15X）、行方向（図中左右方向）に延伸する走査信号線（16a ~ 16f）、行および列方向に並べられた画素（100 ~ 105）、および共通電極（対向電極）com を備え、各画素の構造は同一の構成である。なお、画素 100 ~ 102 が含まれる画素列と、画素 103 ~ 105 が含まれる画素列とが隣接している。

30

【0028】

液晶パネル 5 a では、1 つの画素に対応して 1 本のデータ信号線と 2 本の走査信号線とが設けられており、画素 100 に設けられた 2 つの画素電極 17c・17d、画素 101 に設けられた 2 つの画素電極 17a・17b、および画素 102 に設けられた 2 つの画素電極 17e・17f が一列に配されるとともに、画素 103 に設けられた 2 つの画素電極 17C・17D、画素 104 に設けられた 2 つの画素電極 17A・17B、および画素 105 に設けられた 2 つの画素電極 17E・17F が一列に配され、画素電極 17c と 17C、画素電極 17d と 17D、画素電極 17a と 17A、画素電極 17b と 17B、および画素電極 17e と 17E、画素電極 17f と 17F がそれぞれ行方向に隣接している。

40

【0029】

各画素の構造は同一であるため、以下では、主に画素 101 を例に挙げて説明する。

【0030】

画素 101 では、画素電極 17a および 17b（第 1 および第 2 画素電極）が結合容量 C101 を介して接続され、画素電極 17a が、走査信号線 16a（第 1 走査信号線）に接続されたトランジスタ 12a（第 1 トランジスタ）を介してデータ信号線 15x に接続され、画素電極 17b が、走査信号線 16b（第 2 走査信号線）に接続されたトランジスタ

50

タ 1 2 b (第 2 トランジスタ) を介してデータ信号線 1 5 x に接続され、画素電極 1 7 a と前段の走査信号線 1 6 d との間に保持容量 C_{ha} が形成され、画素電極 1 7 b と前段の走査信号線 1 6 d との間に保持容量 C_{hb} が形成され、画素電極 1 7 a および共通電極 c_{om} 間に液晶容量 C_{la} が形成され、画素電極 1 7 b および共通電極 c_{om} 間に液晶容量 C_{lb} が形成されている。トランジスタ 1 2 a・1 2 b は、チャンネルの W/L 比 (チャンネル幅 W のチャンネル長 L に対する比; 以下、「 W/L 比」) が互いにほぼ等しくなるように形成されている。すなわち、液晶パネル 5 a の各トランジスタのサイズは互いにほぼ等しいため、各トランジスタの特性は実質的に同一となっている。

【0031】

上記の構成によれば、画素電極 1 7 b は、正規の信号電位が書き込まれる画素電極 1 7 a に容量結合されるため、それぞれの容量値を、 $C_{la} = C_{lb} = C_l$, $C_{ha} = C_{hb} = C_h$, $C_o = C_l + C_h$, C_{101} の容量値を C_α , トランジスタ 1 2 a が OFF した後の画素電極 1 7 a の電位を V_a とすると、トランジスタ 1 2 a が OFF した後の画素電極 1 7 b の電位は、 $V_a \times (C_\alpha / (C_\alpha + C_o))$ となり、画素電極 1 7 a を含む副画素は明副画素 (以下、「明」)、画素電極 1 7 b を含む副画素は暗副画素 (以下、「暗」) となる。これにより、画素分割方式の液晶表示装置を実現できる。

【0032】

また、上記液晶パネル 5 a を備えた画素分割方式の液晶表示装置では、1 つの画素 1 0 1 領域内の画素電極 1 7 a・1 7 b それぞれが、異なる走査信号線 1 6 a・1 6 b に接続されたそれぞれのトランジスタ 1 2 a・1 2 b を介して、データ信号線 1 5 x に接続されている。そのため、それぞれの画素電極 1 7 a・1 7 b に対して、同一または異なる信号電位を、トランジスタ 1 2 a・1 2 b を介して直接供給することができる。すなわち、トランジスタ 1 2 a を介してデータ信号線 1 5 x に接続される画素電極 1 7 a に容量結合される画素電極 1 7 b (以下、「容量結合電極」ともいう) に対して、容量を介することなくデータ信号線 1 5 x から信号電位を供給することができる。また、画素電極 1 7 a・1 7 b それぞれに接続されるトランジスタ 1 2 a・1 2 b それぞれは、互いに異なる走査信号線 1 6 a・1 6 b に接続されているため、各画素電極 1 7 a・1 7 b に供給する信号電位の供給タイミングを任意に設定することもできる。

【0033】

このように、本発明の構成によれば、トランジスタ 1 2 b をオンすることにより、容量結合電極 (画素電極 1 7 b) をデータ信号線 (1 5 x) に電氣的に接続することが可能となる。そのため、画素電極 1 7 b へ、トランジスタ 1 2 b を介してデータ信号線 1 5 x から信号電位を供給することが可能となる。

【0034】

ここで、例えば、画素電極 1 7 a に正規の信号電位を書き込む場合、この書き込み前に、トランジスタ 1 2 b を介してデータ信号線 1 5 x から画素電極 1 7 b へ信号電位 (例えば、 V_{com} 信号) を供給する。この信号電位 (V_{com}) は、チャージシェア方式により供給してもよいし、全てのトランジスタをオンして、全てのデータ信号線に供給してもよい。これにより、容量結合される画素電極 1 7 b に信号電位 (V_{com}) が書き込まれるため、画素電極に蓄積された電荷を放電 (リフレッシュ) させることができる。そのため、この画素電極を含む副画素の焼き付きの発生を抑えることができる。

【0035】

また、上記の構成によれば、従来のように、トランジスタのチャンネルの W/L 比を調整する必要がなく、同一のチャンネルサイズでアクティブマトリクス基板を構成することができる。よって、トランジスタの特性のばらつきによる表示品位の低下を抑えることができる。

【0036】

本発明の液晶表示装置は、主として、上述の構成およびそれによる特有の効果を奏するものである。以下では、本実施形態の液晶表示装置を構成する液晶パネル 5 a の具体例およびその駆動方法について説明する。

【 0 0 3 7 】

(液晶パネルの具体例 1 - 1)

液晶パネル 5 a の具体例 1 - 1 を図 2 に示す。図 2 の液晶パネル 5 a では、画素 1 0 0 および画素 1 0 1 に沿うようにデータ信号線 1 5 x が設けられ、画素 1 0 3 および画素 1 0 4 に沿うようにデータ信号線 1 5 X が設けられている。

【 0 0 3 8 】

ここで、画素 1 0 0 の行方向に沿う 2 つのエッジ部の一方と重なるように走査信号線 1 6 c が配され、他方と重なるように走査信号線 1 6 d が配され、平面的に視て、走査信号線 1 6 c および 1 6 d 間に画素電極 1 7 c ・ 1 7 d が列方向に並べられている。また、走査信号線 1 6 c は画素 1 0 3 の行方向に沿う 2 つのエッジ部の一方と重なるとともに、走査信号線 1 6 d は他方と重なっており、平面的に視て、走査信号線 1 6 c および 1 6 d 間に画素電極 1 7 C ・ 1 7 D が列方向に並べられている。

10

【 0 0 3 9 】

また、画素 1 0 1 の行方向に沿う 2 つのエッジ部の一方と重なるように走査信号線 1 6 a が形成され、他方と重なるように走査信号線 1 6 b が形成され、平面的に視て、走査信号線 1 6 a および 1 6 b 間に画素電極 1 7 a ・ 1 7 b が列方向に並べられている。また、走査信号線 1 6 a は画素 1 0 4 の行方向に沿う 2 つのエッジ部の一方と重なるとともに、走査信号線 1 6 b は他方と重なっており、平面的に視て、走査信号線 1 6 a および 1 6 b 間に画素電極 1 7 A ・ 1 7 B が列方向に並べられている。

20

【 0 0 4 0 】

画素 1 0 1 では、走査信号線 1 6 a 上に、トランジスタ 1 2 a のソース電極 8 a およびドレイン電極 9 a が形成され、走査信号線 1 6 b 上に、トランジスタ 1 2 b のソース電極 8 b およびドレイン電極 9 b が形成されている。ソース電極 8 a はデータ信号線 1 5 x に接続される。ドレイン電極 9 a はドレイン引き出し配線 2 7 a に接続され、ドレイン引き出し配線 2 7 a はコンタクト電極 7 7 a および結合容量電極 3 7 a に接続され、コンタクト電極 7 7 a はコンタクトホール 1 1 a を介して画素電極 1 7 a に接続されるとともに、結合容量電極 3 7 a は層間絶縁膜を介して画素電極 1 7 b と重なっており、これによって画素電極 1 7 a ・ 1 7 b 間の結合容量 C 1 0 1 (図 1 参照) が形成される。また、ドレイン電極 9 a はドレイン引き出し配線 2 8 a に接続され、ドレイン引き出し配線 2 8 a は結合容量電極 3 7 a と同層に形成された保持容量電極 3 8 a に接続され、保持容量電極 3 8 a はゲート絶縁膜を介して走査信号線 1 6 d と重なっており、これによって、保持容量 C h a (図 1 参照) が形成される。

30

【 0 0 4 1 】

トランジスタ 1 2 b のソース電極 8 b はデータ信号線 1 5 x に接続される。ドレイン電極 9 b はドレイン引き出し配線 2 7 b に接続され、ドレイン引き出し配線 2 7 b はコンタクト電極 7 7 b に接続され、コンタクト電極 7 7 b はコンタクトホール 1 1 b を介して画素電極 1 7 b に接続される。また、保持容量電極 3 8 a と同層に形成された保持容量電極 3 8 b は、ゲート絶縁膜を介して走査信号線 1 6 d と重なるとともに引き出し配線 2 8 b に接続され、引き出し配線 2 8 b はコンタクト電極 7 8 b に接続され、コンタクト電極 7 8 b はコンタクトホール 1 2 b を介して画素電極 1 7 b に接続される。これにより、保持容量 C h b (図 1 参照) が形成される。なお、他の画素の構成 (各部材の形状および配置並びに接続関係) は画素 1 0 1 のそれと同じである。

40

【 0 0 4 2 】

この構成によれば、画素電極 1 7 a を含む副画素は「明」、画素電極 1 7 b を含む副画素は「暗」となる。

【 0 0 4 3 】

図 3 は図 2 の A - B 断面図である。同図に示すように、液晶パネル 5 a は、アクティブマトリクス基板 3 と、これに対向するカラーフィルタ基板 3 0 と、両基板 (3 ・ 3 0) 間に配される液晶層 4 0 とを備える。

【 0 0 4 4 】

50

アクティブマトリクス基板 3 では、ガラス基板 3 1 上に走査信号線 1 6 a・1 6 b が形成され、これらを覆うように無機ゲート絶縁膜 2 2 が形成されている。無機ゲート絶縁膜 2 2 上には、半導体層 2 4 (i 層および n + 層)、n + 層に接するソース電極 8 a、ドレイン電極 9 a、ドレイン引き出し配線 2 7 a・2 7 b、コンタクト電極 7 7 a・7 7 b および結合容量電極 3 7 a が形成され、これらを覆うように無機層間絶縁膜 2 5 が形成されている。なお、ソース電極 8 a およびドレイン電極 9 a と重ならない半導体層 2 4 (典型的にはトランジスタのチャネル部) は、n + 層がエッチング等により除去され、i 層のみとなっている。無機層間絶縁膜 2 5 上には画素電極 1 7 a・1 7 b が形成され、さらに、これら (画素電極 1 7 a・1 7 b) を覆うように配向膜 (図示せず) が形成されている。ここで、コンタクトホール 1 1 a・1 1 b では、それぞれ、無機層間絶縁膜 2 5 が割り貫かれており、これによって、画素電極 1 7 a とコンタクト電極 7 7 a とが接続され、画素電極 1 7 b とコンタクト電極 7 7 b とが接続される。また、ドレイン引き出し配線 2 7 a に繋がる結合容量電極 3 7 a は無機層間絶縁膜 2 5 を介して画素電極 1 7 b と重なっており、これによって、結合容量 C 1 0 1 (図 1 参照) が形成される。

10

【 0 0 4 5 】

一方、カラーフィルタ基板 3 0 では、ガラス基板 3 2 上にブラックマトリクス 1 3 および着色層 1 4 が形成され、その上層に共通電極 (c o m) 2 8 が形成され、さらにこれを覆うように配向膜 (図示せず) が形成されている。

【 0 0 4 6 】

図 4 は図 2 の C - D 断面図である。図 3 と同様、液晶パネル 5 a は、アクティブマトリクス基板 3 と、これに対向するカラーフィルタ基板 3 0 と、両基板 (3・3 0) 間に配される液晶層 4 0 とを備える。

20

【 0 0 4 7 】

アクティブマトリクス基板 3 では、ガラス基板 3 1 上に走査信号線 1 6 d・1 6 a が形成され、これらを覆うように無機ゲート絶縁膜 2 2 が形成されている。無機ゲート絶縁膜 2 2 上には、保持容量電極 3 8 a・3 8 b、引き出し配線 2 8 b、およびコンタクト電極 7 8 b が形成され、これらを覆うように無機層間絶縁膜 2 5 が形成されている。無機層間絶縁膜 2 5 上には画素電極 1 7 a・1 7 b が形成され、さらに、これら (画素電極 1 7 a・1 7 b) を覆うように配向膜 (図示せず) が形成されている。ここで、コンタクトホール 1 2 b では、無機層間絶縁膜 2 5 が割り貫かれており、これによって、画素電極 1 7 b とコンタクト電極 7 8 b とが接続される。また、ドレイン引き出し配線 2 8 a (図 2 参照) に繋がる保持容量電極 3 8 a は無機ゲート絶縁膜 2 2 を介して走査信号線 1 6 d と重なっており、これによって、保持容量 C h a (図 1 参照) が形成される。さらに、ドレイン引き出し配線 2 8 b に繋がる保持容量電極 3 8 b は無機ゲート絶縁膜 2 2 を介して走査信号線 1 6 d と重なっており、これによって、保持容量 C h b (図 1 参照) が形成される。

30

【 0 0 4 8 】

一方、カラーフィルタ基板 3 0 では、ガラス基板 3 2 上にブラックマトリクス 1 3 および着色層 1 4 が形成され、その上層に共通電極 (c o m) 2 8 が形成され、さらにこれを覆うように配向膜 (図示せず) が形成されている。

【 0 0 4 9 】

40

ここで、本アクティブマトリクス基板 3 の製造方法の一例を説明する。

【 0 0 5 0 】

まず、ガラス、プラスチック等の透明絶縁性基板 (図 3 ではガラス基板 3 1) 上に、例えばチタン、クロム、アルミニウム、モリブデン、タンタル、タンゲステン、銅等の金属膜あるいはそれらの合金膜またはそれらの積層膜を 1 0 0 0 ~ 3 0 0 0 の膜厚でスパッタリング法等の方法にて成膜し、これをフォトリソ法にて必要な形状にパターニングすることによって、(各トランジスタのゲート電極として機能する) 走査信号線等を形成する。

【 0 0 5 1 】

ついで、ゲート絶縁膜となる窒化シリコン膜 (S i N x)、アモルファスシリコンやボ

50

リシリコン等からなる高抵抗半導体層、およびn + アモルファスシリコン等の低抵抗半導体層を、プラズマCVD（化学的気相成長）法等により連続して成膜し、フォトリソ法によりパターンニングする。なお、ゲート絶縁膜としての窒化シリコン膜は、例えば3000 ~ 5000 程度の膜厚とし、高抵抗半導体層としてのアモルファスシリコン膜は、例えば1000 ~ 3000 程度の膜厚とし、低抵抗半導体層としてのn + アモルファスシリコン膜は、例えば400 ~ 700 程度の膜厚とする。

【0052】

次いで、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅等の金属膜あるいはそれらの合金膜、またはそれらの積層膜を1000 ~ 3000 の膜厚でスパッタリング法等の方法にて形成し、フォトリソ法等にて必要な形状にパターニングすることによって、データ信号線、ソース電極、およびドレイン電極等を形成する。

10

【0053】

次いで、アモルファスシリコン膜等の高抵抗半導体層（i層）、n + アモルファスシリコン膜等の低抵抗半導体層（n + 層）に対して、データ信号線、ソース電極、およびドレイン電極等のパターンをマスクにし、ドライエッチングにてチャンネルエッチングを行う。このプロセスにてi層の膜厚が最適化され、各トランジスタ（チャンネル領域）が形成される。ここでは、マスクで覆われていない半導体層がエッチング除去され、各トランジスタの能力に必要なi層膜厚が残される。

【0054】

20

ついで、層間絶縁膜として、窒化シリコンや酸化シリコン等の無機絶縁膜を、データ信号線、ソース電極、およびドレイン電極等を覆うように形成する。ここでは、プラズマCVD法等によって2000 ~ 5000 程度の膜厚の窒化シリコン膜（パッシベーション膜）を形成している。

【0055】

ついで、コンタクトホールの位置に基づいて、層間絶縁膜をエッチングしてホールを形成する。ここでは、例えば、感光性レジストをフォトリソグラフィ法（露光および現像）によりパターンニングし、エッチングを行う。

【0056】

ついで、層間絶縁膜上に、例えば、ITO（インジウム錫酸化物）、IZO、酸化亜鉛、酸化スズ等の透明性を有する導電膜を、スパッタリング法等により1000 ~ 2000 程度の膜厚で成膜し、これをフォトリソ法等にて必要な形状にパターンニングすることによって各画素領域に第1および第2の画素電極を形成する。

30

【0057】

ついで、各画素電極を覆うように、インクジェット法等により配向膜を塗布する。

【0058】

上述したアクティブマトリクス基板の製造方法は、後述する各液晶パネルにおいても適用可能である。以下では、説明の便宜上、その説明を省略する。

【0059】

ところで、図3のA - B断面を図5のように構成することもできる。すなわち、ガラス基板31上に厚い有機ゲート絶縁膜21と薄い無機ゲート絶縁膜22とを形成し、画素電極の下層に薄い無機層間絶縁膜25と厚い有機層間絶縁膜26とを形成する。こうすれば、各種寄生容量の低減や配線同士の短絡防止の効果が得られる。なおこの場合には、図5に示すように、有機層間絶縁膜26については結合容量電極37a上に位置する部分を切り貫いておくことが好ましい。こうすれば、結合容量C101の容量値を大きくすることができる。

40

【0060】

図5の無機層間絶縁膜25、有機層間絶縁膜26およびコンタクトホール11a・11bは例えば、以下のようにして形成することができる。すなわち、トランジスタ（TFT）を形成した後、SiH₄ガスとNH₃ガスとN₂ガスとの混合ガスを用い、基板全面を

50

覆うように、厚さ約3000のSiNxからなる無機層間絶縁膜25(パッシベーション膜)をCVDにて形成する。その後、厚さ約3 μ mのポジ型感光性アクリル樹脂からなる有機層間絶縁膜26をスピンコートやダイコートにて形成する。続いて、フォトリソグラフィを行って有機層間絶縁膜26の切り貫き部分および各種のコンタクト用パターンを形成し、さらに、パターンニングされた有機層間絶縁膜26をマスクとし、CF₄ガスとO₂ガスとの混合ガスを用いて、無機層間絶縁膜25をドライエッチングする。具体的には、例えば、有機層間絶縁膜の切り貫き部分についてはフォトリソグラフィ工程でハーフ露光とすることで現像完了時に有機層間絶縁膜が薄く残膜するようにしておく一方、コンタクトホール部分については上記フォトリソグラフィ工程でフル露光とすることで現像完了時に有機層間絶縁膜が残らないようにしておく。ここで、CF₄ガスとO₂ガスとの混合ガスでドライエッチングを行えば、有機層間絶縁膜の切り貫き部分については(有機層間絶縁膜の)残膜が除去され、コンタクトホール部分については有機層間絶縁膜下の無機層間絶縁膜が除去されることになる。なお、有機ゲート絶縁膜21や有機層間絶縁膜26は、例えば、SOG(スピンオンガラス)材料からなる絶縁膜であってもよく、また、有機ゲート絶縁膜21や有機層間絶縁膜26に、アクリル樹脂、エポキシ樹脂、ポリイミド樹脂、ポリウレタン樹脂、ノボラック樹脂、およびシロキサン樹脂の少なくとも1つが含まれていてもよい。

10

【0061】

なお、図5に示すように、画素電極の下層に、薄い無機層間絶縁膜25と厚い有機層間絶縁膜26とを形成する構成の場合には、液晶パネル5aを図6に示すような構成とすることもできる。すなわち、画素電極17bが、無機層間絶縁膜25と厚い有機層間絶縁膜26とを介して走査信号線16bと重なるように形成する。これにより、画素電極17bと走査信号線16bとの間の寄生容量を低減することができるため、特に、走査信号線16bの負荷の増加を抑制しつつ、開口率を向上させることができる。

20

【0062】

(液晶パネルの具体例1-2)

液晶パネル5aの具体例1-2を図7に示す。図7の液晶パネル5aでは、図2の液晶パネルにおける結合容量37aおよびこれに接続されるドレイン引き出し配線27aの一部が省略されている。図7の液晶パネル5aでは、図2の液晶パネルと同様、画素100および画素101に沿うようにデータ信号線15xが設けられ、画素103および画素104に沿うようにデータ信号線15Xが設けられている。

30

【0063】

ここで、画素100の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16cが配され、他方と重なるように走査信号線16dが配され、平面的に視て、走査信号線16cおよび16d間に画素電極17c・17dが列方向に並べられている。また、走査信号線16cは画素103の行方向に沿う2つのエッジ部の一方と重なり、走査信号線16dは他方と重なっており、平面的に視て、走査信号線16cおよび16d間に画素電極17C・17Dが列方向に並べられている。

【0064】

また、画素101の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16aが形成され、他方と重なるように走査信号線16bが形成され、平面的に視て、走査信号線16aおよび16b間に画素電極17a・17bが列方向に並べられている。また、走査信号線16aは画素104の行方向に沿う2つのエッジ部の一方と重なり、走査信号線16bは他方と重なっており、平面的に視て、走査信号線16aおよび16b間に画素電極17A・17Bが列方向に並べられている。

40

【0065】

画素101では、走査信号線16a上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8aはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線27aに接続され、ドレイン引き

50

出し配線 27a はコンタクト電極 77a に接続され、コンタクト電極 77a はコンタクトホール 11a を介して画素電極 17a に接続される。また、ドレイン電極 9a はドレイン引き出し配線 28a に接続され、ドレイン引き出し配線 28a は保持容量電極 38a に接続され、保持容量電極 38a はゲート絶縁膜を介して走査信号線 16d と重なっており、これによって、保持容量 C_ha (図 1 参照) が形成される。

【0066】

トランジスタ 12b のソース電極 8b はデータ信号線 15x に接続される。ドレイン電極 9b はドレイン引き出し配線 27b に接続され、ドレイン引き出し配線 27b はコンタクト電極 77b に接続され、コンタクト電極 77b はコンタクトホール 11b を介して画素電極 17b に接続される。また、保持容量電極 38a と同層に形成された結合容量電極 37b は層間絶縁膜を介して画素電極 17a と重なるとともに引き出し配線 28b に接続され、引き出し配線 28b はコンタクト電極 78b に接続され、コンタクト電極 78b はコンタクトホール 12b を介して画素電極 17b に接続される。これによって画素電極 17a・17b 間の結合容量 C₁₀₁ (図 1 参照) が形成される。さらに、結合容量電極 37b から引き出された引き出し配線 28b は、保持容量電極 38b に接続され、保持容量電極 38b は、ゲート絶縁膜を介して走査信号線 16d と重なっている。これにより、保持容量 C_hb (図 1 参照) が形成される。なお、他の画素の構成 (各部材の形状および配置並びに接続関係) は画素 101 のそれと同じである。

【0067】

この構成によれば、画素電極 17a を含む副画素は「明」、画素電極 17b を含む副画素は「暗」となる。

【0068】

本構成例では、ドレイン引き出し配線 27a を短縮することができるため、開口率を向上させることができる。

【0069】

(液晶パネルの具体例 1 - 3)

液晶パネル 5a の具体例 1 - 3 を図 8 に示す。図 8 の液晶パネル 5a では、結合容量電極 37av・37ah が、暗副画素領域の中央部分において十字状に配されている。この液晶パネル 5a は、特に、1つの画素領域 (副画素領域) に複数の液晶ドメインを形成する配向分割構造に好適である。配向分割構造では、配向方向 (チルト方向) が異なる複数のドメインを形成することにより、視野角特性の向上を図ることができる。この配向分割構造に関する技術は、例えば国際公開公報 WO2008/069181 に開示されている。図 9 には、各副画素領域が 4つの液晶ドメイン A ~ D に分割されている状態を示している。なお、図 9 では、画素 100 及び画素 103 を示し、各トランジスタは省略している。このような配向分割構造では、液晶ドメイン A ~ D のそれぞれが他の液晶ドメインと隣接する境界部分に線 CL で示す十字状の暗いライン (暗線) が観察されることになる。そのため、画素領域内に遮光性部材を配置する必要がある場合には、この暗線に重なるように配置することにより、画素の有効開口率を向上させることができる。

【0070】

そこで、本液晶パネル 5a では、結合容量電極 37av・37ah を、副画素領域の中央部分において、上記暗線に重なるように十字状に配する構成とする。これにより、開口率の低下を抑えることができる。

【0071】

本液晶パネル 5a の具体的な構成を以下に説明する。図 8 の液晶パネル 5a では、図 2 の液晶パネルと同様、画素 100 および画素 101 に沿うようにデータ信号線 15x が設けられ、画素 103 および画素 104 に沿うようにデータ信号線 15X が設けられている。

【0072】

画素 100 の行方向に沿う 2つのエッジ部の一方と重なるように走査信号線 16c が配され、他方と重なるように走査信号線 16d が配され、平面的に視て、走査信号線 16c

10

20

30

40

50

および 16 d 間に画素電極 17 c・17 d が列方向に並べられている。また、走査信号線 16 c は画素 103 の行方向に沿う 2 つのエッジ部の一方と重なるとともに、走査信号線 16 d は他方と重なっており、平面的に視て、走査信号線 16 c および 16 d 間に画素電極 17 C・17 D が列方向に並べられている。

【0073】

また、画素 101 の行方向に沿う 2 つのエッジ部の一方と重なるように走査信号線 16 a が形成され、他方と重なるように走査信号線 16 b が形成され、平面的に視て、走査信号線 16 a および 16 b 間に画素電極 17 a・17 b が列方向に並べられている。また、走査信号線 16 a は画素 104 の行方向に沿う 2 つのエッジ部の一方と重なるとともに、走査信号線 16 b は他方と重なっており、平面的に視て、走査信号線 16 a および 16 b 間に画素電極 17 A・17 B が列方向に並べられている。

10

【0074】

画素 101 では、走査信号線 16 a 上に、トランジスタ 12 a のソース電極 8 a およびドレイン電極 9 a が形成され、走査信号線 16 b 上に、トランジスタ 12 b のソース電極 8 b およびドレイン電極 9 b が形成されている。ソース電極 8 a はデータ信号線 15 x に接続される。ドレイン電極 9 a はドレイン引き出し配線 27 a に接続され、ドレイン引き出し配線 27 a はコンタクト電極 77 a に接続され、コンタクト電極 77 a はコンタクトホール 11 a を介して画素電極 17 a に接続される。また、ドレイン電極 9 a はドレイン引き出し配線 28 a に接続され、ドレイン引き出し配線 28 a は保持容量電極 38 a に接続され、保持容量電極 38 a はゲート絶縁膜を介して走査信号線 16 d と重なっており、これにより、保持容量 C h a (図 1 参照) が形成される。列方向に延伸する結合容量電極 37 a v と行方向に延伸する結合容量電極 37 a h とは、同層で十字状に形成されるとともに層間絶縁膜を介して画素電極 17 b と重なっており、結合容量電極 37 a v の一端はコンタクト電極 78 a に接続され、コンタクト電極 78 a はコンタクトホール 12 a を介して画素電極 17 a に接続される。これによって画素電極 17 a・17 b 間の結合容量 C 101 (図 1 参照) が形成される。

20

【0075】

トランジスタ 12 b のソース電極 8 b はデータ信号線 15 x に接続される。ドレイン電極 9 b はドレイン引き出し配線 27 b に接続され、ドレイン引き出し配線 27 b はコンタクト電極 77 b に接続され、コンタクト電極 77 b はコンタクトホール 11 b を介して画素電極 17 b に接続される。また、保持容量電極 38 a と同層に形成された保持容量電極 38 b は、ゲート絶縁膜を介して走査信号線 16 d と重なるとともに引き出し配線 28 b に接続され、引き出し配線 28 b はコンタクト電極 78 b に接続され、コンタクト電極 78 b はコンタクトホール 12 b を介して画素電極 17 b に接続される。これにより、保持容量 C h b (図 1 参照) が形成される。なお、他の画素の構成(各部材の形状および配置並びに接続関係)は画素 101 のそれと同じである。

30

【0076】

この構成によれば、画素電極 17 a を含む副画素は「明」、画素電極 17 b を含む副画素は「暗」となる。

【0077】

40

(液晶表示装置の駆動方法について)

次に、上述した液晶パネル 5 a を備えた本液晶表示装置の駆動方法について説明する。本駆動方法の特徴点としては、概略的には、以下の点が挙げられる。

【0078】

第 1 の特徴点は、液晶表示装置がオン状態である間に、少なくとも 1 回、容量結合電極に接続されるトランジスタ 12 b をオン状態にすることである。これにより、上述したように、容量結合電極(画素電極 17 b)を、データ信号線 15 x に電氣的に接続することができるため、蓄積された電荷を放電(リフレッシュ)させることができ、この容量結合電極を含む副画素の焼き付きの発生を抑えることができる。

【0079】

50

第2の特徴点としては、液晶表示装置がオン状態である間に、少なくとも1回、トランジスタ12bをオンするとともに、データ信号線15xにVcomを供給している間にトランジスタ12bをオフすることである。これにより、画素電極17bの電位をVcomに設定することができるため、上記の放電効果に加えて、表示品位の低下を防ぐことができる。

【0080】

第3の特徴点としては、上記第1または第2の特徴点に加えて、画素電極17a・17bにそれぞれ、トランジスタ12a・12bを介してデータ信号線15xからVcomを供給している間に、画素電極17bに接続されるトランジスタ12bをオフすることである。すなわち、トランジスタ12bがオフする時点では、トランジスタ12aはオン状態であり、画素電極17aにVcomが供給されている。これにより、画素電極17aに、正規の信号電位を書き込む前に、1画素領域内の画素電極の電位をリセットすることができる。すなわち、容量結合された画素電極17bの電位をVcomに固定することができる。これにより、画素電極17bに蓄積した電荷を確実に放電できるとともに、表示品位の低下を防ぐことができる。

【0081】

以下では、上述した各特徴点を備える、具体的な駆動方法およびそれを実現するゲートドライバの構成について詳細に説明する。なお、以下の駆動方法では、チャージシェア方式を採用しているが、これに限定されるものではない。

【0082】

(駆動方法 - 1)

図10は上述した液晶パネル5aを備えた本液晶表示装置の駆動方法を示すタイミングチャートである。なお、SvおよびSVは、隣接する2本のデータ信号線(例えば、15x・15X)それぞれに供給される信号電位を示し、Ga~Gfは走査信号線16a~16fに供給されるゲートオンパルス信号、Vc・Vd・Va・Vb・VC・VDはそれぞれ、画素電極17c・17d・17a・17b・17C・17Dの電位を示し、shはチャージシェア信号を示している。なお、チャージシェア信号がアクティブ(「H」)の間は、全データ信号線が互いに短絡されたり、外部から全データ信号線に同一電位が供給されたりすることによってチャージシェアが行われる。

【0083】

この駆動方法では、図10に示されるように、データ信号線に供給する信号電位の極性を1水平走査期間(1H)ごとに反転させるとともに、各フレームにおける同一番目の水平走査期間に供給される信号電位の極性を1フレーム単位で反転させ、かつ同一水平走査期間においては隣接する2本のデータ信号線に逆極性の信号電位を供給し、各水平走査期間の冒頭においてチャージシェアを行っている。

【0084】

具体的には、連続するフレームF1~フレームF4において、F1では、1画素に対応する上下2本の走査信号線ごとに順次選択(例えば、走査信号線16c・16d→走査信号線16a・16b→走査信号線16e・16f(図1参照))し、隣接する2本のデータ信号線の一方(例えば、データ信号線15x)には、1番目の水平走査期間(例えば、画素電極17c・17dの書き込み期間含む)にプラス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17a・17bの書き込み期間含む)にマイナス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17e・17fの書き込み期間含む)にプラス極性の信号電位を供給し、上記2本のデータ信号線の他方(例えば、データ信号線15X)には、1番目の水平走査期間(例えば、画素電極17C・17Dの書き込み期間含む)にマイナス極性の信号電位を供給し、2番目の水平走査期間(例えば、画素電極17A・17Bの書き込み期間含む)にプラス極性の信号電位を供給し、3番目の水平走査期間(例えば、画素電極17E・17Fの書き込み期間含む)にマイナス極性の信号電位を供給する。なお、各水平走査期間の冒頭では、チャージシェア電位(Vcom)が供給される。

【0085】

ここで、1画素に対応する2本の走査信号線それぞれに接続される各画素電極への書き込み期間は、互いに異なるように設定されている。具体的には、図1において、走査信号線16cが選択されることによって画素電極17cにプラス極性の信号電位が書き込まれる期間が、走査信号線16dが選択されることによって画素電極17dにVcomの信号電位が書き込まれる期間よりも長くなっており、走査信号線16aが選択されることによって画素電極17aにマイナス極性の信号電位が書き込まれる期間が、走査信号線16bが選択されることによって画素電極17bにVcomの信号電位が書き込まれる期間よりも長くなっている。また、1画素において各画素電極への書き込み動作は、同一水平走査期間内に行われるとともに、各画素電極への書き込み動作（アクティブ期間）が終了するタイミングは、書き込み期間が短い方が、書き込み期間が長い方よりも先に終了するように設定されている。具体的には、画素電極17dへの書き込み動作は、画素電極17cへの書き込み動作が終了するタイミングよりも先に終了し、画素電極17Dへの書き込み動作は、画素電極17Cへの書き込み動作が終了するタイミングよりも先に終了し、画素電極17bへの書き込み動作は、画素電極17aへの書き込み動作が終了するタイミングよりも先に終了する。

10

【0086】

このように、容量結合される画素電極に接続する走査信号線に供給されるゲートオンパルス信号（第2ゲートオンパルス信号）は、そのパルス幅が、正規の信号電位が書き込まれる画素電極に接続する走査信号線に供給されるゲートオンパルス信号（第1ゲートオンパルス信号）のパルス幅未満であり、かつ、第2ゲートオンパルス信号は、第1ゲートオンパルス信号が非アクティブになる前に非アクティブになるように、そのパルス幅が設定されている。これにより、画素電極17c（プラス極性）を含む副画素は「明」、画素電極17d（プラス極性）を含む副画素は「暗」、画素電極17C（マイナス極性）を含む副画素は「明」、画素電極17D（マイナス極性）を含む副画素は「暗」、画素電極17a（マイナス極性）を含む副画素は「明」、画素電極17b（マイナス極性）を含む副画素は「暗」となり、全体としては、図11（a）のようになる。

20

【0087】

また、F2では、F1に対して、プラス極性とマイナス極性とが反転することになる。よって、画素電極17c（マイナス極性）を含む副画素は「明」、画素電極17d（マイナス極性）を含む副画素は「暗」、画素電極17C（プラス極性）を含む副画素は「明」、画素電極17D（プラス極性）を含む副画素は「暗」、画素電極17a（プラス極性）を含む副画素は「明」、画素電極17b（プラス極性）を含む副画素は「暗」となり、全体としては、図11（b）のようになる。以降のフレームF3・F4では、F1・F2の動作が繰り返される。

30

【0088】

このように、本駆動方法によれば、各フレームにおいて、トランジスタ（図1および図2では、12c・12a・12C・12A）を介してデータ信号線（15x・15X）に接続される画素電極（17c・17a・17C・17A）に容量結合される画素電極（画素電極17d・17b・17D・17B）に、正規の書き込みが行われる画素電極（17c・17a・17C・17A）への信号電位の供給とは異なるタイミングで個別に信号電位を供給することができるため、画素分割方式の液晶表示装置を実現できる。

40

【0089】

そして、本駆動方法では、各水平走査期間の冒頭でVcom信号を1画素領域内の全ての画素電極に供給しているため、正規の信号電位を書き込む前に、画素電極の電位をVcomにリセットすることができる。これにより、上記容量結合される画素電極に蓄積された電荷を放電（リフレッシュ）させることができるため、容量結合される画素電極を含む副画素の焼き付きの発生を抑えることができるとともに、表示品位の低下を防ぐことができる。また、本駆動方法によれば、従来のように、トランジスタのチャネルのW/L比を調整する必要がなく、実質的に同一のチャネルサイズでアクティブマトリクス基板を構成

50

することができる。よって、トランジスタの特性のばらつきによる表示品位の低下を抑えることができる。

【0090】

ここで、図10に示す駆動方法を、図12に示す駆動方法としてもよい。すなわち、第2ゲートオンパルス信号(G_d , G_b , G_f)を、そのパルス幅が、チャージシェア期間(s_h のパルス幅)より広くなるように設定する。この駆動方法によれば、正規の書き込みが行われる画素電極($17c$, $17a$, $17e$)に容量結合される画素電極($17d$, $17b$, $17f$)には、チャージシェア期間に V_{com} の信号電位が書き込まれた後、所定の期間だけ画素電極($17c$, $17a$, $17e$)に書き込まれる正規の信号電位が供給される。これにより、特に白表示の際の輝度を調整(向上)することができるという効果が得られる。このように、本構成によれば、第2ゲートオンパルス信号のパルス幅を調整することで、トランジスタを介してデータ信号線に接続される画素電極($17c$, $17a$, $17e$)に接続される画素電極($17d$, $17b$, $17f$; 容量結合電極)の輝度を独立して調整することができるため、液晶表示装置として、任意の表示輝度に設定することが可能となる。

10

【0091】

(ゲートドライバの構成 - 1)

図13は、図10に示す駆動を実現するための、本液晶表示装置のゲートドライバの構成を示す回路図である。図13に示されるように、ゲートドライバGDはシフトレジスタ45、列方向に並ぶ複数のAND回路($66a \sim 66f$)、および出力回路46を備える。シフトレジスタ45には、ゲートスタートパルス信号GSPとゲートクロック信号GCKとが入力される。シフトレジスタ45の各段の出力は2系統に分かれ、その一方が奇数番目のAND回路に入力され、これと隣り合う偶数番目のAND回路に他方が入力される。また、ゲートドライバ出力制御信号GOEは2系統の信号($OEx \cdot OEy$)からなり、奇数番目のAND回路に信号OExの反転信号が入力され、偶数番目のAND回路に信号OEyの反転信号が入力される。そして、1つのAND回路の出力は出力回路46を経てゲートオンパルス信号となり、1本の走査信号線に供給される。

20

【0092】

例えば、シフトレジスタ45のある段からの出力が2系統に分かれており、その一方QcがAND回路66cに入力され、他方QdがAND回路66dに入力される。また、AND回路66cには信号OExの反転信号が入力され、AND回路66dには信号OEyの反転信号が入力される。そして、AND回路66cの出力は出力回路46を経てゲートオンパルス信号Gcとなり、走査信号線16cに供給される。また、AND回路66dの出力は出力回路46を経てゲートオンパルス信号Gdとなり、走査信号線16dに供給される。

30

【0093】

同様に、シフトレジスタ45の他段からの出力が2系統に分かれており、その一方QaがAND回路66aに入力され、他方QbがAND回路66bに入力される。また、AND回路66aには信号OExの反転信号が入力され、AND回路66bには信号OEyの反転信号が入力される。そして、AND回路66aの出力は出力回路46を経てゲートオンパルス信号Gaとなり、走査信号線16aに供給される。また、AND回路66bの出力は出力回路46を経てゲートオンパルス信号Gbとなり、走査信号線16bに供給される。

40

【0094】

図14は図13のゲートドライバの動作を示すタイミングチャートである。同図に示されるように、例えば、信号OExは、各フレームで常に「L」となる一方、信号OEyは、各水平走査期間の前端部で「L」となる。なお、信号OExは常に「L」でなくてもよく、例えばゲートオンパルスの波形の立下りが鈍り、次の水平走査期間と重なるような場合には、各水平走査期間の後端部で「H」とすればよい。

【0095】

50

これにより、ゲートオンパルス信号 G_c 、 G_a 、および G_e を、順次「H」（アクティブ）とし、同時に、ゲートオンパルス信号 G_d 、 G_b 、および G_f を、順次「H」（アクティブ）とすることができる。また、ゲートオンパルス信号 G_c 、 G_a 、および G_e と、ゲートオンパルス信号 G_d 、 G_b 、および G_f とのそれぞれのゲートオンパルス（書き込みパルス）の幅（「H」期間（アクティブ期間））を異ならせることができる。これにより、図 10 に示すような駆動が実現される。

【0096】

なお、図 14 の構成によれば、ゲートオンパルス（書き込みパルス）の幅を適宜設定できるという効果に加えて、1 画素に対応する 2 つの走査信号線それぞれに供給するゲートオンパルス信号を 1 つのシフトレジスタの同一段からの出力を用いて生成することができ、ドライバ構成を簡略化することができるという効果を得ることができる。

10

【0097】

（駆動方法 - 2）

図 15 は本液晶表示装置の他の駆動方法を示すタイミングチャートである。この図に示す各記号は、図 10 に示す記号と同様である。また、この駆動方法においても、図 10 に示されるように、データ信号線に供給する信号電位の極性を 1 水平走査期間（1 H）ごとに反転させるとともに、各フレームにおける同一番目の水平走査期間に供給される信号電位の極性を 1 フレーム単位で反転させ、かつ同一水平走査期間においては隣接する 2 本のデータ信号線に逆極性の信号電位を供給し、各水平走査期間の冒頭においてチャージシェアを行っている。

20

【0098】

本駆動方法は、正規の書き込みの 1 水平走査期間前に、1 画素に対応する上下 2 本の走査信号線を同時に選択し、1 画素領域内の全ての画素電極に V_{com} を供給するものである。

【0099】

具体的には、連続するフレーム $F_1 \sim$ フレーム F_4 において、 F_1 では、1 画素に対応する上下 2 本の走査信号線ごとに順次選択（例えば、走査信号線 $16c \cdot 16d \rightarrow$ 走査信号線 $16a \cdot 16b$ （図 1 参照））し、隣接する 2 本のデータ信号線的一方（例えば、データ信号線 $15x$ ）には、 n 番目の水平走査期間にプラス極性の信号電位を供給するとともに、その冒頭において、 V_{com} 信号を供給し、 $(n+1)$ 番目の水平走査期間（例えば、画素電極 $17c$ の書き込み期間含む）にマイナス極性の信号電位を供給するとともに、その冒頭において、 V_{com} 信号を供給し、 $(n+2)$ 番目の水平走査期間（例えば、画素電極 $17a$ の書き込み期間含む）にプラス極性の信号電位を供給するとともに、その冒頭において、 V_{com} 信号を供給する。上記 2 本のデータ信号線の他方（例えば、データ信号線 $15X$ ）には、 n 番目の水平走査期間にマイナス極性の信号電位を供給するとともに、その冒頭において、 V_{com} 信号を供給し、 $(n+1)$ 番目の水平走査期間（例えば、画素電極 $17C$ の書き込み期間含む）にプラス極性の信号電位を供給するとともに、その冒頭において、 V_{com} 信号を供給し、 $(n+2)$ 番目の水平走査期間（例えば、画素電極 $17A$ の書き込み期間含む）にマイナス極性の信号電位を供給するとともに、その冒頭において、 V_{com} 信号を供給する。

30

40

【0100】

これにより、画素電極 $17c$ （マイナス極性）を含む副画素は「明」、画素電極 $17d$ （マイナス極性）を含む副画素は「暗」、画素電極 $17C$ （プラス極性）を含む副画素は「明」、画素電極 $17D$ （プラス極性）を含む副画素は「暗」、画素電極 $17a$ （プラス極性）を含む副画素は「明」、画素電極 $17b$ （プラス極性）を含む副画素は「暗」となる。

【0101】

ここで、画素 101 に注目すると、正規の書き込みが行われる水平走査期間（ $n+2$ ）よりも 1 水平走査期間前（ $n+1$ ）に、トランジスタ $12a \cdot 12b$ がともにオン状態となり、正規の信号電位が書き込まれる画素電極 $17a$ と、この画素電極 $17a$ に容量結合

50

される画素電極 17b に、Vcom が供給される。そして、Vcom が供給されている期間内に、トランジスタ 12a・12b がともにオフ状態となる。これにより、(n+1) 番目の水平走査期間においてデータ信号線 15x に供給されるマイナス極性の信号電位は、前段の画素電極 17c へ、正規の書き込み信号として供給される一方、画素 101 内の画素電極 17a へは、供給されない。次の (n+2) 番目の水平走査期間では、トランジスタ 12a のみがオン状態となり、画素電極 17a へ、冒頭に Vcom が供給された後、正規の書き込み信号としてのプラス極性の信号電位が供給される。

【0102】

この駆動方法により、F1 においては、画素電極 17c (マイナス極性) を含む副画素は「明」、画素電極 17d (マイナス極性) を含む副画素は「暗」、画素電極 17C (プラス極性) を含む副画素は「明」、画素電極 17D (プラス極性) を含む副画素は「暗」、画素電極 17a (プラス極性) を含む副画素は「明」、画素電極 17b (プラス極性) を含む副画素は「暗」となる。

10

【0103】

また、F2 では、F1 に対して、プラス極性とマイナス極性とが反転することになる。よって、画素電極 17c (プラス極性) を含む副画素は「明」、画素電極 17d (プラス極性) を含む副画素は「暗」、画素電極 17C (マイナス極性) を含む副画素は「明」、画素電極 17D (マイナス極性) を含む副画素は「暗」、画素電極 17a (マイナス極性) を含む副画素は「明」、画素電極 17b (マイナス極性) を含む副画素は「暗」となる。以降のフレーム F3・F4 では、F1・F2 の動作が繰り返される。

20

【0104】

このように、本駆動方法によれば、トランジスタ 12b をオフする時点において、画素電極 17a・17b にはデータ信号線 15x から Vcom が供給されている。すなわち、正規の信号電位が画素電極 17a に書き込まれる時点で、画素電極 17a・17b の電位を Vcom に固定 (リセット) することができる。これにより、容量結合電極 (画素電極 17b) に蓄積した電荷を確実に放電できるとともに、表示品位の低下を防ぐことができる。

【0105】

なお、本駆動方法では、正規の書き込みが行われる水平走査期間の一水平走査期間 (1H) 前に、上記リセット動作が行われる構成であるが、このリセット動作を行うタイミングは、特に限定されるものではなく、2H 前もしくはそれよりも前であってもよい。さらに、上記リセット動作の回数は、1 回に限定されるものではなく、複数回であってもよい。

30

【0106】

ここで、図 15 に示す駆動方法を、図 16 に示す駆動方法としてもよい。すなわち、正規の書き込みが行われる水平走査期間において、第 2 ゲートオンパルス信号 (Gd, Gb, Gf) を、所定の期間だけハイレベル (H レベル) となるように設定する。具体的には、図 16 では、第 2 ゲートオンパルス信号は、チャージシェア信号 (sh) がローレベル (L レベル) になるタイミングに同期して立ち上がり、所定の期間だけハイレベル状態を維持し、第 1 ゲートオンパルス信号 (Gc, Ga, Ge) が立ち下がる前に立ち下がる。この駆動方法によれば、正規の書き込みが行われる画素電極 (17c, 17a, 17e) に容量結合される画素電極 (17d, 17b, 17f) には、正規の書き込みが行われる水平走査期間において、所定の期間だけ画素電極 (17c, 17a, 17e) に書き込まれる正規の信号電位が供給される。これにより、特に白表示の際の輝度を調整 (向上) させることができるという効果が得られる。このように、本構成によれば、第 2 ゲートオンパルス信号のハイレベル期間を調整することで、トランジスタを介してデータ信号線に接続される画素電極 (17c, 17a, 17e) に接続される画素電極 (17d, 17b, 17f; 容量結合電極) の輝度を独立して調整することができるため、液晶表示装置として、任意の表示輝度に設定することが可能となる。なお、第 2 ゲートオンパルス信号のハイレベル期間は、図 16 に示す例に限定されるものではなく、少なくともチャージシェア

40

50

信号のローレベル期間において、画素電極（１７ｃ，１７ａ，１７ｅ）に正規の信号電位が書き込まれる期間よりも短くなるように設定されていればよい。

【０１０７】

（ゲートドライバの構成 - ２）

図１７は、図１５に示す駆動を実現するための、本液晶表示装置のゲートドライバの構成を示す回路図である。図１７に示されるように、ゲートドライバＧＤはシフトレジスタ４５、列方向に並ぶ複数のＡＮＤ回路（６６ａ～６６ｆ）、および出力回路４６を備える。シフトレジスタ４５には、ゲートスタートパルス信号ＧＳＰとゲートクロック信号ＧＣＫとが入力される。シフトレジスタ４５の各段の出力は２系統に分かれ、その一方が奇数番目のＡＮＤ回路に入力され、これと隣り合う偶数番目のＡＮＤ回路に他方が入力される。また、ゲートドライバ出力制御信号ＧＯＥは４系統の信号（ $OEx1 \cdot OEy1$ 、 $OEx2 \cdot OEy2$ ）からなり、奇数番目のＡＮＤ回路に順に信号 $OEx1 \cdot OEy1$ の反転信号が交互に入力され、偶数番目のＡＮＤ回路に順に信号 $OEx2 \cdot OEy2$ の反転信号が交互に入力される。そして、１つのＡＮＤ回路の出力は出力回路４６を経てゲートオンパルス信号となり、１本の走査信号線に供給される。

10

【０１０８】

例えば、シフトレジスタ４５のある段からの出力が２系統に分かれており、その一方ＱｃがＡＮＤ回路６６ｃに入力され、他方ＱｄがＡＮＤ回路６６ｄに入力される。また、ＡＮＤ回路６６ｃには信号 $OEx1$ の反転信号が入力され、ＡＮＤ回路６６ｄには信号 $OEx2$ の反転信号が入力される。そして、ＡＮＤ回路６６ｃの出力は出力回路４６を経てゲートオンパルス信号Ｇｃとなり、走査信号線１６ｃに供給される。また、ＡＮＤ回路６６ｄの出力は出力回路４６を経てゲートオンパルス信号Ｇｄとなり、走査信号線１６ｄに供給される。

20

【０１０９】

同様に、シフトレジスタ４５の他段からの出力が２系統に分かれており、その一方ＱａがＡＮＤ回路６６ａに入力され、他方ＱｂがＡＮＤ回路６６ｂに入力される。また、ＡＮＤ回路６６ａには信号 $OEx2$ の反転信号が入力され、ＡＮＤ回路６６ｂには信号 $OEx1$ の反転信号が入力される。そして、ＡＮＤ回路６６ａの出力は出力回路４６を経てゲートオンパルス信号Ｇａとなり、走査信号線１６ａに供給される。また、ＡＮＤ回路６６ｂの出力は出力回路４６を経てゲートオンパルス信号Ｇｂとなり、走査信号線１６ｂに供給される。

30

【０１１０】

図１８は図１７のゲートドライバの動作を示すタイミングチャートである。同図に示されるように、例えば、信号 $OEx1 \cdot OEy1$ は、それぞれ、２水平走査期間（２Ｈ）単位で構成され、２Ｈのうちの１Ｈでは「Ｌ」となる一方、他の１Ｈでは前端部が「Ｌ」、残りの部分が「Ｈ」（アクティブ）となる。そして、信号 $OEx1 \cdot OEy2$ は、互いに１Ｈ分ずれている。信号 $OEx2 \cdot OEy2$ は、それぞれ、２水平走査期間（２Ｈ）単位で構成され、２Ｈのうちの１Ｈでは前端部が「Ｌ」、残りの部分が「Ｈ」（アクティブ）となる一方、他の１Ｈでは「Ｈ」となる。そして、信号 $OEx2 \cdot OEy1$ は、互いに１Ｈ分ずれている。シフトレジスタ４５の出力Ｑは、２水平走査期間分「Ｈ」となる信号が、各段から順次出力される。これにより、図１５に示すような駆動が実現される。

40

【０１１１】

（駆動方法 - ３）

図１９は本液晶表示装置の他の駆動方法を示すタイミングチャートである。上記駆動方法 - ２では、正規の書き込みの１水平走査期間前に、画素電極１７ａ・１７ｂに V_{com} を供給した後、画素電極１７ａへの正規の書き込みが行われるまで、トランジスタ１２ａ・１２ｂをとともにオフ状態にしている。これに対して、本駆動方法では、正規の書き込みの１水平走査期間前に、画素電極１７ａ・１７ｂに V_{com} を供給した後、トランジスタ１２ｂのみをオフ状態にし、トランジスタ１２ａはオン状態のまま、画素電極１７ａに信号電位を供給する。以下では、駆動方法 - ２と重複する内容については説明を省略し、相

50

違点を中心に、画素 1 0 1 を例に挙げて具体的に説明する。

【 0 1 1 2 】

画素 1 0 1 に注目すると、正規の書き込みが行われる水平走査期間 ($n + 2$) よりも 1 水平走査期間前 ($n + 1$) に、トランジスタ 1 2 a ・ 1 2 b がともにオン状態となり、正規の信号電位が書き込まれる画素電極 1 7 a と、この画素電極 1 7 a に容量結合される画素電極 1 7 b に、V c o m が供給される。そして、V c o m が供給されている期間内に、トランジスタ 1 2 b のみがオフ状態となる。これにより、($n + 1$) 番目の水平走査期間においてデータ信号線 1 5 x に供給されるマイナス極性の信号電位は、前段の画素電極 1 7 c へ、正規の書き込み信号として供給される一方、画素 1 0 1 内の画素電極 1 7 a へも、同一の信号電位が供給される。すなわち、画素電極 1 7 a には、正規の書き込みの 1 H 前に、前段の画素電極 1 7 c 用のデータ信号 (信号電位) が書き込まれる。トランジスタ 1 2 a はオン状態のままであるため、次の ($n + 2$) 番目の水平走査期間では、画素電極 1 7 a へ、冒頭に V c o m が供給された後、正規の書き込み信号としてのプラス極性の信号電位が供給される。

10

【 0 1 1 3 】

このように、本駆動方法においても、上記駆動方法 - 2 と同様、トランジスタ 1 2 b をオフする時点において、画素電極 1 7 a ・ 1 7 b にはデータ信号線 1 5 x から V c o m が供給されている。すなわち、正規の信号電位が画素電極 1 7 a に書き込まれる時点で、画素電極 1 7 a ・ 1 7 b の電位を V c o m に固定 (リセット) することができる。そのため、画素電極 1 7 a ・ 1 7 b の電位がともに一旦 V c o m になった後に、画素電極 1 7 a に正規の信号電位ではない信号電位が供給されたとしても、画素電極 1 7 a ・ 1 7 b における各容量の総和は変化しない。これにより、容量結合電極 (画素電極 1 7 b) に蓄積した電荷を確実に放電できるとともに、表示品位の低下を防ぐことができる。

20

【 0 1 1 4 】

(ゲートドライバの構成 - 3)

図 2 0 は、図 1 9 に示す駆動を実現するための、本液晶表示装置のゲートドライバの構成を示す回路図である。図 2 0 に示されるように、ゲートドライバ G D はシフトレジスタ 4 5、列方向に並ぶ複数の A N D 回路 (6 6 a ~ 6 6 f)、および出力回路 4 6 を備える。シフトレジスタ 4 5 には、ゲートスタートパルス信号 G S P とゲートクロック信号 G C K とが入力される。シフトレジスタ 4 5 の各段の出力は 2 系統に分かれ、その一方が奇数番目の A N D 回路に入力され、これと隣り合う偶数番目の A N D 回路に他方が入力される。また、ゲートドライバ出力制御信号 G O E は 3 系統の信号 (O E x ・ O E y 1 ・ O E y 2) からなり、奇数番目の A N D 回路に信号 O E x の反転信号が入力され、偶数番目の A N D 回路に順に信号 O E y 1 ・ O E y 2 の反転信号が交互に入力される。そして、1 つの A N D 回路の出力は出力回路 4 6 を経てゲートオンパルス信号となり、1 本の走査信号線に供給される。

30

【 0 1 1 5 】

例えば、シフトレジスタ 4 5 のある段からの出力が 2 系統に分かれており、その一方 Q c が A N D 回路 6 6 c に入力され、他方 Q d が A N D 回路 6 6 d に入力される。また、A N D 回路 6 6 c には信号 O E x の反転信号が入力され、A N D 回路 6 6 d には信号 O E y 1 の反転信号が入力される。そして、A N D 回路 6 6 c の出力は出力回路 4 6 を経てゲートオンパルス信号 G c となり、走査信号線 1 6 c に供給される。また、A N D 回路 6 6 d の出力は出力回路 4 6 を経てゲートオンパルス信号 G d となり、走査信号線 1 6 d に供給される。

40

【 0 1 1 6 】

同様に、シフトレジスタ 4 5 の他段からの出力が 2 系統に分かれており、その一方 Q a が A N D 回路 6 6 a に入力され、他方 Q b が A N D 回路 6 6 b に入力される。また、A N D 回路 6 6 a には信号 O E x の反転信号が入力され、A N D 回路 6 6 b には信号 O E y 2 の反転信号が入力される。そして、A N D 回路 6 6 a の出力は出力回路 4 6 を経てゲートオンパルス信号 G a となり、走査信号線 1 6 a に供給される。また、A N D 回路 6 6 b の

50

出力は出力回路 4 6 を経てゲートオンパルス信号 G b となり、走査信号線 1 6 b に供給される。

【 0 1 1 7 】

図 2 1 は図 2 0 のゲートドライバの動作を示すタイミングチャートである。同図に示されるように、例えば、信号 O E x は、各フレームで常に「 L 」となる。なお、信号 O E x は常に「 L 」でなくてもよく、例えばゲートオンパルスの波形の立下りが鈍り、次の水平走査期間と重なるような場合には、各水平走査期間の後端部で「 L 」とすればよい。信号 O E y 1 ・ O E y 2 は、それぞれ、2 水平走査期間 (2 H) 単位で構成され、2 H のうちの 1 H では前端部が「 L 」、残りの部分が「 H 」 (アクティブ) となる一方、他の 1 H では「 H 」 (アクティブ) となる。そして、信号 O E y 1 ・ O E y 2 は、互いに 1 H 分ずれている。シフトレジスタ 4 5 の出力 Q は、2 水平走査期間分「 H 」となる信号が、各段から順次出力される。これにより、図 1 9 に示すような駆動が実現される。

10

【 0 1 1 8 】

(駆動方法 - 4)

図 2 2 は本液晶表示装置の他の駆動方法を示すタイミングチャートである。この図に示す各記号は、図 1 0 に示す記号と同様である。また、この駆動方法においても、図 1 0 に示されるように、データ信号線に供給する信号電位の極性を 1 水平走査期間 (1 H) ごとに反転させるとともに、各フレームにおける同一番目の水平走査期間に供給される信号電位の極性を 1 フレーム単位で反転させ、かつ同一水平走査期間においては隣接する 2 本のデータ信号線に逆極性の信号電位を供給し、各水平走査期間の冒頭においてチャージシェアを行っている。

20

【 0 1 1 9 】

本駆動方法では、概略的には、画素電極 (図 1 の画素電極 1 7 a ・ 1 7 c ・ 1 7 e ・ 1 7 A ・ 1 7 C ・ 1 7 E) に正規の信号電位の書き込みが行われてから所定期間 (例えば、1 垂直走査期間 (1 V) のほぼ 3 分の 2 (2 / 3 V) の期間) 経過後、該画素電極 (1 7 a ・ 1 7 c ・ 1 7 e ・ 1 7 A ・ 1 7 C ・ 1 7 E) 、および、それらに容量結合される容量結合電極 (図 1 の画素電極 1 7 b ・ 1 7 d ・ 1 7 f ・ 1 7 B ・ 1 7 D ・ 1 7 F) に対して、電荷放電 (リフレッシュ) 用の信号電位 (V c o m) を供給する。これにより、表示ライン毎に黒表示の期間を挿入することが可能となるため、容量結合電極における蓄積電荷の放電効果に加えて、表示のインパルス化による尾引残像の低減を図ることができるという効果が得られる。

30

【 0 1 2 0 】

具体的には、F 1 において、2 / 3 V 期間では、1 画素に対応する上下 2 本の走査信号線のうちの一方ごとに順次選択 (例えば、走査信号線 1 6 c → 走査信号線 1 6 a → 走査信号線 1 6 e (図 1 参照)) し、隣接する 2 本のデータ信号線的一方 (例えば、データ信号線 1 5 x) には、1 番目の水平走査期間 (例えば、画素電極 1 7 c ・ 1 7 d の書き込み期間含む) にプラス極性の信号電位を供給し、2 番目の水平走査期間 (例えば、画素電極 1 7 a ・ 1 7 b の書き込み期間含む) にマイナス極性の信号電位を供給し、3 番目の水平走査期間 (例えば、画素電極 1 7 e ・ 1 7 f の書き込み期間含む) にプラス極性の信号電位を供給する。上記 2 本のデータ信号線の他方 (例えば、データ信号線 1 5 X) には、1 番目の水平走査期間 (例えば、画素電極 1 7 C ・ 1 7 D の書き込み期間含む) にマイナス極性の信号電位を供給し、2 番目の水平走査期間 (例えば、画素電極 1 7 A ・ 1 7 B の書き込み期間含む) にプラス極性の信号電位を供給し、3 番目の水平走査期間 (例えば、画素電極 1 7 E ・ 1 7 F の書き込み期間含む) にマイナス極性の信号電位を供給する。なお、各水平走査期間の冒頭では、チャージシェア電位 (V c o m) が供給される。

40

【 0 1 2 1 】

残りの 1 / 3 V 期間では、各水平走査期間の冒頭において、1 画素に対応する上下 2 本の走査信号線ごとに順次選択 (例えば、走査信号線 1 6 c ・ 1 6 d → 走査信号線 1 6 a ・ 1 6 b → 走査信号線 1 6 e ・ 1 6 f (図 1 参照)) し、対応するデータ信号線 (例えば、データ信号線 1 5 x ・ 1 5 X) には、V c o m を供給する。

50

【 0 1 2 2 】

画素 1 0 1 に注目すると、例えば、画素電極 1 7 a では、ゲートオンパルス信号 G a に含まれる画素データ書き込みパルス P w によってトランジスタ 1 2 a がオン状態である間、トランジスタ 1 2 a のソース端子に接続されたデータ信号線 1 5 x の電位がトランジスタ 1 2 a を介して画素電極 1 7 a に供給される。これにより、データ信号線 1 5 x の電圧としてのデータ信号 S v が画素電極 1 7 a に書き込まれる。その後、画像表示期間 T d p が経過すると、トランジスタ 1 2 a およびトランジスタ 1 2 b のゲート端子に、それぞれ黒電圧印加パルス P b が供給され、これによりトランジスタ 1 2 a ・ 1 2 b がオン状態である間、画素電極 1 7 a はトランジスタ 1 2 a を介してデータ信号線 1 5 x に接続され、画素電極 1 7 b はトランジスタ 1 2 b を介してデータ信号線 1 5 x に接続される。その結果、画素電極 1 7 b の画素容量の蓄積電荷が放電されるとともに、画素電極 1 7 a ・ 1 7 b の画素容量は黒電圧 (V c o m) を印加された状態となる。

10

【 0 1 2 3 】

したがって、画素 1 0 1 では、画像表示期間 T d p の間は、トランジスタ 1 2 a を介して画素電極 1 7 a に供給されるデータ信号線 1 5 x の電位に対応する電圧を画素容量に保持することで、デジタル画像信号に基づく表示画素を形成する。一方、トランジスタ 1 2 a ・ 1 2 b のゲート端子にそれぞれ与えられるゲートオンパルス信号 G a ・ G b に、黒電圧印加パルス P b が現れてから、ゲートオンパルス信号 G a に次の画素データ書き込みパルス P w が現れるまでの期間 (1 フレーム (1 V) 期間から画像表示期間 T d p を除いた残りの期間) T b k は、画素容量に黒電圧 (V c o m) を保持することで黒の画素を形成する。

20

【 0 1 2 4 】

なお、黒電圧印加パルス P b のパルス幅は短いため、画素容量における保持電圧を確実に黒電圧にするため、各フレーム期間において 1 水平走査期間 (1 H) の間隔で、少なくとも 2 個、好ましくは 3 個以上の黒電圧印加パルス P b が続けて当該走査信号線に印加される。図 2 2 では、黒電圧印加パルス P b は、 1 フレーム期間 (1 V) において 1 水平走査期間 (1 H) の間隔で、連続して 3 個現れている。

【 0 1 2 5 】

本駆動方法によれば、表示ライン毎に黒表示の期間が挿入されることで、駆動回路等の複雑化や動作周波数の増大を抑えつつ表示がインパルス化される。これにより、電荷の放電効果に加えて、動画における尾引残像が抑制され、動画表示の性能が改善される。

30

【 0 1 2 6 】

なお、上記各駆動方法ではチャージシェア方式を採用した構成であるが、これに限定されるものではなく、他の方法として、例えば、 1 フレーム期間において全てのトランジスタをオンする期間を設け、このオン期間に全てのデータ信号線に V c o m を供給する構成としてもよい。

【 0 1 2 7 】

本駆動方法におけるチャージシェア方式を実現するソースドライバの具体的な構成については、「液晶表示ユニットおよび液晶表示装置」の構成とともに後述する。

【 0 1 2 8 】

40

(液晶パネルの具体例 1 - 4)

ところで、上記液晶パネルでは、 1 画素に設けられる 2 つの画素電極のうちトランジスタに近接する方を該トランジスタに接続しているが、これに限定されない。図 2 3 のように、 1 画素に設けられる 2 つの画素電極のうちトランジスタから遠い方を該トランジスタに接続してもよい。図 2 3 の液晶パネル 5 a では、図 2 の液晶パネルと同様、画素 1 0 0 および画素 1 0 1 に沿うようにデータ信号線 1 5 x が設けられ、画素 1 0 3 および画素 1 0 4 に沿うようにデータ信号線 1 5 x が設けられている。

【 0 1 2 9 】

ここで、画素 1 0 0 の行方向に沿う 2 つのエッジ部の一方と重なるように走査信号線 1 6 c が配され、他方と重なるように走査信号線 1 6 d が配され、平面的に視て、走査信号

50

線 1 6 c および 1 6 d 間に画素電極 1 7 d ・ 1 7 c が列方向に並べられている。また、走査信号線 1 6 c は画素 1 0 3 の行方向に沿う 2 つのエッジ部の一方と重なるとともに、走査信号線 1 6 d は他方と重なっており、平面的に視て、走査信号線 1 6 c および 1 6 d 間に画素電極 1 7 D ・ 1 7 C が列方向に並べられている。

【 0 1 3 0 】

また、画素 1 0 1 の行方向に沿う 2 つのエッジ部の一方と重なるように走査信号線 1 6 a が形成され、他方と重なるように走査信号線 1 6 b が形成され、平面的に視て、走査信号線 1 6 a および 1 6 b 間に画素電極 1 7 b ・ 1 7 a が列方向に並べられている。また、走査信号線 1 6 a は画素 1 0 4 の行方向に沿う 2 つのエッジ部の一方と重なるとともに、走査信号線 1 6 b は他方と重なっており、平面的に視て、走査信号線 1 6 a および 1 6 b 間に画素電極 1 7 B ・ 1 7 A が列方向に並べられている。

10

【 0 1 3 1 】

画素 1 0 1 では、走査信号線 1 6 a 上に、トランジスタ 1 2 a のソース電極 8 a およびドレイン電極 9 a が形成され、走査信号線 1 6 b 上に、トランジスタ 1 2 b のソース電極 8 b およびドレイン電極 9 b が形成されている。ソース電極 8 a はデータ信号線 1 5 x に接続される。ドレイン電極 9 a はドレイン引き出し配線 2 7 a に接続され、ドレイン引き出し配線 2 7 a は容量結合電極 3 7 a v ・ 3 7 a h およびコンタクト電極 7 7 a に接続され、コンタクト電極 7 7 a はコンタクトホール 1 1 a を介して画素電極 1 7 a に接続されるとともに、結合容量電極 3 7 a v ・ 3 7 a h は層間絶縁膜を介して画素電極 1 7 b と重なっており、これによって画素電極 1 7 a ・ 1 7 b 間の結合容量 C 1 0 1 (図 1 参照) が形成される。なお、結合容量電極 3 7 a v ・ 3 7 a h は、図 8 の液晶パネル 5 a と同様、領域分割された各液晶ドメインの境界部分に現れる十字状の暗線と重なるように配される。ドレイン電極 9 a はドレイン引き出し配線 2 8 a に接続され、ドレイン引き出し配線 2 8 a は結合容量電極 3 7 a と同層に形成された保持容量電極 3 8 a に接続され、保持容量電極 3 8 a はゲート絶縁膜を介して走査信号線 1 6 d と重なっており、これによって、保持容量 C h a (図 1 参照) が形成される。

20

【 0 1 3 2 】

トランジスタ 1 2 b のソース電極 8 b はデータ信号線 1 5 x に接続される。ドレイン電極 9 b はドレイン引き出し配線 2 7 b に接続され、ドレイン引き出し配線 2 7 b はコンタクト電極 7 7 b に接続され、コンタクト電極 7 7 b はコンタクトホール 1 1 b を介して画素電極 1 7 b に接続される。また、保持容量電極 3 8 a と同層に形成された保持容量電極 3 8 b は、ゲート絶縁膜を介して走査信号線 1 6 d と重なるとともに引き出し配線 2 8 b に接続され、引き出し配線 2 8 b はコンタクト電極 7 8 b に接続され、コンタクト電極 7 8 b はコンタクトホール 1 2 b を介して画素電極 1 7 b に接続される。これにより、保持容量 C h b (図 1 参照) が形成される。なお、他の画素の構成 (各部材の形状および配置並びに接続関係) は画素 1 0 1 のそれと同じである。

30

【 0 1 3 3 】

この構成によれば、画素電極 1 7 a を含む副画素は「明」、画素電極 1 7 b を含む副画素は「暗」となる。

【 0 1 3 4 】

図 2 3 の液晶パネルを備えた液晶表示装置においてデータ信号線 1 5 x ・ 1 5 X を、例えば図 1 0 のように駆動すると、フレーム F 1 では、全体として図 2 4 (a) のようになり、フレーム F 2 では、全体として図 2 4 (b) のようになる。以降のフレーム F 3 ・ F 4 では、F 1 ・ F 2 の動作が繰り返される。

40

【 0 1 3 5 】

(液晶パネルの具体例 1 - 5)

また、図 1 の液晶パネルを図 2 5 に示す構成としてもよい。図 2 5 の液晶パネル 5 a では、行方向に隣り合う 2 つの画素の一方ではトランジスタに近接する方の画素電極を該トランジスタに接続し、他方ではトランジスタから遠い方の画素電極を該トランジスタに接続している。図 2 6 は、図 2 5 の液晶パネル 5 a の具体例を示している。

50

【 0 1 3 6 】

図 2 6 の液晶パネル 5 a を備えた液晶表示装置においてデータ信号線 1 5 x ・ 1 5 X を図 1 0 のように駆動すると、フレーム F 1 では、全体として図 2 7 (a) のようになり、フレーム F 2 では、全体として図 2 7 (b) のようになる。以降のフレーム F 3 ・ F 4 では、F 1 ・ F 2 の動作が繰り返される。

【 0 1 3 7 】

図 2 6 の液晶パネルによれば、明副画素同士が行方向に並んだり、暗副画素同士が行方向に並んだりすることがなくなるため、行方向のスジムラを低減することができる。

【 0 1 3 8 】

(液晶パネルの具体例 1 - 6)

また、図 2 6 の液晶パネルを図 2 8 に示す構成としてもよい。図 2 8 の液晶パネルでは、図 2 6 の液晶パネルと同様、行方向に隣り合う 2 つの画素の一方ではトランジスタに近接する方の画素電極を該トランジスタに接続し、他方ではトランジスタから遠い方の画素電極を該トランジスタに接続している。また、図 2 8 の液晶パネルでは、画素 1 0 0 ・ 1 0 3 の列方向の中央部分には、画素 1 0 0 ・ 1 0 3 それぞれを横切るように走査信号線 1 6 c が配され、画素 1 0 1 ・ 1 0 4 の列方向の中央部分には、画素 1 0 1 ・ 1 0 4 それぞれを横切る走査信号線 1 6 a が配されている。画素 1 0 0 では、走査信号線 1 6 c を挟んで列方向に画素電極 1 7 c ・ 1 7 d が列方向に並べられ、画素 1 0 1 では、走査信号線 1 6 a を挟んで列方向に画素電極 1 7 a ・ 1 7 b が列方向に並べられ、画素 1 0 3 では、走査信号線 1 6 c を挟んで列方向に画素電極 1 7 C ・ 1 7 D が列方向に並べられ、画素 1 0 4 では、走査信号線 1 6 a を挟んで列方向に画素電極 1 7 A ・ 1 7 B が列方向に並べられている。

【 0 1 3 9 】

画素 1 0 1 では、走査信号線 1 6 a 上に、トランジスタ 1 2 a のソース電極 8 a およびドレイン電極 9 a が形成され、走査信号線 1 6 b 上に、トランジスタ 1 2 b のソース電極 8 b およびドレイン電極 9 b が形成されている。ソース電極 8 a はデータ信号線 1 5 x に接続される。ドレイン電極 9 a はドレイン引き出し配線 2 7 a に接続され、ドレイン引き出し配線 2 7 a はコンタクト電極 7 7 a に接続され、コンタクト電極 7 7 a はコンタクトホール 1 1 a を介して画素電極 1 7 a に接続される。さらに、ドレイン電極 9 a はドレイン引き出し配線 2 8 a に接続され、ドレイン引き出し配線 2 8 a は結合容量電極 3 7 a v ・ 3 7 a h に接続され、結合容量電極 3 7 a v ・ 3 7 a h は、層間絶縁膜を介して画素電極 1 7 b と重なっており、これによって画素電極 1 7 a ・ 1 7 b 間の結合容量 C 1 0 1 (図 2 5 参照) が形成される。また、保持容量電極 3 8 a が、ゲート絶縁膜を介して走査信号線 1 6 d と重なるとともに引き出し配線 2 8 a に接続され、引き出し配線 2 8 a はコンタクト電極 7 8 a に接続され、コンタクト電極 7 8 a はコンタクトホール 1 2 a を介して画素電極 1 7 a に接続される。これにより、保持容量 C h a (図 2 5 参照) が形成される。

【 0 1 4 0 】

トランジスタ 1 2 b のソース電極 8 b はデータ信号線 1 5 x に接続される。ドレイン電極 9 b はドレイン引き出し配線 2 7 b に接続され、ドレイン引き出し配線 2 7 b はコンタクト電極 7 7 b に接続され、コンタクト電極 7 7 b はコンタクトホール 1 1 b を介して画素電極 1 7 b に接続される。また、保持容量電極 3 8 a と同層に形成された保持容量電極 3 8 b が、ゲート絶縁膜を介して走査信号線 1 6 d と重なるとともに結合容量電極 3 7 b v ・ 3 7 b h に接続される。結合容量電極 3 7 b v ・ 3 7 b h は引き出し配線 2 8 b に接続され、引き出し配線 2 8 b はコンタクト電極 7 8 b に接続され、コンタクト電極 7 8 b はコンタクトホール 1 2 b を介して画素電極 1 7 b に接続される。これにより、結合容量 C 1 0 1 (図 2 5 参照) 及び保持容量 C h b (図 2 5 参照) が形成される。なお、結合容量電極 3 7 a v ・ 3 7 a h 及び結合容量電極 3 7 b v ・ 3 7 b h は、図 8 の液晶パネル 5 a と同様、領域分割された各液晶ドメインの境界部分に現れる十字状の暗線と重なるように配される。

【 0 1 4 1 】

図 2 8 の液晶パネル 5 a によれば、図 2 6 の液晶パネル 5 a と同様、明副画素同士が行方向に並んだり、暗副画素同士が行方向に並んだりすることがなくなるため、行方向のスジムラを低減することができる。

【 0 1 4 2 】

ここで、図 2 6 及び図 2 8 の液晶パネルを備えた液晶表示装置において、図 2 9 の駆動方法を採用してもよい。図 2 9 は図 2 6 に示す液晶パネルを備えた本液晶表示装置（ノーマリブラックモードの液晶表示装置）の駆動方法を示すタイミングチャートである。なお、S V および s v は、隣接する 2 本のデータ信号線（例えば、1 5 x ・ 1 5 X ）それぞれに供給される信号電位を示し、G a ~ G f は走査信号線 1 6 a ~ 1 6 f に供給されるゲートオンパルス信号、V c ・ V d ・ V a ・ V b ・ V C ・ V D はそれぞれ、画素電極 1 7 c ・ 1 7 d ・ 1 7 a ・ 1 7 b ・ 1 7 C ・ 1 7 D の電位を示し、s h はチャージシェア信号を示している。なお、チャージシェア信号がアクティブ（「H」）の期間は、全データ信号線が互いに短絡されたり、外部から全データ信号線に同一電位が供給されたりすることによってチャージシェアが行われる。

【 0 1 4 3 】

図 2 9 に示されるように、フレーム F 1 では、1 水平走査期間内に、まず、1 つの画素に設けられた 2 つの画素電極（例えば、第 1 および第 2 画素電極）に V c o m を供給した状態で第 2 画素電極に接続するトランジスタを O F F し、ついで第 1 画素電極に信号電位を書き込む。フレーム F 2 では、1 水平走査期間内に、まず、第 1 および第 2 画素電極に V c o m を供給した状態で第 1 画素電極に接続するトランジスタを O F F し、ついで第 2 画素電極に信号電位を書き込む。例えば、フレーム F 1 では、走査信号線 1 6 a の水平走査期間冒頭のチャージシェア期間に走査信号線 1 6 b を O N ・ O F F し、フレーム F 2 では、走査信号線 1 6 a の水平走査期間冒頭のチャージシェア期間に走査信号線 1 6 a を O N ・ O F F する。以降のフレーム F 3 ・ F 4 では、F 1 ・ F 2 の動作が繰り返される。ここで、本駆動方法では、データ信号線に供給する信号電位の極性を 1 水平走査期間（1 H）ごとに反転させるとともに、各フレームにおける同一番目の水平走査期間に供給される信号電位の極性を 2 フレーム単位で反転させ、かつ同一水平走査期間においては隣接する 2 本のデータ信号線に逆極性の信号電位を供給し、各水平走査期間の冒頭にはチャージシェアを行う。

【 0 1 4 4 】

具体的には、連続するフレーム F 1 ~ フレーム F 4 において、F 1 では、まず 1 画素に対応する上下 2 本の走査信号線（図 2 5 参照）を選択し、隣接する 2 本のデータ信号線に V c o m を供給した状態で一方の画素電極（例えば、画素電極 1 7 d ・ 1 7 C ・ 1 7 b ・ 1 7 A ）に接続するトランジスタ（例えば、トランジスタ 1 2 d ・ 1 2 D ・ 1 2 b ・ 1 2 B ）を O F F し、ついで他方の画素電極（例えば、画素電極 1 7 c ・ 1 7 D ・ 1 7 a ・ 1 7 B ）に信号電位を書き込む。ここでは、隣接する 2 本のデータ信号線的一方（例えば、データ信号線 1 5 x ）には、1 番目の水平走査期間（例えば、画素電極 1 7 c の書き込み期間含む）にプラス極性の信号電位を供給し、2 番目の水平走査期間（例えば、画素電極 1 7 a の書き込み期間含む）にマイナス極性の信号電位を供給し、3 番目の水平走査期間（例えば、画素電極 1 7 e の書き込み期間含む）にプラス極性の信号電位を供給し、上記 2 本のデータ信号線他方（例えば、データ信号線 1 5 X ）には、1 番目の水平走査期間（例えば、画素電極 1 7 D の書き込み期間含む）にマイナス極性の信号電位を供給し、2 番目の水平走査期間（例えば、画素電極 1 7 B の書き込み期間含む）にプラス極性の信号電位を供給し、3 番目の水平走査期間（例えば、画素電極 1 7 F の書き込み期間含む）にマイナス極性の信号電位を供給する。これにより、画素電極 1 7 c （プラス極性）を含む副画素は「明」、画素電極 1 7 d （プラス極性）を含む副画素は「暗」、画素電極 1 7 C （マイナス極性）を含む副画素は「暗」、画素電極 1 7 D （マイナス極性）を含む副画素は「明」、画素電極 1 7 a （マイナス極性）を含む副画素は「明」、画素電極 1 7 b （マイナス極性）を含む副画素は「暗」となり、全体としては、図 3 0 （ a ）のようになる。

【 0 1 4 5 】

また、F 2 では、まず 1 画素に対応する上下 2 本の走査信号線を選択し、隣接する 2 本のデータ信号線に V c o m を供給した状態で一方の画素電極（画素電極 1 7 c ・ 1 7 D ・ 1 7 a ・ 1 7 B ）に接続するトランジスタ（トランジスタ 1 2 c ・ 1 2 C ・ 1 2 a ・ 1 2 A ）を O F F し、ついで他方の画素電極（画素電極 1 7 d ・ 1 7 C ・ 1 7 b ・ 1 7 A ）に信号電位を書き込む。ここでは、隣接する 2 本のデータ信号線（データ信号線 1 5 x ）には、1 番目の水平走査期間（例えば、画素電極 1 7 d の書き込み期間含む）にプラス極性の信号電位を供給し、2 番目の水平走査期間（例えば、画素電極 1 7 b の書き込み期間含む）にマイナス極性の信号電位を供給し、3 番目の水平走査期間（例えば、画素電極 1 7 f の書き込み期間含む）にプラス極性の信号電位を供給し、上記 2 本のデータ信号線の他方（例えば、データ信号線 1 5 X ）には、1 番目の水平走査期間（例えば、画素電極 1 7 C の書き込み期間含む）にマイナス極性の信号電位を供給し、2 番目の水平走査期間（例えば、画素電極 1 7 A の書き込み期間含む）にプラス極性の信号電位を供給し、3 番目の水平走査期間（例えば、画素電極 1 7 E の書き込み期間含む）にマイナス極性の信号電位を供給する。これにより、画素電極 1 7 c （プラス極性）を含む副画素は「暗」、画素電極 1 7 d （プラス極性）を含む副画素は「明」、画素電極 1 7 C （マイナス極性）を含む副画素は「明」、画素電極 1 7 D （マイナス極性）を含む副画素は「暗」、画素電極 1 7 a （マイナス極性）を含む副画素は「暗」、画素電極 1 7 b （マイナス極性）を含む副画素は「明」となり、全体としては、図 3 0 （ b ）のようになる。

10

【 0 1 4 6 】

また、F 3 では、まず 1 画素に対応する上下 2 本の走査信号線を選択し、隣接する 2 本のデータ信号線に V c o m を供給した状態で一方の画素電極（例えば、画素電極 1 7 d ・ 1 7 C ・ 1 7 b ・ 1 7 A ）に接続するトランジスタ（例えば、トランジスタ 1 2 d ・ 1 2 D ・ 1 2 b ・ 1 2 B ）を O F F し、ついで他方の画素電極（例えば、画素電極 1 7 c ・ 1 7 D ・ 1 7 a ・ 1 7 B ）に信号電位を書き込む。ここでは、隣接する 2 本のデータ信号線（データ信号線 1 5 x ）には、1 番目の水平走査期間（例えば、画素電極 1 7 c の書き込み期間含む）にマイナス極性の信号電位を供給し、2 番目の水平走査期間（例えば、画素電極 1 7 a の書き込み期間含む）にプラス極性の信号電位を供給し、3 番目の水平走査期間（例えば、画素電極 1 7 e の書き込み期間含む）にマイナス極性の信号電位を供給し、上記 2 本のデータ信号線の他方（例えば、データ信号線 1 5 X ）には、1 番目の水平走査期間（例えば、画素電極 1 7 D の書き込み期間含む）にプラス極性の信号電位を供給し、2 番目の水平走査期間（例えば、画素電極 1 7 B の書き込み期間含む）にマイナス極性の信号電位を供給し、3 番目の水平走査期間（例えば、画素電極 1 7 F の書き込み期間含む）にプラス極性の信号電位を供給する。これにより、画素電極 1 7 c （マイナス極性）を含む副画素は「明」、画素電極 1 7 d （マイナス極性）を含む副画素は「暗」、画素電極 1 7 C （プラス極性）を含む副画素は「暗」、画素電極 1 7 D （プラス極性）を含む副画素は「明」、画素電極 1 7 a （プラス極性）を含む副画素は「明」、画素電極 1 7 b （プラス極性）を含む副画素は「暗」となり、全体としては、図 3 0 （ c ）のようになる。

20

30

【 0 1 4 7 】

また、F 4 では、まず 1 画素に対応する上下 2 本の走査信号線を選択し、隣接する 2 本のデータ信号線に V c o m を供給した状態で一方の画素電極（画素電極 1 7 c ・ 1 7 D ・ 1 7 a ・ 1 7 B ）に接続するトランジスタ（トランジスタ 1 2 c ・ 1 2 C ・ 1 2 a ・ 1 2 A ）を O F F し、ついで他方の画素電極（画素電極 1 7 d ・ 1 7 C ・ 1 7 b ・ 1 7 A ）に信号電位を書き込む。ここでは、隣接する 2 本のデータ信号線（データ信号線 1 5 x ）には、1 番目の水平走査期間（例えば、画素電極 1 7 d の書き込み期間含む）にマイナス極性の信号電位を供給し、2 番目の水平走査期間（例えば、画素電極 1 7 b の書き込み期間含む）にプラス極性の信号電位を供給し、3 番目の水平走査期間（例えば、画素電極 1 7 f の書き込み期間含む）にマイナス極性の信号電位を供給し、上記 2 本のデータ信号線の他方（例えば、データ信号線 1 5 X ）には、1 番目の水平走査期間（例え

40

50

ば、画素電極 17C の書き込み期間含む) にプラス極性の信号電位を供給し、2 番目の水平走査期間(例えば、画素電極 17A の書き込み期間含む) にマイナス極性の信号電位を供給し、3 番目の水平走査期間(例えば、画素電極 17E の書き込み期間含む) にプラス極性の信号電位を供給する。これにより、画素電極 17c (マイナス極性) を含む副画素は「暗」、画素電極 17d (マイナス極性) を含む副画素は「明」、画素電極 17C (プラス極性) を含む副画素は「明」、画素電極 17D (プラス極性) を含む副画素は「暗」、画素電極 17a (プラス極性) を含む副画素は「暗」、画素電極 17b (プラス極性) を含む副画素は「明」となり、全体としては、図 30 (d) のようになる。

【0148】

この駆動方法によれば、チャージシェア期間に、画素電極 17a・17b に共通電極電位を供給した状態で画素電極 17b に接続するトランジスタ 12b を OFF することができ、この時点で画素電極 17b をディスチャージすることができる。すなわち、1 水平走査期間に、まず画素電極 17b をディスチャージし、引き続いて画素電極 17a に信号電位を書き込むことができる。これにより、走査信号線 16a が OFF した後の画素電極 17b の電位(すなわち暗副画素の輝度)を、1 フレーム前に画素電極 17b に書き込まれた信号電位に影響されない所望の値とすることができる。また、本駆動方法によれば、各フレームにおいて明副画素と暗副画素とを市松状に配するとともに、明副画素と暗副画素とを 1 フレーム単位で入れ替えることができるため、表示品位の向上を図ることができる。

【0149】

なお、上記駆動方法では、2 本の走査信号線のうち信号電位を書き込む際に選択される方の走査信号線を 1 フレームごとに切り替える(例えば、フレーム F1・F3 では走査信号線 16a、フレーム F2・F4 では走査信号線 16b)とともに、同一画素に対応する信号電位の極性を 2 フレームごとに反転(例えば、フレーム F1・F2 ではプラス極性とし、フレーム F3・F4 ではマイナス極性とする)させているが、これに限定されず、2 本の走査信号線のうち信号電位を書き込む際に選択される方の走査信号線を 2 フレームごとに切り替える(例えば、フレーム F1・F2 では走査信号線 16a を選択し、フレーム F3・F4 では走査信号線 16b を選択する)とともに、同一画素に対応する信号電位の極性を 1 フレームごとに反転(例えば、フレーム F1・F3 ではプラス極性とし、フレーム F2・F4 ではマイナス極性とする)させてもよい。

【0150】

ここで、図 26 及び図 28 の液晶パネル 5a では、保持容量電極 38a と走査信号線 16d との重なり面積が、保持容量電極 38b と走査信号線 16d との重なり面積に等しくなっていることが好ましい。この構成において図 29 の駆動方法を採用すれば、各フレームにおいて、各画素電極に形成される保持容量の変動を抑えることができる。例えば、フレーム F1 において明副画素となる画素電極 17a の保持容量と、フレーム F2 において明副画素となる画素電極 17b の保持容量とを合わせる(等しくする)ことができ、また、フレーム F1 において暗副画素となる画素電極 17b の保持容量と、フレーム F2 において暗副画素となる画素電極 17a の保持容量とを合わせる(等しくする)ことができる。よって、画素電極 17a・17b の電位を正常に制御することができる。

【0151】

〔実施の形態 2〕

図 31 は本実施の形態 2 における本液晶パネルの一部を示す等価回路図である。図 31 に示すように、液晶パネル 5b は、列方向(図中上下方向)に延伸するデータ信号線(15x・15X)、行方向(図中左右方向)に延伸する走査信号線(16a~16f)、行および列方向に並べられた画素(100~105)、および共通電極(対向電極)com を備え、各画素の構造は同一の構成である。なお、画素 100~102 が含まれる画素列と、画素 103~105 が含まれる画素列とが隣接している。

【0152】

液晶パネル 5b では、1 つの画素に対応して 1 本のデータ信号線と 2 本の走査信号線と

が設けられており、画素100に設けられた3つの画素電極17c・17d・17c'、画素101に設けられた3つの画素電極17a・17b・17a'、および画素102に設けられた3つの画素電極17e・17f・17e'が一行に配されるとともに、画素103に設けられた3つの画素電極17C・17D・17C'、画素104に設けられた3つの画素電極17A・17B・17A'、および画素105に設けられた3つの画素電極17E・17F・17E'が一行に配され、画素電極17cと17C、画素電極17dと17D、画素電極17c'と17C'、画素電極17aと17A、画素電極17bと17B、画素電極17a'と17A'、および画素電極17eと17E、画素電極17fと17F、画素電極17e'と17E'がそれぞれ行方向に隣接している。

【0153】

10

各画素の構造は同一であるため、以下では、主に画素101を例に挙げて説明する。

【0154】

画素101では、画素電極17aおよび17bが結合容量C101を介して接続され、画素電極17aが、走査信号線16aに接続されたトランジスタ12aを介してデータ信号線15xに接続され、画素電極17bが、走査信号線16bに接続されたトランジスタ12bを介してデータ信号線15xに接続され、画素電極17aおよび走査信号線16d間に保持容量Chaが形成され、画素電極17bおよび走査信号線16d間に保持容量Chbが形成され、画素電極17aおよび共通電極com間に液晶容量Cl aが形成され、画素電極17bおよび共通電極com間に液晶容量Cl bが形成されている。画素電極17a'は、画素電極17aに電氣的に接続されている。

20

【0155】

(液晶パネルの具体例2-1)

液晶パネル5bの具体例2-1を図32に示す。図32の液晶パネル5bでは、画素100および画素101に沿うようにデータ信号線15xが設けられ、画素103および画素104に沿うようにデータ信号線15Xが設けられている。

【0156】

ここで、画素100の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16cが配され、他方と重なるように走査信号線16dが配され、平面的に視て、走査信号線16cおよび16d間に画素電極17c・17d・17c'が列方向に並べられている。また、走査信号線16cは画素103の行方向に沿う2つのエッジ部の一方と重なるとともに、走査信号線16dは他方と重なっており、平面的に視て、走査信号線16cおよび16d間に画素電極17C・17D・17C'が列方向に並べられている。

30

【0157】

また、画素101の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16aが形成され、他方と重なるように走査信号線16bが形成され、平面的に視て、走査信号線16aおよび16b間に画素電極17a・17b・17a'が列方向に並べられている。また、走査信号線16aは画素104の行方向に沿う2つのエッジ部の一方と重なるとともに、走査信号線16bは他方と重なっており、平面的に視て、走査信号線16aおよび16b間に画素電極17A・17B・17A'が列方向に並べられている。

【0158】

40

画素101では、走査信号線16a上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8aはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線27aに接続され、ドレイン引き出し配線27aは、コンタクト電極77aおよび結合容量電極37aに接続され、コンタクト電極77aは、コンタクトホール11aを介して画素電極17aに接続される。結合容量電極37aは、層間絶縁膜を介して画素電極17bと重なっており、これによって画素電極17a・17b間の結合容量C101(図31参照)が形成される。結合容量電極37aから引き出された引き出し配線27a'は、コンタクト電極77a'に接続され、コンタクト電極77a'は、コンタクトホール11a'を介して画素電極17a'に接続

50

され、これにより画素電極 17 a・17 a' は互いに電氣的に接続される。また、ドレイン電極 9 a はドレイン引き出し配線 28 a に接続され、ドレイン引き出し配線 28 a は結合容量電極 37 a と同層に形成された保持容量電極 38 a に接続され、保持容量電極 38 a はゲート絶縁膜を介して走査信号線 16 d と重なっており、これによって、保持容量 C_{h a} (図 31 参照) が形成される。

【0159】

トランジスタ 12 b のソース電極 8 b はデータ信号線 15 x に接続される。ドレイン電極 9 b はドレイン引き出し配線 27 b に接続され、ドレイン引き出し配線 27 b はコンタクト電極 77 b に接続され、コンタクト電極 77 b はコンタクトホール 11 b を介して画素電極 17 b に接続される。また、保持容量電極 38 a と同層に形成された保持容量電極 38 b は、ゲート絶縁膜を介して走査信号線 16 d と重なるとともに引き出し配線 28 b に接続され、引き出し配線 28 b はコンタクト電極 78 b に接続され、コンタクト電極 78 b はコンタクトホール 12 b を介して画素電極 17 b に接続される。これにより、保持容量 C_{h b} (図 31 参照) が形成される。なお、他の画素の構成 (各部材の形状および配置並びに接続関係) は画素 101 のそれと同じである。

【0160】

この構成によれば、画素電極 17 a・17 a' を含む副画素は「明」、画素電極 17 b を含む副画素は「暗」となる。

【0161】

図 33 は図 32 の A - B 断面図である。図 33 に示すように、液晶パネル 5 b は、アクティブマトリクス基板 3 と、これに対向するカラーフィルタ基板 30 と、両基板 (3・30) 間に配される液晶層 40 とを備える。

【0162】

図 33 に示すように、アクティブマトリクス基板 3 では、ガラス基板 31 上に走査信号線 16 a・16 b が形成され、これらを覆うように無機ゲート絶縁膜 22 が形成されている。無機ゲート絶縁膜 22 上には、半導体層 24 (i 層および n+ 層)、n+ 層に接するソース電極 8 a、ドレイン電極 9 a、ドレイン引き出し配線 27 a・27 a'、コンタクト電極 77 a・77 a' および結合容量電極 37 a が形成され、これらを覆うように無機層間絶縁膜 25 が形成されている。なお、ソース電極 8 a およびドレイン電極 9 a と重ならない半導体層 24 (典型的にはトランジスタのチャネル部) は、n+ 層がエッチング等により除去され、i 層のみとなっている。無機層間絶縁膜 25 上には画素電極 17 a・17 b・17 a' が形成され、さらに、これら (画素電極 17 a・17 b・17 a') を覆うように配向膜 (図示せず) が形成されている。ここで、コンタクトホール 11 a・11 a' では、それぞれ、無機層間絶縁膜 25 が割り貫かれており、これによって、画素電極 17 a とコンタクト電極 77 a とが接続され、画素電極 17 a' とコンタクト電極 77 a' とが接続される。また、ドレイン引き出し配線 27 a に繋がる結合容量電極 37 a は無機層間絶縁膜 25 を介して画素電極 17 b と重なっており、これによって、結合容量 C₁₀₁ (図 31 参照) が形成される。結合容量電極 37 a から引き出された引き出し配線 27 a' は、コンタクト電極 77 a' に接続され、コンタクト電極 77 a' はコンタクトホール 11 a' を介して画素電極 17 a' に接続される。なお、保持容量 C_{h a} (図 31 参照) は、図 4 に示したように、保持容量電極 38 a と走査信号線 16 d との重なり部分に形成され、保持容量 C_{h b} (図 31 参照) は、図 4 に示したように、保持容量電極 38 b と走査信号線 16 d との重なり部分に形成される。

【0163】

一方、カラーフィルタ基板 30 では、ガラス基板 32 上にブラックマトリクス 13 および着色層 14 が形成され、その上層に共通電極 (com) 28 が形成され、さらにこれを覆うように配向膜 (図示せず) が形成されている。

【0164】

なお、図 5 に示したように、画素電極の下層に、薄い無機層間絶縁膜 25 と厚い有機層間絶縁膜 26 とを形成する構成の場合には、図 32 の液晶パネル 5 b を図 34 に示すよう

10

20

30

40

50

な構成とすることもできる。すなわち、画素電極 17a' が、無機層間絶縁膜 25 と厚い有機層間絶縁膜 26 とを介して走査信号線 16b と重なるように形成する。これにより、画素電極 17a' と走査信号線 16b との間の寄生容量を低減することができるため、特に、走査信号線 16b の負荷の増加を抑制しつつ、開口率を向上させることができる。

【0165】

(液晶パネルの具体例 2 - 2)

ここで、本発明の液晶パネルは、上述したような、矩形状の画素電極が列方向に並んで配される構成に限定されるものではなく、図 35 に示すような構成であってもよい。

【0166】

図 35 の液晶パネル 5b では、画素 101 を例に挙げると、データ信号線 15x および走査信号線 16a の交差部近傍にトランジスタ 12a が配され、両信号線 (15x・16a) と走査信号線 16b とで画される画素領域に、台形状をなす画素電極 17a と、画素電極 17a を支点として走査信号線 16a の行方向に対して略 315° の位置に、画素電極 17a を 180° 回転した状態の形状と略一致する台形状をなす画素電極 17a' と、これら画素電極 17a・17a' を除いた画素領域において、画素電極 17a・17a' の形状に対応する (かみ合う) ように配される画素電極 17b とを有する。

【0167】

このような構成により、画素電極 17a・17b・17a' は、それぞれ、画素電極 17a の一部が走査信号線 16a に近接し、画素電極 17a' の一部が、走査信号線 16b に近接し、画素電極 17b の一方の端部が走査信号線 16a に近接するとともに他方の端部が走査信号線 16b に近接するように配されている。換言すると、画素電極 17a・17a' それぞれの少なくとも一部が、走査信号線 16a・16b のそれぞれに近接して配されるとともに、画素電極 17b は、走査信号線 16a・16b 同士を繋ぐように、列方向に延びて配されている。

【0168】

画素 101 では、走査信号線 16a 上に、トランジスタ 12a のソース電極 8a およびドレイン電極 9a が形成され、走査信号線 16b 上に、トランジスタ 12b のソース電極 8b およびドレイン電極 9b が形成されている。ソース電極 8a はデータ信号線 15x に接続される。ドレイン電極 9a はドレイン引き出し配線 27a に接続され、ドレイン引き出し配線 27a は、コンタクト電極 77a に接続され、コンタクト電極 77a は、コンタクトホール 11a を介して画素電極 17a に接続される。また、ドレイン電極 9a はドレイン引き出し配線 28a に接続され、ドレイン引き出し配線 28a は保持容量電極 38a に接続され、保持容量電極 38a はゲート絶縁膜を介して走査信号線 16d と重なっており、これにより、保持容量 Ch a (図 31 参照) が形成される。結合容量電極 37a は、層間絶縁膜を介して画素電極 17b と重なっており、結合容量電極 37a の一端はコンタクト電極 78a に接続され、コンタクト電極 78a はコンタクトホール 12a を介して画素電極 17a に接続され、結合容量電極 37a の他端はコンタクト電極 77a' に接続され、コンタクト電極 77a' はコンタクトホール 11a' を介して画素電極 17a' に接続される。これによって画素電極 17a・17b 間の結合容量 C101 (図 31 参照) が形成されるとともに、画素電極 17a・17a' が互いに電氣的に接続される。

【0169】

トランジスタ 12b のソース電極 8b はデータ信号線 15x に接続される。ドレイン電極 9b はドレイン引き出し配線 27b に接続され、ドレイン引き出し配線 27b はコンタクト電極 77b に接続され、コンタクト電極 77b はコンタクトホール 11b を介して画素電極 17b に接続される。また、保持容量電極 38a と同層に形成された保持容量電極 38b は、ゲート絶縁膜を介して走査信号線 16d と重なるとともに引き出し配線 28b に接続され、引き出し配線 28b はコンタクト電極 78b に接続され、コンタクト電極 78b はコンタクトホール 12b を介して画素電極 17b に接続される。これにより、保持容量 Ch b (図 31 参照) が形成される。なお、他の画素の構成 (各部材の形状および配置並びに接続関係) は画素 101 のそれと同じである。

【0170】

この構成によれば、画素電極17a・17a'を含む副画素は「明」、画素電極17bを含む副画素は「暗」となる。

【0171】

(液晶パネルの具体例2-3)

液晶パネル5bの具体例2-3に対応する等価回路図を図36に示し、液晶パネル5bの具体例2-3を図37に示す。図36の液晶パネル5bでは、各画素領域内に画素電極が3つ形成されており、図31の液晶パネルと同様、列方向(図中上下方向)に延伸するデータ信号線(15x・15X)、行方向(図中左右方向)に延伸する走査信号線(16a~16f)、行および列方向に並べられた画素(100~105)、および共通電極(対向電極)c omを備え、各画素の構造は同一の構成である。なお、画素100~102が含まれる画素列と、画素103~105が含まれる画素列とが隣接している。

10

【0172】

ここで、画素100の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16cが配され、他方と重なるように走査信号線16dが配され、平面的に視て、走査信号線16cおよび16d間に画素電極17d・17c・17d'が列方向に並べられている。また、走査信号線16cは画素103の行方向に沿う2つのエッジ部の一方と重なるとともに、走査信号線16dは他方と重なっており、平面的に視て、走査信号線16cおよび16d間に画素電極17D・17C・17D'が列方向に並べられている。

【0173】

また、画素101の行方向に沿う2つのエッジ部の一方と重なるように走査信号線16aが形成され、他方と重なるように走査信号線16bが形成され、平面的に視て、走査信号線16aおよび16b間に画素電極17b・17a・17b'が列方向に並べられている。また、走査信号線16aは画素104の行方向に沿う2つのエッジ部の一方と重なるとともに、走査信号線16bは他方と重なっており、平面的に視て、走査信号線16aおよび16b間に画素電極17B・17A・17B'が列方向に並べられている。

20

【0174】

画素101では、走査信号線16a上に、トランジスタ12aのソース電極8aおよびドレイン電極9aが形成され、走査信号線16b上に、トランジスタ12bのソース電極8bおよびドレイン電極9bが形成されている。ソース電極8aはデータ信号線15xに接続される。ドレイン電極9aはドレイン引き出し配線27aに接続され、ドレイン引き出し配線27aは、コンタクト電極77aおよび結合容量電極37aに接続され、コンタクト電極77aは、コンタクトホール11aを介して画素電極17aに接続される。結合容量電極37aは、層間絶縁膜を介して画素電極17bと重なっており、これによって画素電極17a・17b間の結合容量C101(図36参照)が形成される。また、ドレイン電極9aはドレイン引き出し配線28aに接続され、ドレイン引き出し配線28aは結合容量電極37aと同層に形成された保持容量電極38aに接続され、保持容量電極38aはゲート絶縁膜を介して走査信号線16dと重なっており、これによって、保持容量Ch a(図36参照)が形成される。

30

【0175】

トランジスタ12bのソース電極8bはデータ信号線15xに接続される。ドレイン電極9bはドレイン引き出し配線27bに接続され、ドレイン引き出し配線27bはコンタクト電極77b・77b'および保持容量電極38bに接続され、コンタクト電極77bはコンタクトホール11bを介して画素電極17bに接続され、コンタクト電極77b'はコンタクトホール11b'を介して画素電極17b'に接続される。これにより、画素電極17b・17b'が互いに電氣的に接続される。また、保持容量電極38aと同層に形成された保持容量電極38bは、ゲート絶縁膜を介して走査信号線16dと重なっており、これによって、保持容量Ch b(図36参照)が形成される。なお、他の画素の構成(各部材の形状および配置並びに接続関係)は画素101のそれと同じである。

40

【0176】

50

この構成によれば、画素電極 17 a を含む副画素は「明」、画素電極 17 b ・ 17 b ' を含む副画素は「暗」となる。

【0177】

(液晶パネルの具体例 2 - 4)

ここで、本発明の液晶パネルは、上述したような、矩形状の画素電極が列方向に並んで配される構成に限定されるものではなく、図 38 に示すような構成であってもよい。

【0178】

図 38 の液晶パネル 5 b では、画素 101 を例に挙げると、データ信号線 15 x および走査信号線 16 a の交差部近傍にトランジスタ 12 a が配され、両信号線 (15 x ・ 16 a) と走査信号線 16 b とで画される画素領域に、台形状をなす画素電極 17 b と、画素電極 17 b を支点として走査信号線 16 a の行方向に対して略 315° の位置に、画素電極 17 b を 180° 回転した状態の形状と略一致する台形状をなす画素電極 17 b ' と、これら画素電極 17 b ・ 17 b ' を除いた画素領域において、画素電極 17 b ・ 17 b ' の形状に対応する (かみ合う) ように配される画素電極 17 a とを有する。

【0179】

このような構成により、画素電極 17 b ・ 17 a ・ 17 b ' は、それぞれ、画素電極 17 b の一部が走査信号線 16 a に近接し、画素電極 17 b ' の一部が、走査信号線 16 b に近接し、画素電極 17 a の一方の端部が走査信号線 16 a に近接するとともに他方の端部が走査信号線 16 b に近接するように配されている。換言すると、画素電極 17 b ・ 17 b ' それぞれの少なくとも一部が、走査信号線 16 a ・ 16 b のそれぞれに近接して配されるとともに、画素電極 17 a は、走査信号線 16 a ・ 16 b 同士を繋ぐように、列方向に延びて配されている。

【0180】

画素 101 では、走査信号線 16 a 上に、トランジスタ 12 a のソース電極 8 a およびドレイン電極 9 a が形成され、走査信号線 16 b 上に、トランジスタ 12 b のソース電極 8 b およびドレイン電極 9 b が形成されている。ソース電極 8 a はデータ信号線 15 x に接続される。ドレイン電極 9 a はドレイン引き出し配線 27 a に接続され、ドレイン引き出し配線 27 a は、コンタクト電極 77 a に接続され、コンタクト電極 77 a は、コンタクトホール 11 a を介して画素電極 17 a に接続される。また、ドレイン電極 9 a はドレイン引き出し配線 28 a に接続され、ドレイン引き出し配線 28 a は保持容量電極 38 a に接続され、保持容量電極 38 a はゲート絶縁膜を介して走査信号線 16 d と重なっており、これにより、保持容量 C h a (図 36 参照) が形成される。

【0181】

トランジスタ 12 b のソース電極 8 b はデータ信号線 15 x に接続される。ドレイン電極 9 b はドレイン引き出し配線 27 b に接続され、ドレイン引き出し配線 27 b はコンタクト電極 77 b ' に接続され、コンタクト電極 77 b ' はコンタクトホール 11 b ' を介して画素電極 17 b ' に接続される。結合容量電極 37 b は、層間絶縁膜を介して画素電極 17 a と重なっており、結合容量電極 37 b の一端はコンタクト電極 77 b ' に接続され、コンタクト電極 77 b ' はコンタクトホール 12 b ' を介して画素電極 17 b ' に接続され、結合容量電極 37 b の他端はコンタクト電極 77 b に接続され、コンタクト電極 77 b はコンタクトホール 11 b を介して画素電極 17 b に接続される。これによって画素電極 17 a ・ 17 b 間の結合容量 C 101 (図 36 参照) が形成されるとともに、画素電極 17 b ・ 17 b ' が互いに電氣的に接続される。また、結合容量電極 37 b から引き出された引き出し配線 28 b は保持容量電極 38 b に接続され、保持容量電極 38 b はゲート絶縁膜を介して走査信号線 16 d と重なっている。これにより、保持容量 C h b (図 36 参照) が形成される。なお、他の画素の構成 (各部材の形状および配置並びに接続関係) は画素 101 のそれと同じである。

【0182】

この構成によれば、画素電極 17 a を含む副画素は「明」、画素電極 17 b ・ 17 b ' を含む副画素は「暗」となる。

【0183】

ここで、本実施の形態2に係る液晶パネル5bを備えた液晶表示装置における駆動方法は、上記実施の形態1で説明した各駆動方法を適用することができることはいうまでもない。

【0184】

また、上記実施の形態1・2に示した各液晶パネル5a・5bは、周知の構成と組み合わせることも可能であり、例えば図39に示すようにMVA(Multidomain Vertical Alignment)構造とすることもできる。図39では、図2に示した液晶パネル5aをMVA構造とした場合を構成を示している。なお、本液晶パネル5aは、アクティブマトリクス基板と液晶層とカラーフィルタ基板とを備えるが、図39では、液晶層は図示せず、カラー

10

【0185】

図40に示すように、画素101は、画素電極17aを含む副画素(以下、「第1副画素」)、および、画素電極17bを含む副画素(以下、「第2副画素」)から構成される。第1副画素には、第1リブL1とスリット(画素電極スリット)S1~S4とからなる第1配向規制用構造物が設けられ、第2副画素には、第2リブL2とスリット(画素電極スリット)S5~S8とからなる第2配向規制用構造物が設けられる。

【0186】

画素101においては、走査信号線16a側に位置する第1副画素が、走査信号線16aに沿う端部E1とこれと向き合う端部E2とを有し、走査信号線16b側に位置する第2副画素が、走査信号線16bに沿う端部E1とこれと向き合う端部E2とを有する。ここで、カラーフィルタ基板の第1副画素に対応する部分には、行方向(図中左→右方向)に視てV字形状をなす第1リブL1が、端部E1に始端部Tが位置するとともに端部E2に終端部Mが位置するように設けられ、カラーフィルタ基板の第2副画素に対応する部分にも、行方向(図中左→右方向)に視てV字形状をなす第2リブL2が、端部E1に始端部Tが位置するとともに端部E2に終端部Mが位置するように設けられる。すなわち、第1リブL1の向きと第2リブL2の向きは同方向である。

20

【0187】

さらに、画素電極17aには第1リブL1に対応して複数のスリットS1~S4が設けられるとともに、画素電極17bには第2リブL2に対応して複数のスリットS5~S8が設けられている。ここで、スリットS1・S3は、第1リブL1の始端部Tから屈折部Kまでの部分とほぼ平行となるようにその両側に設けられ、スリットS2・S4は第1リブL1の屈折部Kから終端部Mまでの部分とほぼ平行となるようにその両側に設けられ、スリットS6・S8は第2リブL2の始端部Tから屈折部Kまでの部分とほぼ平行となるようにその両側に設けられ、スリットS5・S7は第2リブL2の屈折部Kから終端部Mまでの部分とほぼ平行となるようにその両側に設けられており、スリットS5~S8の形状および第2リブL2に対する配置位置は、スリットS1~S4の形状および第1リブL1に対する配置位置と同様である。なお、第1および第2リブL1・L2それぞれにおいて、始端部T、屈折部K、および終端部Mがなす角(TKM)はおよそ90°である。

30

40

【0188】

このように、スリットS1、第1リブL1の一边(TK部分)、およびスリットS3はそれぞれ平行で、かつ走査信号線16aに対して斜めに(約-135°をなして)延伸し、スリットS2、第1リブL1の一边(KM部分)、およびスリットS4はそれぞれ平行で、かつ走査信号線16aに対して斜めに(約-45°をなして)延伸しており、第1リブL1の一边(TK部分)の一部とスリットS3の一部とが第1副画素の端部E1(走査信号線16aに沿う部分)に位置している。一方、スリットS6、第2リブL2の一边(TK部分)、およびスリットS8はそれぞれ平行で、かつ走査信号線16bに対して斜めに(約135°をなして)延伸し、スリットS5、第2リブL2の一边(KM部分)、およびスリットS7はそれぞれ平行で、かつ走査信号線16bに対して斜め

50

して)に延伸しており、上記第2リブL2の一辺(TK部分)の一部とスリットS8の一部とが第2副画素の端部E1(走査信号線16bに沿う部分)に位置している。

【0189】

本液晶パネル5aを用いた液晶表示装置によれば、広視野角化を実現することができるという効果を得ることができる。また、本液晶パネル5aでは、図39に示すように、リブL1・L2の向きを、列方向に隣接する2つの画素(例えば画素101と画素104)どうしで逆にしているため、特定の配向領域に偏って配向乱れの影響を受けることがなくなる。これにより、視野角特性の優れた液晶表示装置を実現することができる。

【0190】

なお、本液晶パネルではカラーフィルタ基板にリブが設けられている形態を示したがこれに限定されるものではなく、カラーフィルタ基板に設けられたリブの代わりにスリットを設けてもよい。

【0191】

また、本液晶パネルでは、自段の画素領域(画素101)に設けられた第1および第2画素電極(17a・17b)の少なくとも一方と、前段の画素領域(画素100)に対応する第2走査信号線(16d)との間に保持容量(CHa・Chb)が形成されている形態を示したが、これに限定されるものではなく、上記第1および第2画素電極(17a・17b)の少なくとも一方と、前段の画素領域(画素100)に対応する第1走査信号線(16c)との間に保持容量(CHa・Chb)が形成されていてもよい。すなわち、本液晶パネルでは、自段の画素領域(画素101)に設けられた第1および第2画素電極(17a・17b)の少なくとも一方と、前段の画素領域(画素100)に対応する第1および第2走査信号線(16c・16d)の少なくとも一方との間に保持容量(CHa・Chb)が形成されている構成である。

【0192】

(液晶表示ユニット、液晶表示装置の構成)

最後に、本発明の液晶表示ユニットおよび液晶表示装置の構成例について説明する。上記各実施の形態では、以下のようにして、本液晶表示ユニットおよび液晶表示装置を構成する。すなわち、液晶パネル(5a・5b)の両面に、2枚の偏光板A・Bを、偏光板Aの偏光軸と偏光板Bの偏光軸とが互いに直交するように貼り付ける。なお、偏光板には必要に応じて、光学補償シート等を積層してもよい。次に、図41(a)に示すように、ドライバ(ゲートドライバ202、ソースドライバ201)を接続する。ここでは、一例として、ドライバをTCP(Tape Career Package)方式による接続について説明する。まず、液晶パネルの端子部にACF(Anisotropic Conductive Film)を仮圧着する。ついで、ドライバが乗せられたTCPをキャリアテープから打ち抜き、パネル端子電極に位置合わせし、加熱、本圧着を行う。その後、ドライバTCP同士を連結するための回路基板203(PWB:Printed Wiring Board)とTCPの入力端子とをACFで接続する。これにより、液晶表示ユニット200が完成する。その後、図41(b)に示すように、液晶表示ユニット200の各ドライバ(201・202)に、回路基板203を介して表示制御回路209を接続し、照明装置(バックライトユニット)204と一体化することで、液晶表示装置210となる。

【0193】

図42(a)に、本液晶表示装置において、リフレッシュ期間を設ける場合のソースドライバの構成を示す。図42(a)に示すように、この場合のソースドライバには、各データ信号線に対応してバッファ31と、データ出力用スイッチSWaと、リフレッシュ用スイッチSWbとが設けられる。バッファ31には対応するデータdが入力され、バッファ31の出力は、データ出力用スイッチSWaを介してデータ信号線への出力端に接続されている。また、隣り合う2本のデータ信号線それぞれに対応する出力端は、リフレッシュ用スイッチSWbを介して互いに接続されている。すなわち、各リフレッシュ用スイッチSWbは直列に接続され、その一端がリフレッシュ電位供給源35(Vcom)に接続

されている。ここで、データ出力用スイッチ S W a のゲート端子には、チャージシェア信号 s h がインバータ 3 3 を介して入力され、リフレッシュ用スイッチ S W b のゲート端子には、チャージシェア信号 s h が入力される。

【 0 1 9 4 】

なお、図 4 2 (a) に示すソースドライバを図 4 2 (b) のように構成してもよい。すなわち、リフレッシュ用スイッチ S W c を、対応するデータ信号線とリフレッシュ電位供給源 3 5 (V c o m) にのみに接続し、各リフレッシュ用スイッチ S W c を直列に接続しない構成とする。こうすれば、各データ信号線に速やかにリフレッシュ電位を供給することができる。

【 0 1 9 5 】

ここで、上記したソースドライバの構成ではリフレッシュ電位を V c o m としているがこれに限定されない。例えば、同一データ信号線に 1 水平走査期間前に供給された信号電位のレベルと現水平走査期間に供給すべき信号電位とに基づいて適切なリフレッシュ電位を算出しておき、このリフレッシュ電位を該データ信号線に供給してもよい。この場合のソースドライバの構成を図 4 3 に示す。該構成では、各データ信号線に対応して、データ出力用バッファ 1 1 0 と、リフレッシュ用バッファ 1 1 1 と、データ出力用スイッチ S W a と、リフレッシュ用スイッチ S W e とが設けられる。データ出力用バッファ 1 1 0 には対応するデータ d が入力され、データ出力用バッファ 1 1 0 の出力は、データ出力用スイッチ S W a を介してデータ信号線への出力端に接続されている。リフレッシュ用バッファ 1 1 1 には、対応する非画像データ N (1 水平走査期間前に供給された信号電位のレベルと現水平走査期間に供給すべき信号電位とに基づいて決定された最適ナリフレッシュ電位に対応するデータ) が入力され、リフレッシュ用バッファ 1 1 1 の出力は、リフレッシュ用スイッチ S W e を介してデータ信号線への出力端に接続されている。

【 0 1 9 6 】

本願でいう「電位の極性」とは、基準となる電位に対する高 (プラス) ・低 (マイナス) を意味する。ここで、基準となる電位は、共通電極 (対向電極) の電位である V c o m (コモン電位) であってもその他任意の電位であってもよい。

【 0 1 9 7 】

図 4 4 は、本液晶表示装置の構成を示すブロック図である。同図に示されるように、本液晶表示装置は、表示部 (液晶パネル) と、ソースドライバ (S D) と、ゲートドライバ (G D) と、表示制御回路とを備えている。ソースドライバはデータ信号線を駆動し、ゲートドライバは走査信号線を駆動し、表示制御回路は、ソースドライバおよびゲートドライバを制御する。

【 0 1 9 8 】

表示制御回路は、外部の信号源 (例えばチューナー) から、表示すべき画像を表すデジタルビデオ信号 D v と、当該デジタルビデオ信号 D v に対応する水平同期信号 H S Y および垂直同期信号 V S Y と、表示動作を制御するための制御信号 D c とを受け取る。また、表示制御回路は、受け取ったこれらの信号 D v , H S Y , V S Y , D c に基づき、そのデジタルビデオ信号 D v の表す画像を表示部に表示させるための信号として、データスタートパルス信号 S S P と、データクロック信号 S C K と、チャージシェア信号 s h と、表示すべき画像を表すデジタル画像信号 D A (ビデオ信号 D v に対応する信号) と、ゲートスタートパルス信号 G S P と、ゲートクロック信号 G C K と、ゲートドライバ出力制御信号 (走査信号出力制御信号) G O E とを生成し、これらを出力する。

【 0 1 9 9 】

より詳しくは、ビデオ信号 D v を内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号 D A として表示制御回路から出力し、そのデジタル画像信号 D A の表す画像の各画素に対応するパルスからなる信号としてデータクロック信号 S C K を生成し、水平同期信号 H S Y に基づき 1 水平走査期間毎に所定期間だけハイレベル (H レベル) となる信号としてデータスタートパルス信号 S S P を生成し、垂直同期信号 V S Y に基づき 1 フレーム期間 (1 垂直走査期間) 毎に所定期間だけ H レベルとなる信号としてゲ

10

20

30

40

50

ートスタートパルス信号 G S P を生成し、水平同期信号 H S Y に基づきゲートクロック信号 G C K を生成し、水平同期信号 H S Y および制御信号 D c に基づきチャージシェア信号 s h、ならびにゲートドライバ出力制御信号 G O E を生成する。

【 0 2 0 0 】

上記のようにして表示制御回路において生成された信号のうち、デジタル画像信号 D A、チャージシェア信号 s h、信号電位（データ信号電位）の極性を制御する信号 P O L、データスタートパルス信号 S S P、およびデータクロック信号 S C K は、ソースドライバに入力され、ゲートスタートパルス信号 G S P とゲートクロック信号 G C K とゲートドライバ出力制御信号 G O E とは、ゲートドライバに入力される。

【 0 2 0 1 】

ソースドライバは、デジタル画像信号 D A、データクロック信号 S C K、チャージシェア信号 s h、データスタートパルス信号 S S P、および極性反転信号 P O L に基づき、デジタル画像信号 D A の表す画像の各走査信号線における画素値に相当するアナログ電位（信号電位）を 1 水平走査期間毎に順次生成し、これらのデータ信号をデータ信号線（例えば、 $15 \times 15 \times$ ）に出力する。

【 0 2 0 2 】

ゲートドライバは、ゲートスタートパルス信号 G S P およびゲートクロック信号 G C K と、ゲートドライバ出力制御信号 G O E とに基づき、ゲートオンパルス信号を生成し、これらを走査信号線に出力し、これによって走査信号線を選択的に駆動する。

【 0 2 0 3 】

上記のようにソースドライバおよびゲートドライバにより表示部（液晶パネル）のデータ信号線および走査信号線が駆動されることで、選択された走査信号線に接続されたトランジスタ（T F T）を介して、データ信号線から画素電極に信号電位が書き込まれる。これにより各副画素の液晶層に電圧が印加され、これによってバックライトからの光の透過量が制御され、デジタルビデオ信号 D v の示す画像が各副画素に表示される。

【 0 2 0 4 】

次に、本液晶表示装置をテレビジョン受信機に適用するときの一構成例について説明する。図 4 5 は、テレビジョン受信機用の液晶表示装置 8 0 0 の構成を示すブロック図である。液晶表示装置 8 0 0 は、液晶表示ユニット 8 4 と、Y / C 分離回路 8 0 と、ビデオクロマ回路 8 1 と、A / D コンバータ 8 2 と、液晶コントローラ 8 3 と、バックライト駆動回路 8 5 と、バックライト 8 6 と、マイコン（マイクロコンピュータ）8 7 と、階調回路 8 8 とを備えている。なお、液晶表示ユニット 8 4 は、液晶パネルと、これを駆動するためのソースドライバおよびゲートドライバとで構成される。

【 0 2 0 5 】

上記構成の液晶表示装置 8 0 0 では、まず、テレビジョン信号としての複合カラー映像信号 S c v が外部から Y / C 分離回路 8 0 に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路 8 1 にて光の 3 原色に対応するアナログ R G B 信号に変換され、さらに、このアナログ R G B 信号は A / D コンバータ 8 2 により、デジタル R G B 信号に変換される。このデジタル R G B 信号は液晶コントローラ 8 3 に入力される。また、Y / C 分離回路 8 0 では、外部から入力された複合カラー映像信号 S c v から水平および垂直同期信号も取り出され、これらの同期信号もマイコン 8 7 を介して液晶コントローラ 8 3 に入力される。

【 0 2 0 6 】

液晶表示ユニット 8 4 には、液晶コントローラ 8 3 からデジタル R G B 信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路 8 8 では、カラー表示の 3 原色 R、G、B それぞれの階調電位が生成され、それらの階調電位も液晶表示ユニット 8 4 に供給される。液晶表示ユニット 8 4 では、これらの R G B 信号、タイミング信号および階調電位に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号 = 信号電位、走査信号等）が生成され、それらの駆動用信号に基づき、内部の液晶パネルにカラー画像が表示される。なお、この液晶表示ユニット 8

10

20

30

40

50

4によって画像を表示するには、液晶表示ユニット内の液晶パネルの後方から光を照射する必要があり、この液晶表示装置800では、マイコン87の制御の下にバックライト駆動回路85がバックライト86を駆動することにより、液晶パネルの裏面に光が照射される。上記の処理を含め、システム全体の制御はマイコン87が行う。なお、外部から入力される映像信号(複合カラー映像信号)としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この液晶表示装置800では、様々な映像信号に基づいた画像表示が可能である。

【0207】

液晶表示装置800でテレビジョン放送に基づく画像を表示する場合には、図46に示すように、液晶表示装置800にチューナー部90が接続され、これによって本テレビジョン受像機601が構成される。このチューナー部90は、アンテナ(不図示)で受信した受信波(高周波信号)の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号Scvを取り出す。この複合カラー映像信号Scvは、既述のように液晶表示装置800に入力され、この複合カラー映像信号Scvに基づく画像が該液晶表示装置800によって表示される。

【0208】

図47は、本テレビジョン受像機の一構成例を示す分解斜視図である。同図に示すように、本テレビジョン受像機601は、その構成要素として、液晶表示装置800の他に第1筐体801および第2筐体806を有しており、液晶表示装置800を第1筐体801と第2筐体806とで包み込むようにして挟持した構成となっている。第1筐体801には、液晶表示装置800で表示される画像を透過させる開口部801aが形成されている。また、第2筐体806は、液晶表示装置800の背面側を覆うものであり、当該表示装置800を操作するための操作用回路805が設けられると共に、下方に支持用部材808が取り付けられている。

【0209】

本アクティブマトリクス基板は、1つの画素領域に、第1および第2画素電極が設けられるとともに、1つの画素領域に対応して、データ信号線と、第1および第2走査信号線と、上記データ信号線および第1走査信号線に接続された第1トランジスタと、上記データ信号線および第2走査信号線に接続された第2トランジスタとが設けられ、上記第1画素電極は、上記第1トランジスタを介して上記データ信号線に接続され、上記第2画素電極は、上記第1画素電極に容量を介して接続されるとともに、上記第2トランジスタを介して上記データ信号線に接続され、自段の画素領域に設けられた上記第1および第2画素電極の少なくとも一方と、前段の画素領域に対応する第1および第2走査信号線の少なくとも一方との間に保持容量が形成されていることを特徴とする。

【0210】

本アクティブマトリクス基板を用いた液晶表示装置では、1つの画素領域内の各画素電極それぞれが、異なる走査信号線に接続されたそれぞれのトランジスタを介してデータ信号線に接続されるため、信号電位を供給するタイミングを画素電極ごとに異ならせることができる。そのため、例えば、一方の画素電極へ正規の書き込み用の信号電位を供給する前に、この画素電極に容量結合される他方の画素電極へ、トランジスタを介してデータ信号線に電氣的に接続して、信号電位(例えば、Vcom)を供給することができる。

【0211】

このように、正規の書き込みが行われる前に、トランジスタを介してデータ信号線に接続される画素電極に容量結合される画素電極(容量結合電極)に対して、容量を介することなくデータ信号線から信号電位を供給することができるため、この容量結合電極に蓄積された電荷を放電(リフレッシュ)させることができる。そのため、この画素電極を含む副画素の焼き付きの発生を抑えることができる。また、上記の構成によれば、従来のように、トランジスタのチャンネルW/L比を調整する必要がなく、同一のチャンネルサイズでア

10

20

30

40

50

クティブマトリクス基板を構成することができる。よって、トランジスタの特性のばらつきによる表示品位の低下を抑えることができるとともに、液晶パネルの共通化を図ることができる。

【0212】

さらに、上記の構成では、自段の画素領域に設けられた画素電極の保持容量が、走査が終了した前段の画素領域に対応して設けられた走査信号線（第1および第2走査信号線の少なくとも一方）との間で形成されているため、保持容量の値を増大させることができる。よって、表示品位の向上を図ることができる。

【0213】

本アクティブマトリクス基板では、1つの画素領域において、第1走査信号線には、表示すべきデータ信号の信号電位を第1画素電極へ供給するための第1ゲートオンパルス信号が供給され、第2走査信号線には、共通電極電位を第2画素電極へ供給するための第2ゲートオンパルス信号が供給され、自段の画素領域に設けられた上記第1および第2画素電極の少なくとも一方と、前段の画素領域に対応する第2走査信号線との間には保持容量が形成されている構成とすることもできる。

【0214】

本アクティブマトリクス基板では、上記第1トランジスタのチャンネルの W/L 比（チャンネル幅 W のチャンネル長 L に対する比）と、上記第2トランジスタのチャンネルの W/L 比（チャンネル幅 W のチャンネル長 L に対する比）とが互いに等しい構成とすることもできる。

【0215】

本アクティブマトリクス基板では、上記第1および第2画素電極の一方に電気的に接続された結合容量電極を備え、該結合容量電極は、絶縁膜を介して、上記第1および第2画素電極の他方と重なっている構成とすることもできる。

【0216】

本アクティブマトリクス基板では、上記第1画素電極に電気的に接続された第1保持容量電極と、第2画素電極に電気的に接続された第2保持容量電極とを備え、自段の画素領域に対応する上記第1および第2保持容量電極は、絶縁膜を介して、上記前段の画素領域に対応する第1および第2走査信号線の少なくとも一方と重なっている構成とすることもできる。

【0217】

本アクティブマトリクス基板では、上記第1および第2トランジスタの導通電極と同層に形成された結合容量電極と第1および第2保持容量電極とを備え、上記結合容量電極は、上記第1および第2画素電極の一方に電気的に接続されているとともに、層間絶縁膜を介して、上記第1および第2画素電極の他方と重なっており、自段の画素領域に対応する上記第1保持容量電極は、上記第1画素電極に電気的に接続されているとともに、ゲート絶縁膜を介して、上記前段の画素領域に対応する第1および第2走査信号線の少なくとも一方と重なっており、自段の画素領域に対応する上記第2保持容量電極は、上記第2画素電極に電気的に接続されているとともに、ゲート絶縁膜を介して、上記前段の画素領域に対応する第1および第2走査信号線の少なくとも一方と重なっている構成とすることもできる。

【0218】

本アクティブマトリクス基板では、層間絶縁膜を介して自段の画素領域の上記第2画素電極と重なる結合容量電極と、ゲート絶縁膜を介して上記前段の画素領域に対応する第1および第2走査信号線の少なくとも一方と重なる第1および第2保持容量電極とを備え、上記第1トランジスタの導通電極から引き出された第1引き出し配線と上記結合容量電極とが同層で接続され、上記第1引き出し配線と上記第1画素電極とがコンタクトホールを介して接続されているとともに、上記第1引き出し配線と上記第1保持容量電極とが同層で接続されており、上記第2トランジスタの導通電極から引き出された第2引き出し配線と上記第2画素電極とがコンタクトホールを介して接続され、上記第2保持容量電極から

10

20

30

40

50

引き出された第3引き出し配線と上記第2画素電極とがコンタクトホールを介して接続されている構成とすることもできる。

【0219】

本アクティブマトリクス基板では、層間絶縁膜を介して自段の画素領域の上記第2画素電極と重なる結合容量電極と、ゲート絶縁膜を介して上記前段の画素領域に対応する第1および第2走査信号線の少なくとも一方と重なる第1および第2保持容量電極とを備え、上記第1トランジスタの導通電極から引き出された第1引き出し配線と上記第1画素電極とがコンタクトホールを介して接続されているとともに、上記第1引き出し配線と上記第1保持容量電極とが同層で接続されており、上記第2トランジスタの導通電極から引き出された第2引き出し配線と上記第2画素電極とがコンタクトホールを介して接続され、上記第2保持容量電極から引き出された第3引き出し配線と上記結合容量電極とが同層で接続されているとともに、上記第3引き出し配線と上記第2画素電極とがコンタクトホールを介して接続されている構成とすることもできる。

10

【0220】

本アクティブマトリクス基板では、層間絶縁膜を介して自段の画素領域の上記第1画素電極と重なる第2結合容量電極と、層間絶縁膜を介して自段の画素領域の上記第2画素電極と重なる第1結合容量電極と、ゲート絶縁膜を介して上記前段の画素領域に対応して設けられた第1および第2走査信号線の少なくとも一方と重なる第1および第2保持容量電極とを備え、上記第1トランジスタの導通電極から引き出された第1引き出し配線と上記第1結合容量電極とが同層で接続され、上記第1引き出し配線と上記第1画素電極とがコンタクトホールを介して接続されているとともに、上記第1保持容量電極から引き出された第2引き出し配線と上記第1画素電極とがコンタクトホールを介して接続されており、上記第2トランジスタの導通電極から引き出された第3引き出し配線と上記第2画素電極とがコンタクトホールを介して接続され、上記第2保持容量電極から引き出された第4引き出し配線と上記第2結合容量電極とが同層で接続されているとともに、上記第4引き出し配線と上記第2画素電極とがコンタクトホールを介して接続されている構成とすることもできる。

20

【0221】

本アクティブマトリクス基板では、走査信号線の延伸方向を行方向とすれば、2本の走査信号線は行方向に並ぶ2つの画素領域に対応し、各画素領域には2つの画素電極が列方向に並べられ、行方向に隣接する2つの画素電極の一方に接続されるトランジスタが上記2本の走査信号線の一方に接続され、上記2つの画素電極の他方に接続されるトランジスタが上記2本の走査信号線の他方に接続されている構成とすることもできる。

30

【0222】

本アクティブマトリクス基板では、自段の画素領域に設けられた上記第1保持容量電極と、上記前段の画素領域に対応する第1および第2走査信号線の少なくとも一方との重なり面積が、自段の画素領域に設けられた上記第2保持容量電極と、上記前段の画素領域に対応して設けられた第1および第2走査信号線の少なくとも一方との重なり面積に等しくなっている構成とすることもできる。

【0223】

40

本アクティブマトリクス基板では、1つの画素領域は、各画素電極に対応する副画素領域により構成され、各副画素領域は、液晶層に電圧が印加されたときの液晶分子のチルト方向が予め決められた第1方向である第1液晶ドメイン、第2方向である第2液晶ドメイン、第3方向である第3液晶ドメイン、および第4方向である第4液晶ドメインにそれぞれ対応する、第1～第4領域を有し、上記結合容量電極は、上記第1～第4領域の内の隣り合う領域どうしの境界と重なっている構成とすることもできる。

【0224】

本アクティブマトリクス基板では、1つの画素領域は、これを横切る上記第1走査信号線によって2つの部分に分けられ、その一方に上記第1画素電極が配されているとともに、他方に上記第2画素電極が配されている構成とすることもできる。

50

【0225】

本アクティブマトリクス基板では、1つの画素領域に、第3画素電極をさらに備え、上記第3画素電極は、上記第1画素電極と電氣的に接続されている構成とすることもできる。

【0226】

本アクティブマトリクス基板では、1つの画素領域に、第3画素電極をさらに備え、上記第3画素電極は、上記第1画素電極に容量を介して接続されるとともに、上記第2画素電極と電氣的に接続されている構成とすることもできる。

【0227】

本アクティブマトリクス基板では、上記第1～第3画素電極は、上記第1画素電極の少なくとも一部が、上記第1走査信号線に近接し、上記第3画素電極の少なくとも一部が、上記第2走査信号線に近接し、上記第2画素電極の一方の端部が上記第1走査信号線に近接するとともに、他方の端部が上記第2走査信号線に近接するように配されている構成とすることもできる。

10

【0228】

本アクティブマトリクス基板では、上記第1～第3画素電極は、上記第2画素電極の少なくとも一部が、上記第1走査信号線に近接し、上記第3画素電極の少なくとも一部が、上記第2走査信号線に近接し、上記第1画素電極の一方の端部が上記第1走査信号線に近接するとともに、他方の端部が上記第2走査信号線に近接するように配されている構成とすることもできる。

20

【0229】

本アクティブマトリクス基板では、液晶表示装置に適用された場合に、上記第1画素電極を含む副画素が明副画素となり、上記第2画素電極を含む副画素が暗副画素となる構成とすることもできる。

【0230】

本アクティブマトリクス基板では、液晶表示装置に適用された場合に、上記第1および第3画素電極を含む副画素が明副画素となり、上記第2画素電極を含む副画素が暗副画素となる構成とすることもできる。

【0231】

本アクティブマトリクス基板では、液晶表示装置に適用された場合に、上記第1画素電極を含む副画素が明副画素となり、上記第2および第3画素電極を含む副画素が暗副画素となる構成とすることもできる。

30

【0232】

本アクティブマトリクス基板では、上記層間絶縁膜は、上記結合容量電極と重なる部分の少なくとも一部が薄くなっている構成とすることもできる。

【0233】

本アクティブマトリクス基板では、上記ゲート絶縁膜は、上記保持容量電極と重なる部分の少なくとも一部が薄くなっている構成とすることもできる。

【0234】

本アクティブマトリクス基板では、上記層間絶縁膜は、無機絶縁膜と有機絶縁膜とからなるが、上記結合容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去されている構成とすることもできる。

40

【0235】

本アクティブマトリクス基板では、上記ゲート絶縁膜は、無機絶縁膜と有機絶縁膜とからなるが、上記保持容量電極と重なる部分の少なくとも一部については、有機絶縁膜が除去されている構成とすることもできる。

【0236】

本アクティブマトリクス基板では、上記有機絶縁膜には、アクリル樹脂、エポキシ樹脂、ポリイミド樹脂、ポリウレタン樹脂、ノボラック樹脂、およびシロキサン樹脂の少なくとも1つが含まれている構成とすることもできる。

50

【0237】

本液晶表示装置は、上記いずれかに記載のアクティブマトリクス基板を備え、表示中に上記第2走査信号線が少なくとも1回選択されることを特徴とする。

【0238】

これにより、表示中に少なくとも1回は、第1トランジスタを介してデータ信号線に接続される第1画素電極に容量結合される第2画素電極を、第2トランジスタを介してデータ信号線に電氣的に接続することができるため、第2画素電極に蓄積された電荷を放電（リフレッシュ）させることができる。そのため、第2画素電極を含む副画素の焼き付きの発生を抑えることができるとともに、表示品位の低下を抑えることができる。

【0239】

本液晶表示装置では、上記第2トランジスタがオフするときに、上記データ信号線に共通電極電位が供給されている構成とすることもできる。

【0240】

本液晶表示装置では、上記第2トランジスタがオフするときに上記第1トランジスタがオン状態であるか、あるいは、上記第2トランジスタがオフするときに上記第1トランジスタが同時にオフする構成とすることもできる。

【0241】

本液晶表示装置では、上記第2トランジスタがオフするときに、第1および第2画素電極の電位を実質的に共通電極電位にする構成とすることもできる。

【0242】

本液晶表示装置では、上記第1走査信号線に供給される第1ゲートオンパルス信号と、上記第2走査信号線に供給される第2ゲートオンパルス信号とは、同一の水平走査期間内でアクティブになるとともに、上記第2ゲートオンパルス信号は、そのパルス幅が上記第1ゲートオンパルス信号のパルス幅未満であり、かつ、上記第1ゲートオンパルス信号が非アクティブになる前に非アクティブになる構成とすることもできる。

【0243】

本液晶表示装置では、上記第1走査信号線に供給される第1ゲートオンパルス信号、および、上記第2走査信号線に供給される第2ゲートオンパルス信号は、表示すべきデータ信号の信号電位が上記第1画素電極へ供給される期間よりも一水平走査期間前にアクティブになるとともに、上記第2ゲートオンパルス信号は、上記第1ゲートオンパルス信号がアクティブの間に非アクティブになる構成とすることもできる。

【0244】

本液晶表示装置では、各フレームにおいて、1画素領域内の全ての画素電極へ、少なくとも2回、共通電極電位を供給する構成とすることもできる。

【0245】

本液晶表示装置では、各フレームにおいて、表示すべきデータ信号の信号電位が上記第1画素電極へ供給されてから、2/3フレーム期間経過後に、1画素領域内の全ての画素電極へ、少なくとも2回、共通電極電位を供給する構成とすることもできる。

【0246】

本液晶表示装置では、各データ信号線に供給されるデータ信号の信号電位の極性は、一水平走査期間ごとに反転し、上記データ信号の信号電位の極性が反転するときに、所定期間だけ各データ信号線へのデータ信号の供給が遮断されるとともに、各データ信号線が互いに短絡され、上記第1および第2トランジスタは、上記所定期間内でオン状態である構成とすることもできる。

【0247】

本液晶表示装置では、各走査信号線を駆動する走査信号線駆動回路を備え、上記第1および第2走査信号線それぞれに供給される第1および第2ゲートオンパルス信号は、上記走査信号線駆動回路が有する1つのシフトレジスタの同一段からの出力を用いて生成されている構成とすることもできる。

【0248】

10

20

30

40

50

本液晶表示装置では、上記走査信号線駆動回路は、上記シフトレジスタと、列方向に並ぶ複数の論理回路と、出力回路とを備え、上記論理回路に入力される、上記シフトレジスタの出力と上記走査信号線駆動回路の出力を制御する出力制御信号とに基づいて、上記出力回路から出力される上記第1および第2ゲートオンパルス信号のパルス幅が決定される構成とすることもできる。

【0249】

本液晶表示装置では、上記第1画素電極に供給される信号電位の極性は、1フレーム単位で反転する構成とすることもできる。

【0250】

本液晶表示装置では、第1データ信号線に供給される信号電位の極性が一水平走査期間ごとに反転する構成とすることもできる。

10

【0251】

本液晶表示装置では、同一水平走査期間においては、第1データ信号線およびこれに隣接するデータ信号線それぞれに、逆極性の信号電位が供給される構成とすることもできる。

【0252】

本液晶表示装置では、上記いずれかに記載のアクティブマトリクス基板を備え、所定のフレームでは、上記第1および第2走査信号線の一方を走査することでトランジスタを介してこれに接続する画素電極に信号電位を書き込み、所定のフレーム以外のフレームでは、上記第1および第2走査信号線の他方を走査することでトランジスタを介してこれに接

20

【0253】

本液晶表示装置では、1つの画素に設けられた第1および第2画素電極に共通電極電位を供給した状態で、一方の画素電極に接続するトランジスタをオフし、その後に他方の画素電極に信号電位を書き込む構成とすることもできる。

【0254】

本液晶表示装置では、連続する2フレームについて、最初のフレームでは、上記第1および第2画素電極に共通電極電位を供給した状態で、上記第2画素電極に接続するトランジスタをオフし、その後に上記第1画素電極に信号電位を書き込み、次のフレームでは、上記第1および第2画素電極に共通電極電位を供給した状態で、上記第1画素電極に接続するトランジスタをオフし、その後に上記第2画素電極に信号電位を書き込む構成とすることもできる。

30

【0255】

これにより、各フレームにおいて明副画素と暗副画素とを市松状に配するとともに、明副画素と暗副画素とを1フレーム単位で入れ替えることができるため、表示品位の向上を図ることができる。

【0256】

本液晶表示装置では、上記第1および第2走査信号線のうち信号電位を書き込む際に選択される方の走査信号線を、1フレームごとに切り替えるとともに、同一画素に対応する信号電位の極性を、2フレームごとに反転させるか、あるいは、上記第1および第2走査信号線のうち信号電位を書き込む際に選択される方の走査信号線を、連続する2フレームごとに切り替えるとともに、同一画素に対応する信号電位の極性を、1フレームごとに反転させる構成とすることもできる。

40

【0257】

本液晶パネルは、上記アクティブマトリクス基板を備えることを特徴とする。本液晶表示ユニットは、上記液晶パネルとドライバとを備えることを特徴とする。本液晶表示装置は、上記液晶表示ユニットと光源装置とを備えることを特徴とする。本テレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナー部とを備えることを特徴とする。

【0258】

50

本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

【産業上の利用可能性】

【0259】

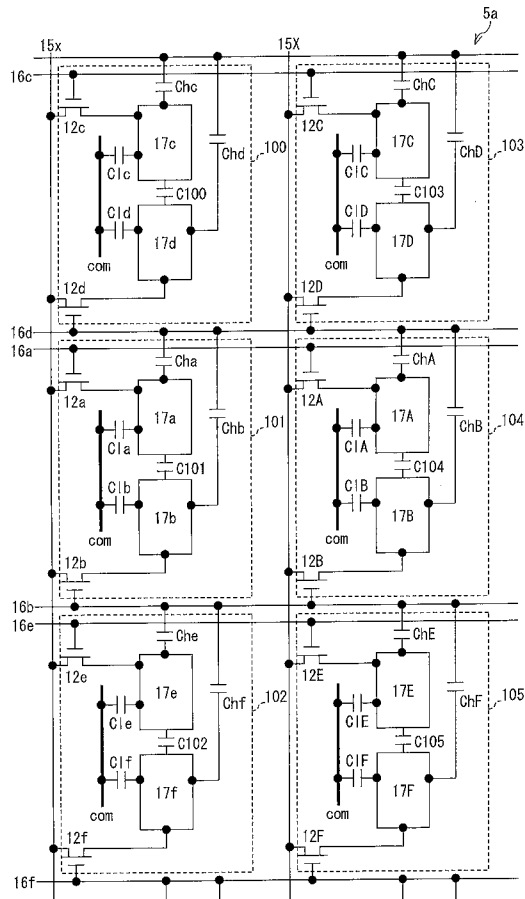
本発明のアクティブマトリクス基板およびこれを備えた液晶パネルは、例えば液晶テレビに好適である。

【符号の説明】

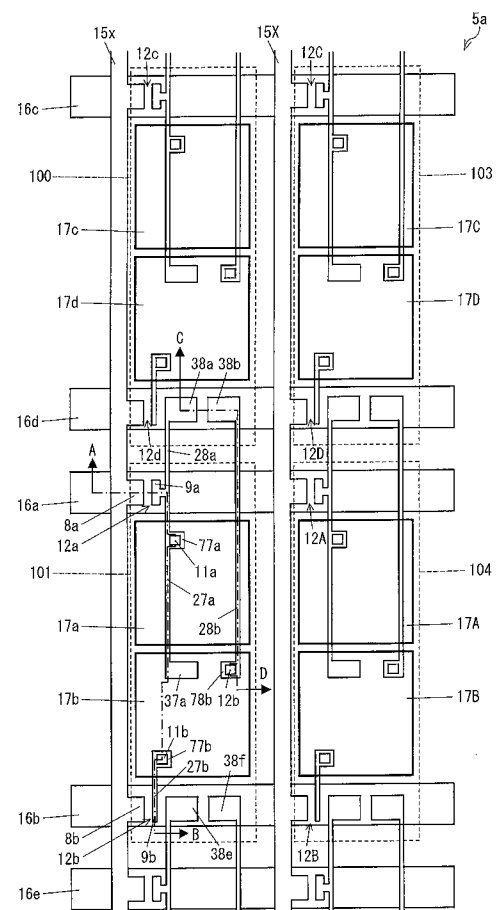
【0260】

5 a・5 b	液晶パネル	10
1 1 a・1 1 a'・1 1 b・1 1 b'	コンタクトホール	
1 2 a～1 2 f・1 2 A～1 2 F	トランジスタ	
1 5 x 1 5 X	データ信号線	
1 6 a～1 6 f	走査信号線	
1 7 a～1 7 f	画素電極	
1 7 A～1 7 F	画素電極	
1 7 a'～1 7 f'	画素電極	
1 7 A'～1 7 F'	画素電極	
2 1	有機ゲート絶縁膜	
2 2	無機ゲート絶縁膜	20
2 4	半導体層	
2 5	無機層間絶縁膜	
2 6	有機層間絶縁膜	
3 7 a・3 7 a v・3 7 a h	結合容量電極	
3 7 b・3 7 b v・3 7 b h	結合容量電極	
3 8 a・3 8 b・3 8 e・3 8 f	保持容量電極	
7 7 a・7 7 a'・7 7 b・7 7 b'	コンタクト電極	
8 4	液晶表示ユニット	
1 0 0～1 0 5	画素	
6 0 1	テレビジョン受像機	30
8 0 0	液晶表示装置	
C 1 0 0～C 1 0 5	結合容量	

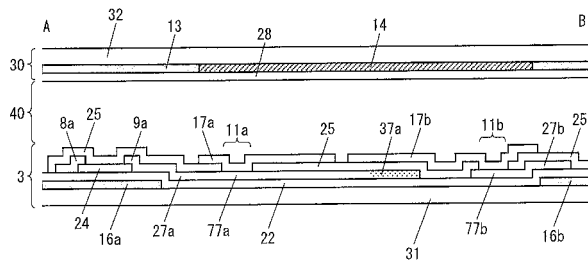
【図 1】



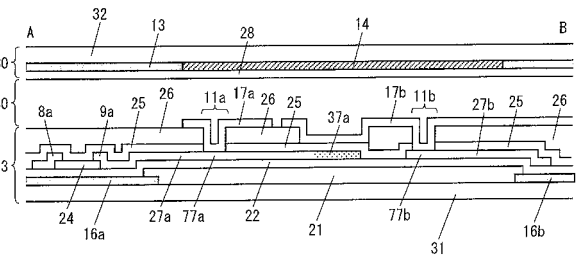
【図 2】



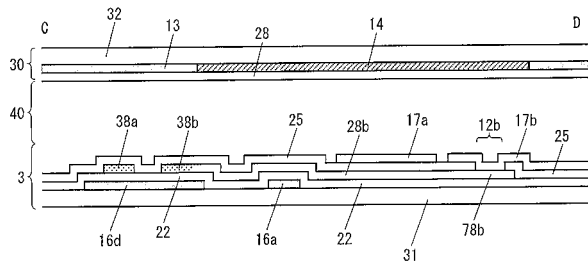
【図 3】



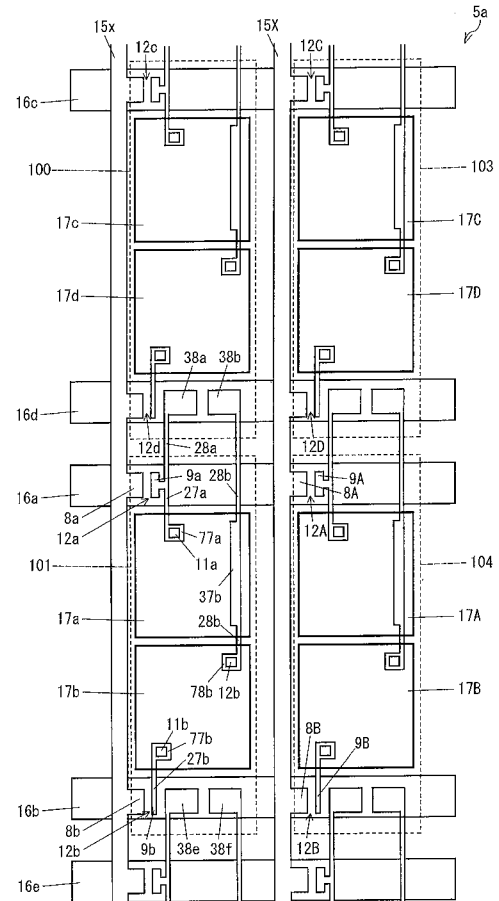
【図 5】



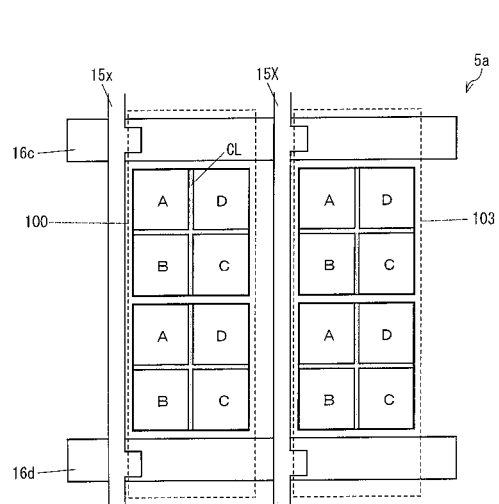
【図 4】



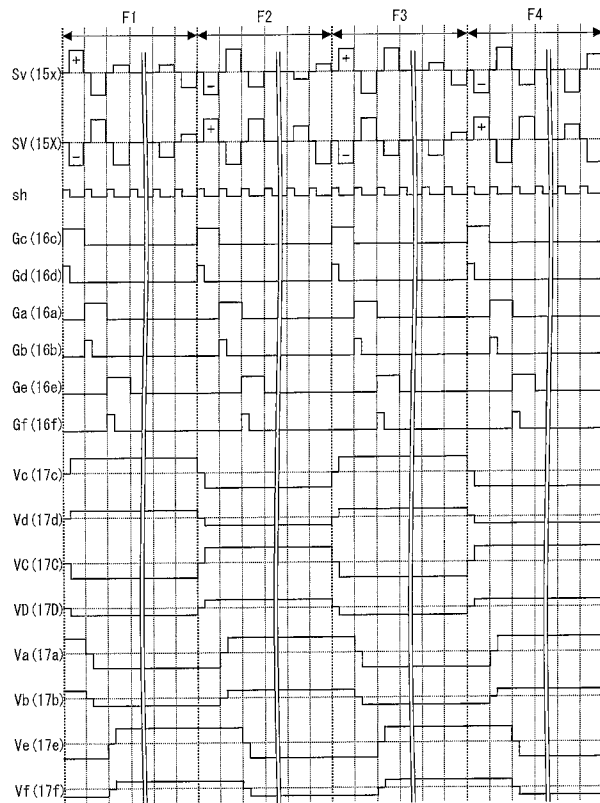
【 図 7 】



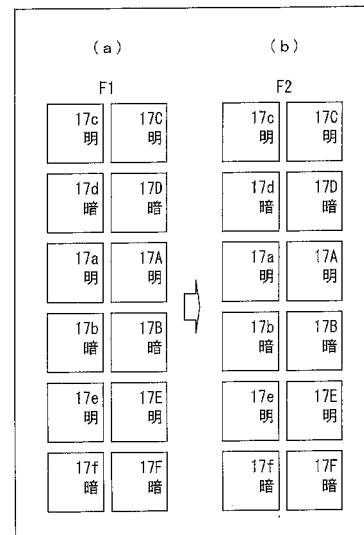
【 図 9 】



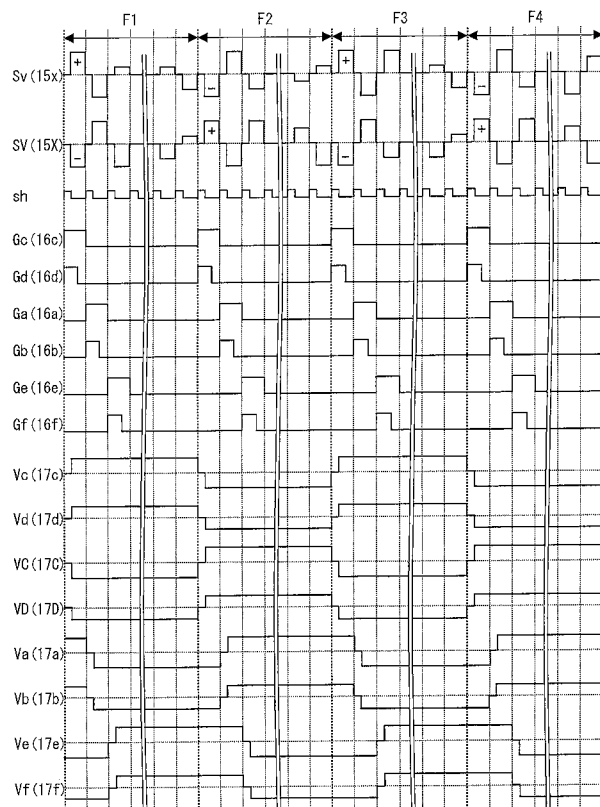
【図 10】



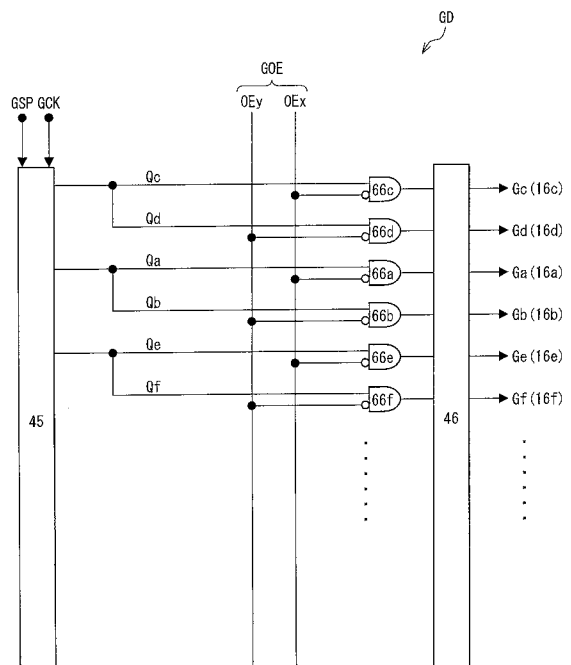
【図 11】



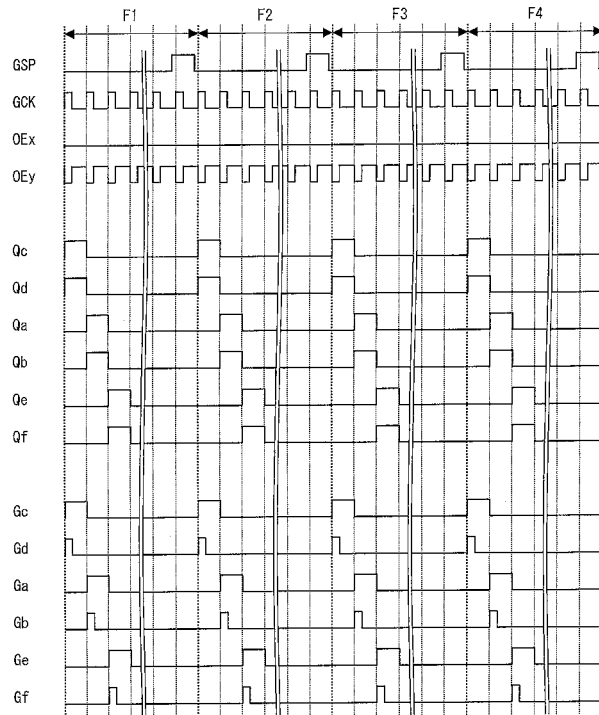
【図 12】



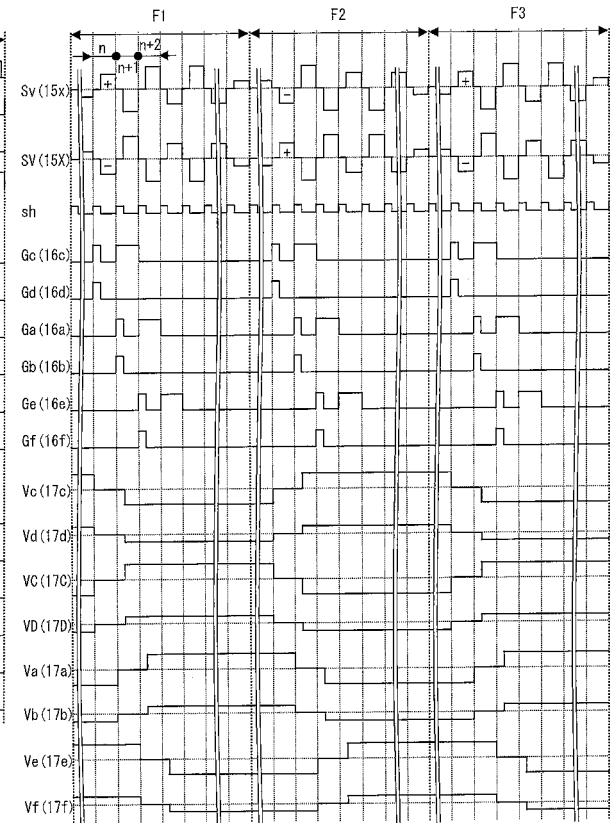
【図 13】



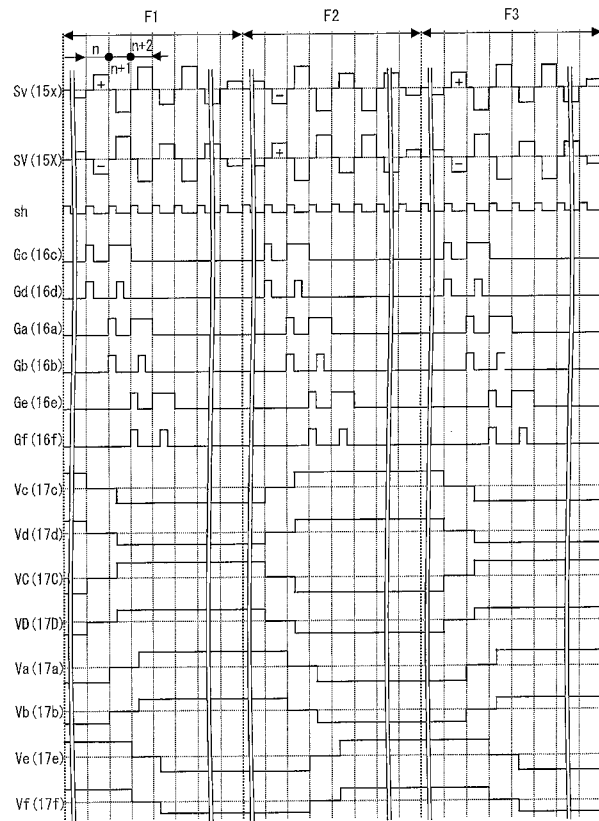
【図 14】



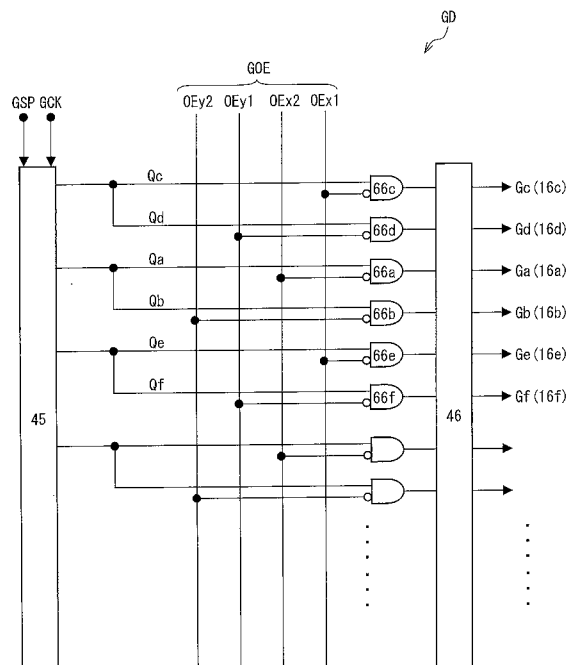
【図 15】



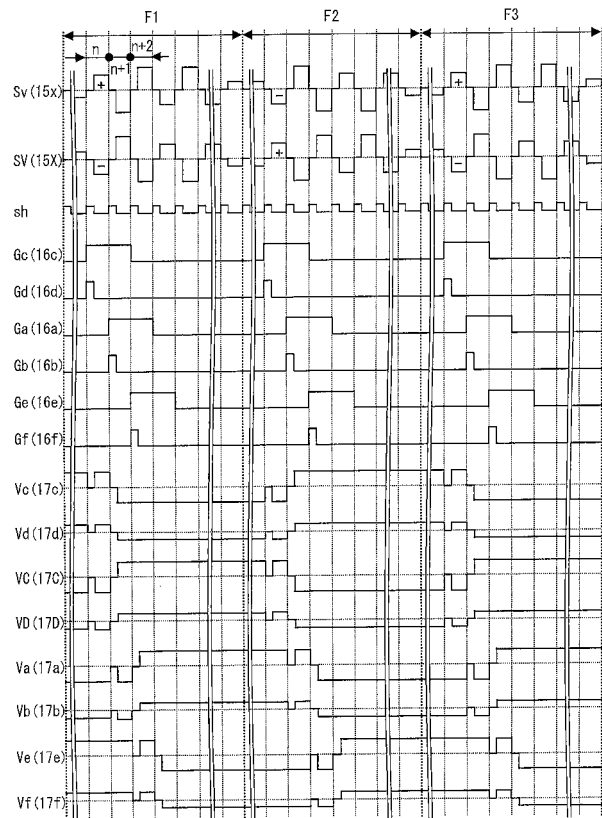
【図 16】



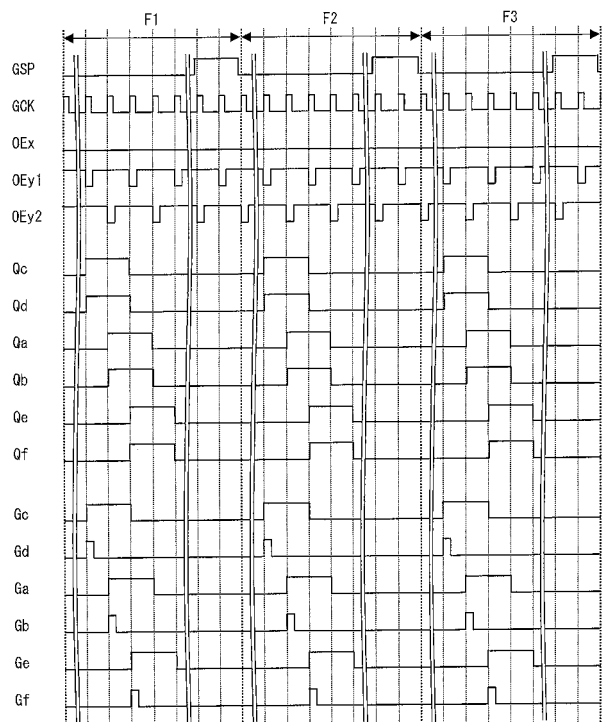
【図 17】



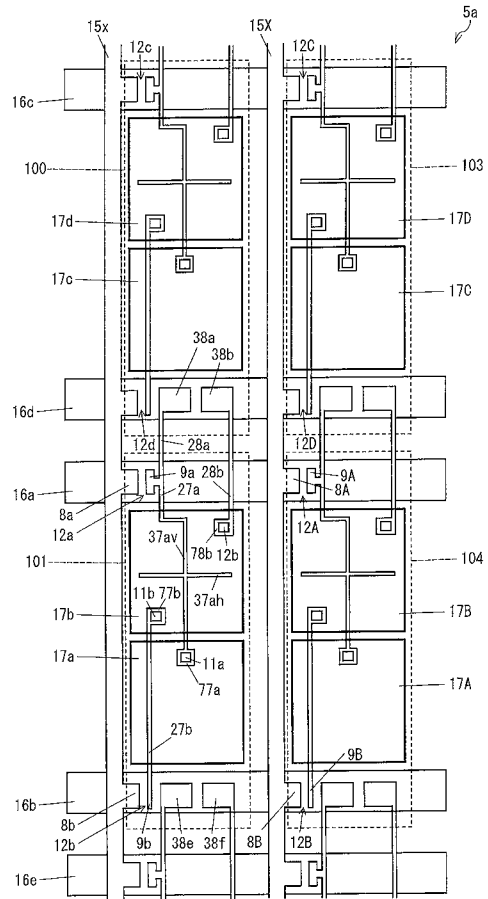
【 図 1 9 】



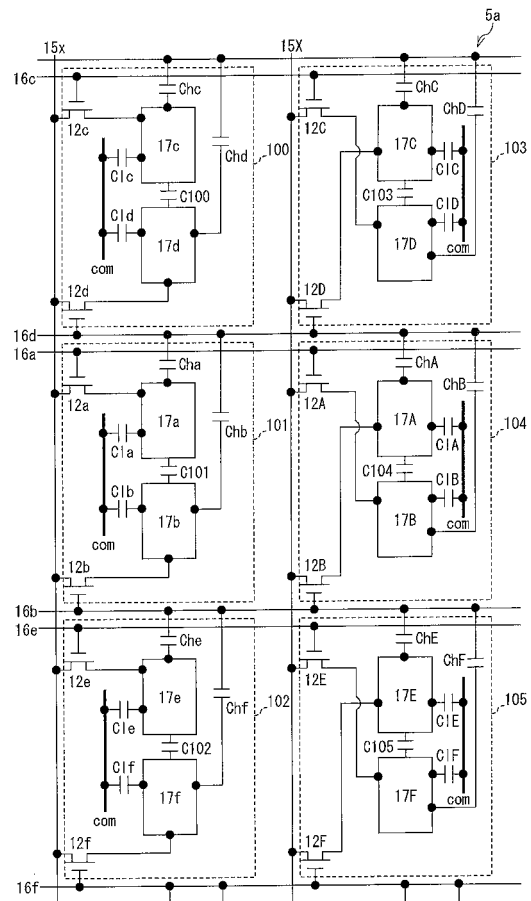
【 図 2 1 】



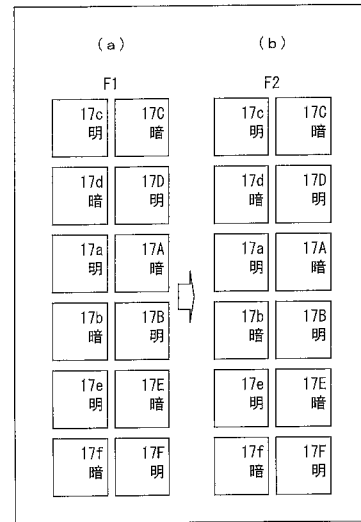
【圖 23】



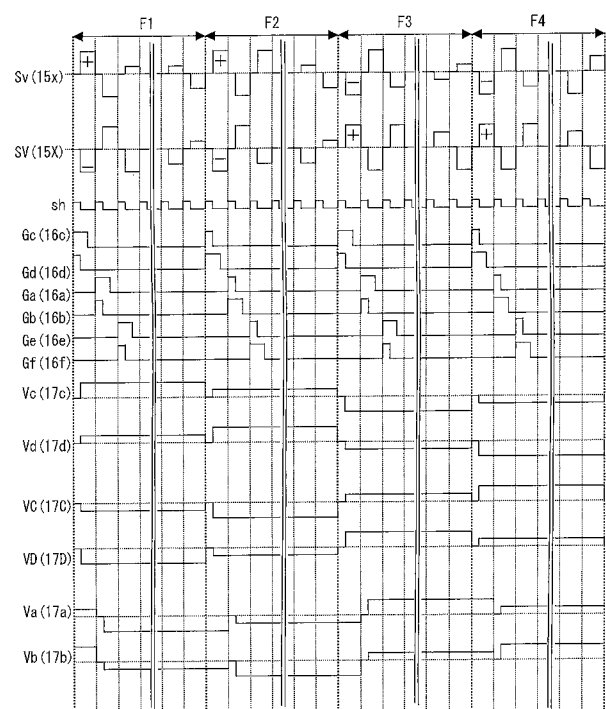
【圖 25】



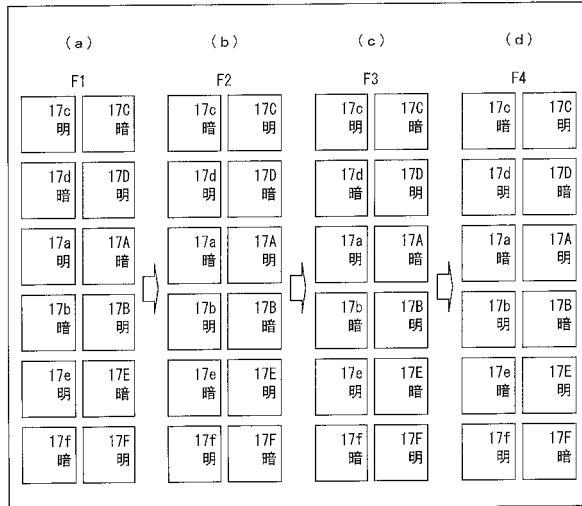
【圖 27】



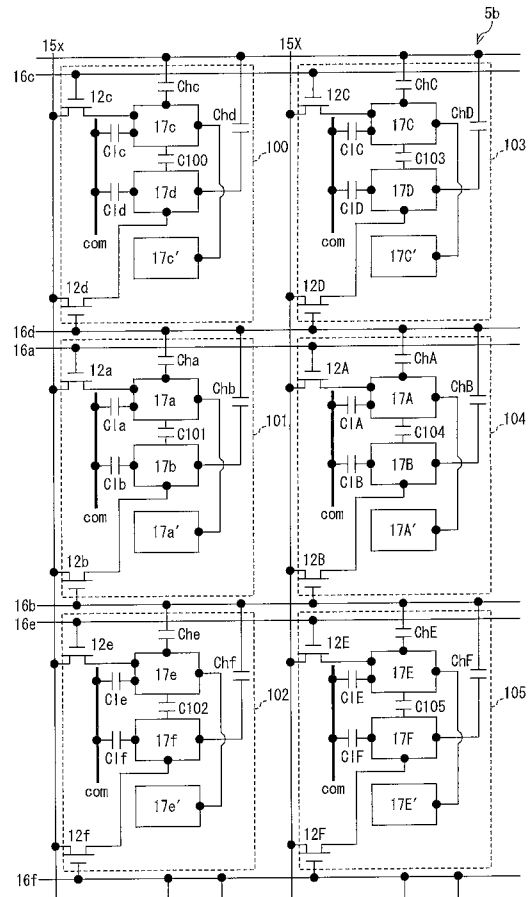
【圖 29】



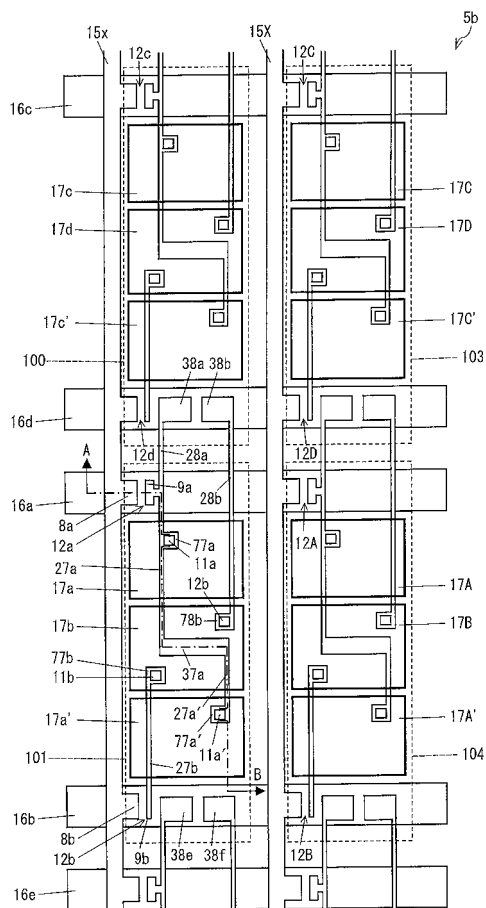
【図 30】



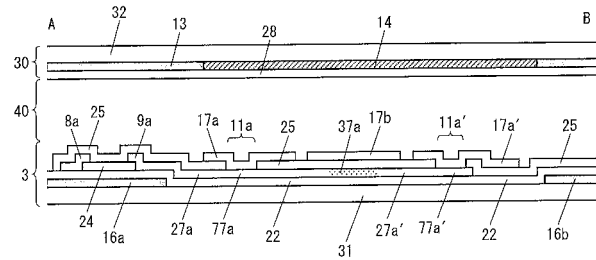
【図 31】



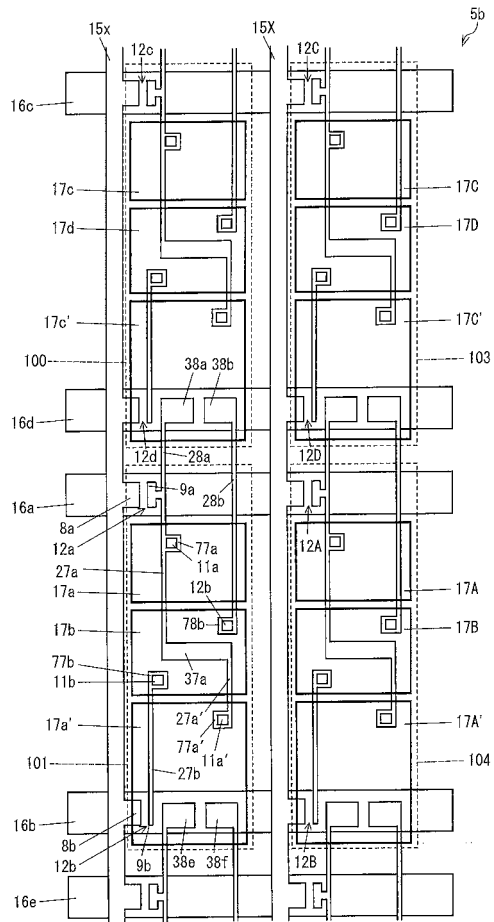
【図 32】



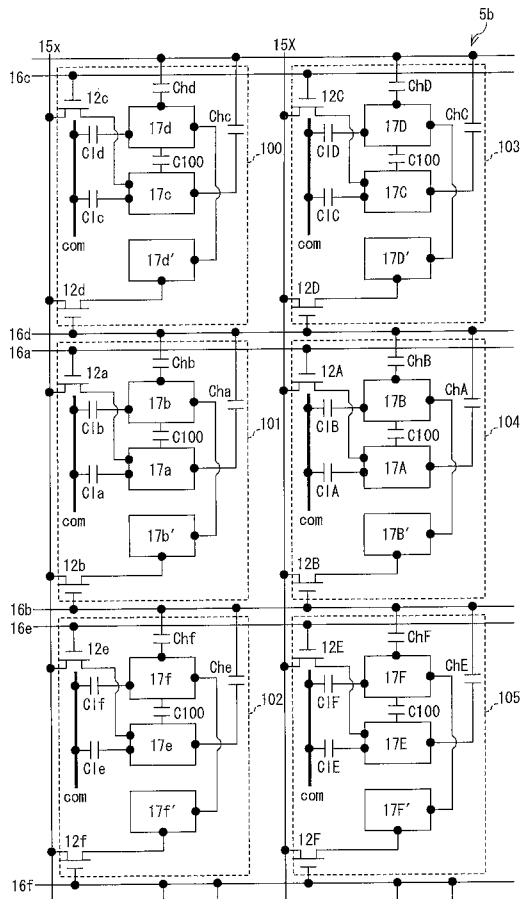
【図 33】



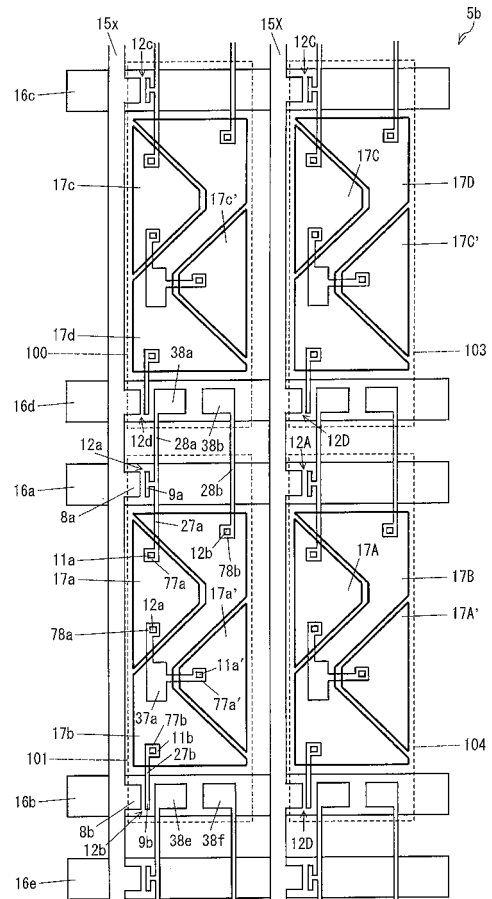
【図 3 4】



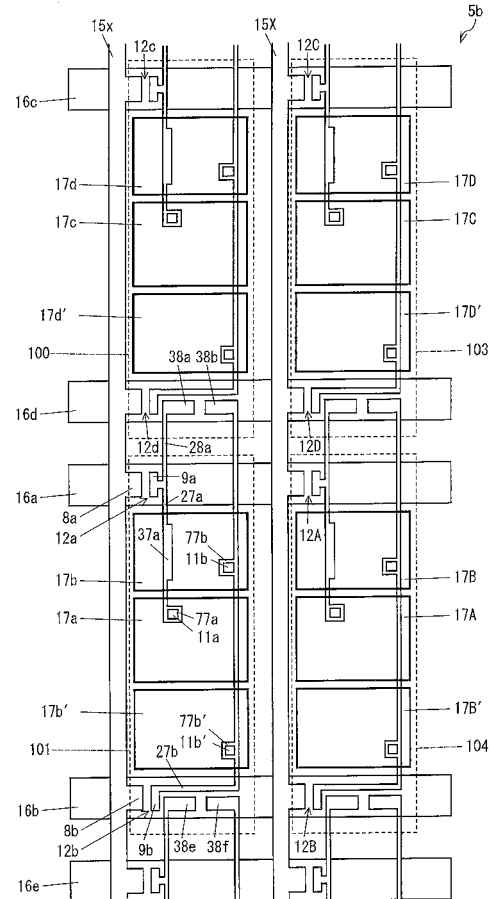
【図 3 6】



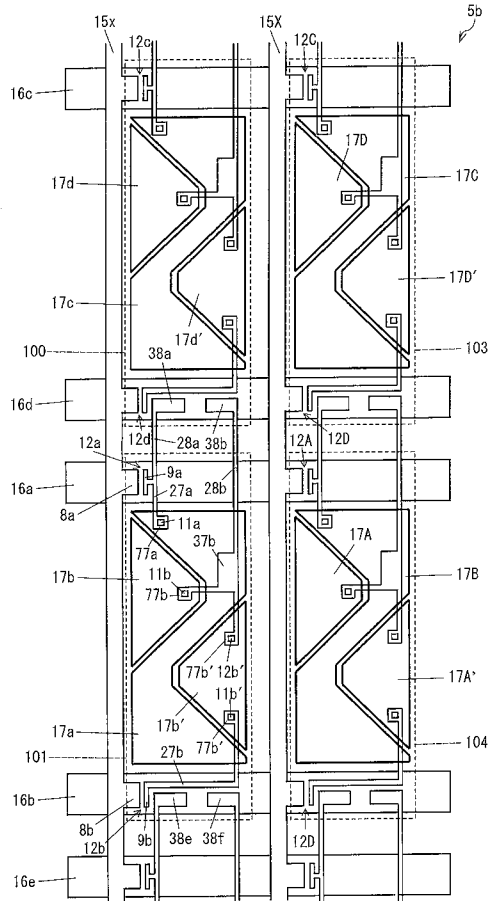
【図 3 5】



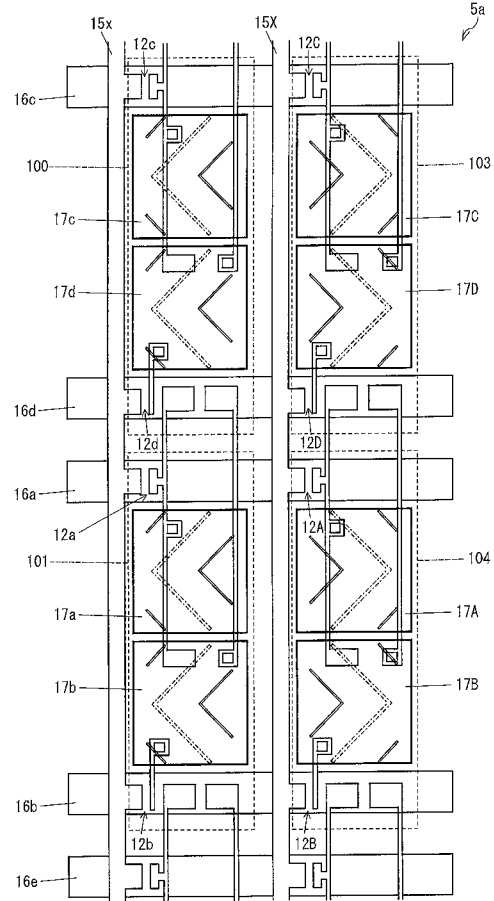
【図 3 7】



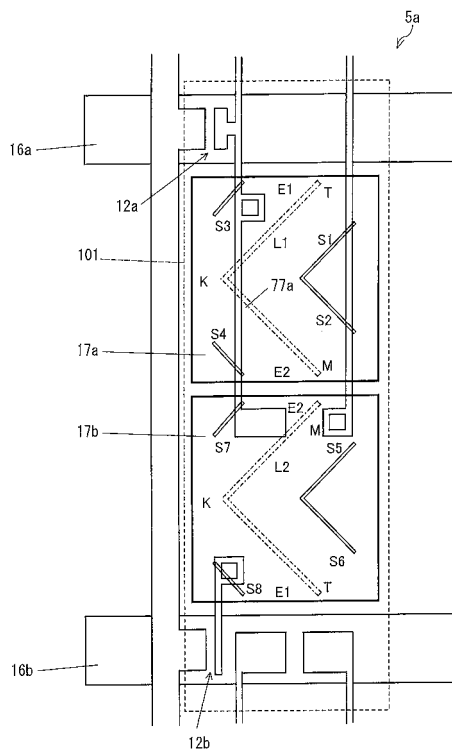
【図 38】



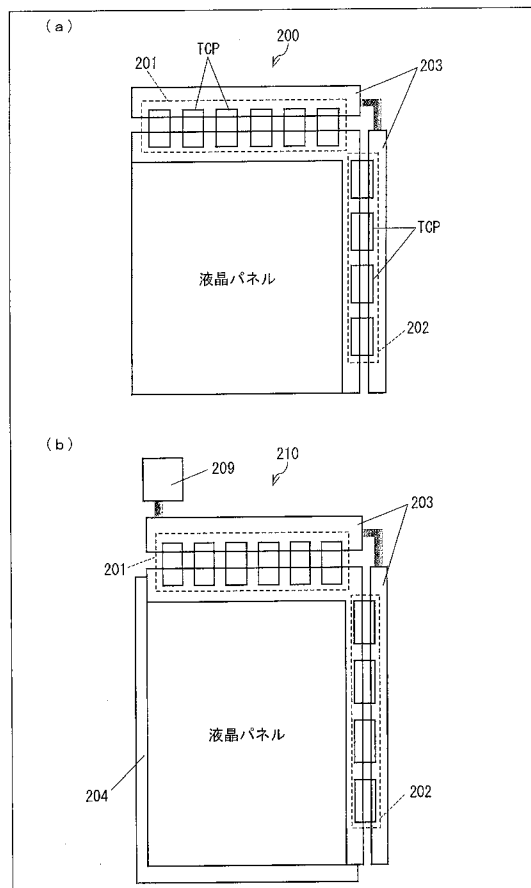
【図 39】



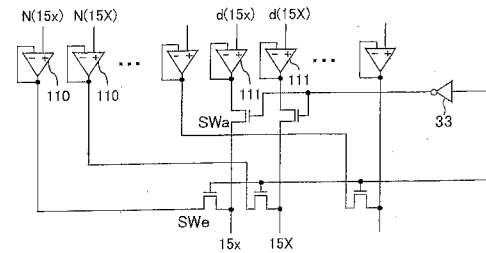
【図 40】



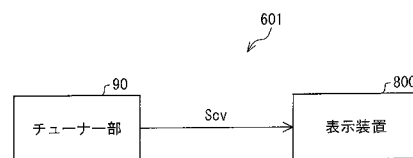
【図 41】



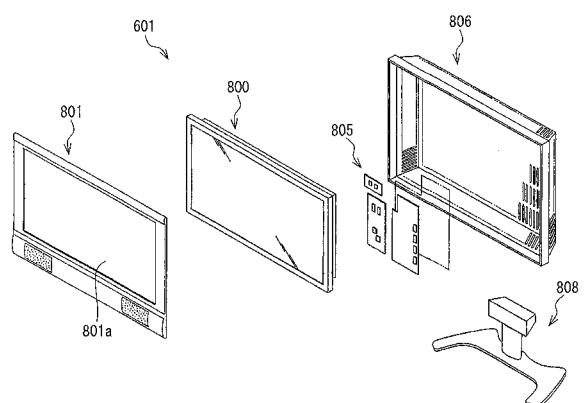
【 図 4 3 】



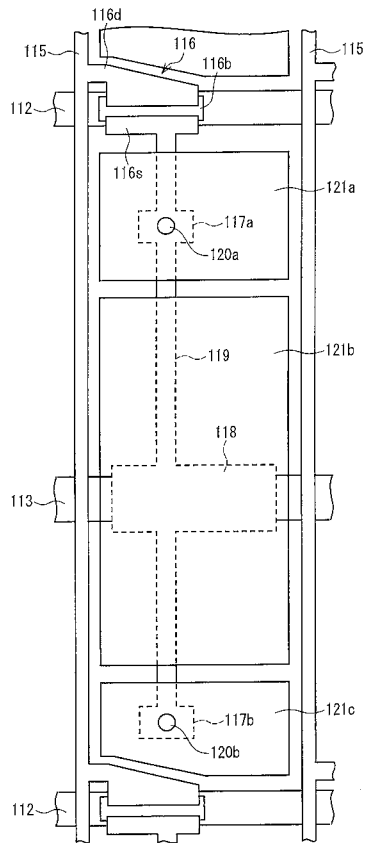
【 図 4 6 】



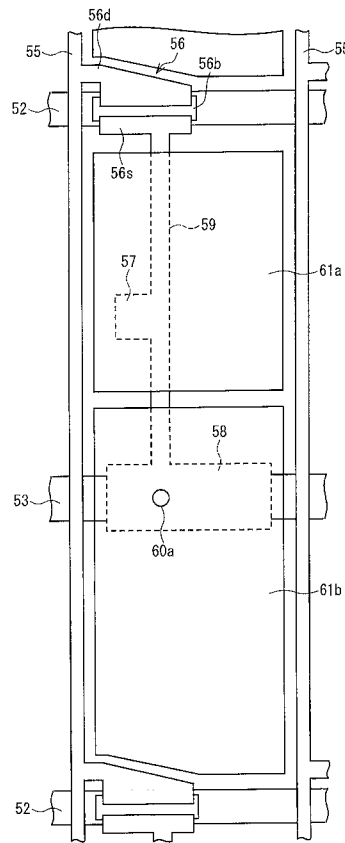
【圖 47】



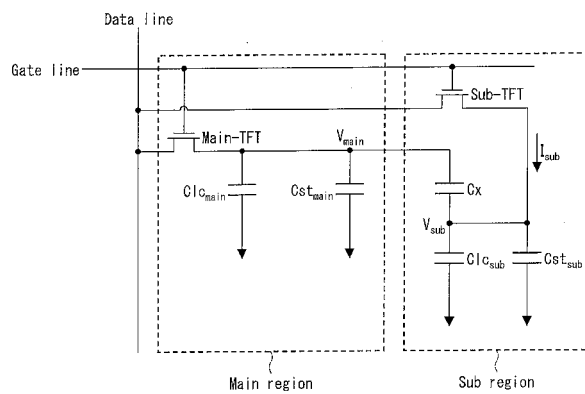
【図48】



【図49】



【図50】



 フロントページの続き

(51)Int.Cl.		F I	
H 0 4 N	5/66	(2006.01)	
		G 0 9 G	3/20 6 2 4 B
		G 0 9 G	3/20 6 4 1 C
		G 0 9 G	3/20 6 2 3 D
		G 0 9 G	3/20 6 2 2 D
		G 0 9 G	3/20 6 2 3 C
		G 0 9 G	3/20 6 2 4 C
		G 0 9 G	3/20 6 2 1 B
		G 0 9 G	3/20 6 2 3 R
		G 0 9 G	3/20 6 2 2 E
		G 0 9 G	3/20 6 7 0 K
		G 0 9 G	3/20 6 1 1 F
		G 0 9 G	3/20 6 1 1 H
		H 0 4 N	5/66 1 0 2 A

(56)参考文献 特開 2 0 0 6 - 3 3 0 4 9 9 (J P , A)
 特開 2 0 0 6 - 3 3 0 6 0 9 (J P , A)
 特開平 0 6 - 2 6 5 9 3 9 (J P , A)
 特許第 5 2 0 3 4 4 7 (J P , B 2)

(58)調査した分野(Int.Cl. , D B 名)

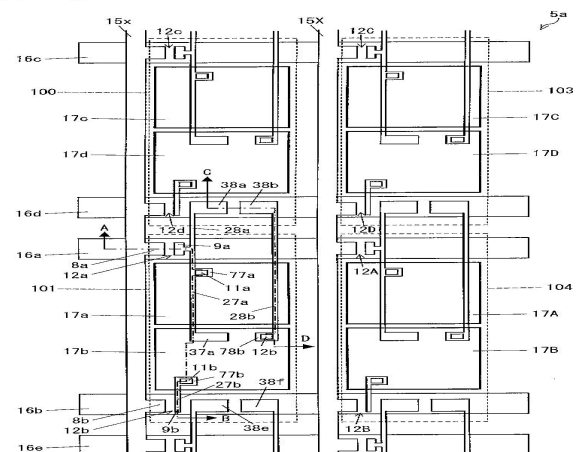
G 0 2 F	1 / 1 3 6 8
G 0 2 F	1 / 1 3 3
G 0 2 F	1 / 1 3 4 3
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6

专利名称(译)	有源矩阵基板，液晶面板，液晶显示装置，液晶显示单元，电视接收器		
公开(公告)号	JP5384633B2	公开(公告)日	2014-01-08
申请号	JP2011519489	申请日	2010-03-15
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	津幡俊英		
发明人	津幡 俊英		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/133 G09G3/36 G09G3/20 H04N5/66		
CPC分类号	G09G3/3659 G02F1/13624 G02F2001/134354 G09G3/3677 G09G3/3688 G09G2300/0426 G09G2300/0443 G09G2300/0447 G09G2300/0876 G09G2310/0251 G09G2320/0204 G09G2320/028		
FI分类号	G02F1/1368 G02F1/1343 G02F1/133.550 G09G3/36 G09G3/20.641.G G09G3/20.624.B G09G3/20.641.C G09G3/20.623.D G09G3/20.622.D G09G3/20.623.C G09G3/20.624.C G09G3/20.621.B G09G3/20.623.R G09G3/20.622.E G09G3/20.670.K G09G3/20.611.F G09G3/20.611.H H04N5/66.102.A		
审查员(译)	铃木俊光		
优先权	2009146353 2009-06-19 JP		
其他公开文献	JPWO2010146747A1		
外部链接	Espacenet		

摘要(译)

在像素 (101) (图17A·17B) 被提供时，数据信号线 (15倍) 和扫描信号线的像素电极 (16A·16B) 晶体管和对应于像素 (12A·12B) 被设置 (101) 。像素电极 (17A) 经由晶体管 (12a) 的数据信号线 (15倍) 时，晶体管像素电极连接 (17B) 经由电容器 (C101) 与像素电极 (17a) 的 (连接它通过12b连接到数据信号线 (15x)) 。在像素 (101) 的像素电极 (17a·17b) 和与像素 (100) 对应的扫描信号线 (16d) 之间形成存储电容器 (Cha·Chb) 。结果，在电容耦合型像素分割系统的液晶显示装置中，提出了一种配置，其中由于子像素的老化导致显示质量劣化的风险很小。

【 图 2 】



【 图 5 】