

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5350191号
(P5350191)

(45) 発行日 平成25年11月27日(2013.11.27)

(24) 登録日 平成25年8月30日(2013.8.30)

(51) Int.Cl. F I
GO2F 1/1343 (2006.01) GO2F 1/1343
GO2F 1/1368 (2006.01) GO2F 1/1368

請求項の数 11 (全 19 頁)

(21) 出願番号	特願2009-261896 (P2009-261896)	(73) 特許権者	512187343
(22) 出願日	平成21年11月17日(2009.11.17)		三星ディスプレイ株式会社
(62) 分割の表示	特願2004-26 (P2004-26) の分割		Samsung Display Co., Ltd.
原出願日	平成16年1月5日(2004.1.5)		大韓民国京畿道龍仁市器興区三星二路95
(65) 公開番号	特開2010-44419 (P2010-44419A)		95, Samsung 2 Ro, Gih
(43) 公開日	平成22年2月25日(2010.2.25)		eung-Gu, Yongin-City
審査請求日	平成21年11月17日(2009.11.17)		, Gyeonggi-Do, Korea
(31) 優先権主張番号	2003-000266	(74) 代理人	100121382
(32) 優先日	平成15年1月3日(2003.1.3)		弁理士 山下 託嗣
(33) 優先権主張国	韓国 (KR)	(72) 発明者	洪 性 奎
			大韓民国京畿道城南市盆唐区野塔洞512
			番地東亜ビル513棟403号

最終頁に続く

(54) 【発明の名称】 多重ドメイン液晶表示装置用薄膜トランジスタ表示板

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板、

前記絶縁基板上に形成されている第1配線、

前記絶縁基板上に形成され、前記第1配線と絶縁されて交差している第2配線、

前記第1配線と前記第2配線が交差して定義する画素領域ごとに形成され、第1斜線方向切開部を有する第1画素電極及び第2斜線方向切開部を有する第2画素電極、

前記第1配線と前記第2配線とが交差して定義される画素領域ごとに形成され、前記第1及び第2画素電極の一部と重畳する結合電極、

前記第1画素電極と重畳する方位制御電極、

前記第1画素電極、前記第1配線及び前記第2配線に各々連結されている薄膜トランジスタを含み、

前記第1画素電極と第2画素電極とに印加される電圧が互いに異なる薄膜トランジスタ表示板。

【請求項 2】

前記第2画素電極は、前記第2画素電極を上下に両分する横方向切開部をさらに有し、前記第1斜線方向切開部及び前記第2斜線方向切開部は前記横方向切開部を中心にして反転対称をなす請求項1に記載の薄膜トランジスタ表示板。

【請求項 3】

絶縁基板、

10

20

前記絶縁基板上に形成されている第 1 配線、
前記絶縁基板上に形成され、前記第 1 配線と絶縁されて交差している第 2 配線、
前記第 1 配線と前記第 2 配線とが交差して定義する画素領域ごとに形成されている第 1 及び第 2 画素電極、
前記第 1 配線と前記第 2 配線が交差して定義される画素領域ごとに形成され、前記第 1 及び第 2 画素電極の一部と重畳する結合電極、
前記第 1 画素電極と重畳する方位制御電極、
前記第 1 画素電極、前記第 1 配線及び前記第 2 配線に各々連結されている薄膜トランジスタを含み、
前記結合電極の一部は前記第 2 配線と平行である薄膜トランジスタ表示板。

10

【請求項 4】

前記第 1 画素電極は第 1 斜線方向切開部をさらに有し、
前記第 2 画素電極は第 2 斜線方向切開部及び前記第 2 画素電極を上下に両分する横方向切開部をさらに有し、
前記第 1 斜線方向切開部及び前記第 2 斜線方向切開部は前記横方向切開部を中心にして反転対称をなす請求項 3 に記載の薄膜トランジスタ表示板。

【請求項 5】

前記第 1 及び第 2 画素電極は、前記横方向切開部を中心にして反転対称をなす請求項 2 又は 4 に記載の薄膜トランジスタ表示板。

【請求項 6】

20

前記第 2 配線と絶縁されて交差しており、前記第 1 画素電極と前記第 2 画素電極との間に配置されている電極を有する第 3 配線をさらに含む請求項 1 から 5 のいずれか 1 つに記載の薄膜トランジスタ表示板。

【請求項 7】

前記第 3 配線は前記結合電極と重畳する請求項 6 に記載の薄膜トランジスタ表示板。

【請求項 8】

前記第 1 画素電極と前記第 2 画素電極は前記結合電極により容量性結合される請求項 1 から 7 のいずれか 1 つに記載の薄膜トランジスタ表示板。

【請求項 9】

前記結合電極は、前記第 1 画素電極と接触孔を通じて連結されている請求項 1 から 7 のいずれか 1 つに記載の薄膜トランジスタ表示板。

30

【請求項 10】

前記結合電極が前記第 1 画素電極と重畳する面積と、前記結合電極が前記第 2 画素電極と重畳する面積とが互いに異なる請求項 1 から 9 のいずれか 1 つに記載の薄膜トランジスタ表示板。

【請求項 11】

前記方位制御電極は前記第 2 配線と同一の物質で形成されており、前記第 1 画素電極と容量性結合している請求項 1 から 10 のいずれか 1 つに記載の薄膜トランジスタ表示板。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は液晶表示装置に関し、特に広視野角を得るために画素領域を複数のドメインに分割した垂直配向液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、一般に共通電極とカラーフィルター等が形成されている上部表示板と、薄膜トランジスタと画素電極等が形成されている下部表示板との間に液晶物質を注入し、画素電極と共通電極に互いに異なる電位を印加して電界を形成し液晶分子の配列を変更させ、これにより光の透過率を調節して画像を表現する装置である。

【0003】

50

ところが、液晶表示装置は視野角が狭いのが大きな短所である。このような短所を克服するために、視野角を広くするための様々な方案が模索されているが、その中でも液晶分子を上下表示板に対し垂直に配向し、画素電極とその対向電極である共通電極に一定の切開パターンを形成したり、突起を形成する方法が有力視されている。垂直配向に用いられる液晶物質は、負の誘電率異方性を示すTN液晶物質が普通である。このため、電界を印加すると長軸が電界に対して直角の方向、つまり電極と平行に傾くが、この傾きの方位は電極周辺の電界、つまりフリンジフィールドの方位に従う。この現象を有効に使うには、実効的に細長い電界ドメインを使うことが望ましい。

【0004】

切開パターンを形成する方法として、画素電極と共通電極に各々切開パターンを形成し、これらの切開パターンにより形成されるフリンジフィールドを利用して液晶分子が横になる方位を調節することで視野角を広くする方法がある。

10

【0005】

突起を形成する方法は、上下基板上に形成されている画素電極と共通電極上に各々、電極面または誘電体の突起を形成することで、突起により歪曲される電場を利用して液晶分子の横になる方位を調節する方式である。

【0006】

その他の方法として、下部基板上に形成されている画素電極には切開パターンを形成し、上部基板に形成されている共通電極上には突起を形成し、切開パターンと突起により形成されるフリンジフィールドを利用して液晶の横になる方位を調節することでドメインを形成する方式がある。

20

【0007】

視野角を広くする様々な方法の中で、共通電極に切開パターンを形成する方法は、共通電極をパターンニングするために別途のマスクが必要である。よって、色フィルター上にオーバーコート膜がない構造では、色フィルターの顔料が液晶物質に影響を及ぼすことになるため、色フィルター上にオーバーコート膜を形成する必要がある。そのため、パターンニングされた電極の縁で激しい前傾、段差が生じる等の問題がある。また、突起を形成する方法でも、突起を形成するための別途の工程を必要としたり、既存の工程を変形しなければならぬため液晶表示装置の製造方法が複雑になる問題がある。さらに、突起や切開部によって開口率が減少する。

30

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明が目的とする技術的課題は、製造工程が単純で、安定した多重ドメインを形成する液晶表示装置を提供することにある。本発明の他の技術的課題は、安定した多重ドメインを形成するために切開部と方位制御電極及び結合電極の配置を最適化することである。

【課題を解決するための手段】

【0009】

このような課題を解決するために本発明では、一つの画素領域に画素電極2個を分離して配置し、方位制御電極をこれら画素電極の切開部に配置させる。

40

【0010】

具体的には絶縁基板、前記絶縁基板上に形成されている複数の第1配線、前記絶縁基板上に形成され、前記第1配線と絶縁されて交差している複数の第2配線、前記第1配線と前記第2配線が交差して定義する画素領域ごとに形成され、切開部によって複数の小部分に分割されている第1及び第2画素電極、前記第1配線と前記第2配線が交差して定義する画素領域ごとに形成され、前記第1及び第2画素電極の切開部の少なくとも一部と重複する部分を有する方位制御電極、前記方位制御電極と前記第1配線及び前記第2配線に3端子が各々連結されている方位制御電極用薄膜トランジスタを含む薄膜トランジスタ表示板を用意する。

【0011】

50

この時、前記第 1 画素電極と前記第 1 配線及び前記第 2 配線に 3 端子が各々連結されている第 1 画素電極用薄膜トランジスタをさらに含むことができ、前記第 1 画素電極と前記第 1 配線及び前記第 2 配線に 3 端子が各々連結されている第 2 画素電極用薄膜トランジスタをさらに含むことができる。

【 0 0 1 2 】

ここで、前記第 1 画素電極用薄膜トランジスタは、次段の前記第 1 配線と次段の前記第 2 配線及び前記第 1 画素電極に連結されており、前記第 2 画素電極用薄膜トランジスタは前段の前記第 1 配線と次段の前記第 2 配線及び前記第 1 画素電極に連結されており、前記方位制御電極用薄膜トランジスタは前段の前記第 1 配線と前段の前記第 2 配線及び前記方位制御電極に連結できる。

10

【 0 0 1 3 】

また、前記第 2 配線と絶縁されて交差している第 3 配線をさらに含むことができる。この時、前記第 1 画素電極用薄膜トランジスタが次段の前記第 1 配線と次段の前記第 2 配線及び前記第 1 画素電極に連結されていて、前記第 2 画素電極用薄膜トランジスタが前段の前記第 1 配線と次段の前記第 2 配線及び前記第 1 画素電極に連結されていて、前記方位制御電極用薄膜トランジスタが前段の前記第 1 配線と前記第 3 配線及び前記方位制御電極に連結されいるか、或いは、前記第 1 画素電極用薄膜トランジスタは次段の前記第 1 配線と次段の前記第 2 配線及び前記第 1 画素電極に連結されていて、前記第 2 画素電極用薄膜トランジスタは前段の前記第 1 配線と前記第 3 配線及び前記第 1 画素電極に連結されていて、前記方位制御電極用薄膜トランジスタが前段の前記第 1 配線と前段の前記第 2 配線及び前記方位制御電極に連結されていることができる。

20

【 0 0 1 4 】

また、前記方位制御電極は前記第 1 画素電極の切開部とのみ重畳しているが、前記第 1 画素電極に連結され、前記第 2 画素電極の切開部と重複する結合電極をさらに含んだり、前記方位制御電極は前記第 1 画素電極の切開部及び前記第 2 画素電極の切開部と重複できる。

【 0 0 1 5 】

また、前記第 2 画素電極の切開部は、前記第 2 画素電極を上下に両分する横方向の切開部と横方向切開部を中心にして反転対称をなす第 1 斜線方向の切開部を有し、前記第 1 画素電極は前記横方向の切開部を中心にして反転対称をなす第 2 斜線方向切開部を有することができる。そして、前記第 1 及び第 2 画素電極は前記横方向切開部を中心にして反転対称をなすことができる。この時、前記第 2 配線と絶縁されて交差し、前記第 1 画素電極と前記第 2 画素電極との間に配置されている電極を有する第 3 配線をさらに含むことができる。

30

【 発明の効果 】

【 0 0 1 6 】

本発明では、方位制御電極を利用してドメインの安定性を向上させ、一つの画素領域内に互いに異なる電圧が印加される二つの画素電極を設けることで側面視認性を向上できる。

【 発明を実施するための最良の形態 】

40

【 0 0 1 7 】

添付した図面を参照して本発明の実施例に対して本発明の属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は多様な形態で実現することができ、ここで説明する実施例に限定されない。

【 0 0 1 8 】

図面は、各種の層及び領域を明確に表現するために厚さを拡大して示している。明細書全体を通じて類似した部分については同一図面符号を付けている。層、膜、領域、板などの部分が他の部分の“上に”あるとする時、これは他の部分の“すぐ上に”ある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上に”あるとする時は、中間に他の部分がないことを意味する。

50

【 0 0 1 9 】

以下、図面を参照して本発明の実施例による多重ドメイン液晶表示装置について説明する。図 1 は本発明の第 1 の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図であり、図 2 と図 3 は各々図 1 の I I - I I ' 線と I I I - I I I ' 線に沿った断面図であり、図 4 は本発明の第 1 実施例による液晶表示装置回路図である。

【 0 0 2 0 】

本発明の第 1 の実施例による液晶表示装置は、薄膜トランジスタ表示板とこれと対向する色フィルター表示板及びこれらの間に注入されている液晶層で構成される。

【 0 0 2 1 】

薄膜トランジスタ表示板には、ゲート線 1 2 1 とデータ線 1 7 1 が交差して画素領域を定義しており、基準電位 (V c o m) が印加される維持電極線 1 3 1 a、1 3 1 b が主にゲート線 1 2 1 と平行に形成されている。この時、ゲート線 1 2 1 を通じて走査信号が伝達され、データ線 1 7 1 を通じて画像信号が伝達され、維持電極線 1 3 1 a、1 3 1 b には基準電位が印加される。

【 0 0 2 2 】

各画素領域には、ゲート線 1 2 1 に連結されているゲート電極 1 2 3 c、データ線 1 7 1 に連結されているソース電極 1 7 3 c 及び方位制御電極 1 7 8 に連結されているドレーン電極 1 7 5 c を有する方位制御電極用薄膜トランジスタが一つずつ形成されている。

【 0 0 2 3 】

また、各画素領域には二つの画素電極 1 9 0 a、1 9 0 b が形成され、方位制御電極 1 7 8 は二つの画素電極 1 9 0 a、1 9 0 b と容量性結合をし、これらの間の静電容量は C d c e a と C d c e b と表示する。両画素電極 1 9 0 a、1 9 0 b は、色フィルター表示板の共通電極 2 7 0 との間に液晶蓄電器を形成し、その静電容量は各々 C l c a と C l c b と表示する。また、方位制御電極 1 7 8 は維持電極線 1 3 1 a、1 3 1 b との間に維持蓄電器を形成し、その静電容量は C s t と表示する。

【 0 0 2 4 】

画素電極 1 9 0 a、1 9 0 b は浮遊し、方位制御電極 1 7 8 との容量性結合によるカップリング電圧が印加される。

【 0 0 2 5 】

本発明による液晶表示装置の画素電極 1 9 0 a、1 9 0 b は、切開部 1 9 2 a、1 9 2 b、1 9 4 a、1 9 4 b、1 9 5 a、1 9 5 b を有し、この切開部 1 9 2 a、1 9 2 b、1 9 4 a、1 9 4 b、1 9 5 a、1 9 5 b を通じて方位制御電極 1 7 8 による電界が横に広がるように方位制御電極 1 7 8 と切開部 1 9 2 a、1 9 2 b、1 9 4 a、1 9 4 b、1 9 5 a、1 9 5 b が重なっている。切開部 1 9 2 a、1 9 2 b、1 9 4 a、1 9 4 b、1 9 5 a、1 9 5 b を通じて広がる方位制御電極 1 7 8 の電界によって液晶分子が電氣的プレチルトを有する、つまり電解により液晶分子が傾きを有するようになる。そして、電氣的プレチルトを有する液晶分子は、画素電極の電界が印加されると、乱れることなく電氣的プレチルトにより定められた方位へ速やかに配向される。

【 0 0 2 6 】

ところが、方位制御電極の電界によって液晶分子が電氣的プレチルトを有するためには、共通電極に対する方位制御電極の電位差 (以下、方位制御電極電圧という。) が共通電極に対する画素電極の電位差 (以下、画素電極電圧という。) に比べて一定値以上大きいことが必要である。本発明による液晶表示装置では、画素電極を浮遊状態にし、方位制御電極との容量性結合によるカップリング電圧が印加されるようにすることで前記のような条件を容易に満足させることができる。その理由について図 4 を参照して説明する。

【 0 0 2 7 】

方位制御電極電圧 V d c e はドレーン電極電圧 V d と同一であるので、電圧分配法則によって第 1 画素電極 1 9 0 a の電圧 V a は、 $V a = V d \times C d c e a / (C d c e a + C l c a)$ であり、第 2 画素電極 1 9 0 b の電圧 V b は、 $V b = V d \times C d e c b / (C d e c b + C l c b)$ である。従って、方位制御電極電圧 (V d e c = V d) が常に二つの

10

20

30

40

50

画素電極電圧 V_a 、 V_b より大きいことになる。

【0028】

一方、一つの画素領域を二つに分けて両領域で少し差があるように電界が形成されれば、二つの領域の影響が互いに補償されて側面視認性が向上される。

【0029】

この時、第1画素電極190aの電圧 V_a を第2画素電極190bの電圧 V_b より高く設定するのであれば、 $C_{dcea} / (C_{dcea} + C_{1ca}) > C_{dceb} / (C_{dceb} + C_{1cb})$ を満足するように C_{dcea} 、 C_{1ca} 、 C_{dceb} 、 C_{1cb} を決めれば良い。これらの静電容量は、第1及び第2画素電極190a、190bと方位制御電極178が重畳する面積を変更することによって調節できる。

10

【0030】

以下、本発明の第1実施例による液晶表示装置に対して、もう少し具体的に説明する。また、本発明の薄膜トランジスタ表示板に対して、もう少し詳細に説明する。

【0031】

絶縁基板110上にゲート線121が形成されており、ゲート線121と交差するようにデータ線171が形成されている。ゲート線121とデータ線171は互いに絶縁されており、これらが交差して形成する各画素領域にはゲート電極123c、ソース電極173c及びドレーン電極175cの3端子を有する方位制御用薄膜トランジスタが一つずつ形成されており、方位制御電極178と第1及び第2画素電極190a、190bが各々形成されている。

20

【0032】

方位制御用薄膜トランジスタは、方位制御電極178に印加する信号電圧を切断・接続するためのものである。方位制御用薄膜トランジスタのゲート電極123c、ソース電極173c及びドレーン電極175cは、各々ゲート線121、データ線171及び方位制御電極178に連結されている。方位制御電極178は、液晶分子の電気的プレチルトを制御するための方位制御電圧の印加を受けて共通電極270との間に方位制御電界を形成する。ここで、方位制御電極178はデータ線171を形成する段階で、好ましくは同一導電層で、形成される。

【0033】

第1及び第2画素電極190a、190bは、データ線171やゲート線121と連結されず浮遊しており、方位制御電極178と重なって容量性結合をしている。

30

【0034】

次は、薄膜トランジスタ表示板に対して各層構造まで考慮して詳細に説明する。

【0035】

絶縁基板110上に横方向にゲート線121が形成されており、ゲート電極123cがゲート線121に連結されている。ゲート線121の一端にはゲートパッド125が連結されている。また、絶縁基板110上には第1及び第2維持電極線131a、131bと第1乃至第4維持電極133a、133b、134a、134bが形成されている。第1及び第2維持電極線131a、131bは、各画素領域では周辺部に沿って屈曲しているが、全体的には横方向（ゲート線方向）に延びている。そして、第1及び第2維持電極133a、133bは、各々第1及び第2維持電極線131a、131bから縦方向（データ線方向）に延びる途中で屈曲し斜線方向に延びている。第3及び第4維持電極134a、134bは、縦方向に延びる途中で屈曲し斜線方向に延びている。第1維持電極線131a、第1及び第3維持電極133a、134aからなる第1維持配線と第2維持電極線131a、第2及び第4維持電極133b、134bからなる第2維持配線は互いに反転対称をなしている。ゲート配線121、123c、125及び維持電極配線131a、131b、133a、133b、134c、134dは、アルミニウム又はその合金、クロム又はその合金、モリブデン又はその合金等で構成され、必要によって物理、化学的特性が優れたCrまたはMo合金等からなる第1層と、抵抗が小さいAlまたはAg合金等からなる第2層の二重層で形成することもできる。

40

50

【0036】

ゲート配線121、123c、125及び維持電極配線131a、131b、133a、133b、134a、134bは同一導電層で形成する事が望ましく、その上には、ゲート絶縁膜140が形成されている。

【0037】

ゲート絶縁膜140上には、非晶質シリコンなどの半導体からなる半導体層151、154cが形成されている。半導体層151、154cは、薄膜トランジスタのチャンネルを形成するチャンネル部半導体層154cとデータ線171の下に位置するデータ線部半導体層151を含む。半導体層151、154cの上には、シリサイドまたはn型不純物が高濃度にドーピングされているn+水素化非晶質シリコンなどの物質で作製された抵抗性接触層161、163c、165cが各々形成されている。

10

【0038】

抵抗性接触層161、163c、165c及びゲート絶縁膜140上には、データ配線171、173c、175c、179が形成されている。データ配線171、173c、175c、179は縦方向に形成され、ゲート線121と交差して画素を定義するデータ線171、データ線171に連結されているソース電極173c、ゲート電極123cの上でソース電極173cと対向しているドレーン電極175c、外部回路との連結のために幅が拡張されているデータ線のデータパッド部179を含む。

【0039】

また、ゲート線121とデータ線171が交差して形成する画素領域内には、方位制御電極178、178a、178b、178cが形成されている。この時、方位制御電極178、178a、178b、178cはドレーン電極175cと連結され、図1を図中右側から見ると下端が潰れたV字状外枠部178とY字状中央部178a、178b、178cで構成される。

20

【0040】

データ配線171、173c、175c、179及び方位制御電極178、178a、178b、178cはアルミニウムやその合金、クロムやその合金、モリブデンやその合金などで構成され、必要によって物理、化学的特性が優れたCrまたはMo合金などからなる第1層と、抵抗が小さいAlまたはAg合金などからなる第2層の二重層で形成することもできる。データ配線171、173c、175c、179の上には、窒化ケイ素などの無機絶縁膜または有機絶縁膜からなる保護膜180が形成されている。

30

【0041】

保護膜180上には、第1及び第2画素電極190a、190bが形成されている。第1画素電極190aは二対の斜線方向切開部194a、194bと195a、195bとを有し、第2画素電極190bは一对の斜線方向切開部192a、192bを有する。斜線方向切開部192a、192b、193a、193b、194a、194b、195a、195bは画素領域を上下に二分する線を中心にして反転対称をなしている。この時、切開部192a、192b、194a、194b、195a、195bは方位制御電極178、178a、178b、178cと重畳する。

40

【0042】

一方、第1及び第2画素電極190a、190bにおいても、画素領域を上下に二分する線を対称軸とする反転対称をなしている。

【0043】

第1画素電極190aと第2画素電極190bを分ける境界は、ゲート線121に対して45°をなす部分193a、193bと垂直をなす部分がある。このうち45°をなす二つの部分193a、193bが垂直をなす部分より長さが長い。また、45°をなす二つの部分193a、193bは互いに垂直をなし、維持電極133a、133bと重畳する。

【0044】

本実施例では、第2画素電極190bが上下に分離されているが、第2画素電極190

50

bを二つに分ける横方向切開部191はゲート線121と平行に形成されている。上下に分離された二つの第2画素電極190bは、横方向切開部191に対して反転対称をなしているので、互いに分離されているが実質的に同一な電位を有する。

【0045】

また、保護膜180上には、保護膜180とゲート絶縁膜121を貫通する接触孔183を通じてゲート線121の始端部(ゲートパッド)125と連結される接触補助部材95と、保護膜180を貫通する接触孔184を通じてデータ線171の始端部(データパッド)179と連結される接触補助部材97が形成されている。ここで、画素電極190a、190bと接触補助部材95、97はIZOで形成されている。画素電極190a、190b及び接触補助部材95、97はITOで形成することもできる。

10

【0046】

以上、画素電極190a、190bは、画素領域を複数のドメインに分割するための切開部パターン191、192a、192b、194a、194b、195a、195bを有し、切開部191、192a、192b、194a、194b、195a、195bは方位制御電極178、178a、178b、178cと重なっている。即ち、液晶表示装置を上から見たとき方位制御電極178、178a、178b、178cが切開部191、192a、192b、194a、194b、195a、195bを通じて露出して見えるように方位制御電極178、178a、178b、178cと切開部191、192a、192b、194a、194b、195a、195bを重畳配列する。

【0047】

20

一方、方位制御電極178、178a、178b、178cは、ゲート配線121、123c、125と同じ層に形成することもできる。また、方位制御電極178、178a、178b、178c上部の保護膜180を除去し、トレンチを形成することもできる。

【0048】

次は、色フィルター表示板について詳細に説明する。

【0049】

ガラスなどの透明な絶縁物質からなる基板210の下面に光漏れを防止するためのブラックマトリックス220と赤、緑、青の色フィルター230及びITOまたはIZOなどの透明な導電物質からなる共通電極270が形成されている。

【0050】

30

液晶層3に含まれている液晶分子は、画素電極190a、190bと共通電極270との間に電界が印加されない状態でその方向子(普通は長軸の方向)が下部基板110と上部基板210に対して垂直をなすように配向され、負の誘電率異方性を有する。下部基板110と上部基板210は、画素電極190a、190bが色フィルター230と対応して正確に重なるように整列される。

【0051】

このようにすれば、画素領域は切開部191、192a、192b、194a、194b、195a、195b及び二つの画素電極190a、190bの境界193a、193bにより複数の小ドメインに分割される。また、方位制御電極178、178a、178b、178cにより分割されたドメイン内で液晶の配向がさらに安定する。なお、第1画素電極190aと第2画素電極190bに互いに異なる電位が印加されるようにすることで側面視認性を向上できる。

40

【0052】

上記では、液晶分子が負の誘電率異方性を有し、基板110、210に対して垂直配向されている場合を例として挙げたが、正の誘電率異方性を有する液晶分子を基板110、210に対して水平配向して液晶層3を形成することもできる。

【0053】

図1乃至3に示した薄膜トランジスタ表示板の構造は、5回の写真エッチング工程で製造しているが、第1実施例による薄膜トランジスタ表示板は4回の写真エッチング工程で製造することもできる。この場合には、データ配線と方位制御電極が非晶質シリコン層、

50

抵抗性接触層及び金属層の3重層で形成され、これらの三つの層の平面パターンが実質的に同一なパターンになるという特徴がある。これは、一つの感光膜を用いて非晶質シリコン層、抵抗性接触層及び金属層をパターンングするためである。このような製造工程に関しては、液晶表示装置に対する通常の知識を有する者に一般に知られていることであるので具体的な説明は省略する。

【0054】

上記のような液晶表示装置で、ドメインを分割する役割は画素電極の切開部が行い、方位制御電極と維持電極がドメインの安定性を強化する。従って、切開部と方位制御電極及び維持電極の配置によってドメイン分割の可否が決まることもあり、ドメインの安定性もこれらの配置によって大きく影響される。

10

【0055】

図5は本発明の第2実施例による液晶表示装置用薄膜トランジスタ表示板の配置図である。第2の実施例による液晶表示装置用薄膜トランジスタ表示板は、図1では横方向切開部191によって、上下に分離されていた第2画素電極190bが中央の連結部Cにより一つに連結されることを除けば第1の実施例と同様である。

【0056】

第1及び第2の実施例では、画素電極190a、190bを浮遊させたが、これとは異なっており、薄膜トランジスタを通じて電位を印加することもできる。以下、その方法について説明する。

【0057】

20

図6は本発明の第3の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図であり、図7は図6のV I I - V I I ' 線に沿った断面図であり、図8は本発明の第3の実施例による液晶表示装置の回路図である。

【0058】

本発明の第3の実施例による液晶表示装置も、薄膜トランジスタ表示板、これと対向する色フィルター表示板及びこれらの間に注入されている液晶層で構成されており、薄膜トランジスタ表示板のゲート配線121、データ線171、維持電極線131などの基本配線構造に関しても第1の実施例とほぼ同様である。しかし、第3の実施例では、各画素領域ごとに3個の薄膜トランジスタT1、T2、T3が配置され、方位制御電極178が第1画素電極190aとのみ容量性結合を行い、第1画素電極190aと第2画素電極190bを容量性で結合する結合電極176が形成されることが第1の実施例と異なる点である。

30

【0059】

第3実施例による液晶表示装置で、各画素領域には図8下端の次段ゲート線に連結されているゲート電極123a、図8中、右端の次段データ線に連結されているソース電極173ab(T3と兼用)及び第1画素電極190aに連結されているドレーン電極175aを含む第1画素電極用薄膜トランジスタT1、前段のゲート線121に連結されているゲート電極123c、図8中、左端の前段データ線171に連結されているソース電極173c及び方位制御電極178に連結されているドレーン電極175cを有する方位制御電極用薄膜トランジスタT2、及び前段のゲート線121に連結されているゲート電極123b、図8中、右端の次段のデータ線171に連結されているソース電極173ab(前出)及び第1画素電極190aに連結されているドレーン電極175bを有する第2画素電極用薄膜トランジスタT3がそれぞれ一つずつ形成されている。

40

【0060】

方位制御電極178は第1画素電極190aと容量性結合しており、画素領域には第1画素電極190aと連結されている結合電極176が形成されており、結合電極176は、第2画素電極190bと重複し第1画素電極190aと第2画素電極190bを容量性で結合する。

【0061】

図8では、方位制御電極178と第1画素電極190aとの間の静電容量をC d c e a

50

、第1画素電極190aと第2画素電極190bとの間の静電容量を $C_{dce b}$ 、第1及び第2画素電極190a、190bと色フィルター表示板の共通電極270との間の液晶容量をそれぞれ $C_{1c a}$ 及び $C_{1c b}$ 、第1画素電極190aと維持電極線131a、131bとの間の容量を $C_{s t}$ 、方位制御電極178と共通電極270の間の静電容量を $C_{d c}$ と表示する。

【0062】

本発明による液晶表示装置の画素電極190a、190bは、切開部191、192a、192b、194a、194b、195a、195bを有し、この切開部191、192a、192b、194a、194b、195a、195bを通じて方位制御電極178及び結合電極176による電界が横に広がるように方位制御電極178及び結合電極176と切開部191、192a、192b、194a、194b、195a、195bが重なっている。切開部191、192a、192b、194a、194b、195a、195bを通じて広がる方位制御電極178及び結合電極176の電界によって液晶分子が電氣的プレチルトを有するようになり、電氣的プレチルトを有する液晶分子は、画素電極の電界が印加されると乱れることなく電氣的プレチルトにより定められた方位に速かに配向される。

【0063】

また、第1画素電極190aと第2画素電極190bに互いに異なる電位が印加されるようにすることで側面視認性を向上させることができる。

【0064】

このような構造の液晶表示装置に点（ドット）反転駆動を適用すれば、図8の上端部を通る前段ゲート線121（番号N-1）のオン信号によって、図示されている前段のトランジスタT2とT3が共にオンになり、方位制御電極178には正（+）極性の階調電圧が充電され、第1画素電極190aには負（-）極性の階調電圧が充電される。従って、方位制御電極178の初期電圧 $V_{d c e}$ は、左右二つのデータ線から印加される正極性階調電圧と負極性階調電圧間の差となる。以後、図8の下端部を通る次段のゲート線（番号N）にオン信号が印加されて次段のT1がオンになるときは、T2及びT3は両方オフとなり方位制御電極178が浮遊状態に置かれることになるので、方位制御電極電圧は第1画素電極190aに充電される電圧 V_a と $V_{d c e} - V_a$ 分の差を維持しながら共に上昇する。

【0065】

このように、第3の実施例による構造では、方位制御電極電圧が第1画素電極190aの電圧より常に $V_{d c e} - V_a$ の分高くなることで液晶配列の電氣的プレチルト角が確保される。

【0066】

ここで、図8を参照して $V_{d c e}$ を求めれば次の通りである。次の数式を求めるにおいてゲート電極とドレーン電極との間の寄生容量は考慮していない。

$$V_{d c e} = V_{d 1} + [-C_3 \times V_{d 1} + (C_2 + C_3) V_{d 2} + C_2 \times V_{d 3}] / (C_2 + C_3)$$

$$C_1 = C_{1c a} + C_{s t} + (C_{d c e b} \times C_{1c b}) / (C_{d c e b} + C_{1c b})$$

$$C_2 = C_{d c e a}$$

$$C_3 = C_{d c}$$

ここで、各トランジスタT1、T2、T3に印加される電圧は、それぞれ $V_{d 1}$ 、 $V_{d 2}$ 及び $-V_{d 3}$ である。

【0067】

一方、第1画素電極190aの電圧を V_a とし、第2画素電極190bの電圧を V_b とすれば、図8で電圧分配法則により、 $V_b = V_a \times C_{d c e b} / (C_{d c e b} + C_{1c b})$ となる。ここで、 $C_{d c e b} / (C_{d c e b} + C_{1c b})$ は常に1より小さいので V_a が V_b より常に、パターン設計で定まる一定比率高い電圧を有するようになる。

【0068】

このように、一つの画素領域内で異なる電圧の二つの画素電極を配置することにより、二つの画素電極が互いに補償し側面視認性を向上させる。

【 0 0 6 9 】

図 9 及び図 10 は、各々本発明の第 4 及び第 5 の実施例による液晶表示装置の回路図である。第 4 実施例は、図 9 のように、方位制御電極用薄膜トランジスタ T2 のソース電極が接地されていることが第 3 の実施例と異なる。ソース電極を接地させることはソース電極を維持電極線に連結することで可能となる。このためには、保護膜とゲート絶縁膜を貫通して、維持電極線を露出する接触孔と保護膜を貫通してソース電極を露出する接触孔を通じて両者を連結するソース電極連結部を保護膜上に形成することが必要である。

【 0 0 7 0 】

ここで、図 9 を参照して V_{dce} を求めれば次の通りである。次の数式を求めるにおいて、ゲート電極とドレイン電極との間の寄生容量は考慮していない。

$$V_{dce} = V_{d1} + [-C_3 \times V_{d1} + C_2 \times V_{d3}] / (C_2 + C_3)$$

$$C_1 = C_{1ca} + C_{st} + (C_{dceb} \times C_{1cb}) / (C_{dceb} + C_{1cb})$$

$$C_2 = C_{dcea}$$

$$C_3 = C_{dc}$$

第 5 の実施例は、図 10 のように、第 2 画素電極用薄膜トランジスタ T3 のソース電極が接地されていることが第 3 の実施例と異なる。ソース電極を接地させることは、ソース電極を維持電極線に連結することで可能となる。このためには、保護膜とゲート絶縁膜を貫通して、維持電極線を露出する接触孔と保護膜を貫通してソース電極を露出する接触孔を通じて両者を連結するソース電極連結部を保護膜上に形成することが必要である。

【 0 0 7 1 】

ここで、図 10 を参照して V_{dce} を求めれば次の通りである。次の数式を求めるにおいてゲート電極とドレイン電極との間の寄生容量は考慮していない。

$$V_{dce} = V_{d1} + [-C_3 \times V_{d1} + (C_2 + C_3) \times V_{d2}] / (C_2 + C_3)$$

$$C_1 = C_{1ca} + C_{st} + (C_{dceb} \times C_{1cb}) / (C_{dceb} + C_{1cb})$$

$$C_2 = C_{dcea}$$

$$C_3 = C_{dc}$$

図 11 は本発明の第 6 の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図であり、図 12 は本発明の第 6 の実施例による液晶表示装置回路図である。

【 0 0 7 2 】

第 6 の実施例による液晶表示装置用薄膜トランジスタ表示板は、第 2 画素電極用薄膜トランジスタが省略されたことが第 3 の実施例と異なる。

【 0 0 7 3 】

ここで、図 12 を参照して V_{dce} を求めると次の通りである。次の数式を求めるにおいてゲート電極とドレイン電極間の寄生容量は考慮していない。

$$V_{dce} = (C_1 + C_3) [(2 - C_3 / C_2) V_{d1} + V_{d2}] / (2C_2 + C_1)$$

$$C_1 = C_{1ca} + C_{st} + (C_{dceb} \times C_{1cb}) / (C_{dceb} + C_{1cb})$$

$$C_2 = C_{dcea}$$

$$C_3 = C_{dc}$$

第 3 乃至第 6 の実施例による液晶表示装置では、結合電極 176 を利用して第 1 画素電極 190a と第 2 画素電極 190b を容量性で結合する。しかし、方位制御電極 178 を利用して第 1 画素電極 190a と第 2 画素電極 190b を容量性で結合することもできる。以下、その方法について説明する。

【 0 0 7 4 】

図 13 は本発明の第 7 の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図であり、図 14 は本発明の第 7 の実施例による液晶表示装置回路図である。

【 0 0 7 5 】

本発明の第 7 の実施例による液晶表示装置も、薄膜トランジスタ表示板、これと対向する色フィルター表示板及びこれらの間に注入されている液晶層で構成される。薄膜トラン

10

20

30

40

50

ジスタ表示板のゲート配線 121、データ線 171、維持電極線 131 などの基本配線構造及び 3 個の薄膜トランジスタ T1、T2、T3 も第 3 の実施例とほぼ同様である。

【0076】

しかし、第 7 の実施例では結合電極が省略され、方位制御電極 178、178a、178b が第 1 画素電極 190a は勿論、第 2 画素電極 190b と容量性で結合することが第 3 の実施例と異なる。

【0077】

図 14 では、方位制御電極 178、178a、178b と第 1 画素電極 190a との間の静電容量を $C_{dce a}$ 、方位制御電極 178、178a、178b と第 2 画素電極 190b との間の静電容量を $C_{dce b}$ 、第 1 及び第 2 画素電極 190a、190b と色フィルタ表示板の共通電極 270 との間の液晶容量をそれぞれ C_{1ca} 及び C_{1cb} 、第 1 画素電極 190a と維持電極線 131a、131b との間の容量を C_{st} 、方位制御電極 178、178a、178b と共通電極 270 との間の静電容量を C_{dc} と表示する。

【0078】

第 7 の実施例による液晶表示装置の画素電極 190a、190b も切開部 191、192a、192b、194a、194b、195a、195b を有し、この切開部 191、192a、192b、194a、194b、195a、195b を通じて方位制御電極 178、178a、178b による電界が横に広がるように方位制御電極 178、178a、178b と切開部 191、192a、192b、194a、194b、195a、195b が重なっている。切開部 191、192a、192b、194a、194b、195a、195b を通じて広がる方位制御電極 178、178a、178b の電界によって液晶分子が電氣的プレチルトを有するようになり、電氣的プレチルトを有する液晶分子は画素電極の電界が印加されると乱れることなく電氣的プレチルトにより定められた方位に速やかに配向される。

【0079】

また、第 1 画素電極 190a と第 2 画素電極 190b に互いに異なる電位が印加されるようにすることで側面視認性を向上できる。

【0080】

このような構造の液晶表示装置に点反転駆動を適用すれば、前段ゲート線（番号 N-1）のオン信号により T2 と T3 が共にオンとなり、方位制御電極 178、178a、178b に正（+）極性の階調電圧が充電され、第 1 画素電極 190a には負（-）極性の階調電圧が充電される。従って、方位制御電極 178 の初期電圧 V_{dce} は、左右二つのデータ線から印加される正極性階調電圧と負極性階調電圧間の差異となる。以後、次段のゲート線（番号 N）にオン信号が印加され T1 がオンになる時は、T2 及び T3 は両方オフとなり方位制御電極 178 が浮遊状態に置かれるようになるので、方位制御電極電圧は、第 1 画素電極 V_a 画素電極に充電される電圧と $V_{dce} - V_a$ 分の差を維持しながら共に上昇する。

【0081】

このように、第 7 の実施例による構造では、方位制御電極電圧が第 1 画素電極 190a の電圧より常に $V_{dce} - V_a$ 分高くなることで、液晶配列の電氣的プレチルト角が確保される。

【0082】

ここで、図 14 を参照して V_{dce} を求めれば次の通りである。次の数式を求めるにおいて、ゲート電極とドレーン電極間の寄生容量は考慮していない。

$$V_{dce} = V_{d1} + [-C_3 \times V_{d1} + (C_2 + C_3) V_{d2} + C_2 \times V_{d3}] / (C_2 + C_3)$$

$$C_1 = C_{1ca} + C_{st}$$

$$C_2 = C_{dce a}$$

$$C_3 = C_{dc} + (C_{dce b} \times C_{1cb}) / (C_{dce b} + C_{1cb})$$

一方、方位制御電極 178、178a、178b の電圧を V_{dce} 、第 2 画素電極 19

10

20

30

40

50

0 bの電圧を V_b とすれば、図14で、電圧分配法則により $V_b = V_{dce} \times C_{dce b} / (C_{dce b} + C_{lcb})$ となる。このように、一つの画素領域内に異なる電圧の二つの画素電極を配置することで、二つの画素電極が互いに補償し側面視認性を向上させる。

【0083】

図15及び図16は各々本発明の第8及び第9の実施例による液晶表示装置回路図である。

【0084】

第8の実施例は、図15のように、方位制御電極用薄膜トランジスタT2のソース電極が接地されていることが第7の実施例と異なる。ソース電極を接地させることは、ソース電極を維持電極線に連結することで可能となる。このためには、保護膜とゲート絶縁膜を貫通して維持電極線を露出する接触孔と保護膜を貫通してソース電極を露出する接触孔を通じて両者を連結するソース電極連結部を保護膜上に形成することが必要である。

10

【0085】

ここで、図15を参照して V_{dce} を求めれば次の通りである。次の数式を求めるにおいてゲート電極とドレイン電極間の寄生容量は考慮していない。

$$V_{dce} = V_{d1} + [-C_3 \times V_{d1} + C_2 \times V_{d3}] / (C_2 + C_3)$$

$$C_1 = C_{lca} + C_{st}$$

$$C_2 = C_{dce a}$$

$$C_3 = C_{dc} + (C_{dce b} \times C_{lcb}) / (C_{dce b} + C_{lcb})$$

第9の実施例は、図16のように、第2画素電極用薄膜トランジスタT3のソース電極が接地されていることが第7の実施例と異なる。ソース電極を接地させることは、ソース電極を維持電極線に連結することで可能となる。このためには、保護膜とゲート絶縁膜を貫通して維持電極線を露出する接触孔と保護膜を貫通してソース電極を露出する接触孔を通じて両者を連結するソース電極連結部を保護膜上に形成することが必要である。

20

【0086】

ここで、図16を参照して V_{dce} を求めれば次の通りである。次の数式を求めるにおいてゲート電極とドレイン電極間の寄生容量は考慮していない。

$$V_{dce} = V_{d1} + [-C_3 \times V_{d1} + (C_2 + C_3) V_{d2}] / (C_2 + C_3)$$

$$C_1 = C_{lca} + C_{st}$$

$$C_2 = C_{dce a}$$

$$C_3 = C_{dc} + (C_{dce b} \times C_{lcb}) / (C_{dce b} + C_{lcb})$$

30

図17は本発明の第10の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図であり、図18は本発明の第10の実施例による液晶表示装置回路図である。第10の実施例による液晶表示装置用薄膜トランジスタ表示板は、第2画素電極用薄膜トランジスタが省略されたことが第7の実施例と異なり、それ以外の構造は同様である。

【0087】

ここで、図18を参照して V_{dce} を求めれば次の通りである。次の数式を求めるにおいてゲート電極とドレイン電極間の寄生容量は考慮していない。

$$V_{dce} = (C_1 + C_3) [(2 - C_3 / C_2) V_{d1} + V_{d2}] / (2C_2 + C_1)$$

$$C_1 = C_{lca} + C_{st}$$

$$C_2 = C_{dce a}$$

$$C_3 = C_{dc} + (C_{dce b} \times C_{lcb}) / (C_{dce b} + C_{lcb})$$

40

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0088】

【図1】本発明の第1の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図である。

【図2】図1のII-II'線に沿った断面図である。

50

【図 3】図 1 の I I I - I I I ' 線に沿った断面図である。

【図 4】本発明の第 1 の実施例による液晶表示装置回路図である。

【図 5】本発明の第 2 の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図である。

【図 6】本発明の第 3 の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図である。

【図 7】図 6 の V I I - V I I ' 線に沿った断面図である。

【図 8】本発明の第 3 実施例による液晶表示装置回路図である。

【図 9】本発明の第 4 実施例による液晶表示装置回路図である。

【図 10】本発明の第 5 実施例による液晶表示装置回路図である。

10

【図 11】本発明の第 6 の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図である。

【図 12】本発明の第 6 の実施例による液晶表示装置回路図である。

【図 13】本発明の第 7 の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図である。

【図 14】本発明の第 7 実施例による液晶表示装置回路図である。

【図 15】本発明の第 8 実施例による液晶表示装置回路図である。

【図 16】本発明の第 9 実施例による液晶表示装置回路図である。

【図 17】本発明の第 10 の実施例による液晶表示装置用薄膜トランジスタ表示板の配置図である。

20

【図 18】本発明の第 10 の実施例による液晶表示装置の回路図である。

【符号の説明】

【0089】

3 液晶層

110、210 基板

121 ゲート線

123c ゲート電極

140 ゲート絶縁膜

151、154c 半導体層

171 データ線

173c ソース電極

175c ドレイン電極

176 結合電極

178 方位制御電極

180 保護膜

190a、190b 画素電極

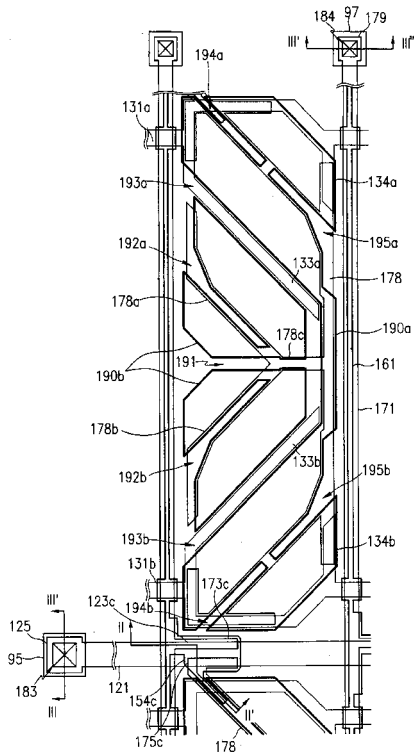
191、192a、192b、194a、194b、195a、195b 切開部

230 色フィルター

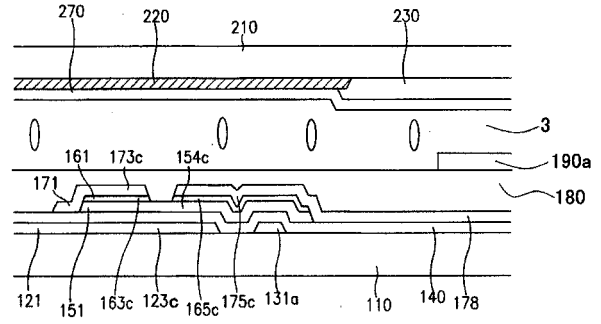
270 共通電極

30

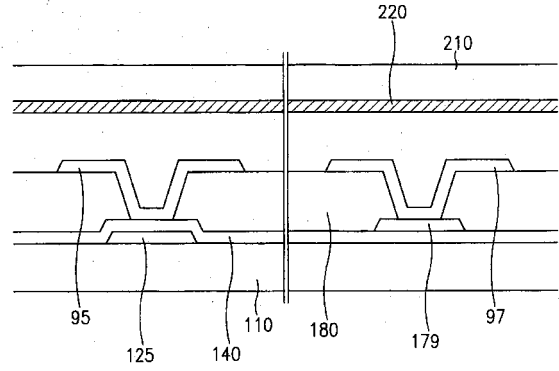
【図 1】



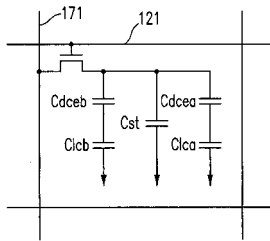
【図 2】



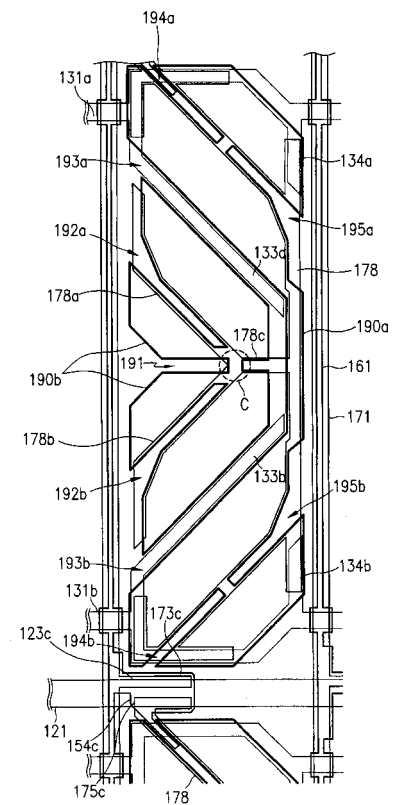
【図 3】



【図 4】



【図 5】



【圖 7】

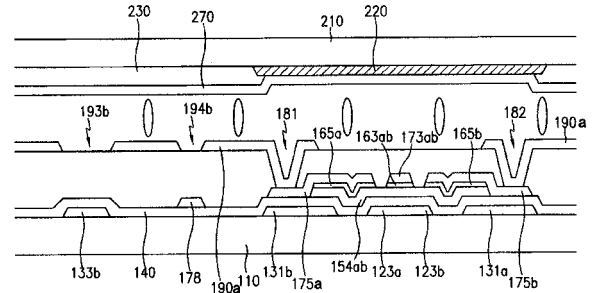
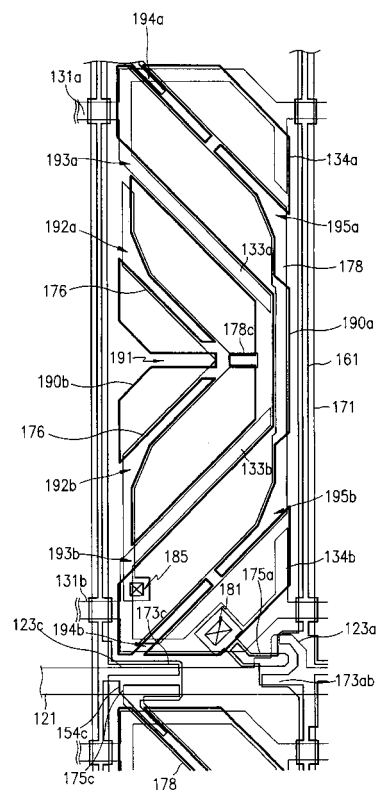
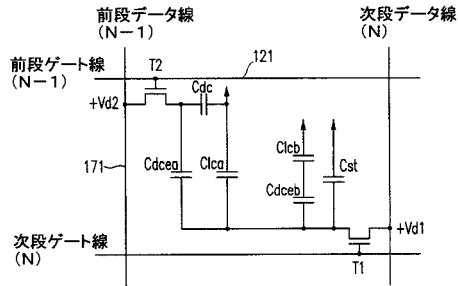


Figure 1 is a schematic diagram of a differential amplifier circuit. The circuit is divided into a front stage (前段) and a subsequent stage (次段). The front stage includes a PMOS transistor T2 and an NMOS transistor T1, with a differential pair of NMOS transistors T3 and T4. The subsequent stage includes a PMOS transistor T5 and an NMOS transistor T6. The circuit is biased with +Vd2 and -Vd3. Various capacitors (Cdc, Cdeg, Cica, Cdeb, Cst) are connected to the gates and drains of the transistors. The output is taken from the drain of T2.

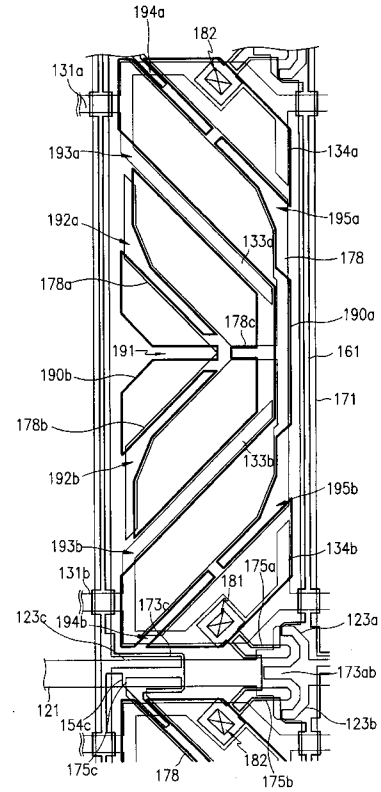
【 図 1 1 】



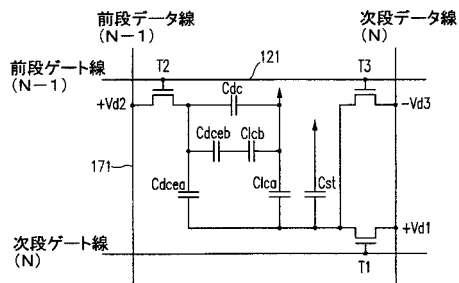
【図 1 2】



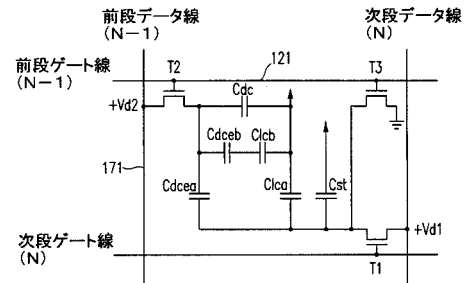
【図 1 3】



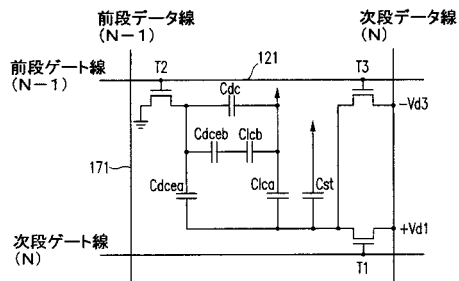
【図 1 4】



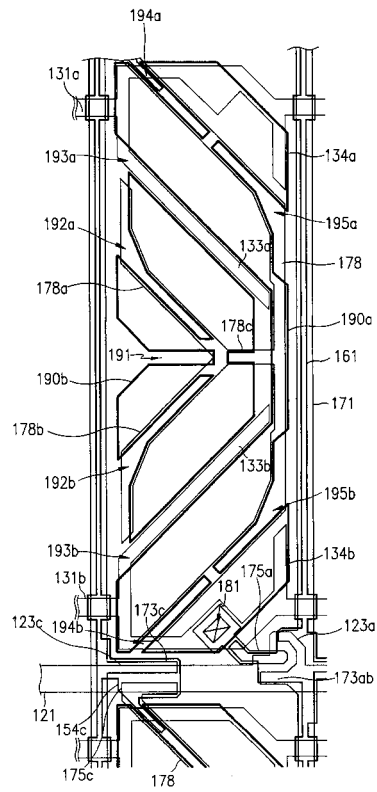
【図 1 6】



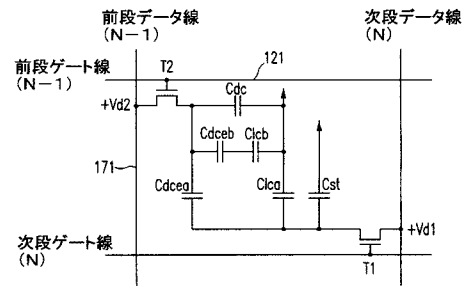
【図 1 5】



【図 17】



【図 18】



フロントページの続き

(72)発明者 梁 英 ▲チヨル▼

大韓民国京畿道軍浦市衿井洞住公アパート2団地220棟1201号

(72)発明者 金 鍾 来

大韓民国ソウル市松坡区文井洞44-7番地現代パークビル401号

(72)発明者 申 ▲キヨン▼ 周

大韓民国京畿道龍仁市器興邑甫羅里289-12番地サンジョンソンビマウル102棟504号

(72)発明者 金 熙 燮

大韓民国京畿道化城市台安邑半月里865-1番地新靈通現代アパート110棟304号

審査官 藤田 都志行

(56)参考文献 特開平06-102537(JP,A)

特開2001-188242(JP,A)

特開平05-289108(JP,A)

特開2001-235752(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1368

专利名称(译)	用于多域液晶显示器件的薄膜晶体管显示器面板		
公开(公告)号	JP5350191B2	公开(公告)日	2013-11-27
申请号	JP2009261896	申请日	2009-11-17
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	洪性奎 梁英子ヨル 金鍾来 申キヨン周 金熙燮		
发明人	洪 性 奎 梁 英 ▲チヨル▼ 金 鍾 来 申 ▲キヨン▼ 周 金 熙 燮		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1337 G02F1/1333 G02F1/1362 G02F1/139 H01L29/04 H01L31/20		
CPC分类号	G02F1/133707 G02F1/134336 G02F1/136213 G02F1/1393 G02F2001/134345 G02F2001/134354		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA15 2H092/GA25 2H092/GA29 2H092/GA32 2H092/GA40 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB06 2H092/JB13 2H092/JB42 2H092/JB45 2H092/JB63 2H092/JB67 2H092/JB69 2H092/KA05 2H092/KA08 2H092/KB14 2H092/MA17 2H092/MA27 2H092/NA01 2H092/NA27 2H092/QA09 2H092/QA18 2H192/AA24 2H192/BA25 2H192/BC23 2H192/BC24 2H192/BC26 2H192/BC42 2H192/BC51 2H192/CB05 2H192/CB35 2H192/CC02 2H192/CC05 2H192/CC22 2H192/CC42 2H192/DA12 2H192/EA22 2H192/EA43 2H192/GD61 2H192/JA13		
代理人(译)	山下大洁嗣		
优先权	1020030000266 2003-01-03 KR		
其他公开文献	JP2010044419A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，其制造工艺简单，形成稳定的多畴待用。形成在绝缘基板上的第一布线，形成在绝缘基板上并与第一布线绝缘并交叉的第二布线，以及形成在绝缘基板上的第二布线，对于其中所述第二布线在交叉限定的每个像素区中形成，具有第一对角方向的切口以及具有第二对角线方向切口的第二像素电极，第一像素电极的所述第一导线的第二根导线形成有用于由每一个所述耦合电极重叠的第一和第二像素电极的一部分，所述第一像素电极，所述第一布线和第二布线相交限定的每个像素区其中，施加到第一像素电极的电压和施加到第二像素电极的电压彼此不同。点域1

