

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5342064号
(P5342064)

(45) 発行日 平成25年11月13日(2013.11.13)

(24) 登録日 平成25年8月16日(2013.8.16)

(51) Int.Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1368 (2006.01)	GO2F 1/1368

請求項の数 9 (全 44 頁)

(21) 出願番号	特願2012-501631 (P2012-501631)	(73) 特許権者	000005049
(86) (22) 出願日	平成22年11月5日(2010.11.5)		シャープ株式会社
(86) 国際出願番号	PCT/JP2010/069745		大阪府大阪市阿倍野区長池町22番22号
(87) 国際公開番号	W02011/104942	(74) 代理人	110000914
(87) 国際公開日	平成23年9月1日(2011.9.1)		特許業務法人 安富国際特許事務所
審査請求日	平成24年8月6日(2012.8.6)	(72) 発明者	逸見 郁未
(31) 優先権主張番号	特願2010-43425 (P2010-43425)		日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(32) 優先日	平成22年2月26日(2010.2.26)	(72) 発明者	下敷領 文一
(33) 優先権主張国	日本国(JP)		日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	平田 貢祥
			日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

一対の基板と、該一対の基板間に挟持された液晶層とを有し、かつ複数色の絵素によって一つの画素が構成される液晶表示装置であって、

該一対の基板の一方は、走査線と、信号線と、補助容量配線と、該走査線及び該信号線のそれぞれと接続された薄膜トランジスタと、該薄膜トランジスタと接続された画素電極とを備え、

該一対の基板の他方は、対向電極を備え、

該画素電極は、一つの絵素に対応してそれぞれ配置され、

該走査線と該画素電極とは、ゲートドレイン容量を形成し、

該一つの画素内に配置された複数の画素電極のうち、より大きな画素容量をもつ画素電極が形成するゲートドレイン容量が、より小さな画素容量をもつ画素電極が形成するゲートドレイン容量よりも大きいものであり、

該画素電極の走査線との重なり面積は、単色の絵素に対応して配置される画素電極毎に、走査線の信号の進行方向に従って始めは増加し、かつその増加率が減少するように形成されたものであり、

該増加率は、画素容量の異なる画素電極毎に異なる

ことを特徴とする液晶表示装置。

【請求項2】

前記一つの画素内に配置された複数の画素電極のうち、より大きな画素容量をもつ画素電

極は、該一つの画素内に配置された複数の画素電極のうち、より大きなチャネル幅を有する薄膜トランジスタと接続されている

ことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記一つの画素内に配置された複数の画素電極のうち、より大きな画素容量をもつ画素電極は、該一つの画素内に配置された複数の画素電極のうち、より画素電極の走査線との重なり面積が大きいことを特徴とする請求項 1 又は 2 に記載の液晶表示装置。

【請求項 4】

前記より大きな画素容量をもつ画素電極の面積は、前記より小さな画素容量をもつ画素電極の面積と異なっていることを特徴とする請求項 1 ~ 3 のいずれかに記載の液晶表示装置

10

【請求項 5】

前記より大きな画素容量をもつ画素電極と重なっている液晶層の厚みは、前記より小さな画素容量をもつ画素電極と重なっている液晶層の厚みと異なっていることを特徴とする請求項 1 ~ 4 のいずれかに記載の液晶表示装置。

【請求項 6】

前記信号線と前記画素電極とは、ソースドレイン容量を形成し、
前記補助容量配線と前記画素電極とは、補助容量を形成し、
前記画素電極と前記対向電極とは、液晶容量を形成し、
該ゲートドレイン容量、該ソースドレイン容量、該補助容量、及び、該液晶容量の総和に対する、該ゲートドレイン容量の比は、前記複数色の絵素間で異なり、
前記複数色の絵素に対してそれぞれ得られるゲートドレイン容量の比のうち、最も大きなゲートドレイン容量の比と、最も小さなゲートドレイン容量の比との差は、最も小さなゲートドレイン容量の比に対して 10 % 以下である

20

ことを特徴とする請求項 1 ~ 5 のいずれかに記載の液晶表示装置。

【請求項 7】

前記信号線と前記画素電極とは、ソースドレイン容量を形成し、
前記補助容量配線と前記画素電極とは、補助容量を形成し、
前記画素電極と前記対向電極とは、液晶容量を形成し、
前記一つの絵素内における、前記ゲートドレイン容量、前記ソースドレイン容量、前記補助容量、及び、前記液晶容量の総和の最大値に対する、前記ゲートドレイン容量、前記ソースドレイン容量、前記補助容量、及び、前記液晶容量の総和の最小値で算出される応答係数の値は、前記複数色の絵素間で異なり、
該複数色の絵素に対してそれぞれ得られる応答係数のうち、最も大きな応答係数と、最も小さな応答係数との差は、最も小さな応答係数に対して 5 % 以下である

30

ことを特徴とする請求項 1 ~ 6 のいずれかに記載の液晶表示装置。

【請求項 8】

前記画素電極は、一つの絵素内で複数に分割されたものであり、
前記薄膜トランジスタは、該画素電極のそれぞれと接続され、
前記補助容量配線は、該画素電極のそれぞれと重畳し、かつ電圧の極性が一定時間ごとに反転する

40

ことを特徴とする請求項 1 ~ 7 のいずれかに記載の液晶表示装置。

【請求項 9】

前記信号線と前記画素電極とは、ソースドレイン容量を形成し、
前記補助容量配線と前記画素電極とは、補助容量を形成し、
前記画素電極と前記対向電極とは、液晶容量を形成し、
前記ゲートドレイン容量、前記ソースドレイン容量、前記補助容量、及び、前記液晶容量の総和に対する、前記補助容量の比は、前記複数色の絵素間で異なり、
該複数色の絵素に対してそれぞれ得られる補助容量の比のうち、最も大きな補助容量の比と、最も小さな補助容量の比との差は、最も小さな補助容量の比に対して 1 . 0 % 以下で

50

ある

ことを特徴とする請求項 8 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関する。より詳しくは、薄膜トランジスタを用いた駆動方式を採用する液晶表示装置に関するものである。

【背景技術】

【0002】

液晶表示 (LCD: Liquid Crystal Display) 装置は、一对の基板間に充填された液晶層等を利用して、光源から出射された光の光学特性を制御することにより表示を行う装置であり、薄型、軽量、低消費電力といった特長を活かし、様々な分野で用いられている。

10

【0003】

液晶表示装置は、基板に形成した一对の電極により液晶層に電圧を印加して液晶分子の配向状態を変化させ、液晶層を透過する光の偏光状態を変化させる。液晶表示装置には、カラー表示を行うために、複数色のカラーフィルタが配置される。液晶層を挟持する一对の基板は、スペーサによってその間隔 (セルギャップ) が一定に保持され、シール材によって互いが貼り合わされている。

【0004】

20

液晶表示装置には、通常、赤 (R)、緑 (G) 及び青 (B) の 3 色のサブピクセルが形成される。それぞれのサブピクセルに対し、各色のカラーフィルタが配置され、各色のカラーフィルタを透過する光を調整することで、画素 (ピクセル) 単位で色制御が行われる。

【0005】

近年では、これら RGB 以外に、輝度を高める目的として白 (W) のサブピクセルを配置する等の工夫がなされている (例えば、特許文献 1 参照。)。また、RGBW のサブピクセルの面積を各色で異ならせ、カラーバランスを適切に調整する方法も検討されている (例えば、特許文献 2 参照。)。

【0006】

液晶表示装置には、通常、画素電極がマトリクス状に配置され、各画素電極は、薄膜トランジスタ (TFT: Thin Film Transistor) によるスイッチを通して駆動される。TFT は三端子型の電界効果トランジスタであり、各 TFT のドレイン電極は、その TFT に対応する画素電極に接続される。各 TFT のゲート電極は、マトリクスの各行のゲートバスラインと接続される。各 TFT のソース電極は、マトリクスの各列のソースバスラインと接続される。ソースバスラインに画像信号を与えると同時に、ゲートバスラインを順次走査することにより、所望の画像を得ることができる。

30

【0007】

液晶表示装置によっては、各色のサブピクセルによって液晶層の厚み (セルギャップ) を異ならせるマルチギャップの構成をとることがある。ただし、異なる大きさのセルギャップは、画素電極に対し異なる容量値を与えることになるため、サブピクセル間の画素容量を等しくするために、(a) 画素電極面積を等しくし、蓄積容量を異ならせる、(b) 画素電極面積を異ならせ、蓄積容量を等しくする等の工夫が必要となる (例えば、特許文献 3 参照。)。

40

【0008】

また、液晶表示装置においては、正面観測時の γ 特性と斜め観測時の γ 特性とが異なっていることによる視角依存性の問題を解消するために、一つの画素を複数個の副画素に分割し、それぞれの γ 特性が近づくように調節がなされることがある (例えば、特許文献 4 参照。)。 γ 特性とは、表示輝度の階調依存性であり、 γ 特性が正面方向と斜め方向で異なるということは、階調表示状態が観測方向によって異なることを意味している。各副画素に対応する液晶層に異なる電圧を印加することで、異なる γ 特性が混合された状態を作り

50

、 γ 特性に基づく視角依存性を解消することができる。

【0009】

また、スペーサとして、RGBのサブピクセルに対応してカラーフィルタを形成する際に、スペーサを設ける場所にも同様にカラーフィルタを形成し、それらを積層させてスペーサを形成する方法も試みられている（例えば、特許文献5参照。）。特許文献5においては、スペーサがサブピクセル内に形成されることにより各画素の容量が変わることを補償するために、保持容量配線の太さを変えることで、各画素の容量比を等しくする方法が検討されている。

【0010】

また、走査信号線に平行に共通電極線が形成されるアクティブマトリクス基板において、走査信号の立ち下がりの際に生じる画素電位のレベルシフトの不均一性を解消すべく、走査信号線駆動回路から電氣的に遠ざかるにしたがって、走査信号線 - 画素電極間容量 C_{gd} が大きくなるように、各画素回路を形成したアクティブマトリクス基板が開示されている（例えば、特許文献6参照。）。 10

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2001-296523号公報

【特許文献2】特開2007-25697号公報

【特許文献3】特開平6-11733号公報 20

【特許文献4】特開2004-62146号公報

【特許文献5】国際公開第2008/081624号パンフレット

【特許文献6】国際公開第2006/006376号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0012】

本発明者らは、複数色のサブピクセル（以下、絵素ともいう。）を含む液晶表示装置について検討を行っていたところ、絵素ピッチ（例えば、走査線方向に沿った方向における絵素間の長さ）を異ならせたときに、中間調背景に白ウインドウ画面を長時間表示した後、中間調ベタ画面を表示させると、白ウインドウのあった部分のある色だけが背景部分と異なって見える現象が生じる点に着目した。 30

【0013】

図68は、中間調背景に白ウインドウを表示したときの状態を示す模式図であり、図69は、白ウインドウを削除したときの中間調ベタ表示の状態を示す模式図である。図68及び図69に示すように、中間調ベタ表示の状態において、白ウインドウが表示されていた領域には、削除前の表示による焼きつきが生じている。

【0014】

本発明者らは、このような現象が起こる原因について種々検討を行ったところ、例えば画素電極の面積や液晶層の厚みが絵素間で異なること等によって、画素容量が絵素ごとで異なっていたために、表示に焼きつきが起こっていたことを見いだした。 40

【0015】

例えば絵素の面積や液晶層の厚みが色ごとに異なっていると、画素電極との間で形成される静電容量の大きさも、絵素ごとで異なってくる。図70は、隣りあって配置された2つの画素電極のドレイン電圧の信号波形を示す模式図である。

【0016】

図70における左側の信号波形が、ゲートドレイン容量を一定とした場合により画素容量が大きい絵素の波形図であり、図70における右側の信号波形が、ゲートドレイン容量を一定とした場合により画素容量が小さい絵素の波形図である。図70に示すように、絵素ごとにドレイン電圧（ V_d ）の実効値が異なっている。これは、引き込み電圧（ ΔV_d ）の大きさが絵素間で相違しており、かつ画素電極を交流駆動する際にドレイン電圧の極性 50

($V_d(+)$ 、 $V_d(-)$)が、タイミングごとに変化するためである。対向電圧は、画素ごとに対向電極が形成されているわけではないため、全て共通の大きさに設定される。したがって、引き込み後のドレイン電圧($V_d(+)$ 、 $V_d(-)$)の値によって決定される最適対向電圧の値が、絵素ごとで異なる値をもつことになり、全ての絵素を共通の対向電圧で適切に駆動することが困難となる。

【0017】

ここで、面内対向と、ゲート・ドレイン間の寄生容量による面内補正(C_{gd} グラデーション)の説明をする。図71は、液晶表示装置において、 C_{gd} グラデーションを設けなかった場合の面内対向分布121(パネル面内での走査線(ゲートバスライン)方向における最適対向電圧の分布)を示すグラフである。位置 $x=0$ のときは ΔV_d で決まる最適対向電圧であり、走査線方向に進行するにつれてゲート波形が遅延し、 ΔV_d が見かけ上小さくなり、最適対向電圧は大きくなる。対向電圧は、面内で一つの値しかとれないので、位置によって最適対向電圧ズレが起こる。通常は図71に示すように画面中央で対向合わせを行うため、端部では最適対向電圧ズレ120が最大となる。この場合、表示画像にフリッカや表示劣化、焼きつきムラが生じるおそれがある。図72は、液晶表示装置において設けられる C_{gd} グラデーション122を示すグラフである。図73は、従来の液晶表示装置において、 C_{gd} グラデーションを設けた場合の面内対向分布123を示すグラフである。絵素間で画素容量が等しい画素電極を有するパネルにおいては、このような調整により面内対向分布を良好なものとすることができる。

【0018】

一方、絵素間で画素容量が異なる画素電極を有するパネルにおいて、ゲート・ドレイン間の寄生容量(C_{gd})による面内補正(C_{gd} グラデーション)を行う場合について説明する。 C_{gd} グラデーションによる補正は、1 Stepの補正量(補正のない最初に走査線の信号が印加される画素電極が走査線と形成するゲートドレイン容量から、補正を行った次のStepへの補正量。画素電極の走査線との重なり面積によって定められる。本明細書中、 C_{gd} 補正量ともいう)と、その補正量を何画素分保持するかによって行われる。補正の増加量は、この保持する画素数が少ないほど大きく、逆に保持する画素数が多いほど小さい。 C_{gd} 補正量をマイナスにすることもできる。 C_{gd} 補正量や保持する画素数を絵素間の画素容量の違いを考慮しないで決定したときは、パネル面内の補正量がある程度大きい箇所では画素容量の違いに起因して絵素間の ΔV_d 差が更に大きくなってしまい、絵素間の最適対向電圧がばらつくことになる。

【0019】

そして、このような最適対向電圧のばらつきが、焼きつきムラの発生となって表示に影響を及ぼしていたことが、本発明者らの検討により明らかとなった。

【0020】

本発明は、上記現状に鑑みてなされたものであり、 C_{gd} グラデーションを行っているパネルにおいて、絵素間の画素容量が異なっていたとしても、焼きつきが生じにくい液晶表示装置を提供することを目的とするものである。

【課題を解決するための手段】

【0021】

本発明者らは、焼きつきを抑制するために最適対向電圧を絵素間でそろえる方法について種々検討したところ、最適対向電圧を調節するために必要な因子の一つが、上述の ΔV_d である点に着目した。 ΔV_d の大きさを絵素間で近づけることで、最適対向電圧も絵素間でそろえることになる。 ΔV_d の値は、 $\Delta V_d = \alpha \times V_{g^{p-p}}$ で表すことができる。 $V_{g^{p-p}}$ は、上記図70に示すとおり、TFTオフ時のゲート電圧変化を表す。 $V_{g^{p-p}}$ は、ある程度一定の値に保つ必要があるため、 ΔV_d の値を変化させるためには α の調節が必要となる。 α の値は、 $\alpha = C_{gd} / (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ で表される。 C_{sd} は、ソース・ドレイン間の寄生容量、 C_{cs} は、 C_s -ドレイン間の寄生容量、 C_{lc} は、液晶容量である。 $C_{gd} + C_{sd} + C_{cs} + C_{lc}$ の合計値を、以下、 C_{pix} ともいい、TFTのドレインにつながる全ての容量(すなわち、画素容量)を表す。

【 0 0 2 2 】

本発明者らは、 α の値の調節に有効な手段について鋭意検討を行った結果、一つの画素内に配置された複数の画素電極のうち、より大きな画素容量をもつ画素電極が形成するゲートドレイン容量が、より小さな画素容量をもつ画素電極が形成するゲートドレイン容量よりも大きいものとするにより、 α の値を効果的に調節することができることを見いだした。

【 0 0 2 3 】

また、C g dグラデーションを行っているパネルにおいて、画素容量の違いを考慮しないで補正量を決定した場合は、絵素間の $\Delta V d$ 差が更に大きくなってしまいうという課題があったところ、画素電極の重なり面積に着目し、画素電極の重なり面積の増加率を絵素ごとで異ならせてC g dグラデーションを形成することにより、面内対向分布を効果的に調節することができることを見いだした。なお、C g dグラデーションの設定においては、ゲート配線における信号遅延の特性上、C g d補正量($\Delta C g d$)は、通常は走査線の信号の進行方向に従って始めは増加し、かつその増加率が減少するように形成することになる。

【 0 0 2 4 】

本発明者らは、一つの画素内に配置された複数の画素電極のうち、より大きな画素容量をもつ画素電極が形成するゲートドレイン容量が、より小さな画素容量をもつ画素電極が形成するゲートドレイン容量よりも大きいことにより、画素容量の違いにもとづく $\Delta V d$ の違いを合わせ込んでC d g(α)を適切に調整することができ、更に、画素電極の走査線との重なり面積が、単色の絵素に対応して配置される画素電極毎に、走査線の信号の進行方向に従って始めは増加し、かつその増加率が減少するように形成されたものであり、該増加率が画素容量の異なる画素電極毎に異なるものとするにより、各画素電極のC d g補正量も、画素電極の面積に応じて適切に設定することが可能となり、これにより各絵素にとって最適の対向電圧の値により近づけることができることを見いだした。そして、それにより焼き付きの発生を抑制することができることを見だし、上記課題をみごとに解決することができることに想到し、本発明に到達したものである。

【 0 0 2 5 】

すなわち、本発明は、一对の基板と、該一对の基板間に挟持された液晶層とを有し、かつ複数色の絵素によって一つの画素が構成される液晶表示装置であって、上記一对の基板の一方は、走査線と、信号線と、補助容量配線と、該走査線及び該信号線のそれぞれと接続された薄膜トランジスタと、該薄膜トランジスタと接続された画素電極とを備え、上記一对の基板の他方は、対向電極を備え、上記画素電極は、一つの絵素に対応してそれぞれ配置され、上記走査線と上記画素電極とは、ゲートドレイン容量を形成し、上記一つの画素内に配置された複数の画素電極のうち、より大きな画素容量をもつ画素電極が形成するゲートドレイン容量が、より小さな画素容量をもつ画素電極が形成するゲートドレイン容量よりも大きいものであり、上記画素電極の走査線との重なり面積は、単色の絵素に対応して配置される画素電極毎に、走査線の信号の進行方向に従って始めは増加し、かつその増加率が減少するように形成されたものであり、上記増加率は、画素容量の異なる画素電極毎に異なる液晶表示装置である。

【 0 0 2 6 】

本発明の液晶表示装置は、一对の基板と、上記一对の基板間に挟持された液晶層とを有し、かつ複数色の絵素によって一つの画素が構成される。上記一对の基板は、例えば、一方をアレイ基板、他方をカラーフィルタ基板として用いることができる。複数色の絵素は、各絵素に対応して配置されたカラーフィルタによって実現することができ、各色のバランスを調節することで様々な表示色を表現することができる。

【 0 0 2 7 】

上記一对の基板の一方は、走査線(以下、ゲートバスラインともいう。)と、信号線(以下、ソースバスラインともいう。)と、補助容量配線(以下、C sバスラインともいう。)と、上記走査線及び上記信号線のそれぞれと接続された薄膜トランジスタ(T F T)と

、上記薄膜トランジスタと接続された画素電極とを備える。各TFTのドレイン電極は、そのTFTに対応する画素電極に接続される。各TFTのゲート電極は、各行のゲートバスラインと接続される。各TFTのソース電極は、各列のソースバスラインと接続される。ソースバスラインに画像信号を与えるとともに、ゲートバスラインに対し所定のタイミングで電圧印加することにより、所望の画像を得ることができる。

【0028】

上記構成によれば、上記走査線、上記信号線、上記補助容量配線、上記薄膜トランジスタ、及び、上記画素電極のそれぞれは、互いが電氣的に隔離されるように、絶縁膜等を介して一定間隔を空けて配置される必要がある。また、上記画素電極と上記対向電極とは、液晶層を介してそれぞれが離れて配置される。したがって、各配線、電極間には一定量の静電容量が形成される。具体的には、上記走査線と上記画素電極とは、ゲートドレイン容量(C_{gd})を形成し、上記信号線と上記画素電極とは、ソースドレイン容量(C_{sd})を形成し、上記補助容量配線と上記画素電極とは、補助容量(C_{cs})を形成し、上記画素電極と上記対向電極とは、液晶容量(C_{lc})を形成する。

【0029】

上記一对の基板の他方は、対向電極を備える。上記画素電極と上記対向電極との間で電界が形成され、かつ各画素電極が薄膜トランジスタによって個別に制御されることになるので、絵素単位で液晶の配向を制御することができ、それによって画面全体を精密に制御することができる。

【0030】

更に、上記画素電極は、一つの絵素に対応してそれぞれ配置され、上記一つの画素内に配置された複数の画素電極のうち、より大きな画素容量をもつ画素電極が形成するゲートドレイン容量が、より小さな画素容量をもつ画素電極が形成するゲートドレイン容量よりも大きいものとなっている。これにより、 C_{gd} グラデーションを設定する前の α の値を効果的に調節することができる。また、上記走査線の信号が初めに印加される画素電極から進行するに従って画素電極の走査線との重なり面積の増加率は、画素容量の異なる画素電極毎に異なるものとなっている。重なり面積、つまり C_{gd} 補正量と画素容量の大きさとの間には相関関係がある。より画素容量の大きな画素電極を、上記重なり面積がより大きいものとし、より面積の小さな画素電極を、上記重なり面積がより小さいものとするので、回路基板において特徴的な電氣的特性に基づき、上記走査線と上記画素電極とで形成されるゲートドレイン容量(C_{gd})の値を好適に調整することができ、絵素間での最適対向電圧のバラツキを抑えることができる。

【0031】

上記「画素電極の走査線との重なり面積は、単色の絵素に対応して配置される画素電極毎に、走査線の信号の進行方向に従って始めは増加し、かつその増加率が減少する」とは、例えばRGB3原色の絵素を用いた液晶表示装置においては、上記画素電極の走査線との重なり面積が、赤絵素に対応して配置される画素電極について、走査線の信号が進行方向に進むに従って始めは増加し、かつその増加率が減少するように変化し、緑絵素に対応して配置される画素電極について、走査線の信号が進行方向に進むに従って始めは増加し、かつその増加率が減少するように変化し、青絵素に対応して配置される画素電極について、走査線の信号の進行方向に進むに従って始めは増加し、かつその増加率が減少するように変化することをいう。上記「走査線の信号の進行方向に従って始めは増加し」とは、始め(例えば、信号が走査線に入力されるパネル平面上の横軸の位置 $x=0$ から該信号の進行方向側に向かうとき)は増加率が正であることを意味し、上記「その増加率が減少する」とは、減少して負の値になる場合を含むものである。例えば、走査信号線が片入れの液晶表示装置では、通常パネル非入力端付近で重なり面積は減少することになり(増加率が負の値になり)、走査線の信号が両入れの液晶表示装置では、通常パネル中央付近で重なり面積が減少することになり(パネル中央付近で増加率が負の値になる)。なお、ゲートドレイン容量の調整は、TFTチャネル幅の調整、ゲートバスラインとドレイン電極との重なり面積の調整、画素電極とゲートバスラインとの重なり面積の調整等によって行うこ

10

20

30

40

50

とができる。

【0032】

本発明の液晶表示装置の構成としては、このような構成要素を必須として形成されるものである限り、その他の構成要素により特に限定されるものではない。本発明の液晶表示装置における好ましい形態について以下に詳しく説明する。

【0033】

上記一つの画素内に配置された複数の画素電極のうち、より大きな画素容量をもつ画素電極は、該一つの画素内に配置された複数の画素電極のうち、より大きなチャンネル幅を有する薄膜トランジスタと接続されていることが好ましい。言い換えれば、上記一つの画素内に配置された複数の画素電極のうち、より小さな画素容量をもつ画素電極が、上記一つの画素内に配置された複数の薄膜トランジスタのうち、より小さなチャンネル幅を有する薄膜トランジスタと接続されている。

10

【0034】

TFTのチャンネル領域とは、電氣的にソース電極とドレイン電極との間に配置される半導体層のうち、平面的に見てソース電極及びドレイン電極と重畳しない領域、すなわち、不純物ドーピングがなされていない領域である。

【0035】

TFTのチャンネル領域の大きさは、TFTの特性に大きな影響を及ぼす。チャンネル領域の幅が広いほど電流特性はよくなり、チャンネル領域の大きさを変えることで、Cpixを構成するCgdに影響が及ぶ。

20

【0036】

上記チャンネル幅とは、ソース電極とドレイン電極との間隔（以下、チャンネル長さともいう。）を指すのではなく、平面的に見たときに、ソース電極とドレイン電極が相対する部分の幅をいう。チャンネル幅と画素容量の大きさとの間には相関関係があり、画素容量の大きさと画素電極面積との間には相関関係がある。より面積の大きな画素電極に対し、よりチャンネル幅の広いTFTを接続させ、より面積の小さな画素電極に対し、よりチャンネル幅の狭いTFTを接続させることで、TFTの特性に基づき、Cgdグラデーションを設定する前の絵素間での α の値のバラツキを好適に抑制することができる。

【0037】

上記一つの画素内に配置された複数の画素電極のうち、より大きな画素容量をもつ画素電極は、該一つの画素内に配置された複数の画素電極のうち、より画素電極の走査線との重なり面積が大きいことが好ましい。言い換えれば、上記一つの画素内に配置された複数の画素電極のうち、より小さな画素容量をもつ画素電極が、上記一つの画素内に配置された複数の薄膜トランジスタのうち、画素電極の走査線との重なり面積がより小さくなっている。このような形態によっても、Cgdグラデーションを設定する前の絵素間での α の値のバラツキを好適に抑制することができる。更に、 α の値を適切に調整する観点から、上記より大きな画素容量をもつ画素電極の信号線との重なり面積は、上記より小さな画素容量をもつ画素電極の信号線との重なり面積と異なっていることが好適である。また、 α の値を適切に調整する観点から、上記より大きな画素容量をもつ画素電極の補助容量配線との重なり面積は、上記より小さな画素容量をもつ画素電極の補助容量配線との重なり面積と異なっていることが好適である。

30

40

【0038】

上記より大きな画素容量をもつ画素電極の面積は、例えば、上記より小さな画素容量をもつ画素電極の面積と異なっていることを特徴とする。このような形態において、本発明の構成を適用することにより本発明の効果を十分に発揮することができる。上記形態においては、より大きな画素容量をもつ画素電極の面積は、通常、上記より小さな画素容量をもつ画素電極の面積よりも広いものである。

【0039】

上記より大きな画素容量をもつ画素電極と重なっている液晶層の厚みは、例えば、上記より小さな画素容量をもつ画素電極と重なっている液晶層の厚みと異なっていることを特徴

50

とする。このような形態において、本発明の構成を適用することにより本発明の効果を十分に発揮することができる。上記形態においては、上記より大きな画素容量をもつ画素電極と重なっている液晶層の厚みは、通常、上記より小さな画素容量をもつ画素電極と重なっている液晶層の厚みよりも小さいものである。

【0040】

上記信号線と上記画素電極とは、ソースドレイン容量 (C_{sd}) を形成し、上記補助容量配線と上記画素電極とは、補助容量 (C_{cs}) を形成し、上記画素電極と上記対向電極とは、液晶容量 (C_{lc}) を形成し、上記ゲートドレイン容量、上記ソースドレイン容量、上記補助容量、及び、上記液晶容量の総和に対する、上記ゲートドレイン容量の比 (以下、このゲートドレイン容量の比の値を α とする。) は、上記複数色の絵素間で異なっており、上記複数色の絵素に対してそれぞれ得られるゲートドレイン容量の比のうち、最も大きなゲートドレイン容量の比と、最も小さなゲートドレイン容量の比との差は、最も小さなゲートドレイン容量の比に対して 10 % 以下であることが好ましい。より好ましくは、5 % 以下である。

10

【0041】

このときの α の値は、各絵素間で近いことが好ましく、上記数値範囲を有していることで、焼きつきの抑制を十分に達成することができるだけの、各絵素間の最適対向電圧の差を解消することができる。

【0042】

上記信号線と上記画素電極とは、ソースドレイン容量を形成し、上記補助容量配線と前記画素電極とは、補助容量を形成し、上記画素電極と上記対向電極とは、液晶容量を形成し、上記一つの絵素内における、上記ゲートドレイン容量、上記ソースドレイン容量、上記補助容量、及び、上記液晶容量の総和の最大値に対する、上記ゲートドレイン容量、上記ソースドレイン容量、上記補助容量、及び、上記液晶容量の総和の最小値で算出される応答係数 ($C_{pix(min)} / C_{pix(max)}$) の値は、上記複数色の絵素間で異なっており、上記複数色の絵素に対してそれぞれ得られる応答係数のうち、最も大きな応答係数と、最も小さな応答係数との差は、最も小さな応答係数に対して 5 % 以下であることが好ましい。

20

【0043】

上記画素電極は、一つの絵素内で複数に分割されたものであり、上記薄膜トランジスタは、該画素電極のそれぞれと接続され、上記補助容量配線は、該画素電極のそれぞれと重畳し、かつ電圧の極性が一定時間ごとに反転することが好ましい。以下、このように、一つの絵素内で複数に分割された画素電極 (副画素電極ともいう。) を用いて一つの絵素を制御する方式をマルチ駆動方式ともいう。同一絵素内に複数の副画素電極を配置し、それぞれを異なる実効電圧で駆動することで、異なる γ 特性が混合された状態を作り、 γ 特性に基づく視角依存性を解消することができる。また、補助容量配線の電圧の変化を利用してマルチ駆動を行うことで、余分な配線の数を増やさずにすむ。

30

【0044】

上記信号線と上記画素電極とは、ソースドレイン容量 (C_{sd}) を形成し、上記補助容量配線と上記画素電極とは、補助容量 (C_{cs}) を形成し、上記画素電極と上記対向電極とは、液晶容量 (C_{lc}) を形成し、上記ゲートドレイン容量、上記ソースドレイン容量、上記補助容量、及び、上記液晶容量の総和に対する、上記補助容量の比 (以下、この補助容量の比の値を K とする。) は、上記複数色の絵素間で異なっており、上記複数色の絵素に対してそれぞれ得られる補助容量の比のうち、最も大きな補助容量の比と、最も小さな補助容量の比との差は、最も小さな補助容量の比に対して 1.0 % 以下であることが好ましい。

40

【0045】

上記好ましい形態は、赤色 (R)、緑色 (G)、青色 (B) の RGB 3 原色の液晶表示装置、RGB 3 原色に更に黄色 (Y) の絵素を加えた RGBY 4 原色、更にシアン色 (C) の絵素を加えた RGBC 4 原色、又は (W) の絵素を加えた RGBW 4 原色や、RGBY

50

、R G B C又はR G B W等を必須としたそれ以上の多原色の液晶表示パネルにおいて、好適に適用することができる。

【0046】

なお、4原色以上の好ましい形態を挙げれば、赤、緑、青及び黄の副画素を有する画素によって表示面が構成された表示装置であって、赤及び／又は青の副画素は、他の副画素よりも開口面積が大きい形態（他の副画素よりも、赤の副画素の開口面積が最大である形態、青の副画素の開口面積が最大である形態、赤及び青の副画素の開口面積が共に最大である形態）、緑及び／又は黄の副画素は、他の副画素よりも開口面積が小さい形態（他の副画素よりも、緑の副画素の開口面積が最小である形態、黄の副画素の開口面積が最小である形態、緑及び黄の副画素の開口面積が共に最小である形態）が挙げられる。同様に、黄をシアンに置き換えることができる。また、黄及びシアンを同時に有していてもよい。更に、上記画素は、色特性が互いに異なる赤及び／又は青の副画素を有する形態も挙げられる。

10

これら4原色又は4原色以上の液晶表示装置においては、表示に用いる原色の数を増やすことにより、特に赤色の明度の低下によって、視認性が損なわれることになる。また、白表示の色調を調節するために、高色温度の光源が用いられると、赤表示の明度は更に低下し、これに伴って、視認性は更に損なわれる。上記好ましい形態とすれば、明るい赤を表示することができる結果、視認性を向上させることができ、それによって本発明の構成と相まって、本発明の効果を相乗的に得ることができる。

【0047】

20

上述した各形態は、本発明の要旨を逸脱しない範囲において適宜組み合わせられてもよい。

【発明の効果】

【0048】

本発明の液晶表示装置によれば、ゲート・ドレイン間の寄生容量による面内補正（C g dグラデーション）を行っているパネルにおいて、最適対向電圧のばらつきが絵素間で調節されているので、焼き付きの発生を抑制することができる。

【図面の簡単な説明】

【0049】

【図1】実施形態1の液晶表示装置において、C g dグラデーションを設けなかった場合のR G B 3原色それぞれの面内対向分布を示すグラフである。

30

【図2】実施形態1の液晶表示装置の画素電極、T F T及び各種配線の配置構成を示す平面模式図である。

【図3】実施形態1におけるカラーフィルタがストライプ配列であるときの平面模式図である。

【図4】実施形態1におけるカラーフィルタが田の字配列であるときの平面模式図である。

【図5】実施形態1の液晶表示装置における等価回路図である。

【図6】実施例1の1画素あたりのカラーフィルタの平面模式図である。

【図7】チャンネル幅の大きさを調節したT F Tの第一の例を示す平面模式図である。

【図8】チャンネル幅の大きさを調節したT F Tの第二の例を示す平面模式図である。

40

【図9】チャンネル幅の大きさを調節したT F Tの第二の例を示す平面模式図（拡大図）である。

【図10】チャンネル幅の大きさを調節したT F Tの第三の例を示す平面模式図である。

【図11】チャンネル幅の大きさを調節したT F Tの第三の例を示す平面模式図（拡大図）である。

【図12】実施例2の1画素あたりのカラーフィルタの平面模式図である。

【図13】実施例3の1画素あたりのカラーフィルタの平面模式図である。

【図14】実施例4の1画素あたりのカラーフィルタの平面模式図である。

【図15】実施例5の1画素あたりのカラーフィルタの平面模式図である。

【図16】実施例5の1画素あたりのカラーフィルタの平面模式図である。

50

【図 1 7】実施例 6 の 1 画素あたりのカラーフィルタの平面模式図である。

【図 1 8】実施例 6 の 1 画素あたりのカラーフィルタの平面模式図である。

【図 1 9】実施例 6 の 1 画素あたりのカラーフィルタの平面模式図である。

【図 2 0】実施例 6 の 1 画素あたりのカラーフィルタの平面模式図である。

【図 2 1】実施例 7 の 1 画素あたりのカラーフィルタの平面模式図である。

【図 2 2】実施例 7 の 1 画素あたりのカラーフィルタの平面模式図である。

【図 2 3】実際に実施例 5 において画素電極の重なり面積の大きさを調節した一例を示す T F T の平面模式図である。

【図 2 4】実施形態 1 の液晶表示装置における S t e p (n) と S t e p (n + 1) との間のモザイク領域を示すグラフである。

10

【図 2 5】実施例 8 の液晶表示装置において、ゲート入力端からの相対位置に対する ΔV_d 補正量 (m V) を示すグラフである。

【図 2 6】実施例 8 の変形例の液晶表示装置において設けた C g d グラデーションを示すグラフである。

【図 2 7】実施例 8 の変形例の液晶表示装置において、C g d グラデーションを設けた場合の R G B 3 原色それぞれの面内対向分布を示すグラフである。

【図 2 8】実施例 8 のもう一つの変形例の液晶表示装置において設けた C g d グラデーションを示すグラフである。

【図 2 9】実施例 8 のもう一つの変形例の液晶表示装置において、C g d グラデーションを設けた場合の R G B 3 原色それぞれの面内対向分布を示すグラフである。

20

【図 3 0】実施例 9 の液晶表示装置において、ゲート入力端からの相対位置に対する ΔV_d 補正量 (m V) を示すグラフである。

【図 3 1】実施例 9 の変形例の液晶表示装置において設けた C g d グラデーションを示すグラフである。

【図 3 2】実施例 9 の変形例の液晶表示装置において、C g d グラデーションを設けた場合の R G B 3 原色それぞれの面内対向分布を示すグラフである。

【図 3 3】比較例 1 の液晶表示装置において、ゲート入力端からの相対位置に対する ΔV_d 補正量 (m V) を示すグラフである。

【図 3 4】比較例 1 の変形例の液晶表示装置において設けた C g d グラデーションを示すグラフである。

30

【図 3 5】比較例 1 の変形例の液晶表示装置において、C g d グラデーションを設けた場合の R G B 3 原色それぞれの面内対向分布を示すグラフである。

【図 3 6】チャネルサイズ比と画素電極面積比との関係を示すグラフである。

【図 3 7】ゲートバスラインとドレイン電極とが重なった領域を示す平面模式図である。

【図 3 8】ゲートバスラインとドレイン電極とが重なった領域を示す平面模式図である。

【図 3 9】ゲートバスラインとドレイン電極とが重なった領域を示す平面模式図である。

【図 4 0】図 3 7 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 3 7 における T F T の d 1 を変更した形態である。

【図 4 1】図 3 7 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 3 7 における T F T の d 1 を変更した形態である。

40

【図 4 2】図 3 7 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 3 7 における T F T の d 2 を変更した形態である。

【図 4 3】図 3 7 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 3 7 における T F T の d 2 を変更した形態である。

【図 4 4】図 3 8 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例であり、図 3 8 における T F T の d 3 を変更

50

した形態である。

【図４５】図３８で示されるＴＦＴの例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節したＴＦＴの一例であり、図３８におけるＴＦＴのｄ４を変更した形態である。

【図４６】図３８で示されるＴＦＴの例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節したＴＦＴの一例であり、図３８におけるＴＦＴのｄ４を変更した形態である。

【図４７】ゲートバスラインと画素電極とが重なった領域を示す平面模式図であり、通常のゲートバスラインと画素電極とが重なった形態である。

【図４８】ゲートバスラインと画素電極とが重なった領域を示す平面模式図であり、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した例である。

10

【図４９】ゲートバスラインと画素電極とが重なった領域を示す平面模式図であり、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した例である。

【図５０】ゲートドレイン重なり面積比と画素電極面積比との関係を示すグラフである。

【図５１】フレーム期間と印加電圧の到達率との関係を示すグラフである。

【図５２】応答係数の違いによる表示への影響を調べたときの表示状態を示す模式図である。

【図５３】「 $C_{pix}(min)/C_{pix}(max)$ 」で表される応答係数の好適な範囲を示すグラフである。

【図５４】実施形態２の液晶表示装置の画素電極、ＴＦＴ及び各種配線の配置構成を示す平面模式図である。

20

【図５５】実施形態２の液晶表示装置における等価回路図である。

【図５６】マルチ画素駆動を行ったときの信号波形を示す図である。

【図５７】実施形態２におけるＣｓバスラインとドレイン電極の広がり部分とが重複する範囲を示す平面模式図である。

【図５８】画素電極とＣｓバスラインとの重なり面積でＣｓ容量を調節する際の一例を示す平面模式図である。

【図５９】画素電極とＣｓバスラインとの重なり面積でＣｓ容量を調節する際の一例を示す平面模式図である。

【図６０】画素電極とＣｓバスラインとの重なり面積でＣｓ容量を調節する際の一例を示す平面模式図である。

30

【図６１】画素電極とＣｓバスラインとの重なり面積でＣｓ容量を調節する際の一例を示す平面模式図である。

【図６２】マルチ駆動を行った場合の、Ｃｓ振幅を示す波形図である。

【図６３】実施形態３における画素電極及び配線の配置構成を示す平面模式図である。

【図６４】実施形態４における画素電極及び配線の配置構成を示す平面模式図である。

【図６５】実施形態５における画素電極及び配線の配置構成を示す平面模式図である。

【図６６】実施形態６において３色の絵素を用いた形態を示す断面模式図である。

【図６７】実施形態６において４色の絵素を用いた形態を示す断面模式図である。

【図６８】中間調背景に白ウインドウを表示したときの状態を示す模式図である。

40

【図６９】白ウインドウを削除したときの中間調ベタ表示の状態を示す模式図である。

【図７０】隣りあって配置された２つの画素電極のドレイン電圧の信号波形を示す模式図である。

【図７１】液晶表示装置において、Ｃｇｄグラデーションを設けなかった場合の面内対向分布を示すグラフである。

【図７２】液晶表示装置において設けられるＣｇｄグラデーションを示すグラフである。

【図７３】従来の液晶表示装置において、Ｃｇｄグラデーションを設けた場合の面内対向分布を示すグラフである。

【発明を実施するための形態】

【００５０】

50

本明細書中、画素電極の配線との重なり面積とは、ドレイン電極の配線との重なり面積を含むものである。また、画素電極の走査線との重なり面積とは、画素電極のゲート電極との重なり面積を含む。画素電極の信号線との重なり面積とは、画素電極のソース電極との重なり面積を含む。

【 0 0 5 1 】

以下に実施形態を掲げ、本発明について図面を参照して更に詳細に説明するが、本発明はこれらの実施形態のみに限定されるものではない。

【 0 0 5 2 】

実施形態 1

図 1 は、実施形態 1 の液晶表示装置において、C g d グラデーションを設けなかった場合の R G B 3 原色それぞれの面内対向分布を示すグラフである。

図 1 中、一点鎖線は、G (緑) の面内対向分布 1 0 1 を示し、点線は、B (青) の面内対向分布 1 0 1 を示し、破線は、R (赤) の面内対向分布 1 0 1 を示す。位置 x は、信号が走査線に入力されるパネル平面上の横軸の位置を 0 としたときの走査線信号側の位置を示す。

図 1 に示したように、絵素によって $\Delta V d$ に差 A がある場合、C g d グラデーションを設けなかったときは、R G B 3 原色それぞれの面内対向分布 1 0 1 が異なることになる。これに対して C g d グラデーションを設ける図 (図 2 6 ~ 図 2 9 、並びに、図 3 1 ~ 図 3 2) については後述する通りである。

【 0 0 5 3 】

図 2 は、実施形態 1 の液晶表示装置の画素電極、T F T 及び各種配線の配置構成を示す平面模式図である。図 2 に示すように、実施形態 1 においては、一つの絵素に対して一つの画素電極が配置されている。また、複数個の絵素によって一つの画素が構成されており、各絵素を個別に制御することで各画素が制御され、更に液晶表示装置による表示全体が制御される。

【 0 0 5 4 】

実施形態 1 の液晶表示装置は、行方向 (横方向) に伸びるゲートバスライン 1 1 、列方向 (縦方向) に伸びるソースバスライン 1 2 を有している。また、ゲートバスライン 1 1 とソースバスライン 1 2 とのいずれにも接続された T F T 1 4 を有している。T F T 1 4 は、画素電極 1 5 とともに接続されている。また、画素電極 1 5 の少なくとも一部で重なる C s バスライン 1 3 を有しており、例えば、図 2 に示すように、画素電極 1 5 の中央を横切るように、行方向に伸びて形成されている。

【 0 0 5 5 】

実施形態 1 においては、一つの絵素に対して一種のカラーフィルタが配置されている。画素を構成する絵素の色の種類、数、及び、配置順は特に限定されず、例えば、R G B 、R G B Y 、R G B C 、R G B W 等の組み合わせが挙げられる。絵素の色はカラーフィルタで決定される。カラーフィルタの配置形態としては、例えば、図 3 に示すような、画素電極の境界に関わらず縦方向に伸びて形成されるストライプ配列、図 4 に示すような、4 つの色を有し、行方向及び列方向にそれぞれ 2 つずつ各色が配置される田の字配列が挙げられる。

【 0 0 5 6 】

図 5 は、実施形態 1 の液晶表示装置における等価回路図である。実施形態 1 においては、絵素 (サブピクセル) 単位で回路パターンが形成されており、図 5 においては、2 絵素分の回路パターンが表されている。

【 0 0 5 7 】

液晶層を間に介して対向配置された画素電極と対向電極とによって液晶容量 C l c が形成される。C l c の値は、一对の電極によって液晶層に印加される実効電圧 (V) に依存する。絶縁膜を間に介して対向配置された画素電極と C s バスライン (補助容量配線) とによって補助容量 C c s が形成される。絶縁膜を間に介して対向配置された画素電極とゲートバスライン (走査線) とによってゲートドレイン容量 C g d が形成される。絶縁膜を間

10

20

30

40

50

に介して対向配置された画素電極とソースバスライン（信号線）とによって、ソースドレイン容量 C_{sd} が形成される。

【0058】

TFT（薄膜トランジスタ）は、シリコン等を材料とする半導体層、並びに、ゲート電極、ソース電極及びドレイン電極の3つの電極を備える。画素電極は、TFTのドレイン電極と接続されている。TFTのゲート電極は、ゲートバスラインと接続されており、TFTのソース電極は、ソースバスラインと接続されている。

【0059】

所定のタイミングでゲートバスラインにパルス的に供給される走査信号が、所定のタイミング（線順次、一つとばし、2ライン同時書き込み等）で各TFTに印加される。そして、走査信号の入力により一定期間だけオン状態とされたTFTに接続された画素電極に、ソースバスラインから供給される画像信号が印加される。

10

【0060】

絵素ごとに液晶層に書き込まれた所定レベルの画像信号は、画像信号が印加された画素電極と、この画素電極に対向する対向電極との間で一定期間保持される。画像信号が印加された後、保持された画像信号がリークすることがあるが、これを防ぐために、画素電極と対向電極との間に形成される液晶容量 C_{lc} と並列に、補助容量 C_{cs} が形成される。

【0061】

実施形態1においては、図2に示すように、各画素電極15の横の長さが異なり、各画素電極15の縦の長さは同一であるため、各画素電極15の面積がそれぞれ異なっている。

20

【0062】

以下、具体的に、赤、緑及び青の3色のカラーフィルタ、及び、赤、緑、青及び黄の4色のカラーフィルタの配置形態（実施例1～6）の例を挙げて説明する。

【0063】

実施例1

図6は、実施例1の1画素あたりのカラーフィルタの平面模式図である。図6に示すように、実施例1においてカラーフィルタは、赤（R）、緑（G）及び青（B）の3色のカラーフィルタが配置されている。実施例1におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。

30

【0064】

画素電極の縦方向の長さは、赤、緑及び青の各色で同じとなるように形成されているのに対し、横方向の長さ（絵素ピッチ）は各色で異なっている。通常、絵素ピッチの大きいもののほど絵素面積は大きい。

【0065】

具体的には、緑の絵素のピッチ幅は、赤の絵素のピッチ幅より大きく、かつ青の絵素のピッチ幅より大きい。赤のピッチ幅と青のピッチ幅とは、同じである。したがって、緑の絵素の面積は、赤の絵素の面積より大きく、かつ青の絵素の面積より大きい。

【0066】

赤、緑及び青のピッチ幅を全て同じとせず、緑の比率を増やすことで、これらが同じ比率である場合と比べ、より高い透過率が得られる。なお、画素電極の面積が各絵素間で異なることで、カラーバランスが崩れることがあるが、バックライトの制御により調整することが可能である。具体的には、バックライト信号の制御、バックライトに用いる光源の蛍光体比の変更等により調整することができる。

40

【0067】

実施例1では、TFTのチャネル幅を利用して、 $\alpha = C_{gd} / (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ の値の絵素間でのバランスを調整している。具体的には、より広い面積をもつ画素電極に対しては、より大きなチャネル幅をもつTFTが配置されている。したがって、緑の絵素におけるTFTのチャネル幅は、赤の絵素におけるTFTのチャネル幅よりも大きく、かつ青の絵素におけるTFTのチャネル幅よりも大きい。

50

【0068】

これにより、ゲートバスラインと画素電極とによって形成されるゲートドレイン容量 (C_{gd})、ソースバスラインと画素電極とによって形成されるソースドレイン容量 (C_{sd})、 C_s バスラインと画素電極とによって形成される補助容量 (C_{cs})、及び、画素電極と対向電極とによって形成される液晶容量 (C_{lc}) のバランスの調節を絵素ごとに容易に行うことができる。

【0069】

図7～図11は、実施例1においてTFTのチャネルの幅 d ($d_1 \sim d_5$) を絵素間で異なる手段の一例を示す平面模式図である。図7～図11に示すように、TFT 14は、ゲートバスライン11とソースバスライン12とのそれぞれと接続されている。TFT 14は、シリコン等で形成された半導体層と、ソースバスライン12の一部から延伸されたソース電極22と、半導体層を介してソースバスライン12からの画像信号を画素電極に供給するドレイン電極23と、ゲートバスライン11のうち、半導体層と重畳する領域であるゲート電極とを、構成要素として備えている。

10

【0070】

ドレイン電極23は、絵素の中央に向かって延伸されており、一定の広がりをもって形成されている。上記一定の広がりをもった部分23a上の絶縁膜には、コンタクトホール24が形成されており、コンタクトホール24を通じて、ドレイン電極23と画素電極とは電氣的に接続されている。

【0071】

ドレイン電極23の広がりをもった部分23aは、絶縁膜を介して下層に配置された C_s バスラインとの間で補助容量を形成する。 C_s バスラインは、ゲートバスライン11と平行に延伸されている。

20

【0072】

TFT 14が備える半導体層は、ソース電極22とドレイン電極23との双方と重畳しており、ソース電極22と重畳する領域がソース領域であり、ドレイン電極23と重畳する領域がドレイン領域である。また、ソース電極22とドレイン電極23の双方と重畳せず、かつ平面的にみてソース電極22とドレイン電極23との間に位置する領域がチャネル領域21である。したがって、半導体層は、ソース領域、チャネル領域21、及び、ドレイン領域の3つの領域を有していることになる。

30

【0073】

チャネル領域21は、ゲートバスライン11と重畳しており、ゲートバスライン11に走査信号が入力されたときのみ、画像信号をソース電極22からドレイン電極23に供給することができる。チャネル領域21の長さ(ソース電極22とドレイン電極23との間隔)は、適正な値がある程度決められているため、チャネル領域21の長さを各絵素で変更することは好ましくないが、チャネル領域21の幅 d を調節することは可能であり、チャネル領域21の長さに対するチャネル領域の幅 d を広げると、よりTFT 14の電気特性が向上する。したがって、実施例1においては、緑の絵素におけるチャネル幅 d を、赤及び青の絵素におけるチャネル幅 d よりも大きく形成している。

【0074】

これにより、画素電極との間で形成されるゲートドレイン容量 (C_{gd}) の値が変化するため、これを利用して各絵素における最適の対向電圧の値を変化させ、それぞれの値を近づけるように調節することができる。

40

【0075】

図7は、チャネル幅の大きさを調節したTFTの第一の例を示す平面模式図である。図7におけるTFTのチャネル領域21は、ドレイン電極23とソース電極22との間に形成されており、 d_1 のチャネル幅を有している。 d_1 の大きさを絵素ごとに変えることで、絵素間で α の大きさを調節することができる。

【0076】

図8及び図9は、チャネル幅の大きさを調節したTFTの第二の例を示す平面模式図であ

50

る。図 8 における T F T 1 4 のチャネル幅 d_2 は、ドレイン電極 2 3 とソース電極 2 2 との間のみならず、ドレイン電極 2 3 とソースバスライン 1 2 の一部との間にも形成されている。このときの T F T 1 4 のチャネル幅 d_2 は、図 9 に示すように、ソースバスライン 1 2 と対向する部分 d_3 と、ソース電極 2 2 と対向する部分 d_4 とを足した長さとなる。 d_2 の大きさを絵素ごとに变えることで、絵素間で α の大きさを調節することができる。

【 0 0 7 7 】

図 1 0 及び図 1 1 は、チャネル幅の大きさを調節した T F T の第三の例を示す平面模式図である。図 1 0 における T F T 1 4 においては、ソースバスライン 1 2 の一部から延伸されたソース電極 2 2 が途中で枝分かれしており、ドレイン電極 2 3 の先端を囲うような形状を有している。このときの T F T 1 4 のチャネル幅 d_5 は、図 1 1 に示すように、ゲートバスライン 1 1 に平行な部分 d_6 、 d_8 と、ソースバスライン 1 2 に平行な部分 d_7 とを足した長さとなる。 d_5 の大きさを絵素ごとに变えることで、絵素間で α の大きさを調節することができる。

10

【 0 0 7 8 】

実施例 1 においては、絵素間で α の値が近いことが好ましい。具体的には、絵素間での α の値の比「 $(\alpha \text{ の最大値} - \alpha \text{ の最小値}) / \alpha \text{ の最小値}$ 」で表される値は、10% 以下であることが好ましい。絵素間で α がそろふことで、引き込み電圧である ΔV_d のばらつきが抑制され、絵素間での最適対向電圧がそろふことになる。そして、それにより焼き付きの発生の可能性を大きく低減することができる。 α は、 $\alpha = C_{gd} / C_{pix}$ (C_{pix} は、 $C_{gd} + C_{sd} + C_{cs} + C_{lc}$) で表される。そのため、 α 値の絵素間でのバランスを調整するためには、これらのパラメーターの調整が必要であり、その調整にはチャネル幅の調整が効果的である。

20

【 0 0 7 9 】

実施例 2

図 1 2 は、実施例 2 の 1 画素あたりのカラーフィルタの平面模式図である。図 1 2 に示すように、実施例 2 におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。また、実施例 2 においてカラーフィルタは、赤 (R)、緑 (G) 及び青 (B) の 3 色が用いられている。色の配置順は特に限定されない。実施例 2 では、赤 (R) のピッチ幅が、緑 (G) のピッチ幅よりも青 (B) のピッチ幅よりも狭い。緑 (G) のピッチ幅と青 (B) のピッチ幅とは同じである。

30

【 0 0 8 0 】

赤、緑及び青のピッチ幅を全て同じとせず、赤の比率を減らすことで、これらが同じ比率である場合と比べ、より高い透過率が得られる。なお、画素電極の面積が各絵素間で異なることで、カラーバランスが崩れることがあるが、バックライトの制御により調整することが可能である。具体的には、バックライト信号の制御、バックライトに用いる光源の蛍光体比の変更等により調整することができる。

【 0 0 8 1 】

実施例 3

図 1 3 は、実施例 3 の 1 画素あたりのカラーフィルタの平面模式図である。図 1 3 に示すように、実施例 3 におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。また、実施例 3 においてカラーフィルタは、赤 (R)、緑 (G) 及び青 (B) の 3 色が用いられている。色の配置順は特に限定されない。実施例 3 では、赤 (R) のピッチ幅が青 (B) のピッチ幅よりも狭く、青 (B) のピッチ幅が緑 (G) のピッチ幅よりも狭い。

40

【 0 0 8 2 】

赤、緑及び青のピッチ幅を全て同じとせず、赤の比率を減らし、かつ緑の比率を増やすことで、これらが同じ比率である場合と比べ、より高い透過率が得られる。なお、画素電極の面積が各絵素間で異なることで、カラーバランスが崩れることがあるが、バックライトの制御により調整することが可能である。具体的には、バックライト信号の制御、バックライトに用いる光源の蛍光体比の変更等により調整することができる。

50

【 0 0 8 3 】

実施例 4

図 1 4 は、実施例 4 の 1 画素あたりのカラーフィルタの平面模式図である。図 1 4 に示すように、実施例 4 におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。また、実施例 4 においてカラーフィルタは、赤（R）、緑（G）、青（B）、及び、黄（Y）の 4 色が用いられている。色の配置順は特に限定されない。実施例 4 では、緑（G）のピッチ幅と黄（Y）のピッチ幅とは同じであり、赤（R）のピッチ幅と青（B）のピッチ幅とは同じである。緑（G）及び黄（Y）のピッチ幅は、赤（R）及び青（B）のピッチ幅よりも狭い。

【 0 0 8 4 】

赤、緑、青及び黄のピッチ幅を全て同じとせず、赤及び青の比率をより高く、かつ緑及び黄の比率をより低くすることで、これらが同じ比率である場合と比べ、より広い色再現性が得られる。なお、画素電極の面積が各絵素間で異なることで、カラーバランスが崩れることがあるが、バックライトの制御により調整することが可能である。具体的には、バックライト信号の制御、バックライトに用いる光源の蛍光体比の変更等により調整することができる。

【 0 0 8 5 】

実施例 5

図 1 5 及び図 1 6 は、実施例 5 の 1 画素あたりのカラーフィルタの平面模式図である。図 1 5 に示すように、実施例 5 におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。また、実施例 5 においてカラーフィルタは、赤（R）、緑（G）、青（B）、及び、黄（Y）の 4 色が用いられている。色の配置順は特に限定されない。実施例 5 では、緑（G）のピッチ幅と黄（Y）のピッチ幅とは同じである。赤（R）のピッチ幅は、緑（G）及び黄（Y）のいずれのピッチ幅よりも大きく、青（B）のピッチ幅もまた、緑（G）及び黄（Y）のいずれのピッチ幅よりも大きい。

【 0 0 8 6 】

赤、緑、青及び黄のピッチ幅を全て同じとせず、赤及び青の比率をより高く、かつ緑及び黄の比率をより低くすることで、これらが同じ比率である場合と比べ、より広い色再現性が得られる。なお、画素電極の面積が各絵素間で異なることで、カラーバランスが崩れることがあるが、バックライトの制御により調整することが可能である。具体的には、バックライト信号の制御、バックライトに用いる光源の蛍光体比の変更等により調整することができる。

【 0 0 8 7 】

赤のピッチ幅と青のピッチ幅との関係では、いずれが大きい形態も想定される。青のピッチ幅がより大きければ、図 1 5 のようになり、赤のピッチ幅がより大きければ、図 1 6 のようになる。

【 0 0 8 8 】

これらは、セルギャップを保持するスペーサの配置場所、表示領域内の Cs 配線の形成場所等により赤のピッチ幅と青のピッチ幅とを適宜設定することが好ましい。具体的には、スペーサとして、複数色のカラーフィルタを積層して形成する積層スペーサが用いられる場合、十分な高さを得るために、赤の絵素に積層スペーサを形成することがありうる。このときは、赤の比率を、青の比率よりも小さくすることが好ましい。また、例えば、ゲートバスライン、ソースバスライン等のメタル配線に銅（Cu）が用いられる場合、銅（Cu）による反射が赤みを帯びることになるため、青の絵素に積層スペーサが形成されることがありうる。このときは、青の比率を、赤の比率よりも小さくすることが好ましい。

【 0 0 8 9 】

実施例 6

図 1 7 ~ 図 2 0 は、実施例 6 の 1 画素あたりのカラーフィルタの平面模式図である。図 1 7 ~ 図 2 0 に示すように、実施例 6 におけるカラーフィルタは、ストライプ配列であり、パネルの縦方向に同色の絵素が形成される。また、実施例 6 においてカラーフィルタは、

赤（Ｒ）、緑（Ｇ）、青（Ｂ）、及び、黄（Ｙ）の４色が用いられている。色の配置順は特に限定されない。実施例６では、赤のピッチ幅は、緑及び黄のいずれのピッチ幅よりも大きく、青のピッチ幅もまた、緑及び黄のいずれのピッチ幅よりも大きい。緑のピッチ幅と黄のピッチ幅との関係、及び、赤のピッチ幅と青のピッチ幅との関係は、いずれが大きい形態も想定される。図１７は、ピッチ幅が黄＜緑＜青＜赤の形態であり、図１８は、ピッチ幅が緑＜黄＜青＜赤の形態であり、図１９は、ピッチ幅が黄＜緑＜赤＜青の形態であり、図２０は、ピッチ幅が緑＜黄＜赤＜青の形態である。

【００９０】

赤、緑、青及び黄のピッチ幅を全て同じとせず、赤及び青の比率をより高く、かつ緑及び黄の比率をより低くすることで、これらが同じ比率である場合と比べ、より広い色再現性が得られる。なお、画素電極の面積が各絵素間で異なることで、カラーバランスが崩れることがあるが、バックライトの制御により調整することが可能である。具体的には、バックライト信号の制御、バックライトに用いる光源の蛍光体比の変更等により調整することができる。

10

【００９１】

赤のピッチ幅と青のピッチ幅、及び、緑のピッチ幅と黄のピッチ幅の関係については、実施例５と同様、セルギャップを保持するスペーサの配置場所、表示領域内のＣｓ配線の形成場所等によりそれぞれのピッチ幅を適宜設定することが好ましい。具体的には、上述したとおりである。

【００９２】

20

実施例７

図２１及び図２２は、実施例７の１画素あたりのカラーフィルタの平面模式図である。図２１及び図２２に示すように、実施例７におけるカラーフィルタは、赤、緑、青及び黄の４色絵素による田の字配列であり、縦方向及び横方向のそれぞれに２つずつ形成された計４つのマスによって一つの絵素が構成される。色の配置順は特に限定されない。各絵素の面積は、実施例４～６のいずれのパターンも適用することができる。すなわち、実施例７は、ストライプ配列が田の字配列となったこと以外は、同様である。なお、田の字配列であれば、ストライプ配列の場合と異なり、画素が横方向に並ぶ絵素のみならず、縦方向に並ぶ絵素によっても構成される。したがって、図２１のように、縦方向のピッチ幅が異なる場合もあれば、図２２のように、横方向のピッチ幅が異なる場合も想定される。

30

【００９３】

赤、緑、青及び黄のピッチ幅を全て同じとせず、赤の比率をより低くすることで、これらが同じ比率である場合と比べ、より高い透過率が得られる。なお、画素電極の面積が各絵素間で異なることで、カラーバランスが崩れることがあるが、バックライトの制御により調整することが可能である。具体的には、バックライト信号の制御、バックライトに用いる光源の蛍光体比の変更等により調整することができる。

【００９４】

以下に、実施例５の液晶表示装置において、画素電極のゲート電極との重なり面積を調整することでＣｇｄグラデーションを設定するとともに絵素間の α の値の調整を行った例を示す。図２３は、実際に実施例５において画素電極の重なり面積の大きさを調節した一例を示すＴＦＴの平面模式図である。

40

【００９５】

図２３に示すように、ＴＦＴ１４は、ソースバスライン１２の一部から延伸されたソース電極２２と、ゲートバスライン１１の一部から延伸されたゲート電極２５と、画素電極と接続されたドレイン電極２３とを有している。また、ＴＦＴ１４は、ゲート電極２５と重なる位置に半導体層を有しており、半導体層の一部は、ソース電極２２及びドレイン電極２３のそれぞれの一部と重畳している。更に、半導体層の他の一部は、ソース電極２２及びドレイン電極２３のいずれにも重畳しておらず、このうち、平面的に見てソース電極２２とドレイン電極２３とに挟まれる領域がチャンネル領域２１である。ここでは、半導体層のチャンネル領域２１の幅は絵素間で異なって設定されるが、ソース電極２２とドレイン電

50

極 2 3 との間隔は、均一となるように設定されている。

【 0 0 9 6 】

図 2 3 に示す例では、ドレイン電極 2 3 はソースバスライン 1 2 に平行な方向に延伸された直線状である。また、ソース電極 2 2 は、平面的に見てゲートバスライン 1 1 側と逆側を向いて開かれた開口を有し、ドレイン電極 2 3 の先端を囲うような形状を有している。

【 0 0 9 7 】

ドレイン電極 2 3 の幅は c であり、ドレイン電極 2 3 とソース電極 2 2 との間隔のうち、ゲートバスライン 1 1 と平行な方向の長さは d である。ドレイン電極 2 3 とソース電極 2 2 との間の距離のうち、ソースバスライン 1 2 と平行な方向の長さは e である。ソース電極 2 2 がドレイン電極 2 3 と対向する部位のソースバスライン 1 2 と平行な方向の長さは a である。ゲート電極 2 5 のソースバスライン 1 2 と平行な方向の長さからソース電極 2 2 のソースバスライン 1 2 と平行な方向の長さを差し引いた長さは b である。

【 0 0 9 8 】

C g d グラデーションを設定する前の各絵素の情報（グラデーションを設定する前の絵素間での $\Delta V d$ 差を低減するように設定されている）を、表 1 に示す。

実施例 5 の液晶表示装置においては、異なる絵素ピッチをもつ 4 色の絵素において、絵素のピッチ幅を「青」>「赤」>「緑＝黄」とした場合に、それぞれの絵素間での $a \sim e$ の値を下記表 1 のように調整することで、絵素間での α のズレ（ $\max - \min$ ）を、3.88%とすることができた。また、 $\Delta V d$ は、赤の絵素で 1.838 V、緑及び黄の絵素で 1.901 V、青の絵素で 1.910 V となっており、 $\Delta V d$ の最大値と最小値との間の差は、7.2 mV であった。後述する実施例 8 及び実施例 9 では、更に C g d グラデーションを設定するとともに絵素間の α の値を調整することになる。なお、グラデーションを設定しない場合は、面内対向分布が生じることになり、表示画像にフリッカや表示劣化が生じるおそれがある。なお、ここでの各絵素のピッチ幅の比は、「赤」：「緑」：「黄」：「青」が 1.4 : 1 : 1 : 1.7 であった。

【 0 0 9 9 】

【表 1】

	R絵素	GY絵素	B絵素
$a(\mu m)$	28.0	19.0	40.5
$b(\mu m)$	6.0	6.0	6.0
$c(\mu m)$	5.0	5.0	5.0
$d(\mu m)$	4.5	4.5	4.5
$e(\mu m)$	4.5	4.5	4.5
$\Delta V d(V)$	1.838	1.901	1.910

【 0 1 0 0 】

実施例 8

上記表 1 に示した各絵素を有する液晶表示装置において、各絵素に対して等しい $\Delta C g d / C p i x$ をかけるようにグラデーションを設定した場合の各絵素の情報を、下記表 2 に示す。なお、C d g グラデーションを設定するために、走査線の信号進行方向に沿ってゲート電極の長さを変動させ、ゲート電極とドレイン電極との重なり面積を変動させている。この変動するゲート電極 2 6 の長さは、 g である。また、ゲートバスライン 1 1 の一部から延伸されたゲート電極 2 5 のゲートバスライン 1 1 と平行な方向の長さは f である。1 S t e p 当たりの補正量（C g d 補正量）は、1 S t e p につき g の大きさを増減させた大きさである。全 S t e p 数は、当該補正のうち、 g の大きさを増加させる補正を行った段数である。最大補正量は、 g の最大値である。1 S t e p 当たりの $\Delta V d$ 補正量（mV）は、1 S t e p 当たりの g の増減に伴う $\Delta V d$ の増減量である。最大補正量（mV）は、 g が最大値となったときの $\Delta V d$ 補正量であり、 $\Delta V d$ 補正量の最大値である。最適対向ズレ（mV）は、グラデーションを設定する前の面内対向分布の最大値と最小値の差

である。最大補正量をかけた位置での ΔV_d (V)は、 g が最大値となったとき(パネル面内で、 g が最大となる位置)の ΔV_d の値である。

【0101】

なお、図24は、実施形態1の液晶表示装置におけるStep(n)とStep(n+1)との間のモザイク領域を示すグラフである。モザイク領域133とは、Step(n)の画素131とStep(n+1)の画素132とが混在している領域をいい、液晶表示装置において設けていても設けていなくてもよい。モザイク領域133の走査線方向の画素数は、視覚的な段差が生じることを抑制して滑らかな表示とするという目的を達成することができればよく、通常一定(例えば、24)であり、混在が生じていない部分の画素数(保持する画素数)は、例えば4以上とすることができる。また、実施例9及び比較例1においても同様にモザイク領域が設けられている。Cgdグラデーションによる補正は、基本的に、上述した1Step当たりの補正量と混在が生じていない部分の画素数とで決定するものである。保持する画素数が少ないほど急峻に補正をかけることになり、補正の増加量を大きくすることができる。逆に保持する画素数が多いほどなだらかに補正をかけることになり、補正の増加量を小さくすることができる。

【0102】

【表2】

		R絵素	GY絵素	B絵素
$f(\mu m)$		20.0	20.0	20.0
g	1Stepあたりの補正量(μm)	0.5	0.25	0.75
	全Step数(単位:段)	11	16	10
	最大補正量(μm)	5.5	4	7.5
	1Stepあたりの ΔV_d 補正量(mV)	14.0	9.9	16.4
	最大補正量(mV)	154.1	157.8	163.5
	最適対向ズレ(mV)	324.0	324.0	324.0
	最大補正量をかけた位置での ΔV_d (V)	1.668	1.735	1.750

【0103】

図25は、実施例8の液晶表示装置において、ゲート入力端からの相対位置に対する ΔV_d 補正量(mV)を示すグラフである。

実施例8の液晶表示装置においては、それぞれの絵素間での g の値を上記表2に示したように調整することで、最大補正量のときの ΔV_d 補正量差を、赤の絵素で154.1mV、緑及び黄の絵素で157.8mV、青の絵素で163.5mVとすることができ、最大補正量のときの ΔV_d 補正量差の絵素間での最大値と最小値との間の差は、9.4mVであった。また、最適対向ズレは324mVであり、最大補正量のときの ΔV_d を、赤の絵素で1.668V、緑及び黄の絵素で1.735V、青の絵素で1.750Vとすることができ、最大補正量のときの ΔV_d の最大値と最小値との間の差は、82mVであった。 α ズレ(α の最大値と α の最小値との差の、 α の最小値に対する割合)は、4.19%であった。したがって、上記設計によれば、最適対向電圧の絵素間での調整が充分に行われ、焼きつきの発生が抑制された液晶表示装置を得ることができた。

【0104】

以下に、実施例8に示したように、絵素によって ΔV_d に差がある場合に、各絵素に対して等しい $\Delta Cgd/Cpix$ をかけるようにグラデーションを設定したときのグラフを図26及び図27に示す。なお、図26及び図27では、3色の絵素を用いた場合であり、走査線の信号は横軸の位置 $x=0$ からのみ入力されている場合のグラフを示している。

図26は、実施例8の変形例の液晶表示装置において設けたCgdグラデーション102を示すグラフである。図26中、実線は、R(赤)、G(緑)及びB(青)において設けたCgd補正量(Cgdグラデーション)を示す。

図 27 は、実施例 8 の変形例の液晶表示装置において、C g d グラデーションを設けた場合の R G B 3 原色それぞれの面内対向分布を示すグラフである。図 27 に示されるように、C g d グラデーションが面内対向分布 1 0 3 を十分に低減できる程度にかけられた場合、各絵素における面内対向分布 1 0 3 はそれぞれほぼ一定になり、各絵素間の $\Delta V d$ 差は C g d グラデーションを設けなかった場合と略同一とすることができた。図 27 中、一点鎖線は、G (緑) の面内対向分布 1 0 3 を示し、点線は、B (青) の面内対向分布 1 0 3 を示し、破線は、R (赤) の面内対向分布 1 0 3 を示す。実施例 8 の変形例においては、図 27 に示されるように、 $\Delta V d$ を揃えたとしても A だけずれていた場合、画素ごとに面内対向分布 1 0 3 が平行移動したようになる。これに対して画素容量の差を考慮して C g d / C p i x が等しくなるように C g d グラデーションをかけ、かつその量が最適対向ずれを実質的に完全に補償する量であれば、面内対向分布 1 0 3 は一定で、 $\Delta V d$ 差 A をもつようになる。

【 0 1 0 5 】

以下に、実施例 8 に示したように、絵素によって $\Delta V d$ に差がある場合に、各絵素に対して等しい $\Delta C g d / C p i x$ をかけるようにグラデーションを設定したときのグラフを図 28 及び図 29 に示す。なお、図 28 及び図 29 は、3 色の絵素を用いた場合であり、走査線の信号は横軸の位置 $x = 0$ からのみ入力されている場合のグラフを示している。

図 28 は、実施例 8 のもう一つの変形例の液晶表示装置において設けた C g d グラデーションを示すグラフである。図 28 中、実線は、R (赤)、G (緑) 及び B (青) において設けた C g d 補正量を示す。

図 29 は、実施例 8 のもう一つの変形例の液晶表示装置において、C g d グラデーションを設けた場合の R G B 3 原色それぞれの面内対向分布を示すグラフである。図 29 に示されるように、C g d グラデーションが面内対向分布を十分に低減できる程度にかけられた場合、各絵素における面内対向分布のバラツキは低減したが、残っており、面内対向分布が一定にはなっていない。各絵素間の $\Delta V d$ 差は C g d グラデーションを設けなかった場合と略同一であった。図 29 中、一点鎖線は、G (緑) の面内対向分布を示し、点線は、B (青) の面内対向分布を示し、破線は、R (赤) の面内対向分布を示す。実施例 8 のもう一つの変形例においても、図 29 に示されるように、 $\Delta V d$ を揃えたとしても A だけずれていた場合、画素ごとに面内対向分布が平行移動したようになる。例えば、 $x = 0$ の位置の $\Delta V d$ 差 A と最大補正量の位置の $\Delta V d$ 差 A とは、略同一である。面内対向分布を一定にするという観点からは、上述した実施例 8 の変形例のように、C g d グラデーションの量が最適対向ずれを実質的に補償する量であることが好ましい。

【 0 1 0 6 】

実施例 9

上記表 1 に示した各絵素を有する液晶表示装置において、各絵素に対して面内対向を揃えるような $\Delta C g d / C p i x$ となるようにグラデーションを設定した場合の各絵素の情報を、下記表 3 に示す。実施例 9 では、実施例 8 のようにグラデーションを設定した場合であっても数十 mV 程度 (実施例 8 では、82 mV) の差はでてしまうので、その $\Delta V d$ の差も考慮に入れたうえで C g d グラデーションを設定したものである。なお、表 3 中の各項目名は、上述した表 2 に示した各項目名と同様である。

【 0 1 0 7 】

【表 3】

	R絵素	GY絵素	B絵素
f (μ m)	20.0	20.0	20.0
g	1Stepあたりの補正量(μ m)	0.5	0.25
	全Step数(単位:段)	11	16
	最大補正量(μ m)	5.5	4
	1Stepあたりの ΔV_d 補正量(mV)	14.0	9.9
	最大補正量(mV)	154.1	157.8
	最適対向ズレ(mV)	324.0	324.0
	最大補正量をかけた位置での ΔV_d (V)	1.668	1.735

10

【 0 1 0 8 】

図 3 0 は、実施例 9 の液晶表示装置において、ゲート入力端からの相対位置に対する ΔV_d 補正量 (m V) を示すグラフである。

実施例 9 の液晶表示装置においては、それぞれの絵素間での g の値を上記表 3 及び図 3 0 に示したように調整することで、最大補正量のときの ΔV_d 補正量差を、赤の絵素で 1 5 4 . 1 m V、緑及び黄の絵素で 1 5 7 . 8 m V、青の絵素で 1 4 7 . 2 m V とすることができ、最大補正量のときの ΔV_d 補正量差の絵素間での最大値と最小値との間の差は、2 3 m V であった。また、最大補正量のときの ΔV_d を、赤の絵素で 1 . 6 6 8 V、緑及び黄の絵素で 1 . 7 3 5 V、青の絵素で 1 . 7 3 3 V とすることができ、最大補正量のときの ΔV_d の最大値と最小値との間の差は、6 7 . 0 m V であった。 α ズレ (α の最大値と α の最小値との差の、 α の最小値に対する割合) は、3 . 4 0 % であった。したがって、上記設計によれば、最適対向電圧の絵素間での調整の程度を緩めることで α のズレを改善することができ、焼きつきの発生が抑制された液晶表示装置を得ることができた。

20

【 0 1 0 9 】

以下に、実施例 9 に示したように、絵素によって ΔV_d に差がある場合に、各絵素に対して面内対向を揃えるような $\Delta C g d / C p i x$ となるようにグラデーションを設定した実施例 9 の変形例のグラフを図 3 1 及び図 3 2 に示す。なお、実施例 9 の変形例においては、3 色 (R G B) の絵素を用いた場合のグラフを示している。

30

図 3 1 は、実施例 9 の変形例の液晶表示装置において設けた C g d グラデーションを示すグラフである。図 3 1 では、 ΔV_d が大きい画素 (R) には少なめに C g d グラデーションを設定している。図 3 1 中、実線は、G (緑) において設けた C g d 補正量と B (青) において設けた C g d 補正量とをそれぞれ示し、破線は、R (赤) において設けた C g d 補正量を示す。

図 3 2 は、実施例 9 の変形例の液晶表示装置において、C g d グラデーションを設けた場合の R G B 3 原色それぞれの面内対向分布を示すグラフである。図 3 2 中、一点鎖線は、G (緑) の面内対向分布を示し、点線は、B (青) の面内対向分布を示し、破線は、R (赤) の面内対向分布を示す。

40

図 3 1 及び図 3 2 に示されるように、実施例 9 及び実施例 9 の変形例では ΔV_d の差も考慮に入れたうえで最大補正量のときに各絵素で α がより揃うように C g d グラデーションが設定されている。

このように設定する C g d グラデーションを ΔV_d が大きい画素 (R) に対してはより少なくし、その他の ΔV_d が小さい画素 (G、B) に対してはより多くすると、面内対向分布が同一にはならないものの、面内対向分布のバラツキを低減するとともに、実施例 8 よりも更に ΔV_d 差を小さくすることができる。例えば、 $x = 0$ の位置の ΔV_d 差は A のままであるが、最大補正量の位置の ΔV_d 差 B は、A よりも小さくなっている。

【 0 1 1 0 】

実施例 8 及び実施例 9 で上述したように、上記画素電極の走査線との重なり面積は、単色

50

の絵素に対応して配置される画素電極毎に、走査線の信号の進行方向に従って始めは増加し、かつその増加率が減少するように形成されたものであり、上記増加率は、画素容量の異なる画素電極毎に異なるものである。また、実施例 8 及び実施例 9 に示される液晶表示装置のように、一つの画素内に配置された複数の画素電極のうち、画素電極の走査線との重なり面積を変化させないときのゲートドレイン容量がより大きい画素電極（補正前のゲートドレイン容量がより大きい画素電極）において、該画素電極の走査線との重なり面積を変化させないときのゲートドレイン容量がより小さい画素電極（補正前のゲートドレイン容量がより小さい画素電極）と比べて、走査線の信号の進行方向におけるゲートドレイン補正量の増加率（画素電極の走査線との重なり面積を変化させることによるゲートドレイン容量の増加率）を同じ又はそれ以上とすることが好適である。このような形態とすることにより、より好適に面内対向分布のバラツキは低減したり、 ΔV_d 差を小さくしたりすることができる。

10

【0111】

実施例 8 は、面内対向分布のバラツキを防止する観点から特に好適であり、実施例 9 は、 α ズレを小さくする観点から特に好適である。好ましいグラデーション（Cgd 補正）は、実施例 8 に示したものと実施例 9 に示したもののいずれであってもよい。

【0112】

比較例 1

上記表 1 に示した各絵素を有する液晶表示装置において、グラデーション配置の調整がされていない場合の各絵素の情報を、下記表 4 に示す。なお、表 4 中の各項目名は、上述した表 2 及び表 3 に示した各項目名と同様である。

20

【0113】

【表 4】

		R絵素	GY絵素	B絵素
f (μm)		20.0	20.0	20.0
g	1Stepあたりの補正量(μm)	0.25	0.25	0.25
	全Step数(単位:段)	16	16	16
	最大補正量(μm)	4	4	4
	1Stepあたりの ΔV_d 補正量(mV)	7.0	9.9	5.5
	最大補正量(mV)	112.0	157.8	87.2
	最適対向ズレ(mV)	324.0	324.0	324.0
	最大補正量をかけた位置での ΔV_d (V)	1.626	1.735	1.673

30

【0114】

図 3 3 は、比較例 1 の液晶表示装置において、ゲート入力端からの相対位置に対する ΔV_d 補正量 (mV) を示すグラフである。

比較例 1 の液晶表示装置においては、それぞれの絵素間での g の値を上記表 4 及び図 3 3 に示したように調整することで、最大補正量のときの ΔV_d 補正量差を、赤の絵素で 112.0 mV、緑及び黄の絵素で 157.8 mV、青の絵素で 87.2 mV となり、最大補正量のときの ΔV_d 補正量差の絵素間での最大値と最小値との間の差は、70.6 mV であった。また、最大補正量のときの ΔV_d を、赤の絵素で 1.626 V、緑及び黄の絵素で 1.735 V、青の絵素で 1.673 V とすることができ、最大補正量のときの ΔV_d の最大値と最小値との間の差は、109 mV であった。 α ズレ (α の最大値と α の最小値との差の、 α の最小値に対する割合) は、6.53% であった。したがって、上記設計による液晶表示装置は、焼き付きの発生が生じるおそれがある。

40

【0115】

以下に、比較例 1 に示したように、絵素によって ΔV_d に差がある場合に、各絵素に対して画素電極の走査線との重なり面積の増加率条件を同じものとしてグラデーションを設定

50

した比較例 1 の変形例のグラフを図 3 4 及び図 3 5 に示す。それぞれの画素電極で画素容量が異なるため、等しいグラデーションにはならない。なお、図 3 4 及び図 3 5 では、3 色 (R G B) の絵素を用いた場合のグラフを示している。

図 3 4 は、比較例 1 の変形例の液晶表示装置において設けた C g d グラデーションを示すグラフである。図 3 4 中、一点鎖線は、G (緑) において設けた C g d 補正量を示し、点線は、B (青) において設けた C g d 補正量を示し、破線は、R (赤) において設けた C g d 補正量を示す。

図 3 5 は、比較例 1 の変形例の液晶表示装置において、C g d グラデーションを設けた場合の R G B 3 原色それぞれの面内対向分布を示すグラフである。図 3 5 中、一点鎖線は、G (緑) の面内対向分布を示し、点線は、B (青) の面内対向分布を示し、破線は、R (赤) の面内対向分布を示す。

図 3 4 及び図 3 5 に示されるように、比較例 1 及びその変形例では設定する C g d グラデーションを画素容量の差を無視して同じ形状 (C g d 補正量とステップ数が同じ) とした場合必要とされる補償量に対して多すぎたり (G) 、少なすぎたり (R) することがあり、面内対向分布・ $\Delta V d$ ともに本発明の効果を十分に奏することができる範囲内とすることができない。例えば、 $x = 0$ の位置での $\Delta V d$ 差 A よりも、最大補正量のときの $\Delta V d$ 差 C がより大きくなっている。

【 0 1 1 6 】

下記表 5 は、本発明の液晶表示装置において、 $\Delta V d$ の差を 1 0 0 m V 以内と仮定したときの α のズレの許容範囲を示す表である。 $\Delta V d$ の差が 1 0 0 m V 以下となれば焼きつきは改善されやすく、5 0 m V 以下となればより確実に焼きつきが改善される。

【 0 1 1 7 】

【表 5】

$\Delta V d (V)$	$V_{gpp} (V)$	α	α のズレ (%)
1	41	0. 02439	10. 0
1. 1	41	0. 02683	
1. 5	41	0. 03659	6. 7
1. 6	41	0. 03902	
2	41	0. 04878	5. 0
2. 1	41	0. 05122	
3	41	0. 07317	3. 3
3. 1	41	0. 07561	

【 0 1 1 8 】

上記表 5 に示すように、 $\Delta V d$ を 1 . 0 V とし、 $\Delta V d$ の差を 1 0 0 m V で設定したときの α のズレは 1 0 . 0 % であった。 $\Delta V d$ を 1 . 5 V とし、 $\Delta V d$ の差を 1 0 0 m V で設定したときの α のズレは 6 . 7 % であった。 $\Delta V d$ を 2 . 0 V とし、 $\Delta V d$ の差を 1 0 0 m V で設定したときの α のズレは 5 . 0 % であった。 $\Delta V d$ を 3 . 0 V とし、 $\Delta V d$ の差を 1 0 0 m V で設定したときの α のズレは 3 . 3 % であった。

【 0 1 1 9 】

通常の液晶表示装置では、 $\Delta V d$ が 1 . 5 ~ 3 . 0 V の範囲内に設定され、この条件においては α のズレの範囲は 7 . 0 % 以下であることが好ましいことが分かった。また、将来的には $\Delta V d = 1 V$ の範囲内に設定される可能性が考えられ、このときには、 α のズレの範囲は 1 0 . 0 % 以下であることが好ましいことが分かった。

【 0 1 2 0 】

また、本発明の液晶表示装置におけるチャネルサイズと画素電極面積との関係について検討を行ったところ、表 6 及び図 3 6 に示されるようなデータが得られた。図 3 6 は、チャネルサイズ比と画素電極面積比との関係を示すグラフである。

【 0 1 2 1 】

【 表 6 】

チャンネルサイズ比	画素電極面積比
0.491	0.6
0.618	0.7
0.745	0.8
0.873	0.9
1.000	1
1.127	1.1
1.255	1.2
1.382	1.3
1.509	1.4

10

【 0 1 2 2 】

表 6 及び図 3 6 に示される直線に沿って T F T チャンネルの a ~ e の値を変更することで、C g d グラデーションをかける前の絵素間での α のバラツキを抑制することができる。

【 0 1 2 3 】

また、図 7 ~ 図 9 に示した T F T におけるソース電極やドレイン電極の長さの相違は、実際には、図 3 7 ~ 図 3 9 に示すように、ゲートバスラインとドレイン電極との間との重なり面積にも影響を与える。図 3 7 ~ 図 3 9 は、実施形態 1 におけるゲートバスラインとドレイン電極とが重なった領域を示す平面模式図である。ゲートバスライン 1 1 とドレイン電極 2 3 との重なり面積が大きければ大きいほどゲートドレイン容量 (C g d) の値は変化するため、チャンネルの長さの調節に加え、ゲートバスライン 1 1 とドレイン電極 2 3 との重なり面積も調節することによって、更に絵素どうしの全体のバランスを整えることが可能となる。

20

【 0 1 2 4 】

上述したように、実施形態 1 では、 $\alpha = C g d / (C g d + C s d + C c s + C l c)$ の値の絵素間でのバランスを調整している。上記式からわかるように、 α の値の絵素間でのバランスを調整するためには、C g d の調整が効果的である。

30

【 0 1 2 5 】

T F T におけるドレイン電極とゲートバスラインとの重なり面積の相違は、実際には、ゲートバスラインとドレイン電極との間に形成されるゲートドレイン容量 (C g d) にも影響を与える。ゲートバスラインとドレイン電極との重なり面積が大きければ大きいほどゲートドレイン容量 (C g d) の値は大きくなるため、ゲートバスラインとドレイン電極との重なり面積を調節することによっても、絵素間での α のバランスを整えることが可能となる。

【 0 1 2 6 】

図 4 0 ~ 図 4 3 は、図 3 7 で示される T F T の例において、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した T F T の一例である。図 4 0 及び図 4 1 は、図 3 7 における T F T の d 1 を変更した形態である。図 4 0 においては、ドレイン電極 2 3 とゲートバスライン 1 1 とが重なる領域において平面的に一部に突出部が設けられている。図 4 1 においては、d 1 の幅全体が広げられている。図 4 2 及び図 4 3 は、図 3 7 における T F T の d 2 を変更した形態である。図 4 2 においては、d 2 の長さが長くなっている。図 4 3 においては、ドレイン電極 2 3 の形状はそのままであるが、ゲートバスライン 1 1 の一部に平面的に突出部が設けられており、結果として、ドレイン電極 2 3 とゲートバスライン 1 1 とが重なる領域が広がっている。

40

【 0 1 2 7 】

図 4 4 ~ 図 4 6 は、図 3 8 で示される T F T の例において、ゲートバスラインとドレイン

50

電極との重なり面積の大きさを調節した T F T の一例である。図 4 4 は、図 3 8 における T F T の d 3 を変更した形態である。図 4 4 においては、d 3 の幅全体が広げられている。図 4 5 及び図 4 6 は、図 3 8 における T F T の d 4 を変更した形態である。図 4 5 においては、d 4 の長さが長くなっている。図 4 6 においては、ドレイン電極 2 3 の形状はそのままであるが、ゲートバスライン 1 1 の一部に平面的に突出部が設けられており、結果として、ドレイン電極 2 3 とゲートバスライン 1 1 とが重なる領域が広がっている。

【 0 1 2 8 】

ゲートバスラインとドレイン電極との間に形成されるゲートドレイン容量 (C g d) は、ゲートバスラインと画素電極とが直接重なる領域においても形成される。ゲートバスラインと画素電極との重なり面積が大きければ大きいほどゲートドレイン容量 (C g d) の値は大きくなるため、ゲートバスラインと画素電極との重なり面積を調節することによって、絵素間での α のバランスを整えることが可能となる。

【 0 1 2 9 】

図 4 7 ~ 図 4 9 は、実施形態 1 におけるゲートバスラインと画素電極とが重なった領域を示す平面模式図である。図 4 7 は、通常のゲートバスラインと画素電極とが重なった形態であり、画素電極 1 5 の端部は直線状であり、ゲートバスライン 1 1 が画素電極の端部と平行に延伸されている。図 4 8 及び図 4 9 は、ゲートバスラインとドレイン電極との重なり面積の大きさを調節した例である。図 4 8 においては、画素電極 1 5 とゲートバスライン 1 1 とが重なる領域において画素電極 1 5 に対し一部に平面的に突出部が設けられている。したがって、結果として、画素電極 1 5 とゲートバスライン 1 1 とが重なる領域が広がっている。図 4 9 においては、画素電極 1 5 とゲートバスライン 1 1 とが重なる領域において画素電極 1 5 に対し一部に平面的にくぼみ部 (切り欠け部) が設けられている。したがって、結果として、画素電極 1 5 とゲートバスライン 1 1 とが重なる領域が狭まっている。

【 0 1 3 0 】

このようにして、ドレイン電極とゲートバスラインとが重なる面積、及び、画素電極とゲートバスラインとが重なる面積を調整し、例えば、一つの画素内に配置された複数の画素電極のうち、より広い面積をもつ画素電極の重なり面積が、より狭い面積をもつ画素電極の重なり面積よりも大きいものとするにより、より大きな画素容量をもつ画素電極が形成するゲートドレイン容量が、より小さな画素容量をもつ画素電極が形成するゲートドレイン容量よりも大きいものとするができる。これにより、C g d グラデーションをかける前の絵素間での α のバラツキを抑制することができる。更に、走査線の信号の進行方向に従って、重なり面積が始めは増加し、かつその増加率が減少するように形成し、該増加率が、面積の異なる画素電極毎に異なるものとすれば、各画素電極の C d g 補正量も、画素電極の面積に応じて適切に設定することが可能となる。これにより、各絵素にとって最適の対向電圧の値により近づけることができ、焼き付きの少ない液晶表示装置を得ることができる。

【 0 1 3 1 】

より大きな画素容量をもつ画素電極が形成するゲートドレイン容量が、より小さな画素容量をもつ画素電極が形成するゲートドレイン容量よりも大きいものとする一つの手段として、ゲートバスラインとドレイン電極との重なり面積を絵素間で異ならせる例において、異なる絵素ピッチをもつ 3 色の絵素において、実際にゲートバスラインとドレイン電極との重なり面積と、絵素間での α のズレとの検討を行った結果を以下に示す。なお、下記検討においては、チャンネル幅の相違に基づく調整は含まれず、純粹にゲートドレイン面積のみでの検討を行っている。

【 0 1 3 2 】

ピッチ幅が「赤」 > 「緑 = 青」の場合に、それぞれの絵素間での a ~ e の値を下記表 7 のように調整することで、絵素間での α のズレを、2 . 9 2 % とすることができた。また、 $\Delta V d$ は、赤の絵素で 1 . 1 9 4 V、緑及び青の絵素で 1 . 2 3 0 V となっており、 $\Delta V d$ の最大値と最小値との間の差は、3 6 m V であった。したがって、上記設計によれば、

10

20

30

40

50

C g d グラデーションをかける前の絵素間で α のバラツキを抑制することができる。なお、ここでの各絵素のピッチ幅の比は、「赤」：「緑」：「青」が1：1：0.86であった。

【0133】

【表7】

	R絵素(μm)	G及びB絵素(μm)
a	14.25	14.25
b	14.0	9.5
c	4.5	4.5
d	4.0	4.0
e	4.0	4.0

10

【0134】

C g d グラデーションをかける前の、ゲートドレイン重なり面積と画素電極面積との関係について更に検討を行ったところ、表8及び図50に示されるようなデータが得られた。図50は、ゲートドレイン重なり面積比と画素電極面積比との関係を示すグラフである。

【0135】

【表8】

Cgd面積比	画素電極面積比
0.878	0.9
0.902	0.92
0.927	0.94
0.951	0.96
0.976	0.98
1.000	1
1.024	1.02
1.049	1.04
1.073	1.06
1.098	1.08
1.122	1.1

20

30

【0136】

表8及び図50に示される直線に沿ってTFTチャンネルのa～eの値を変更することで、画素電極の面積比に応じてC g d グラデーションを設定する前の絵素間での α のバラツキを抑制することができる。

【0137】

チャンネルサイズ比と画素電極面積比との間の関係によって大きく調節した上で、更に、C g d 面積比と画素電極面積比との間の関係によって調整を行うことで、より適切にC g d グラデーションをかける前の絵素間で α のバラツキを抑制することができる。

40

【0138】

実施形態1においては、絵素間で「 $C_{pix(min)}/C_{pix(max)}$ 」(以下、応答係数ともいう。)をそろえることが好ましい。 $C_{pix(min)}$ は、黒表示を行っている際の画素容量であり、 $C_{pix(max)}$ は、白表示を行っている際の画素容量である。「 $C_{pix(min)}/C_{pix(max)}$ 」で表される応答係数は、液晶の応答特性の指標の一つであり、この値が絵素間で異なっていると、色によって応答が異なってしまうため、所望の色味が得られないことがある。

【0139】

50

「 $C_{pix}(min)/C_{pix}(max)$ 」は、上述までのTFTチャネル幅の調整、ゲートバスラインとドレイン電極との重なり面積の調整、画素電極とゲートバスラインとの重なり面積の調整、画素電極とCsバスラインとの重なり面積の調整等によって行うことができる。

【0140】

図51は、フレーム期間と印加電圧の到達率との関係を示すグラフである。図52は、応答係数の違いによる表示への影響を調べたときの表示状態を示す模式図である。図51に示すように、現在の液晶表示装置では、1フレーム内では液晶が応答しないため、2段階を経て所望の透過率を得るように設計されている。例えば、図52に示すように、背景が黒色の中に白色の四角形を表示し、この四角形が右から左へと動いているような表示を行う場合、四角形の左端の絵素は、フレームごとに新しい応答をしているため、応答係数が小さい色のみが応答が遅く、他の色が強い状態になり、色味が変わってしまう。

10

【0141】

これに対し、絵素間で応答係数の値を近づけることで、色味の変化を抑制することができる。図53は、「 $C_{pix}(min)/C_{pix}(max)$ 」で表される応答係数の好適な範囲を示すグラフである。到達率が0.9であるときの応答係数の値は0.78であり、到達率差が5%以内である 0.78 ± 0.04 が応答係数の好ましい範囲である。

【0142】

実施形態2

図54は、実施形態2の液晶表示装置の画素電極、TFT及び各種配線の配置構成を示す平面模式図である。図54に示すように、実施形態2においては、一つの絵素に対して二つの画素電極、(以下、それぞれを副画素電極ともいう。)が配置されている。また、複数の絵素によって一つの画素が構成されており、各絵素を個別に制御することで各画素が制御され、更に液晶表示装置による表示全体が制御される。

20

【0143】

実施形態2の液晶表示装置は、行方向(横方向)に伸びるゲートバスライン11、及び、列方向(縦方向)に伸びるソースバスライン12を有している。また、ゲートバスライン11とソースバスライン12とのいずれにも接続された第一のTFT14a及び第二のTFT14bを有している。第一のTFT14aは第一の副画素電極15aと接続されており、第二のTFT14bは第二の副画素電極15bと接続されている。また、実施形態2の液晶表示装置は、第一の副画素電極15aの少なくとも一部で重なる第一のCsバスライン13a、及び、第二の副画素電極15bの少なくとも一部で重なる第二のCsバスライン13bを有しており、図54に示すように、各副画素電極15a、15bの中央を横切るように、それぞれが行方向に伸びて形成されている。

30

【0144】

実施形態2においては、一つの絵素に対して一種のカラーフィルタが配置されている。画素を構成する絵素の色の種類、数、及び、配置順は特に限定されず、例えば、RGB、RGY、RGC、RGBW等の組み合わせが挙げられる。絵素の色はカラーフィルタで決定される。カラーフィルタの配置形態としては、例えば、図3に示すような、画素電極の境界に関わらず縦方向に伸びて形成されるストライプ配列、図4に示すような、4つの色を有し、行方向及び列方向にそれぞれ2つずつ各色が配置される田の字配列が挙げられる。

40

【0145】

実施形態2において二つの副画素電極は、それぞれ異なる大きさの副画素容量を形成する。副画素容量を異ならせる方法としては、(1)信号電圧をそれぞれ異なるソースバスラインから供給する方法、(2)Csバスラインの電圧変化によって調節を行う方法が挙げられる。これら副画素電極に対しては、それぞれ一つずつTFTが接続される。各TFTは同一のゲートバスラインとつながっており、ゲートバスラインに走査信号が供給されるタイミングで、二つの副画素が一度に制御されることになる。

【0146】

50

図 5 5 は、実施形態 2 の液晶表示装置における等価回路図である。実施形態 2 においては、副画素単位で回路パターンが形成されており、図 5 5 においては、2 つの副画素の回路パターンを示している。副画素電極のそれぞれは、液晶層との間で C_{lc1} 及び C_{lc2} を形成する。また、副画素電極のそれぞれは、 C_s バスラインとの間で C_{cs1} 及び C_{cs2b} を形成する。更に、副画素電極のそれぞれは、各 TFT のドレイン電極と接続されており、各 TFT によって駆動が制御される。

【0147】

液晶層を間に介して対向配置された画素電極と対向電極とによって液晶容量 C_{lc} が形成される。 C_{lc} の値は、一对の電極によって液晶層に印加される実効電圧 (V) に依存する。絶縁膜を間に介して対向配置された画素電極と C_s バスライン (補助容量配線) とによって補助容量 C_{cs} が形成される。絶縁膜を間に介して対向配置された画素電極とゲートバスライン (走査線) とによってゲートドレイン容量 C_{gd} が形成される。絶縁膜を間に介して対向配置された画素電極とソースバスライン (信号線) とによって、ソースドレイン容量 C_{sd} が形成される。

【0148】

実施形態 2 における TFT を用いた各副画素電極の駆動方式、及び、基本構成は、実施形態 1 と同様である。

【0149】

以下、 C_s バスラインの電圧変化により、マルチ画素駆動を行う方法について詳述する。図 5 6 は、マルチ画素駆動を行ったときの信号波形を示す図である。

【0150】

時刻 T_1 のとき V_g の電圧が V_{gL} から V_{gH} に変化することにより、第一の TFT 14a と第二の TFT 14b が同時に導通状態 (オン状態) となり、第一及び第二の副画素電極 15a、15b のそれぞれにソースバスライン 12 から電圧 V_s が伝達され、第一及び第二の副画素電極 15a、15b に充電される。同様に、第一及び第二の副画素電極 15a、15b のそれぞれと重畳する第一及び第二の C_s バスライン 13a、13b に対しても、ソースバスライン 12 からの充電がなされる。

【0151】

次に、時刻 T_2 のときゲートバスライン 11 の電圧 V_g が V_{gH} から V_{gL} に変化することにより、第一の TFT 14a と第二の TFT 14b が同時に非導通状態 (OFF 状態) となり、第一及び第二の副画素電極 15a、15b、並びに、第一及び第二の C_s バスライン 13a、13b はすべてソースバスライン 12 と電氣的に絶縁される。なお、この直後、第一の TFT 14a と第二の TFT 14b の有する寄生容量等の影響による引き込み現象のために、第一及び第二の副画素電極 15a、15b の電圧 V_{lc1} 、 V_{lc2} は略同一の電圧 ΔV_d だけ低下し、

$$V_{lc1} = V_s - \Delta V_d$$

$$V_{lc2} = V_s - \Delta V_d$$

となる。また、このとき、第一及び第二の C_s バスライン 13a、13b の電圧 V_{cs1} 、 V_{cs2} は

$$V_{cs1} = V_{com} - V_{ad}$$

$$V_{cs2} = V_{com} + V_{ad}$$

である。

【0152】

時刻 T_3 で、第一の C_s バスライン 13a の電圧 V_{cs1} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ に変化し、第二の C_s バスライン 13b の電圧 V_{cs2} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ に変化する。第一の C_s バスライン 13a 及び第二の C_s バスライン 13b のこの電圧変化に伴い、第一及び第二の副画素電極 15a、15b の電圧 V_{lc1} 、 V_{lc2} は

$$V_{lc1} = V_s - \Delta V_d + 2 \times V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1})$$

$$V_{lc2} = V_s - \Delta V_d - 2 \times V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2})$$

へ変化する。

【 0 1 5 3 】

時刻 T 4 では、 V_{cs1} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ、 V_{cs2} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ、それぞれ変化し、 V_{lc1} 、 V_{lc2} もまた、

$$V_{lc1} = V_s - \Delta V_d + 2 \times V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1})$$

$$V_{lc2} = V_s - \Delta V_d - 2 \times V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2})$$

から、

$$V_{lc1} = V_s - \Delta V_d$$

$$V_{lc2} = V_s - \Delta V_d$$

へ変化する。

10

【 0 1 5 4 】

時刻 T 5 では、 V_{cs1} が $V_{com} - V_{ad}$ から $V_{com} + V_{ad}$ へ、 V_{cs2} が $V_{com} + V_{ad}$ から $V_{com} - V_{ad}$ へ、それぞれ変化し、 V_{lc1} 、 V_{lc2} もまた、

$$V_{lc1} = V_s - \Delta V_d$$

$$V_{lc2} = V_s - \Delta V_d$$

から、

$$V_{lc1} = V_s - \Delta V_d + 2 \times V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1})$$

$$V_{lc2} = V_s - \Delta V_d - 2 \times V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2})$$

へ変化する。

【 0 1 5 5 】

20

V_{cs1} 、 V_{cs2} 、 V_{lc1} 、及び、 V_{lc2} は、水平書き込み時間 1 H の整数倍の間隔ごとに上記 T 4、T 5 における変化を交互に繰り返す。上記 T 4、T 5 の繰り返し間隔を 1 H の 1 倍とするか、2 倍とするか、3 倍とするか、又は、それ以上とするかについては、液晶表示装置の駆動方法（例えば、極性反転駆動）や表示状態（ちらつき、表示のざらつき感等）をみて適宜設定すればよい。この繰り返しは、次に T 1 に等価な時間になるまで継続される。したがって、それぞれの副画素電極の電圧 V_{lca} 、 V_{lcb} の実効的な値は、

$$V_{lca} = V_s - \Delta V_d + V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1})$$

$$V_{lcb} = V_s - \Delta V_d - V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2})$$

となる。

30

【 0 1 5 6 】

よって、第一及び第二の副画素電極 15 a、15 b のそれぞれによって液晶層に印加される実効電圧 V_1 、 V_2 は、

$$V_1 = V_{lc1} - V_{com}$$

$$V_2 = V_{lc2} - V_{com}$$

すなわち、

$$V_1 = V_s - \Delta V_d + V_{ad} \times C_{cs1} / (C_{lc1} + C_{cs1}) - V_{com}$$

$$V_2 = V_s - \Delta V_d - V_{ad} \times C_{cs2} / (C_{lc2} + C_{cs2}) - V_{com}$$

となり、互いに異なる値となる。

【 0 1 5 7 】

40

以上のような前提の下、実施形態 2 における各絵素間での最適対向電圧の調整について、以下に詳述する。

【 0 1 5 8 】

複数の副画素電極の縦方向のトータルの長さは、赤、緑及び青の各色で同一となるように形成されているのに対し、横方向の長さは各色で異なっている。そのため、絵素ピッチの違いが絵素間の副画素電極のトータルの面積の違いにそのまま反映される。

【 0 1 5 9 】

実施形態 2 では、実施形態 1 と同様、TFT のチャネルの幅を利用して、 C_{gd} グラデーションをかける前の $\alpha = C_{gd} / (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ の値の絵素間でのバランスを調整している。また、ゲートドレイン重なり面積によっても調整を行っている

50

。実施形態 2 における α の調整方法は、実施形態 1 で示したものと同様の方法を用いることができる。

【0160】

実施形態 2 においては、副画素間で K 値をそろえることが好ましい。K 値がそろうことで、各副画素電極によって形成される静電容量の大きさが均一化され、より適切な副画素間の調節がなされるので、より絵素間での α の値がばらつく可能性を低減させることができる。 $K = C_{cs} / C_{pix} (C_{gd} + C_{sd} + C_{cs} + C_{lc})$ で表される。そのため、K 値の絵素間でのバランスを調整するためには、 C_{cs} の調整が効果的である。

【0161】

図 57 は、実施形態 2 における C_s バスラインとドレイン電極の広がり部分とが重複する範囲を示す平面模式図である。図 57 に示すように、 C_s バスライン 13 は一部に広がった領域を有しており、ドレイン電極 23 もまた、一部に広がった領域を有している。これらは絶縁膜を介して隔離されているが、平面的に見たときに互いに重畳しており、補助容量 C_{cs} を形成する。 C_{cs} の大きさは、これらが互いに重畳する面積に依存するため、それぞれの広がり領域の大きさを副画素ごとに調節し、重なり度合いを調整することで、適切な C_{cs} の値を形成することができる。なお、図 57 において、 C_s バスライン 13 の広がり部分 23a は、縦方向及び横方向のいずれの辺においても、ドレイン電極 23 の広がり部分のそれらよりも大きい。

10

【0162】

ドレイン電極 23 の広がり部分 23a の縦方向の長さは d であり、横方向の長さは f である。また、 C_s バスライン 13 の広がり部分の縦方向の長さは e であり、横方向の長さは g である。

20

【0163】

C_s バスライン 13 の広がり部分の縦方向の一辺と、ドレイン電極 23 の広がり部分 23a の縦方向の一辺との間の距離は、片側につき、 a の長さを有している。すなわち、ドレイン電極 23 の広がり部分 23a は、横方向に関して、 C_s バスライン 13 の広がり部分よりも a だけ内側に形成されている。したがって、 $g = f + 2a$ の等式が成り立つことになる。

【0164】

C_s バスライン 13 の広がり部分の横方向の一辺と、ドレイン電極 23 の広がり部分 23a の横方向の一辺との間の距離は、片側につき、 b の長さを有している。すなわち、ドレイン電極 23 の広がり部分 23a は、縦方向に関して、 C_s バスライン 13 の広がり部分よりも b だけ内側に形成されている。したがって、 $e = d + 2a$ の等式が成り立つことになる。

30

【0165】

このような場合において、異なる絵素ピッチをもつ 4 色の絵素において、「赤 = 青」 > 「緑 = 黄」の場合に、それぞれの絵素間での $a \sim g$ の値を下記表 9 のように調整することで、絵素間での K 値 ($\max - \min$) のズレは、0.10% とすることができた。なお、ここでの各絵素のピッチ幅の比は、「赤」：「青」：「緑」：「黄」が 1：1：1.4：1.4 であった。

40

【0166】

【表 9】

	R及びB絵素(μm)	G及びY絵素(μm)
a	17.0	14.0
b	3.0	2.0
c	226.0	154.25
d	29.0	36.0
e	35.0	40.0
f	157.0	91.25
g	191.0	119.25

10

【0167】

図58～図61は、画素電極とCsバスラインとの重なり面積でCs容量を調節する際の一例を示す平面模式図である。図58は、画素電極15の上辺がCsバスライン13の一部と重複する形態を示している。図58におけるa及びbの値を調整することで、Ccsの値を調整することができる。図59は、画素電極15の中央をCsバスライン13が横切る形態であり、Csバスライン13の幅方向の全体と重複する形態を示している図59におけるc及びdの値を調整することで、Ccsの値を調整することができる。図60は、画素電極15の上辺がCsバスライン13と重畳し、かつ画素電極15の左辺に沿って延伸部が追加された形態を示している。図60におけるa～dの値を調整することで、Ccsの値を調整することができる。図61は、画素電極15の上辺がCsバスライン13と重畳し、かつ画素電極15の中央を縦断するように延伸部が追加された形態を示している。図61におけるe～fの値を調整することで、Ccsの値を調整することができる。

20

【0168】

このような調節を副画素間で行うことにより副画素間でのCcsの値が近づくことになり、適切な範囲内でのK値を得ることができる。

【0169】

図62は、マルチ駆動を行った場合の、Cs振幅を示す波形図である。図62中の ΔV_{cs} は、 $\Delta V_{cs} = K \times V_{cs}^{P-P}$ で表される値であり、 ΔV_{cs} による引き込みの大きさは、副画素間で均一であることが好ましく、具体的には、10mV以内となることが好ましい。これにより、副画素間の最適対向電圧を近づけることができる。 V_{cs}^{P-P} は実質的に固定値となるため、 ΔV_{cs} はKで調節することが好ましい。

30

【0170】

下記表10は、 ΔV_{cs} は10mV以内と仮定したときのKの値のズレの許容範囲を示す表である。絵素の面積を異ならせない場合の通常の液晶表示装置では、K値は、0.43～0.54の範囲内に設定されているため、この範囲を目安として検討を行った。

【0171】

【表10】

K	Kのズレ(%)	Vcs	ΔV_{cs}	ΔV_{cs} のズレ(mV)
0.54	0.74	1.92	1.04	7.7
0.544		1.92	1.04	
0.43	0.93	2.41	1.04	9.6
0.434		2.41	1.04	

40

【0172】

上記表10に示すように、Kを0.54とし、Kのズレを0.74%で設定したとき、 ΔV_{cs} のズレは7.7mVに抑えることができた。また、Kを0.43とし、Kのズレを0.93%で設定したとき、 ΔV_{cs} のズレは9.6mVに抑えることができた。したがって、Kの範囲の目安としては、1.0%以下である。

50

【 0 1 7 3 】

実施形態 3

実施形態 3 においては、赤、緑及び青の 3 色、又は、赤、緑、青及び黄の 4 色の絵素を用いており、これらの絵素の組み合わせが一つの画素を構成している。なお、実施形態 3 において、絵素の色の種類、数及び配置順は特に限定されない。

【 0 1 7 4 】

図 6 3 は、実施形態 3 における画素電極及び配線の配置構成を示す平面模式図である。実施形態 3 の液晶表示装置では、一つの画素内に配置された複数の画素電極のうち、ある一つの画素電極に対しては、縦方向に延伸された 2 本のソースバスラインのいずれもが画素電極の端部と重なっている。一方、図 6 3 に示すように、他の画素電極 1 5 に対しては、縦方向に延伸された 2 本のソースバスライン 1 2 のうち、一方のソースバスライン 1 2 のみが画素電極 1 5 の端部と重なり、他方のソースバスライン 1 2 は、画素電極 1 5 の端部と重畳していない。

10

【 0 1 7 5 】

例えば、絵素内に柱状スペーサを配置する、又は、ソースドレイン容量 C_{sd} を小さくするといったような場合に、画素電極の面積を減らして、画素電極の一方の端部にのみソース配線と重なる必要があるときには、このような形態が採用される。ある一つの絵素においてのみ画素電極の面積が減らされている場合、又は、ソース配線と画素電極との重なり具合が絵素ごとに異なっている場合、絵素間で最適対向電圧が異なることになるので、焼きつきが起こりやすくなる。

20

【 0 1 7 6 】

そこで、実施形態 3 においては、実施形態 1 及び実施形態 2 で示した手段と同様の手段により、絵素間又は副画素間の画素容量の調節を行っている。なお、実施形態 3 において、絵素のピッチ幅は特に限定されず、ピッチ幅が絵素間でそれぞれ異なっても同じであってもよい。

【 0 1 7 7 】

実施形態 4

実施形態 4 においては、赤、緑及び青の 3 色、又は、赤、緑、青及び黄の 4 色の絵素を用いており、これらの絵素の組み合わせが一つの画素を構成している。なお、実施形態 4 において、絵素の色の種類、数及び配置順は特に限定されない。

30

【 0 1 7 8 】

図 6 4 は、実施形態 4 における画素電極及び配線の配置構成を示す平面模式図である。実施形態 4 の液晶表示装置では、一つの画素内に配置された複数の画素電極のうち、ある一つの画素電極に対しては、縦方向に延伸された 2 本のソース配線のいずれもが画素電極の端部と重なっている。一方、図 6 4 に示すように、他の画素電極 1 5 に対しては、縦方向に延伸された 2 本のソースバスライン 1 2 のうち、一方のソースバスライン 1 2 が、画素電極 1 5 の端部と重なり、他方のソースバスライン 1 2 が、画素電極 1 5 の端部と重畳していない。また、重畳していない側のソースバスライン 1 2 の隣には、 C_s バスライン 1 3 が縦方向に延伸されており、この C_s バスライン 1 3 が画素電極 1 5 の他方の端部と重なっている。

40

【 0 1 7 9 】

例えば、絵素内に柱状スペーサを配置する、又は、ソースドレイン容量 C_{sd} を小さくするといったような場合に、画素電極の面積を減らして、画素電極の一方の端部にのみソース配線を重ね、画素電極の他方の端部にソース配線ではなく C_s 配線のみを重ねる必要があるときには、このような形態が採用される。ある一つの絵素においてのみ画素電極の面積が減らされている場合、又は、ソース配線及び C_s 配線の配置の画素電極との重なり具合が絵素ごとに異なっている場合、絵素間で最適対向電圧が異なることになるので、焼きつきが起こりやすくなる。

【 0 1 8 0 】

そこで、実施形態 4 においては、実施形態 1 及び実施形態 2 で示した手段と同様の手段に

50

より、絵素間又は副画素間の画素容量の調節を行っている。なお、実施形態 4 において、絵素のピッチ幅は特に限定されず、ピッチ幅が絵素間でそれぞれ異なっても同じであってもよい。

【0181】

実施形態 5

実施形態 5 においては、赤、緑及び青の 3 色、又は、赤、緑、青及び黄の 4 色の絵素を用いており、これらの絵素の組み合わせが一つの画素を構成している。なお、実施形態 5 において、絵素の色の種類、数及び配置順は特に限定されない。

【0182】

図 6 5 は、実施形態 5 における画素電極及び配線の配置構成を示す平面模式図である。実施形態 5 の液晶表示装置では、一つの画素内に配置された複数の画素電極のうち、ある一つの画素電極に対しては、画素電極の上端部に Cs 配線が重なるように横方向に延伸されており、かつ Cs 配線は、直線状ではなく、一部に広がり領域を有している。一方、図 6 5 に示すように、他の画素電極 1 5 に対しては、画素電極 1 5 の上端部に Cs バスライン 1 3 が重なるように横方向に延伸されており、かつ Cs バスライン 1 3 は、直線状ではなく、一部に広がり領域を有しているが、画素電極 1 5 の上辺が直線状でなく、内側に窪んだ形状を有している。そのため、画素電極 1 5 と Cs バスライン 1 3 との重なり面積が絵素間で異なっており、かつ画素電極 1 5 の面積も絵素ごとに異なっている。

10

【0183】

例えば、絵素内に柱状スペーサを配置する、又は、補助容量 Ccs を小さくするといったような場合に、画素電極の面積を減らして、画素電極及び Cs 配線の配置構成を絵素ごとに異ならせる、又は、画素電極の面積が絵素ごとを異ならせる場合、絵素間で最適対向電圧が異なることになるので、焼きつきが起こりやすくなる。

20

【0184】

そこで、実施形態 5 においては、実施形態 1 及び実施形態 2 で示した手段と同様の手段により、絵素間又は副画素間の画素容量の調節を行っている。なお、実施形態 5 において、絵素のピッチ幅は特に限定されず、ピッチ幅が絵素間でそれぞれ異なっても同じであってもよい。

【0185】

実施形態 6

30

図 6 6 及び図 6 7 は、実施形態 6 における液晶層の断面模式図である。実施形態 6 においては、赤、緑及び青の 3 色、又は、赤、緑、青及び黄の 4 色の絵素を用いており、これらの絵素の組み合わせが一つの画素を構成している。図 6 6 は、実施形態 6 において 3 色の絵素を用いた形態を示す断面模式図であり、図 6 7 は、実施形態 6 において 4 色の絵素を用いた形態を示す断面模式図である。

【0186】

図 6 6 及び図 6 7 に示すように、実施形態 6 の液晶表示装置が有する液晶層 1 は、アクティブマトリクス基板 2 及びカラーフィルタ基板 3 からなる一対の基板の間に配置されている。アクティブマトリクス基板 2 は画素電極 4 1 を有しており、カラーフィルタ基板 3 は対向電極 4 2 を有している。また、カラーフィルタ基板 3 は、複数色のカラーフィルタ 3 1 を有しており、3 色又は 4 色で一つの画素を構成している。図 6 6 においては、赤 3 1 R、緑 3 1 G、及び、青 3 1 B の 3 色のカラーフィルタが用いられた形態を示しており、図 6 7 においては、赤 3 1 R、緑 3 1 G、青 3 1 B、及び、黄 3 1 Y の 4 色のカラーフィルタが用いられた形態を示している。

40

【0187】

実施形態 6 において青の絵素にあたる液晶層 1 の厚み（セルギャップ）は、他の絵素にあたる液晶層 1 の厚み（セルギャップ）よりも薄く形成されている。これにより、液晶層 1 の厚みが全ての絵素で共通の場合と比べ、より高い視野角特性を得ることができる。

【0188】

実施形態 6 において、一対の基板が有する電極 4 1、4 2 によって液晶層 1 内に印加され

50

る電圧は、絵素によって異なる。これは、実施形態 6 において、青の絵素における液晶層 1 の厚みが、他の絵素における液晶層 1 の厚みよりも薄く設定されているためであり、青の絵素において形成される液晶容量は、他の絵素に比べて大きくなる。そのため、マルチギャップ構造を設けた場合、絵素間で最適対向電圧が異なることになる。

【 0 1 8 9 】

実施形態 6 においては、T F T のチャネル幅を用いて絵素間での最適対向電圧の調節を行うとともに、セルギャップを絵素間で調節することで、更なる最適対向電圧の調節がなされている。これにより、C g d グラデーションをかける前において、更に絵素間で α のバラツキを抑制することができる。

【 0 1 9 0 】

10

上述した実施形態における各形態は、本発明の要旨を逸脱しない範囲において適宜組み合わせられてもよい。

【 0 1 9 1 】

なお、本願は、2010 年 2 月 26 日に出願された日本国特許出願 2010 - 043425 号を基礎として、パリ条約ないし移行する国における法規に基づく優先権を主張するものである。該出願の内容は、その全体が本願中に参照として組み込まれている。

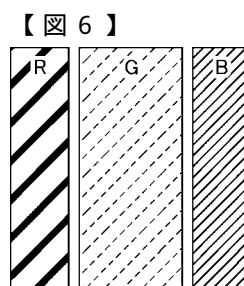
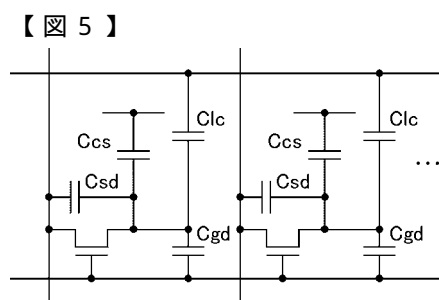
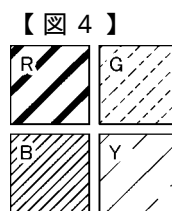
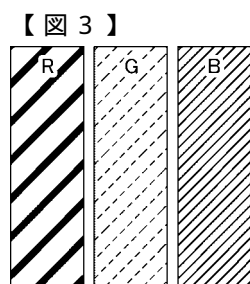
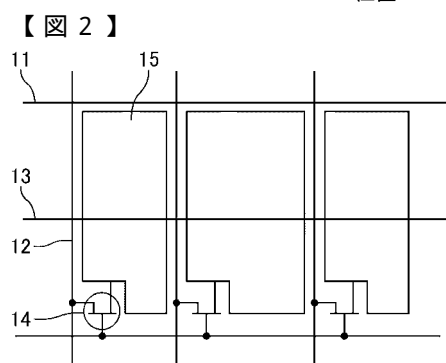
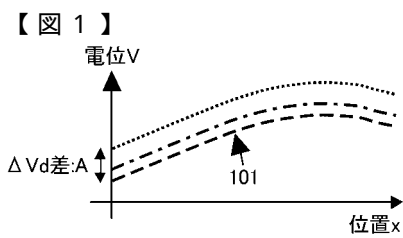
【符号の説明】

【 0 1 9 2 】

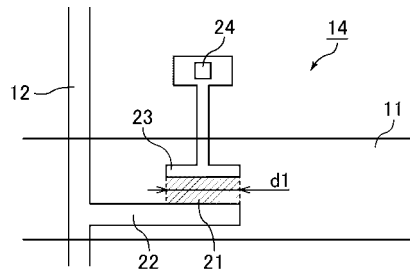
- 1 : 液晶層
- 2 : アクティブマトリクス基板
- 3 : カラーフィルタ基板
- 11 : ゲートバスライン (走査線)
- 12 : ソースバスライン (信号線)
- 13 : C s バスライン (補助容量配線)
- 13a : 第一の C s バスライン
- 13b : 第二の C s バスライン
- 14 : T F T (薄膜トランジスタ)
- 14a : 第一の T F T
- 14b : 第二の T F T
- 15 : 画素電極
- 15a : 第一の副画素電極
- 15b : 第二の副画素電極
- 21 : チャネル領域
- 22 : ソース電極
- 23 : ドレイン電極
- 23a : ドレイン電極の広がり部
- 24 : コンタクトホール
- 25 : ゲート電極
- 26 : 変動するゲート電極
- 31 : カラーフィルタ
- 31R : カラーフィルタ (赤)
- 31G : カラーフィルタ (緑)
- 31B : カラーフィルタ (青)
- 31Y : カラーフィルタ (黄)
- 41 : 画素電極
- 42 : 対向電極
- 101、103、113、121、123 : 面内対向分布
- 102、112、122 : C g d グラデーション
- 131 : S t e p (n) の画素
- 132 : S t e p (n + 1) の画素

50

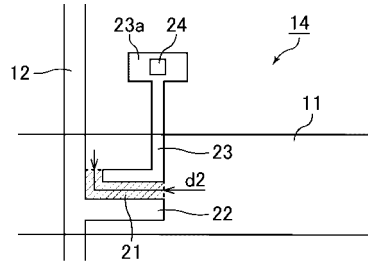
1 3 3 : モザイク領域



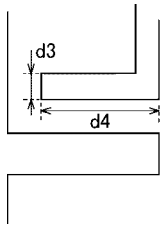
【図 7】



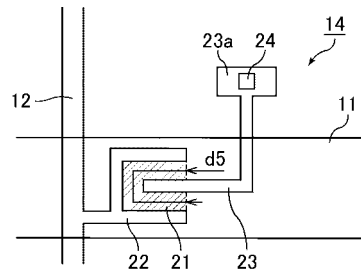
【図 8】



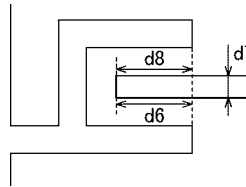
【図 9】



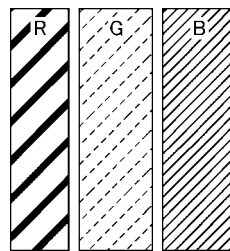
【図 10】



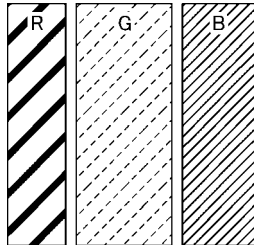
【図 11】



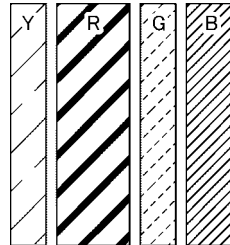
【図 12】



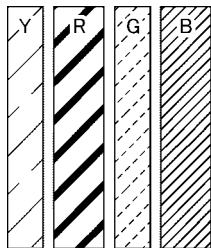
【図 13】



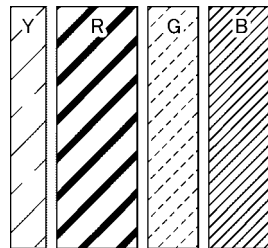
【図 16】



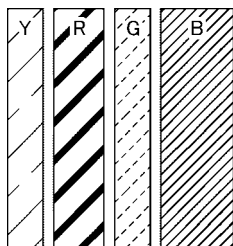
【図 14】



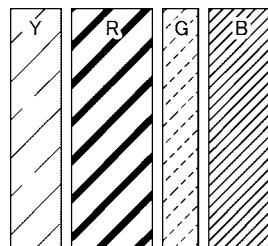
【図 17】



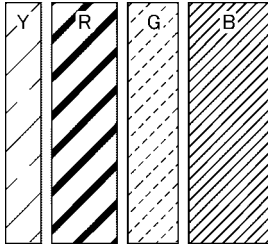
【図 15】



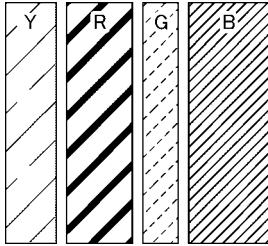
【図 18】



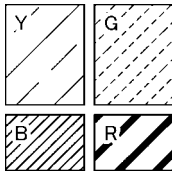
【図 19】



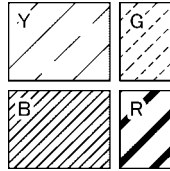
【図 20】



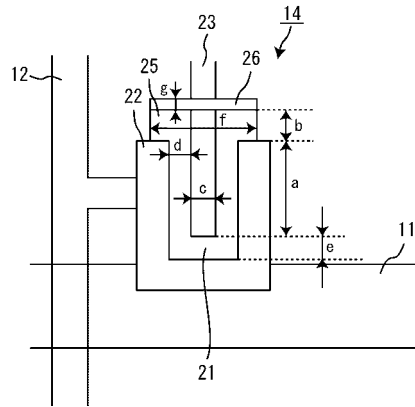
【図 21】



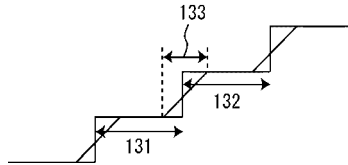
【図 22】



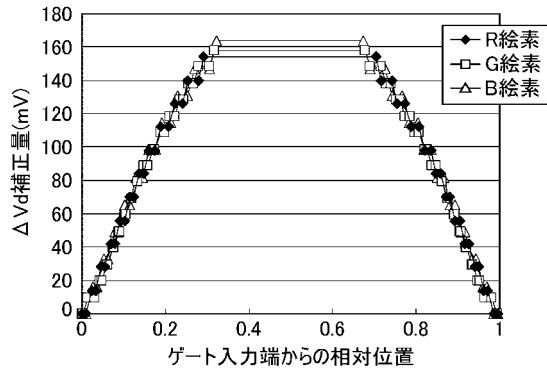
【図 23】



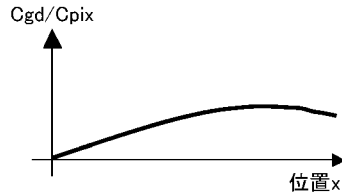
【図 24】



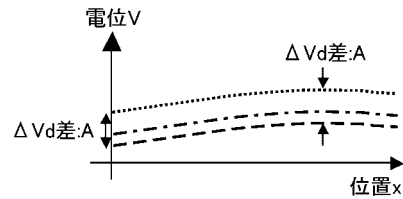
【図 25】



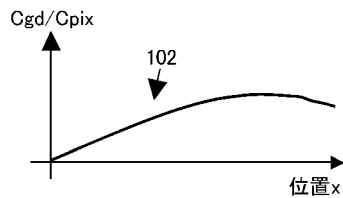
【図 28】



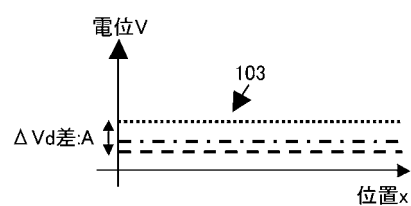
【図 29】



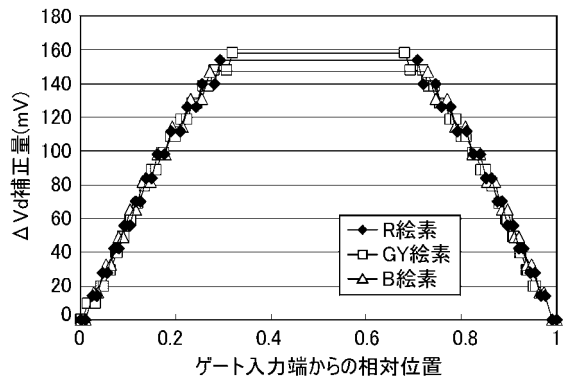
【図 26】



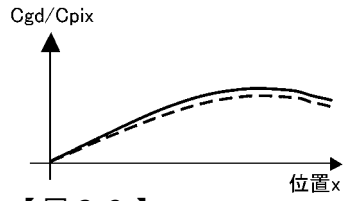
【図 27】



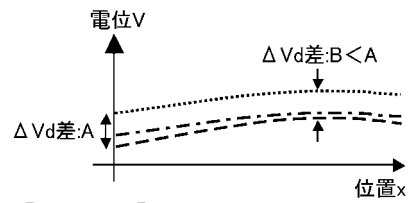
【図 30】



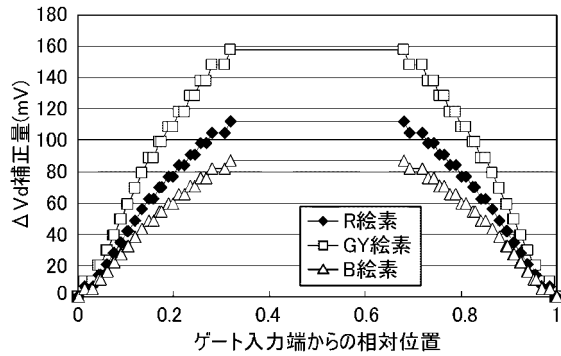
【図 3 1】



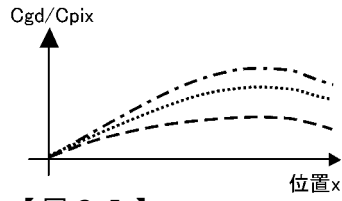
【図 3 2】



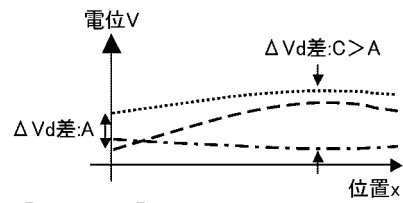
【図 3 3】



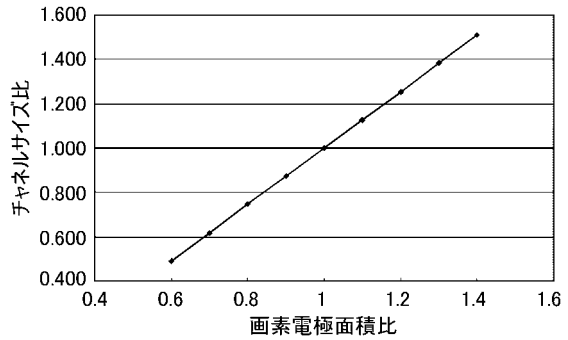
【図 3 4】



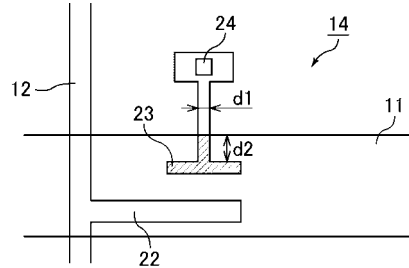
【図 3 5】



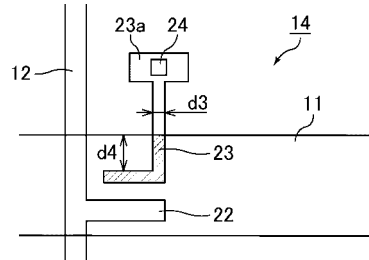
【図 3 6】



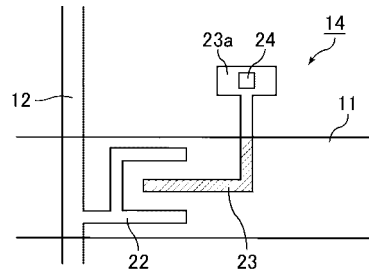
【図 3 7】



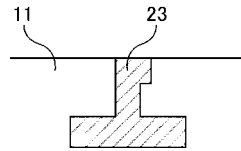
【図 3 8】



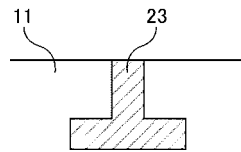
【図 3 9】



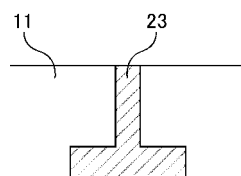
【図 4 0】



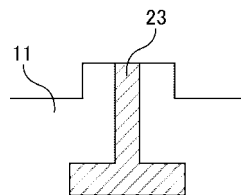
【図 4 1】



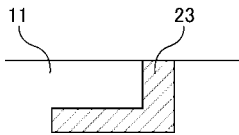
【図 4 2】



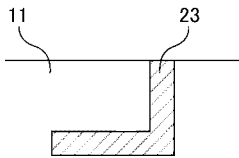
【図 4 3】



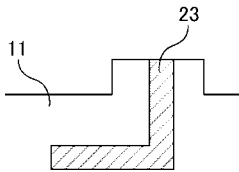
【図 4 4】



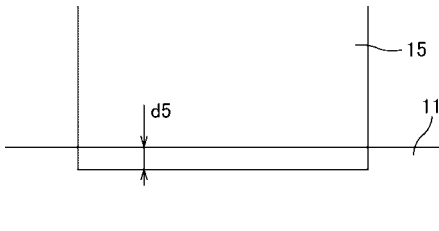
【図 4 5】



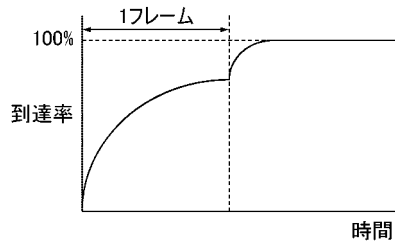
【図 4 6】



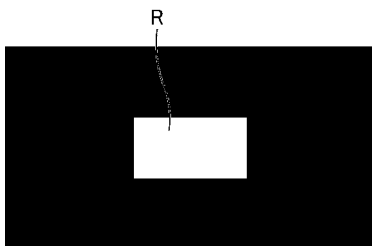
【図 4 7】



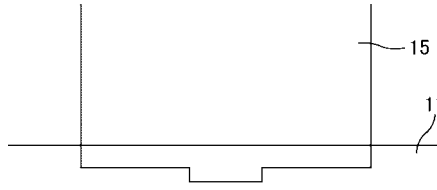
【図 5 1】



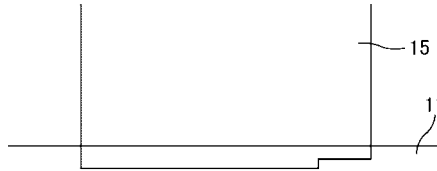
【図 5 2】



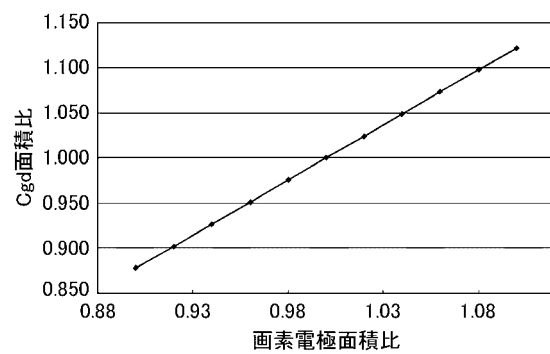
【図 4 8】



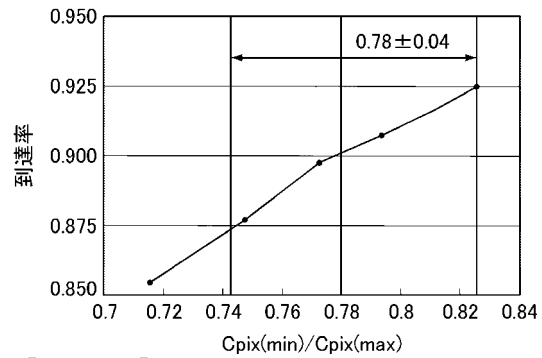
【図 4 9】



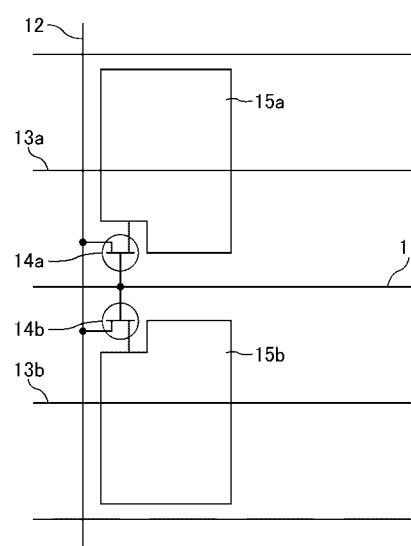
【図 5 0】



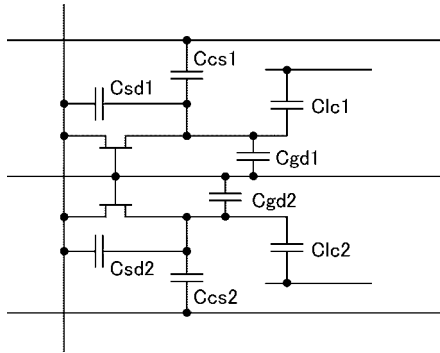
【図 5 3】



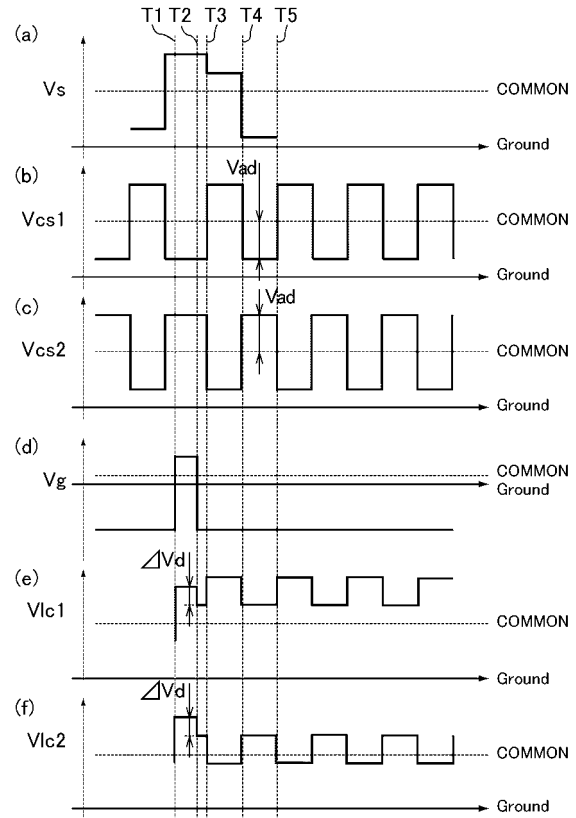
【図 5 4】



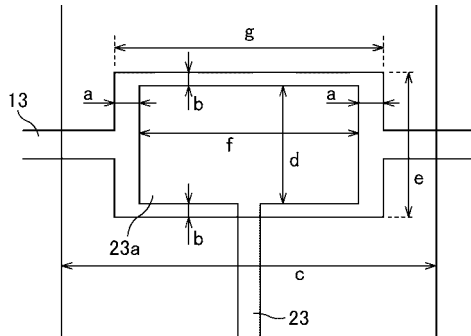
【図 5 5】



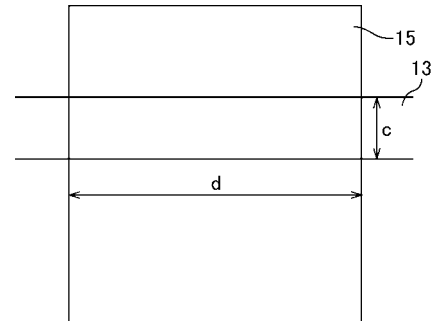
【図 5 6】



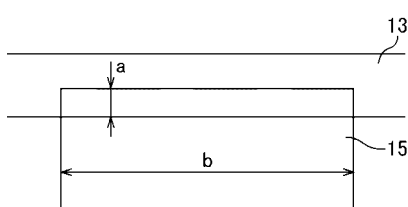
【図 5 7】



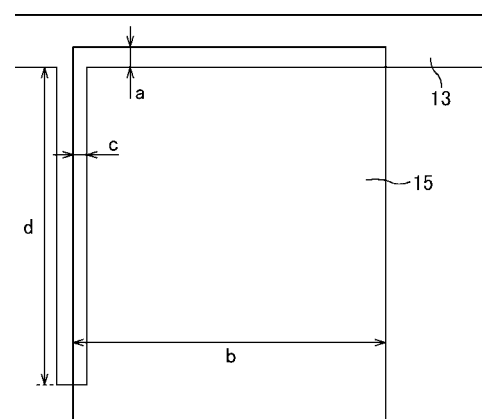
【図 5 9】



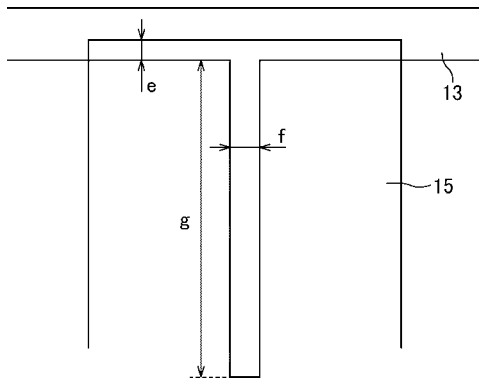
【図 5 8】



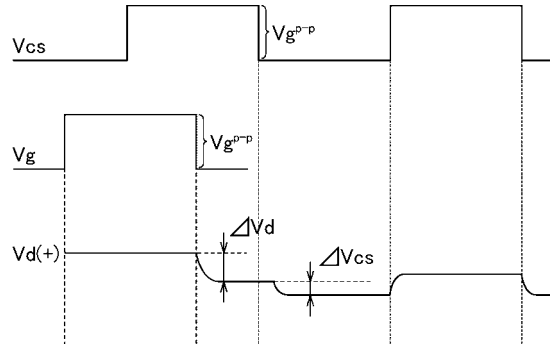
【図 6 0】



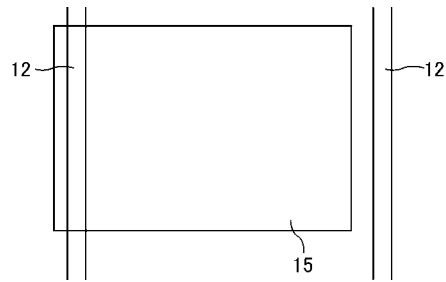
【図 6 1】



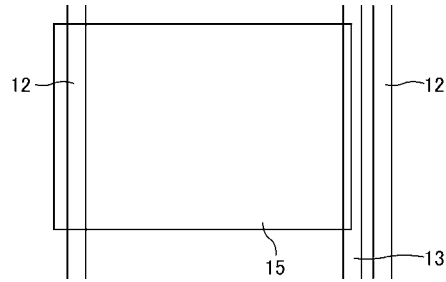
【図 6 2】



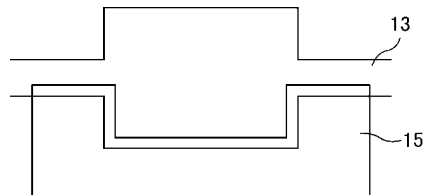
【図 6 3】



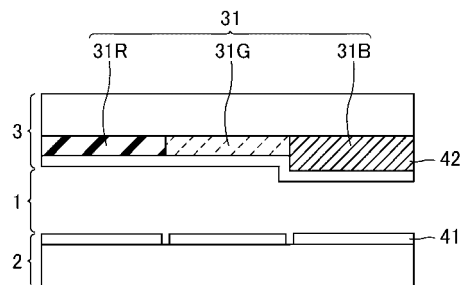
【図 6 4】



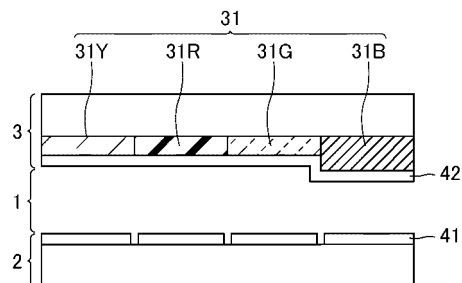
【図 6 5】



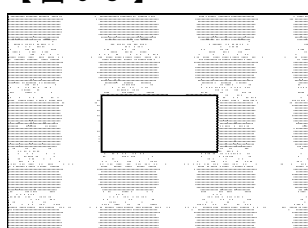
【図 6 6】



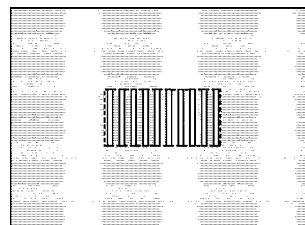
【図 6 7】



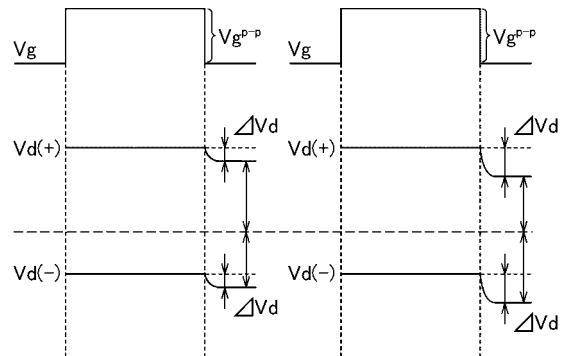
【図 6 8】



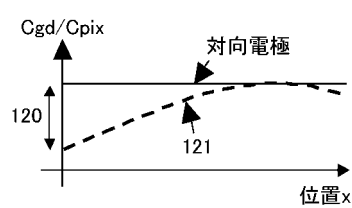
【図 6 9】



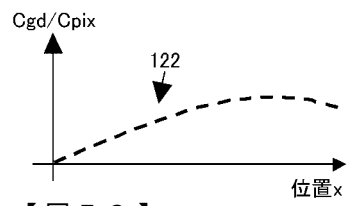
【図 7 0】



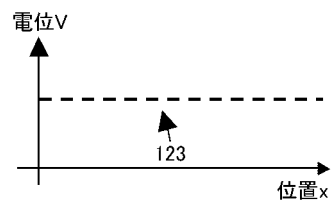
【図 7 1】



【図 7 2】



【図 7 3】



フロントページの続き

- (72)発明者 北山 雅江
日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 兵頭 賢一
日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 山下 祐樹
日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 杉坂 茜
日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 藤田 都志行

- (56)参考文献 国際公開第 2 0 0 6 / 0 0 6 3 7 6 (W O , A 1)
特開 2 0 0 2 - 3 0 3 8 8 2 (J P , A)
特開 2 0 0 0 - 1 4 7 5 3 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 6 8

专利名称(译)	液晶表示装置		
公开(公告)号	JP5342064B2	公开(公告)日	2013-11-13
申请号	JP2012501631	申请日	2010-11-05
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	逸見郁未 下敷領文一 平田貢祥 北山雅江 兵頭賢一 山下祐樹 杉坂茜		
发明人	逸見 郁未 下敷領 文一 平田 貢祥 北山 雅江 兵頭 賢一 山下 祐樹 杉坂 茜		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G09G3/3648 G02F1/136213 G02F1/136286 G02F2001/133397 G02F2201/52 G09G2300/0426 G09G2300/0443 G09G2300/0447 G09G2300/0452 G09G2320/0257		
FI分类号	G02F1/1343 G02F1/1368		
优先权	2010043425 2010-02-26 JP		
其他公开文献	JPWO2011104942A1		
外部链接	Espacenet		

摘要(译)

在本发明的液晶显示装置中，每个像素包括红色（R），绿色（G）和蓝色（B）三种颜色的子像素。连接所述基板中的一个，和扫描线（11），以及所述信号线（12），辅助电容线（13），薄膜晶体管（14）连接到每个扫描线和信号线，并且所述薄膜晶体管还有一个像素电极。扫描线（11）和像素电极，栅极到栅极-漏极电容（Cgd），布置在一个像素中，具有较大的像素电容的像素电极形成的多个像素电极之间漏极电容（Cgd）大于由具有较小像素电容的像素电极形成的栅极-漏极电容（Cgd）。像素电极的扫描线（11）的重叠区域，每个像素电极布置对应于单个颜色子像素，与所述扫描线的信号的前进方向开始（11）被增加，并且其上升率减小，并且对于具有不同像素电容的每个像素电极，增加率不同。根据本发明的液晶显示装置，即使在执行Cgd灰度的面板中子像素之间的像素电容不同时，也不太可能发生老化。

	R絵素	GY絵素	B絵素
a(μm)	28.0	19.0	40.5
b(μm)	6.0	6.0	6.0
c(μm)	5.0	5.0	5.0
d(μm)	4.5	4.5	4.5
e(μm)	4.5	4.5	4.5
ΔVd(V)	1.838	1.901	1.910