

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5333799号
(P5333799)

(45) 発行日 平成25年11月6日(2013.11.6)

(24) 登録日 平成25年8月9日(2013.8.9)

(51) Int.Cl.

F I

G O 2 F 1/1333 (2006.01)

G O 2 F 1/1333

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

請求項の数 4 (全 19 頁)

(21) 出願番号 特願2012-97247 (P2012-97247)
(22) 出願日 平成24年4月23日(2012.4.23)
(62) 分割の表示 特願2007-91130 (P2007-91130)
の分割
原出願日 平成19年3月30日(2007.3.30)
(65) 公開番号 特開2012-137793 (P2012-137793A)
(43) 公開日 平成24年7月19日(2012.7.19)
審査請求日 平成24年4月23日(2012.4.23)

(73) 特許権者 303018827
N L Tテクノロジー株式会社
神奈川県川崎市中原区下沼部1753番地
(74) 代理人 100114672
弁理士 宮本 恵司
(72) 発明者 春日 康二
神奈川県川崎市中原区下沼部1753番地
N E C液晶テクノロジー株式会社内

審査官 廣田 かおり

最終頁に続く

(54) 【発明の名称】 液晶パネル及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

対向する一対の基板間に液晶が挟持され、
一方の基板上に、互いに略直交する走査線と信号線とが複数形成され、
前記走査線と前記信号線とで囲まれる画素がマトリクス状に配列された表示領域の外側の少なくとも一辺に、前記走査線の入力端子が配置された走査線端子領域が形成され、
前記表示領域外側の他の少なくとも一辺に、前記信号線の入力端子が配置された信号線端子領域が形成され、
基板面に略平行な電界によって前記液晶を駆動する横電界方式の液晶パネルにおいて、
他方の基板に柱状スペーサが形成され、
前記柱状スペーサの高さを変えることによって、前記走査線端子領域から相対的に近い第1の画素よりも、前記走査線端子領域から相対的に遠い第2の画素の方が、前記一対の基板の間隔が広く設定される、ことを特徴とする液晶パネル。

【請求項2】

対向する一対の基板間に液晶が挟持され、
一方の基板上に、互いに略直交する走査線と信号線とが複数形成され、
前記走査線と前記信号線とで囲まれる画素がマトリクス状に配列された表示領域の外側の少なくとも一辺に、前記走査線の入力端子が配置された走査線端子領域が形成され、
前記表示領域外側の他の少なくとも一辺に、前記信号線の入力端子が配置された信号線端子領域が形成され、

10

20

基板面に略平行な電界によって前記液晶を駆動する横電界方式の液晶パネルにおいて、
 他方の基板に柱状スペーサが形成され、
 前記柱状スペーサの高さを変えることによって、前記信号線端子領域から相対的に近い
 第１の画素よりも、前記信号線端子領域から相対的に遠い第２の画素の方が、前記一対の
 基板の間隔が広く設定される、ことを特徴とする液晶パネル。

【請求項３】

前記第１の画素近傍の前記液晶パネルの透過率を T_1 、前記第２の画素近傍の前記液晶
 パネルの透過率を T_2 とした場合に、

前記第１の画素におけるリタデーション $\Delta n d_1$ 、前記第２の画素におけるリタデーシ
 ョン $\Delta n d_2$ は、

$$T_2 / T_1 = \sin^2(\beta \Delta n d_2) / \sin^2(\beta \Delta n d_1),$$

$$\beta = \pi / \lambda,$$

によって規定されることを特徴とする請求項１又は２に記載の液晶パネル。

【請求項４】

請求項１乃至３のいずれか一に記載の液晶パネルとバックライトとを少なくとも備える
 ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶パネル及び液晶表示装置に関する。

【背景技術】

【０００２】

ＡＶ機器やＯＡ機器の表示装置として、薄型、軽量、低消費電力等の利点から液晶表示
 装置が広く用いられている。この液晶表示装置は、図１５に示すように、液晶パネル３２
 とバックライトユニット３３とを主な構成要素としており、液晶パネル３２は、ＴＦＴ（
 Thin Film Transistor）等のスイッチング素子がマトリクス状に形成されたＴＦＴ基板３
 ４とカラーフィルター（ＣＦ）やブラックマトリクス（ＢＭ）等が形成された対向基板３
 ６と、両基板の間に挟持される液晶３５と、両基板の外側に配置される偏光板３７などで
 構成される。

【０００３】

また、図１６に示すように、ＴＦＴ基板３４には、透過率を制御する電圧（以下、ドレ
 イン信号）を供給するパターン（以下、ドレイン配線４３）と、各画素のＯＮ／ＯＦＦを
 制御する電圧（以下、ゲート信号）を供給するパターン（以下、ゲート配線４１）と、常
 に一定の電圧（以下、共通電圧）を供給するパターン（以下、共通配線４２）とが形成さ
 れ、ドレイン配線４３とゲート配線４１の交点にはＴＦＴが配置されている。また、各画
 素がマトリクス状に配列される表示領域４４の外側には、ゲート配線４１に接続される入
 力端子が配置される端子領域４５ａと、ドレイン配線４３に接続される入力端子が配置さ
 れる端子領域４５ｂとが設けられている。

【０００４】

各々の画素には、ＴＦＴを介してドレイン配線４３に接続される画素電極３９と、共通
 配線４２に接続される共通電極４０とが形成されている。そして、ＴＦＴは、ゲート配線
 ４１から供給される電圧によりＯＮ／ＯＦＦされ、ＯＮ時にドレイン配線４３から供給さ
 れる電圧を画素電極３９に伝達し、画素電極３９と共通電極４０との間に生じる電界によ
 って液晶３５を回転させ、バックライトユニット３３からのバックライト光の透過率を制
 御する。

【０００５】

ここで、ゲート配線４１の入力端子近傍（すなわち、端子領域４５ａ近傍）の画素（例
 えば、図１６のＡ点の画素）と、終端近傍の画素（例えば、図１６のＢ点の画素）とを比
 較すると、図１７に示すように、パターン自身の抵抗によりゲート信号の波形に遅延が生
 じる。その結果、図１８に示すように、ＴＦＴが画素電極３９に透過率を制御する電圧を

10

20

30

40

50

送り込む量（以下、書き込み量）がゲート信号の波形の差によって変動し、透過率に差が生じる。

【 0 0 0 6 】

同様に、ドレイン配線 4 3 においても、入力端子近傍（すなわち、端子領域 4 5 b 近傍）の画素（例えば、図 1 6 の A 点の画素）と終端近傍の画素（例えば、図 1 6 の B 点の画素）とを比較すると、図 1 7 に示すように、パターン自身の抵抗によりドレイン信号の波形に遅延が生じる。その結果、ドレイン信号と共通電圧との電位差（すなわち、液晶にかかる電圧）がドレイン信号の波形の差によって変動し、透過率に差が生じる。

【 0 0 0 7 】

従って、上記ゲート配線 4 1 及びドレイン配線 4 3 の抵抗により、画面の左、右、上、下において透過率の差が生じ、例えば、透過率の高い順に、左上 > 左下 > 右上 > 右下のような傾向になってしまう。このときバックライトが均一に発光している場合、この透過率の差がそのまま表示面の輝度の差として現れてしまい、液晶表示装置の表示品位が低下するという問題が生じる。

【 0 0 0 8 】

上記問題に対して、例えば、光源であるバックライトの輝度分布を操作し、光源で液晶パネル 3 2 の透過率分布を補償する方法が考えられる。例えば、下記特許文献 1 には、エッジライト方式のバックライトに対して、導光板裏面の光乱反射層のパターン密度を変えて光源側の輝度分布を調整することによって、液晶パネルの画質を補う方法が提案されている。また、下記特許文献 2 には、ランプ輝度を制御する回路と表示データからランプ輝度補正係数を演算する回路を付与することにより、液晶パネルの画質を補う方法が提案されている。

【 0 0 0 9 】

また、図 1 6 の T F T 基板 3 4 は、ゲート配線 4 1 の入力端子が液晶パネル 3 2 の短辺の一方に配置され、ドレイン配線 4 3 の入力端子が液晶パネル 3 2 の長辺の一方に配置された、いわゆる、片側取り出し方法であるが、液晶パネル 3 2 を垂直方向又は水平方向に分割して、液晶パネル 3 2 の短辺の両側、あるいは長辺の両側に信号の入力端子が配置された、いわゆる、両側取り出し方法にすることにより、配線の抵抗を小さくする方法も提案されている。

【 0 0 1 0 】

また、ゲート配線 4 1 及びドレイン配線 4 3 の抵抗に起因する問題ではなく、面光源の輝度に起因する問題に対して、下記特許文献 3 には、面光源の輝度分布を相殺するように液晶表示装置の透過率分布を制御する方法が開示されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 1 】

【 特許文献 1 】 特開平 6 - 3 1 3 8 8 3 号公報

【 特許文献 2 】 特開 2 0 0 6 - 3 3 0 1 8 7 号公報

【 特許文献 3 】 特開 2 0 0 1 - 3 3 7 8 2 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

ここで、液晶表示装置の画質性能のひとつである輝度均一性については、フル階調（全白）表示時の輝度均一性が仕様書などで規格化される場合が多かった。

【 0 0 1 3 】

一方、近年、特に医療用途に大型高精細の液晶表示装置が使用されるようになってきており、医療用途のディスプレイに対しては、その画質に関して、表 1 に示すような D I N（ドイツ工業規格）や A A P M（アメリカ医用物理学会）などの独自の規格があり、一般の液晶テレビジョンなどとは異なる評価基準（要求値）が設定され、特に、X 線画像で患部を発見するために中間調表示時における輝度均一性に関して厳しい性能が要求されてい

10

20

30

40

50

る。

【 0 0 1 4 】

【 表 1 】

	D I N	A A P M - T G 1 8
ポイント	中心 + 4 隅付近	中心 + 4 隅付近
画面表示	最大信号の 5 0 % に相当するグレイ表示	最大信号の 1 0 % に相当するグレイ表示 最大信号の 8 0 % に相当するグレイ表示
計算式	$\frac{\{ 4 \text{ 隅の輝度} - \text{中心輝度} \}}{\text{中心輝度}} \times 1 0 0 (\%)$	$\frac{\{ \text{最大輝度} - \text{最小輝度} \}}{\{ \text{最大輝度} + \text{最小輝度} \}} \times 2 0 0 (\%)$
規格	± 1 5 %	± 3 0 %

10

【 0 0 1 5 】

従って、医療用途にも利用可能な液晶表示装置を提供するためには、フル階調（全白）表示時のみならず中間調表示時においても輝度均一性を満たすことが求められるが、前述した波形の差が透過率（輝度）の変化に及ぼす影響は、全白表示時よりも中間調表示時の方が大きいと、フル階調（全白）表示時の輝度均一性が規格内であっても、中間調表示時の輝度均一性が規格から外れてしまうという問題が生じている。

20

【 0 0 1 6 】

すなわち、図 1 9 に示すように、通常、液晶パネルの電圧 - 透過率特性は、全白表示領域でフラットであるが、中間調表示領域では急峻に変化する特性であるため、パターン自身の抵抗によりゲート信号やドレイン信号の波形に遅延が生じた場合に、中間調表示領域では透過率が大きく変化してしまう。具体的には、図 2 0 (a) のように液晶パネルを分割した場合に、図 2 0 (b) に示す全白表示では、透過率の変化はそれほど大きくないが、図 2 0 (c) に示す中間調表示では、端子領域 4 5 a に近い領域（領域 a、d）に対して、端子領域 4 5 a から離れた領域（領域 c、f）では透過率が大きく低下する。

【 0 0 1 7 】

この問題に対して、上記特許文献 1 の方法を用いて、中間調表示時の輝度が均一になるように光源側の輝度を調整することも可能であるが、この場合、トレードオフとして、全白表示時の輝度むらが悪化してしまう。これは、光源の輝度分布が不均一になると液晶パネルを全白表示にしたとき、不均一な輝度の光がそのまま透過されるためである。

30

【 0 0 1 8 】

また、上記特許文献 2 の方法では、液晶パネルの透過率の分布が全白表示時と中間調表示時で異なる場合でも、任意に光源側の輝度分布を制御することによって液晶パネルの透過率を補うことは可能であるが、そのためには複雑な制御回路が必要になり、コストが高くなってしまふ。

【 0 0 1 9 】

また、液晶パネルを垂直方向、または水平方向に分割してパネルの短辺の両側、あるいは長辺の両側に信号の入力端子を配置した、いわゆる両側取り出し方式では、画面が大型化されると、いわゆる片側取り出し方式と同様に配線抵抗の問題が生じてしまい、単に両側取り出し方式を適用しただけでは、上記問題が解決できたことにはならない。

40

【 0 0 2 0 】

また、上記特許文献 3 には、液晶表示装置の透過率分布を制御する方法として、液晶層の厚みや光を透過する領域の割合、櫛形電極の電極間隔を規定する方法が開示されているが、これらの要素は、面光源の輝度のばらつきに基づいてその範囲が規定されているため、特許文献 3 の方法を利用したとしても、ゲート配線 4 1 及びドレイン配線 4 3 の抵抗に起因する問題を解決することはできない。

50

【 0 0 2 1 】

本発明は、上記問題点に鑑みてなされたものであって、その主たる目的は、フル階調表示時及び中間調表示時の双方において透過率の画面内均一性のよい液晶パネル及び液晶表示装置を提供することにある。

【課題を解決するための手段】

【 0 0 2 2 】

上記目的を達成するため、本発明は、対向する一対の基板間に液晶が挟持され、一方の基板上に、互いに略直交する走査線と信号線とが複数形成され、前記走査線と前記信号線とで囲まれる画素がマトリクス状に配列された表示領域の外側の少なくとも一辺に、前記走査線の入力端子が配置された走査線端子領域が形成され、前記表示領域外側の他の少なくとも一辺に、前記信号線の入力端子が配置された信号線端子領域が形成され、基板面に略平行な電界によって前記液晶を駆動する横電界方式の液晶パネルにおいて、他方の基板に柱状スペーサが形成され、前記柱状スペーサの高さを変えることによって、前記走査線端子領域から相対的に近い第1の画素よりも、前記走査線端子領域から相対的に遠い第2の画素の方が、前記一対の基板の間隔が広く設定されるものである。

10

【 0 0 2 3 】

また、本発明は、対向する一対の基板間に液晶が挟持され、一方の基板上に、互いに略直交する走査線と信号線とが複数形成され、前記走査線と前記信号線とで囲まれる画素がマトリクス状に配列された表示領域の外側の少なくとも一辺に、前記走査線の入力端子が配置された走査線端子領域が形成され、前記表示領域外側の他の少なくとも一辺に、前記信号線の入力端子が配置された信号線端子領域が形成され、基板面に略平行な電界によって前記液晶を駆動する横電界方式の液晶パネルにおいて、他方の基板に柱状スペーサが形成され、前記柱状スペーサの高さを変えることによって、前記信号線端子領域から相対的に近い第1の画素よりも、前記信号線端子領域から相対的に遠い第2の画素の方が、前記一対の基板の間隔が広く設定されるものである。

20

【 0 0 2 4 】

本発明においては、前記第1の画素近傍の前記液晶パネルの透過率を T_1 、前記第2の画素近傍の前記液晶パネルの透過率を T_2 とした場合に、前記第1の画素におけるリタデーション $\Delta n d_1$ 、前記第2の画素におけるリタデーション $\Delta n d_2$ は、 $T_2 / T_1 = \sin^2(\beta \Delta n d_2) / \sin^2(\beta \Delta n d_1)$ 、 $\beta = \pi / \lambda$ 、によって規定される構成とすることができる。

30

【 0 0 2 6 】

また、本発明の液晶表示装置は、上記いずれかの液晶パネルとバックライトとを少なくとも備えるものである。

【 0 0 2 7 】

このように、本発明では、TFT基板と対向基板との間隔を液晶パネル内で変化させることによって、ゲート配線やドレイン配線の配線抵抗による信号波形の遅延に起因する透過率の画面内不均一性を補償し、フル階調表示時及び中間調表示時の双方において透過率の画面内均一性のよい液晶パネル及び液晶表示装置を提供することができる。

【発明の効果】

40

【 0 0 2 8 】

本発明によれば、フル階調表示時及び中間調表示時の双方において透過率の画面内均一性のよい液晶パネル及び液晶表示装置を提供することができる。

【 0 0 2 9 】

その理由は、ゲート配線又はドレイン配線の入力端子から相対的に近い画素で、TFT基板と対向基板との間隔が相対的に狭く、ゲート配線又はドレイン配線の入力端子から相対的に遠い画素で、TFT基板と対向基板との間隔が相対的に広くなるように、柱状スペーサを形成することによって、液晶に作用する配向規制力を変え、これによりゲート配線やドレイン配線の配線抵抗による信号波形の遅延に起因する透過率の面内不均一性を補償することができるからである。

50

【図面の簡単な説明】

【0030】

【図1】本発明の第1の実施例に係る液晶表示装置の構成を示す断面図である。

【図2】本発明の第1の実施例に係るTFT基板の構成を示す上面図である。

【図3】本発明の第1の実施例に係るTFT基板の画素の構成を示す上面図である。

【図4】本発明の第1の実施例に係るTFT基板の画素の構成を示す断面図である。

【図5】本発明の第1の実施例に係るゲート配線又はドレイン配線の入力端子から相対的に近い領域（A点）と相対的に遠い領域（B点）における画素の一部を模式的に示す断面図及び上面図である。

【図6】本発明の第1の実施例に係るTFT基板の製造方法の一部を示す工程断面図である。

10

【図7】本発明の第1の実施例に係るTFT基板の製造方法の一部を示す工程断面図である。

【図8】本発明の第1の実施例に係る液晶表示装置の効果を示す図であり、電極間隔比と透過率比との相関を示す図である。

【図9】本発明の第2の実施例に係るTFT基板の製造方法の一部を示す工程断面図である。

【図10】本発明の第2の実施例に係るエッチング工程を模式的に示す図である。

【図11】本発明の第2の実施例に係る液晶表示装置の効果を示す図であり、エッチング工程の違いによる透過率分布の変化を示す図である。

20

【図12】本発明の第3の実施例に係るゲート配線又はドレイン配線の入力端子から相対的に近い領域（A点）と相対的に遠い領域（B点）における画素の一部を模式的に示す断面図及び上面図である。

【図13】本発明の第3の実施例に係る対向基板の製造方法の一部を示す工程断面図である。

【図14】本発明の第3の実施例に係る液晶表示装置の効果を示す図であり、リタデーション比（基板間隔比）と透過率比との相関を示す図である。

【図15】液晶表示装置の動作を示す断面図である。

【図16】TFT基板の構成及び信号遅延を示す図である。

【図17】ゲート信号及びドレイン信号の波形の変化を示す図である。

30

【図18】ゲート信号の電圧降下による書き込み量の変化を示す図である。

【図19】液晶の電圧 - 透過率特性を示す図である。

【図20】従来の液晶表示装置における全白表示と中間調表示の透過率分布を示す図である。

【発明を実施するための形態】

【0031】

液晶表示装置において、液晶にTFT基板面と平行な方向に電界を印加することで広視野角性を有する横電界（IPS：In Plane Switching）方式がよく知られており、横電界方式における液晶の光学的閾値電圧 V_c は次式で表される。

【0032】

40

$$V_c = (\pi \cdot L / d) \cdot (K_{22} / \epsilon_0 \cdot \Delta \epsilon)^{1/2} \dots (1)$$

L：電極間隔

d：基板間隔

K_{22} ：液晶のツイスト弾性定数

ϵ_0 ：真空の誘電率

$\Delta \epsilon$ ：液晶の誘電率異方性

【0033】

この式によると、画素電極と共通電極との間隔Lを小さくするか、または、TFT基板と対向基板との間隔dを大きくすることによって、液晶の光学的閾値電圧 V_c は小さくなり、液晶パネルの印加電圧 - 透過率特性を考えた場合、液晶の光学的閾値電圧 V_c が小さ

50

くなると、同じ電圧が印加された場合、相対的に透過率は大きくなる。

【 0 0 3 4 】

そこで、本発明では、ゲート配線やドレイン配線の配線抵抗による信号波形の遅延に起因する透過率の面内不均一性を、光源の輝度や制御回路、端子領域の配置によって補償するのではなく、液晶パネルの構造を変えることによって補償する。すなわち、信号の遅延によって透過率が低下する領域（すなわち、ゲート配線又はドレイン配線の入力端子から相対的に遠い領域）の画素における画素電極と共通電極との間隔が相対的に狭くなるように画素電極及びノ又は共通電極の幅を変えるか、もしくは、TFT基板と対向基板との間隔が相対的に広くなるように柱状スペーサの高さや絶縁膜の膜厚を変えて透過率を大きくし、これにより信号波形の遅延に起因する透過率の面内不均一性を補償する。以下、図面を参照して具体的に説明する。

10

【実施例 1】

【 0 0 3 5 】

まず、本発明の第 1 の実施例に係る液晶パネル及び液晶表示装置について、図 1 乃至図 8 を参照して説明する。図 1 は、本実施例の液晶表示装置の構成を示す断面図であり、図 2 は、TFT基板の構成を示す上面図である。また、図 3 は、TFT基板の一画素の構成を示す上面図であり、図 4 は、その A - A'、B - B' 線における断面図である。また、図 5 は、ゲート配線又はドレイン配線の入力端子から相対的に近い領域（A 点）と相対的に遠い領域（B 点）における画素の一部を模式的に示す断面図及び上面図であり、図 6 及び図 7 は、A 点及び B 点における TFT 基板の製造方法の一部を示す工程断面図である。また、図 8 は、電極幅比（電極間隔比）と透過率比との相関を示す図である。

20

【 0 0 3 6 】

図 1 に示すように、本実施例の液晶表示装置 1 は、TFT 等のスイッチング素子がマトリクス状に形成された TFT 基板 3 と、TFT 基板 3 に対向する対向基板 5 と、両基板の間に挟持される液晶 4 と、両基板の外側に配置される偏光板 6 とを含む液晶パネル 2 と、TFT 基板 3 の裏面に配置され、液晶パネル 2 を照明するバックライトユニット 7 などによって構成される。

【 0 0 3 7 】

また、図 2 に示すように、TFT 基板 3 は、所定方向（ここでは水平方向）に延在する走査線（以下、ゲート配線 11 と呼ぶ。）及び共通配線 12 と、所定方向に交差する方向（ここでは垂直方向）に延在する信号線（以下、ドレイン配線 17 と呼ぶ。）とを備え、ゲート配線 11 とドレイン配線 17 とで挟まれた領域に形成される画素がマトリクス状に配列されて表示領域 8 が形成され、表示領域 8 の外側に、ゲート配線 11 の入力端子が配置される端子領域 9a と、ドレイン配線 17 の入力端子が配置される端子領域 9b とが形成される。

30

【 0 0 3 8 】

また、図 3 及び図 4 に示すように、表示領域 8 の各々の画素は、ゲート配線 11 とドレイン配線 17 との交差部近傍に TFT 16 が配置されている。画素内には櫛歯状の画素電極 18 と、画素電極 18 に対向する共通電極 13 とが形成されており、画素電極 18 は TFT 16 のソース電極に接続され、共通電極 13 は共通配線 12 に接続されている。

40

【 0 0 3 9 】

一方、図示しない対向基板 5 上には、カラー表示を行うための RGB 各色の色層と、各色層の間に入射する光を遮光するためのブラックマトリクスと、これらを保護する保護膜などが形成されている。

【 0 0 4 0 】

また、TFT 基板 3 及び対向基板 5 の表面には配向膜が塗布されて所定方向にラビング処理され、少なくとも一方の基板に基板間のギャップを規定する柱状スペーサなどが配置され、両基板の間に液晶 4 が挟持されている。そして、全ての共通電極 13 に共通配線 12 を通じて一定の共通電圧を供給し、TFT 16 を介して画素電極 18 に電位を書き込み、画素電極 18 と共通電極 13 との間に横電界を与えることにより、液晶 4 を基板に平

50

行な面内でツイスト変形させて表示が制御される。

【0041】

ここで、図2から明らかなように、表示領域8には、端子領域9a、9bからの距離が近い画素（例えば、A点の画素）もあれば、端子領域9a、9bからの距離が遠い画素（例えば、B点の画素）もあるため、端子領域9a、9bから各画素までのゲート配線11又はドレイン配線17の長さが変化し、ゲート配線11又はドレイン配線17の配線抵抗によって信号波形が変化し、その結果、透過率が変化してしまうという問題があった。一方、式(1)より、画素電極18と共通電極13との間隔Lが小さくなれば、液晶の光学的閾値電圧Vcは小さくなり、同じ電圧が印加された場合、相対的に透過率を高くすることができる。

10

【0042】

そこで、本実施例では、端子領域9a、9bから各画素までの距離に関連付けてその画素の画素電極18と共通電極13との間隔Lを変化させる。具体的には、図3のC-C'断面を模式的に表す図5に示すように、端子領域9a、9bからの距離が近い画素（例えば、A点の画素）に対しては、画素電極18と共通電極13との間隔Lを相対的に大きくして電極間の電界を小さくし、端子領域9a、9bからの距離が遠い画素（例えば、B点の画素）に対しては、画素電極18と共通電極13との間隔Lを相対的に小さくして電極間の電界を大きくし、液晶4の回転角を変化させることによって透過率の低下を補償する。その際、画素ピッチは決まっているため、画素電極18及び/又は共通電極13の電極幅を変えることによって画素電極18と共通電極13との間隔Lを変える。

20

【0043】

なお、図2ではTFT基板3を横長にしているが、縦横の比率は任意である。また、図2では、TFT基板3の一方の長辺に端子領域9bを設け、TFT基板3の一方の短辺に端子領域9aを設けているが、TFT基板3の両側の長辺及び両側の短辺に端子領域9a、9bを備える構成（いわゆる両側取り出し方法）としてもよく、その場合は、端子領域9a、9bからの距離は、近い方の端子領域からの距離としてもよいし、双方の端子領域からの距離の平均としてもよい。また、図2におけるA点及びB点は例示であり、B点はA点よりも端子領域9a、9bからの距離が大きければよい。

【0044】

また、図3では、画素内に共通配線12が2本配置される構成を示したが、共通配線12の本数や配置は特に限定されない。また、図3及び図4では、画素内に画素電極18が2本、共通電極13が3本配置される構成を示したが、画素電極18及び共通電極13の本数や形状は特に限定されない。また、図3及び図4では、共通配線12と共通電極13を同層に形成しているが、共通電極13を層間絶縁膜19の上層に形成し、コンタクトを介して共通配線12に接続する構成とすることもでき、その場合、共通電極13をITO（Indium Tin Oxide）などで形成すれば、共通電極13の幅を大きくことによる光の透過領域の面積減少を抑制することができる。また、図4では、TFT16を、ゲート配線11が下側、ソース/ドレイン電極が上側に形成される逆スタガー型（ボトムゲート型）としているが、ゲート配線11が上側、ソース/ドレイン電極が下側に形成される正スタガー型（トップゲート型）としてもよく、TFT16の構造に合わせて、画素電極18及び共通電極13の形成位置は適宜変更することができる。

30

40

【0045】

また、図5では、画素電極18及び共通電極13の双方の幅を変化させているが、画素電極18又は共通電極13の一方の幅を変化させて、画素電極18と共通電極13との間隔Lを変えてもよい。

【0046】

以下、本実施例のTFT基板の製造方法について、図6及び図7の工程断面図を参照して説明する。なお、図の左側は図2のA点の画素の一部を示し、図の右側は図2のB点の画素の一部を示している。

【0047】

50

まず、ガラスやプラスチックなどの絶縁性の基板 10 の上に、スパッタリング法等を用いて、ゲート配線 11、共通配線 12、共通電極 13 となる Cr などのメタル 13a を成膜し、その上に感光性のレジスト 21 を塗布、乾燥して成膜する（図 6（a）参照）。

【0048】

次に、フォトリソを用いてメタル 13a をパターニングするが、その際、透過率の低い領域（すなわち、端子領域 9a、9b に遠い画素、例えば、B 点）ほど、共通電極 13 の幅が太くなるように開口部 22a が形成されたフォトリソ 22 を使って露光し（図 6（b）参照）、現像液にて感光していないレジスト 21 を除去する（図 6（c）参照）。

【0049】

次に、レジスト 21 をマスクとしてメタル 13a をエッチングした後（図 6（d）参照）、レジスト 21 をアッシングや有機溶剤などを用いて除去する（図 6（e）参照）。これにより、透過率の低い領域ほど幅が太い共通電極 13 が形成される。

【0050】

次に、プラズマ CVD 法等を用いてシリコン酸化膜やシリコン窒化膜などからなるゲート絶縁膜 14 を形成し、その上にアモルファスシリコンやポリシリコンなどを堆積し、レジストをマスクとしてドライエッチングを行って、島状の半導体層 15 を形成する。

【0051】

次に、スパッタリング法等を用いて、ドレイン配線 17、画素電極 18、ソース/ドレイン電極となる Cr などのメタル 18a を成膜し、その上に感光性のレジスト 23 を塗布、乾燥して成膜する（図 7（a）参照）。

【0052】

次に、フォトリソを用いてメタル 18a をパターニングするが、その際、透過率の低い領域（すなわち、端子領域 9a、9b に遠い画素、例えば、B 点）ほど、画素電極 18 の幅が太くなるように開口部 24a が形成されたフォトリソ 24 を使って露光し（図 7（b）参照）、現像液にて感光していないレジスト 23 を除去する（図 7（c）参照）。

【0053】

次に、レジスト 23 をマスクとしてメタル 18a をエッチングした後（図 7（d）参照）、レジスト 23 をアッシングや有機溶剤などを用いて除去する（図 7（e）参照）。これにより、透過率の低い領域ほど幅が太い画素電極 18 が形成され、透過率の低い領域の共通電極 13 と画素電極 18 との間隔（L2）は、透過率の高い領域の共通電極 13 と画素電極 18 との間隔（L1）よりも小さくなる。

【0054】

次に、ソース/ドレイン電極をマスクとしてチャネルドライエッチングを行った後、プラズマ CVD 法等を用いてシリコン酸化膜やシリコン窒化膜などからなる層間絶縁膜 19 を形成する。

【0055】

一方、対向基板は、絶縁性の基板上の各々の画素領域に RGB 各色の色層を形成し、色層間の領域にブラックマトリクスを形成し、その上に保護膜を形成した後、柱状スペーサを形成する。

【0056】

次に、印刷装置などを用いて TFT 基板 3 と対向基板 5 に配向膜の材料となるポリイミドの溶液を塗布し、焼成した後、配向膜表面を回転金属ローラに巻き付けたバフ布などで一定方向に擦ってラビング処理を行う。そして、一方の基板に光硬化性又は熱硬化性のシール材料を形成し、液晶を滴下した後、両基板を重ね合わせ、シール材の UV 硬化及び熱硬化を行うことで、液晶パネル 2 が形成される。

【0057】

上記方法で形成した液晶パネル 2 にバックライトユニット 7 を組み合わせて、表示領域 8 の各領域の透過率を測定し、表示領域 8 の略中央の画素の電極幅及び透過率を基準にした場合の電極幅比と透過率比との相関を調べた。その結果を図 8 に示す。

【0058】

10

20

30

40

50

図 8 より、電極幅比が大きくなるに従って（すなわち、ピッチが同じであるため電極間隔が小さくなるに従って）透過率比が大きくなっており、ゲート配線 11 又はドレイン配線 17 の配線抵抗に起因する透過率の低下を電極間隔で補償できることが分かる。

【0059】

この共通電極 13 及び画素電極 18 の幅（又は、共通電極 13 と画素電極 18 と間隔）は、フォトマスク 22、24 の開口部 22a、24a のサイズ、レジスト 21、23 の塗布、露光、現像条件などによって調整可能であり、目標とする電極幅比（又は電極間隔比）は実際の液晶パネル 2 の透過率変化を考慮して設定することになるが、以下の式によって算出することができる。

【0060】

例えば、端子領域 9a、9b に相対的に近い画素の透過率を T_1 、端子領域 9a、9b から相対的に遠い画素の透過率を T_2 とした場合に、 T_1 、 T_2 は以下のように表される。

【0061】

$$\begin{aligned} T_1 &= \alpha \sin^2(2\psi_1) \\ T_2 &= \alpha \sin^2(2\psi_2) \\ \alpha &= 1/2 \cdot \sin^2(\pi \Delta n \cdot d / \lambda) \\ \psi &: \text{液晶回転角} \end{aligned}$$

【0062】

従って、

$$T_2 / T_1 = \sin^2(2\psi_2) / \sin^2(2\psi_1) \quad \dots (2)$$

となる。

【0063】

一方、端子領域 9a、9b に相対的に近い画素の電極間隔を L_1 、端子領域 9a、9b から相対的に遠い画素の電極間隔を L_2 とした場合に、IPS の基本方程式より、以下の関係が成り立つ。

【0064】

$$\begin{aligned} K_{22} d^2 \varphi / dz^2 &= \varepsilon_0 \cdot \Delta \varepsilon \cdot (V / L_1)^2 \cdot \sin \psi_1 \cdot \cos \psi_1 \\ K_{22} d^2 \varphi / dz^2 &= \varepsilon_0 \cdot \Delta \varepsilon \cdot (V / L_2)^2 \cdot \sin \psi_2 \cdot \cos \psi_2 \end{aligned}$$

【0065】

従って、

$$L_2 / L_1 = ((\sin \psi_2 \cdot \cos \psi_2) / (\sin \psi_1 \cdot \cos \psi_1))^{1/2} \dots (3)$$

となる。

【0066】

以上より、式 (2) から、 T_2 / T_1 に合致する ψ_1 、 ψ_2 を設定すれば、式 (3) から、その ψ_1 、 ψ_2 における L_2 / L_1 を算出することができる。

【0067】

具体的な値としては、図 8 の特性を持つ液晶パネルの場合、グラフの傾きは略 - 7 であることから、各画素の TFT 16 の特性が一定であり、透過率が低い領域と高い領域の透過率比が略 15% であれば、透過率が低い領域の電極間隔を透過率が高い領域の電極間隔に対して、略 2.2% 小さくなるように調整する。

【実施例 2】

【0068】

次に、本発明の第 2 の実施例に係る液晶パネル及び液晶表示装置について、図 9 乃至図 11 を参照して説明する。図 9 は、ゲート配線又はドレイン配線の入力端子から相対的に近い画素（A 点）と相対的に遠い画素（B 点）における TFT 基板の製造方法の一部を示す工程断面図であり、図 10 は、エッチング工程を模式的に示す図である。また、図 11 は液晶パネルの透過率分布を示す図である。

【0069】

10

20

30

40

50

前記した第 1 の実施例では、画素電極 1 8 及び共通電極 1 3 の間隔をフォトマスクの開口部の大きさを変えることによって調整したが、本実施例では、フォトマスクの開口部の大きさを変えずに、エッチングによって調整することを特徴とする。

【 0 0 7 0 】

以下、本実施例の T F T 基板 3 の製造方法について、図 9 の工程断面図を参照して説明する。

【 0 0 7 1 】

第 1 の実施例と同様に、ガラスやプラスチックなどの絶縁性の基板 1 0 の上に、スパッタリング法等を用いて、ゲート配線 1 1、共通配線 1 2、共通電極 1 3 となる C r などのメタル 1 3 a を成膜し、その上に感光性のレジスト 2 1 を塗布、乾燥して成膜する（図 9（a）参照）。 10

【 0 0 7 2 】

次に、本実施例では、同じサイズの開口部 2 2 a が形成されたフォトマスク 2 2 を使って露光し（図 9（b）参照）、現像液にて感光していないレジスト 2 1 を除去する（図 9（c）参照）。

【 0 0 7 3 】

次に、レジスト 2 1 をマスクとしてメタル 1 3 a をエッチングするが、その際、透過率の高い領域（例えば、ゲート配線 1 1 の入力端子が形成される端子領域 9 a 側、図 2 の左辺）が先にエッチング液に浸漬するようにし、取り出すときは基板全体を同時に取り出す（図 9（d）参照）。すなわちエッチングに時間差が生じるようにする。その後、レジスト 2 1 をアッシングや有機溶剤などを用いて除去する（図 9（e）参照）。これにより、端子領域 9 a、9 b に近い画素、例えば、A 点ほどエッチングが進行し、レジスト 2 1 下層のメタル 1 3 a がオーバーエッチングされて共通電極 1 3 の幅が小さくなる。 20

【 0 0 7 4 】

次に、プラズマ C V D 法等を用いてシリコン酸化膜やシリコン窒化膜などからなるゲート絶縁膜 1 4 を形成し、その上にアモルファスシリコンやポリシリコンなどを堆積し、レジストをマスクとしてドライエッチングを行って、島状の半導体層 1 5 を形成する。

【 0 0 7 5 】

次に、スパッタリング法等を用いてドレイン配線 1 7、ソース/ドレイン電極及び画素電極 1 8 となる C r などのメタルを成膜し、同様の方法により、エッチングに時間差が生じるようにして、端子領域 9 a、9 b に近い画素、例えば、A 点ほど画素電極 1 8 の幅が小さくなるようにする。その後、第 1 の実施例と同様の方法で液晶パネル 2 を形成する。 30

【 0 0 7 6 】

このように、エッチングに時間差を設けて、透過率の高い領域の共通電極 1 3 及び/又は画素電極 1 8 の幅が小さくなるようにすることによっても、第 1 の実施例と同様の効果を得ることができる。

【 0 0 7 7 】

上記エッチングに時間差を設ける手法の効果を確認するために、図 1 0（a）に示すように、透過率の低い領域（端子領域 9 a から遠い辺、図 2 の右辺）が先にエッチング液に浸漬するようにした場合と、図 1 0（b）に示すように、透過率の高い領域（端子領域 9 a に近い辺、図 2 の左辺）が先にエッチング液に浸漬するようにした場合とで T F T 基板 3 を製作し、表示領域 8 の略中央の画素の透過率を基準にした場合の液晶パネル 2 の透過率分布を測定した。その結果を図 1 1 に示す。 40

【 0 0 7 8 】

図 1 1 より、透過率の低い領域をエッチング液に先に漬けた場合は、ゲート配線 1 1 又はドレイン配線 1 7 の配線抵抗に起因する透過率の低下に加えて、透過率の低い領域ほどオーバーエッチングによって共通電極 1 3 と画素電極 1 8 との間隔が広がるため、透過率比が大きく変化しているが、透過率の高い領域をエッチング液に先に漬けた場合は、ゲート配線 1 1 又はドレイン配線 1 7 の配線抵抗に起因する透過率の低下が、透過率の高い領域ほどオーバーエッチングによって共通電極 1 3 と画素電極 1 8 との間隔が広がるこ 50

とによって補償されるため、画面全体の透過率が均一になっていることが分かる。

【実施例 3】

【0079】

次に、本発明の第3の実施例に係る液晶パネル及び液晶表示装置について、図12乃至図14を参照して説明する。図12は、ゲート配線又はドレイン配線の入力端子から相対的に近い領域（A点）と相対的に遠い領域（B点）における画素の一部を模式的に示す断面図及び上面図であり、図13は、その製造方法の一部を示す工程断面図である。また、図14は、基板間隔比（リタデーション比）と透過率比との相関を示す図である。

【0080】

前記した第1及び第2の実施例では、画素電極18及び共通電極13の間隔を変えることによって透過率を変化させたが、本実施例では、TF基板と対向基板との間隔を変えることによって透過率を変化させることを特徴とする。

10

【0081】

TF基板と対向基板は、通常、柱状スペーサによって間隔を保っており、一般的な柱状スペーサは、対向基板側のブラックマトリクスの上層にレジストによって形成される。一方、式(1)より、TF基板3と対向基板5との間隔dが大きくなれば、液晶の光学的閾値電圧Vcは小さくなり、同じ電圧が印加された場合、相対的に透過率を高くすることができる。

【0082】

そこで、本実施例では、端子領域9a、9bからの距離に関連付けてTF基板3と対向基板5との間隔dを変化させる。具体的には、図12に示すように、端子領域9a、9bからの距離が近い画素（例えば、A点の画素）に対しては、TF基板3と対向基板5との間隔dを小さくして配向規制力を大きくし、端子領域9a、9bからの距離が遠い画素（例えば、B点の画素）に対しては、TF基板3と対向基板5との間隔dを大きくして配向規制力を小さくし、液晶4の回転角を変化させることによって透過率の低下を補償する。

20

【0083】

なお、図12では、対向基板5側に柱状スペーサ29を形成する構成としているが、TF基板3側に柱状スペーサ29を形成する構成としてもよいし、対向基板5及びTF基板3の双方に柱状スペーサ29を形成する構成としてもよい。また、本実施例では、柱状スペーサ29によってTF基板3と対向基板5との間隔dを変化させているが、例えば、TF基板3の層間絶縁膜19や平坦化膜、配向膜、対向基板5のブラックマトリクスや保護膜、配向膜などの膜厚を変えることによって、TF基板3と対向基板5との間隔dを変化させてもよい。

30

【0084】

以下、本実施例の対向基板5の製造方法について、図13の工程断面図を参照して説明する。

【0085】

まず、ガラスやプラスチックなどの絶縁性の基板25上の各々の画素領域にRGB各色の色層26を形成した後、色層26間の領域にブラックマトリクス27を形成し、その上に保護膜28を形成する。次に、保護膜28上に感光性のレジスト29aを塗布、乾燥して成膜する（図13(a)参照）。

40

【0086】

次に、フォトリソを用いてレジスト29aをパターニングするが、その際、透過率の低い領域（すなわち、端子領域9a、9bに遠い画素、例えば、B点）ほど、開口面積が大きくなるように開口部30aが形成されたフォトリソマスク30を使って露光する（図13(b)参照）。これにより透過率の低い領域ほど感光が進む。

【0087】

次に、液晶パネル全体で開口部31aの大きさが等しいフォトリソマスク31を使って露光する（図13(c)参照）。その後、現像液にて感光していないレジスト29aを除去す

50

る（図 13（d）参照）。これにより、感光の進んでいない領域（すなわち、フォトマスク 30 の開口部 30a の小さい A 点）の柱状スペーサ 29 は除去率が上がるため、感光の進んでいる領域の柱状スペーサ 29 よりも低く形成される。

【0088】

一方、TFT 基板 3 は、通常の手法又は第 1、第 2 の実施例と同様の手法を用いて製作する。その後、TFT 基板 3 と対向基板 5 に配向膜を形成してラビング処理を行い、一方の基板に光硬化性又は熱硬化性のシール材料を形成し、液晶を滴下した後、両基板を重ね合わせ、シール材の UV 硬化及び熱硬化を行うことで、液晶パネル 2 が形成される。

【0089】

上記方法で形成した液晶パネル 2 にバックライトユニット 7 を組み合わせて、表示領域 8 の各部の透過率を測定し、表示領域 8 の略中央の画素の基板間隔及び透過率を基準にした場合の基板間隔比と透過率比との相関を調べた。その結果を図 14 に示す。

【0090】

図 14 より、基板間隔比が大きくなるに従って（すなわち、基板間隔に屈折率異方性を掛け合わせたりタデーションが大きくなるに従って）透過率比が大きくなっており、ゲート配線 11 又はドレイン配線 17 の配線抵抗に起因する透過率の低下を基板間隔で補償できることが分かる。

【0091】

この柱状スペーサ 29 の高低差は、フォトマスク 30 の開口部 30a のサイズ、レジスト 29 の塗布、露光、現像条件などによって調整可能であり、目標とする基板間隔幅比は実際の液晶パネル 2 の透過率変化を考慮して設定することになるが、以下の式によって算出することができる。

【0092】

例えば、端子領域 9a、9b に相対的に近い画素の透過率を T_1 、基板間隔を d_1 、端子領域 9a、9b から相対的に遠い画素の透過率を T_2 、基板間隔を d_2 、とした場合に、 T_1 、 T_2 は以下のように表される。

【0093】

$$T_1 = 1 / 2 \cdot \sin^2(\beta \Delta n d_1) \cdot \sin^2(2\psi)$$

$$T_2 = 1 / 2 \cdot \sin^2(\beta \Delta n d_2) \cdot \sin^2(2\psi)$$

$$\beta = \pi / \lambda$$

ψ ：液晶回転角

Δn ：屈折率異方性

【0094】

従って、

$$T_2 / T_1 = \sin^2(\beta \Delta n d_2) / \sin^2(\beta \Delta n d_1) \quad \dots (4)$$

となる。

【0095】

以上より、式（4）から、 T_2 / T_1 に合致する $\Delta n d_1$ 、 $\Delta n d_2$ を算出することができる。

【0096】

具体的な値としては、図 14 の特性を持つ液晶パネルの場合、グラフの傾きは略 10 であることから、各画素の TFT 16 の特性が一定であり、透過率が低い領域と高い領域の透過率比が略 1.5% であれば、透過率が低い領域のリタデーション（基板間隔）を透過率が高い領域のリタデーション（基板間隔）に対して、略 1.5% 大きくなるように調整する。

【0097】

なお、第 1、第 2 の実施例では共通電極 13 と画素電極 18 との間隔を変化させ、第 3 の実施例では TFT 基板 3 と対向基板 5 との間隔を変化させたが、これらを組み合わせることによって更に透過率を大きく変化させることができる。

【0098】

10

20

30

40

50

また、第 1 乃至第 3 の実施例では横電界方式の液晶パネルの場合について述べたが、V A (Vertical Alignment) 方式など他の方式の液晶パネルについても応用することができ、それぞれの方式の画素を構成する要素において、透過率を左右する要素の寸法・形状を配線抵抗による信号遅延に伴う画面内透過率の不均一性を補償するように調整・配置することによって、横電界方式の液晶パネルと同様の効果を得ることができる。

【産業上の利用可能性】

【0099】

本発明は、液晶パネル及び液晶表示装置、特に医療用途に使用される液晶パネル及び液晶表示装置に利用可能である。

【符号の説明】

10

【0100】

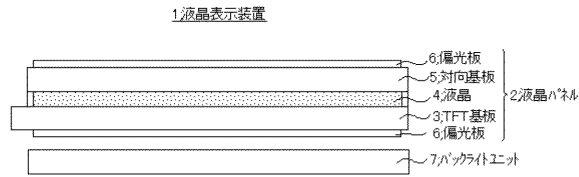
- 1 液晶表示装置
- 2、32 液晶パネル
- 3、34 TFT基板
- 4、35 液晶
- 5、36 対向基板
- 6、37 偏光板
- 7、33 バックライトユニット
- 8、44 表示領域
- 9a、9b、45a、45b 端子領域
- 10 基板
- 11、41 ゲート配線
- 12、42 共通配線
- 13、40 共通電極
- 14 ゲート絶縁膜
- 15 半導体層
- 16 TFT
- 17、43 ドレイン配線
- 18、39 画素電極
- 19 層間絶縁膜
- 21、23 レジスト
- 22、24、30、31 フォトマスク
- 22a、24a、30a、31a 開口部
- 25 基板
- 26 色層
- 27 ブラックマトリクス
- 28 保護膜
- 29a レジスト
- 29 柱状スペーサ
- 38 封止材

20

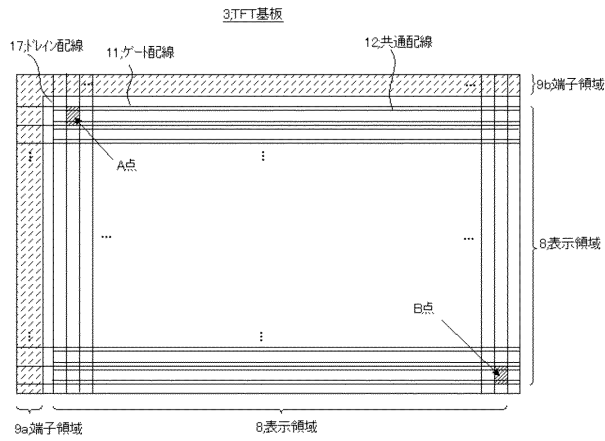
30

40

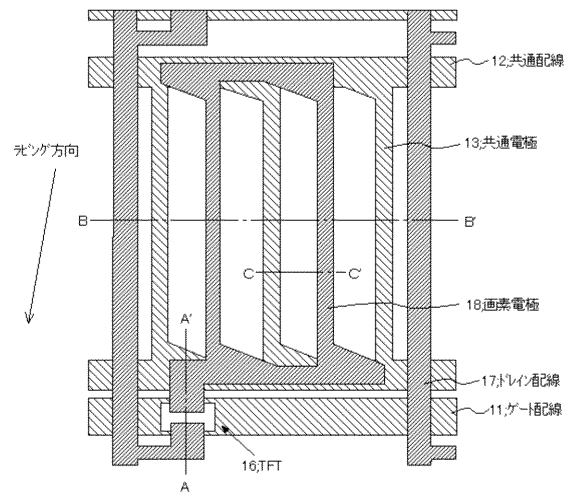
【図 1】



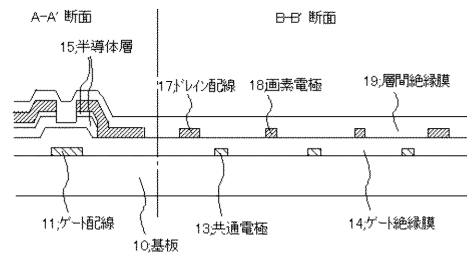
【図 2】



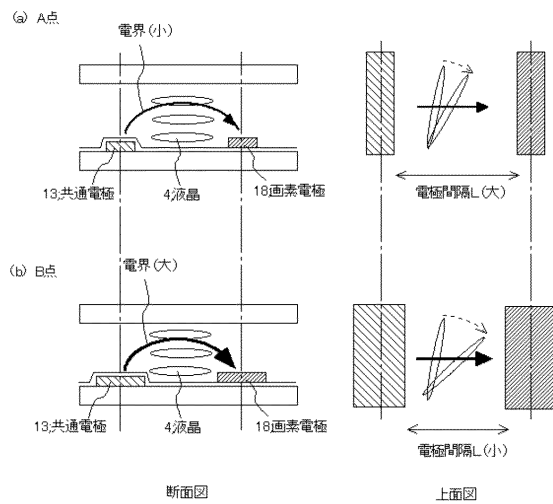
【図 3】



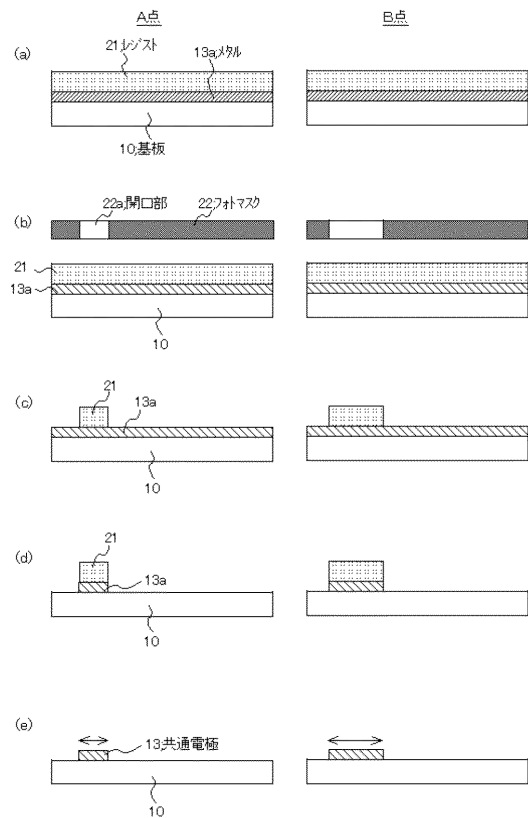
【図 4】



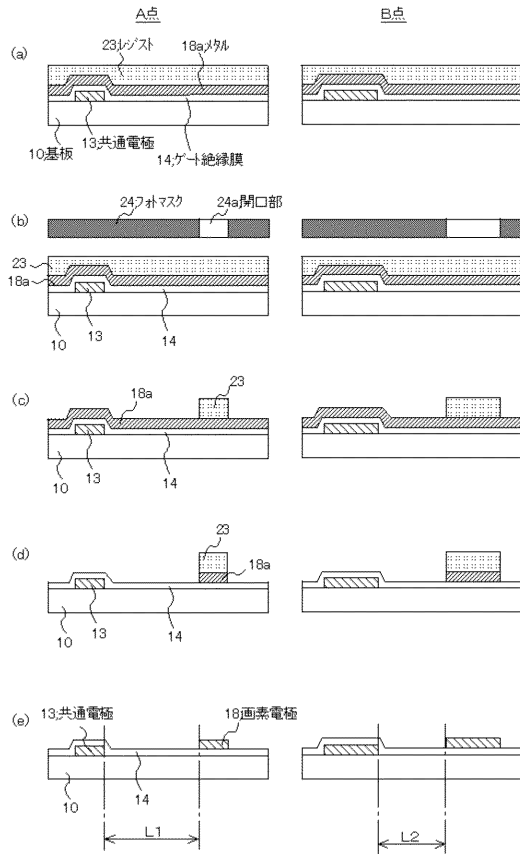
【図 5】



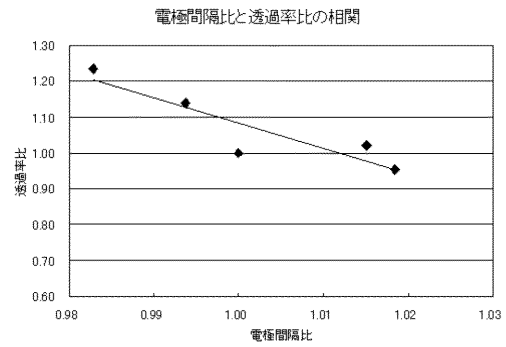
【図 6】



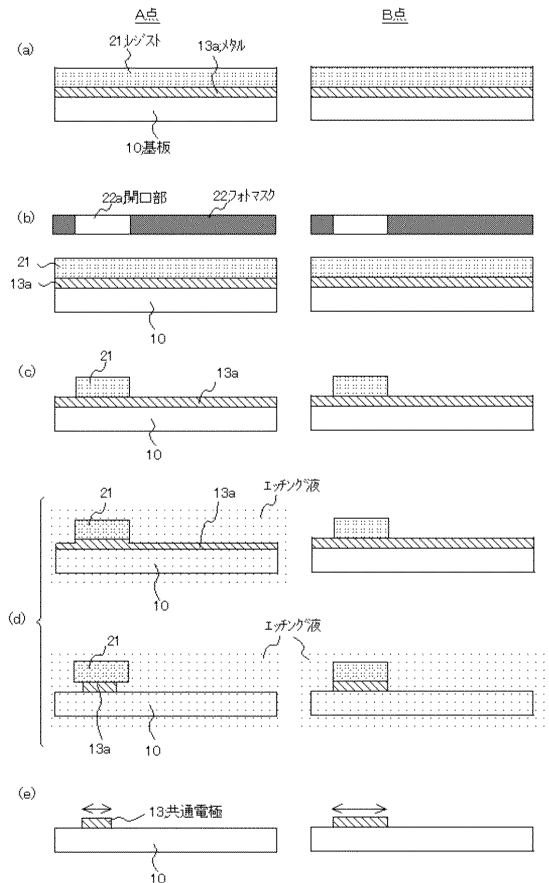
【図 7】



【図 8】

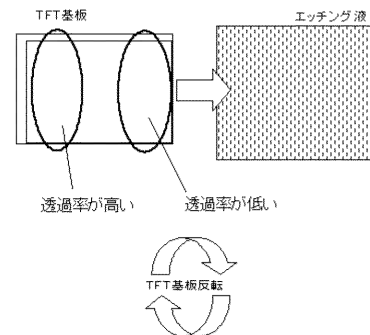


【図 9】

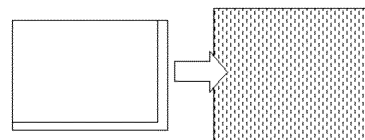


【図 10】

(a) 端子領域から遠い(透過率が低い)領域をエッチング液に先に漬ける場合

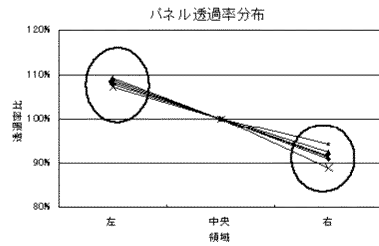


(b) 端子領域から近い(透過率が高い)領域をエッチング液に先に漬ける場合

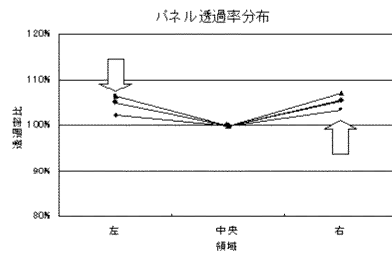


【図 1 1】

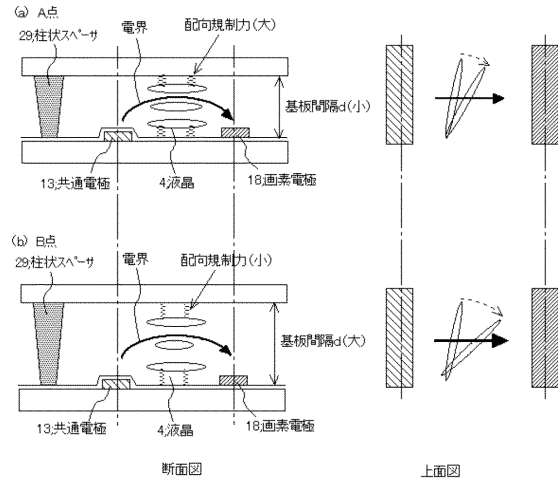
(a) 端子領域から遠い(透過率が低い)領域をエッチング液に先に漬ける場合



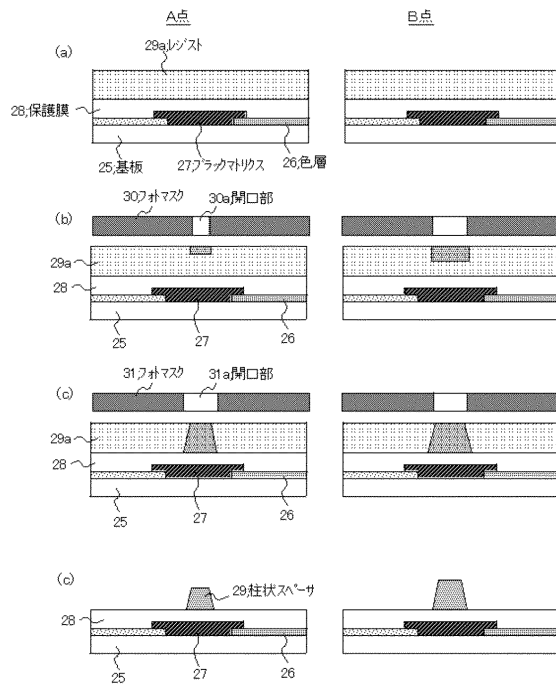
(b) 端子領域から近い(透過率が高い)領域をエッチング液に先に漬ける場合



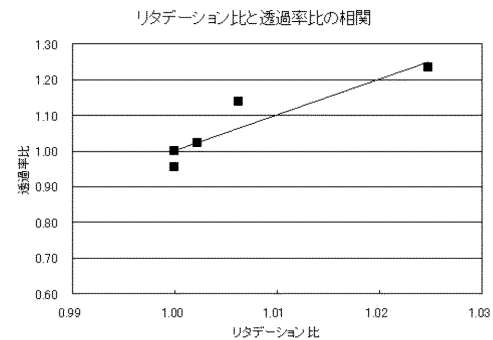
【図 1 2】



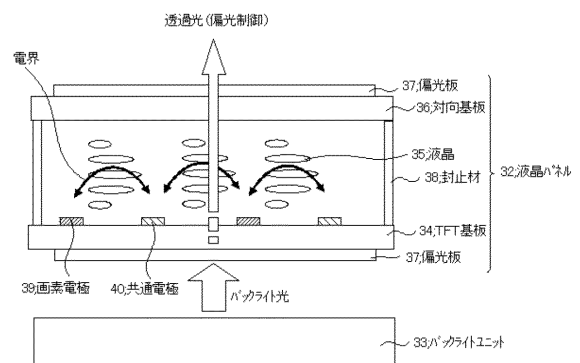
【図 1 3】



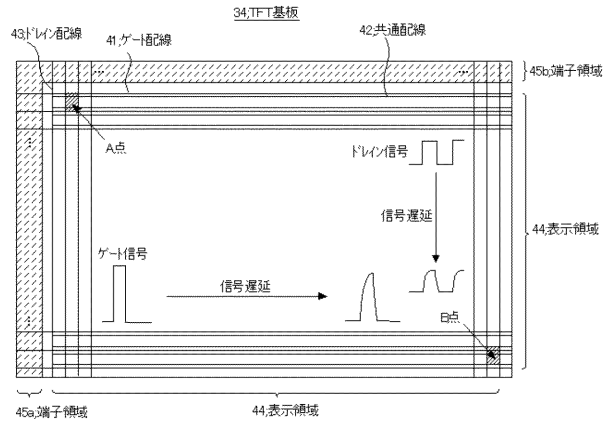
【図 1 4】



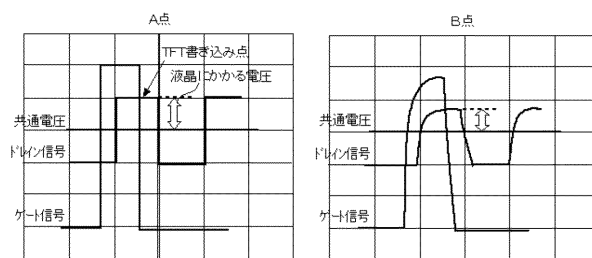
【図 1 5】



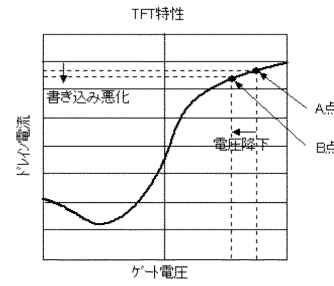
【図 16】



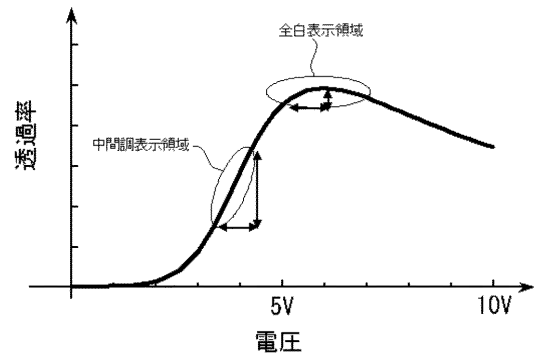
【図 17】



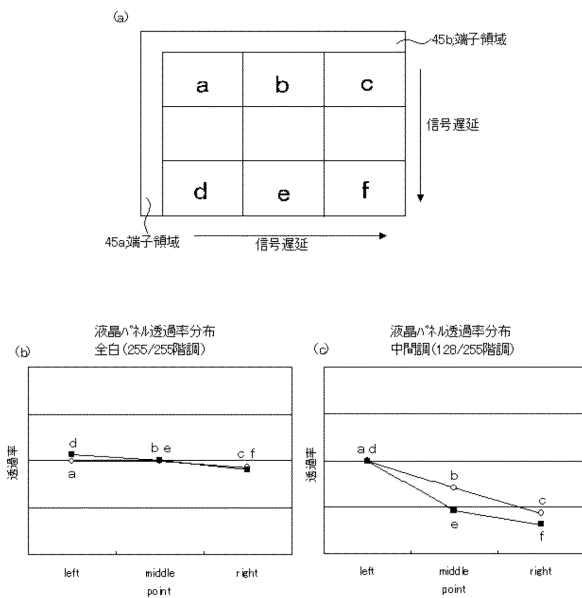
【図 18】



【図 19】



【図 20】



フロントページの続き

(56)参考文献 特開平04-223442(JP,A)
特開2004-212746(JP,A)
特開2003-107498(JP,A)
特開2005-316375(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F	1 / 1333
G02F	1 / 1343

专利名称(译)	液晶面板和液晶显示装置		
公开(公告)号	JP5333799B2	公开(公告)日	2013-11-06
申请号	JP2012097247	申请日	2012-04-23
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NLT科技有限公司		
当前申请(专利权)人(译)	NLT科技有限公司		
[标]发明人	春日康二		
发明人	春日 康二		
IPC分类号	G02F1/1333 G02F1/1343		
FI分类号	G02F1/1333 G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/JA25 2H092/JA26 2H092/JB05 2H092/KA04 2H092/KA05 2H092/KA12 2H092/KB04 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA10 2H092/MA13 2H092/MA17 2H092/NA01 2H092/PA03 2H092/PA13 2H189/AA07 2H189/DA07 2H189/DA43 2H189/HA12 2H189/HA16 2H189/KA20 2H189/LA03 2H189/LA10 2H189/LA20 2H192/AA24 2H192/AA43 2H192/AA46 2H192/BB02 2H192/BB63 2H192/CB05 2H192/EA22 2H192/EA43 2H192/GD23 2H192/HA35 2H192/HA64 2H192/JA33		
代理人(译)	宫本敬		
其他公开文献	JP2012137793A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶面板和液晶显示装置，其所有白色和中间色调中具有有良好的屏幕内透射均匀性。 TFT基板3和对基板5之间的距离d变小，以增加对于距输入端子的距离短的像素的对准调节力，以及距输入端子距离较远的像素的对准调节力。增加TFT基板3和对向基板5之间的距离d以减小对准调节力，并且改变液晶4的旋转角度。这补偿了由于栅极布线和漏极布线的布线电阻引起的信号波形的延迟引起的面内不均匀性。 .The 12

	DIN	AAPM-TG18
ポイント	中心+4隅付近	中心+4隅付近
画面表示	最大信号の50%に相当するグレイ表示	最大信号の10%に相当するグレイ表示 最大信号の80%に相当するグレイ表示
計算式	$\frac{(\text{4隅の輝度} - \text{中心輝度})}{\text{中心輝度}} \times 100(\%)$	$\frac{(\text{最大輝度} - \text{最小輝度})}{(\text{最大輝度} + \text{最小輝度})} \times 200(\%)$
規格	±15%	±30%