

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5323047号
(P5323047)

(45) 発行日 平成25年10月23日 (2013. 10. 23)

(24) 登録日 平成25年7月26日 (2013. 7. 26)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 624B

G09G 3/20 622C

G09G 3/20 622E

G09G 3/20 622P

請求項の数 23 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2010-291079 (P2010-291079)
 (22) 出願日 平成22年12月27日 (2010. 12. 27)
 (65) 公開番号 特開2011-164588 (P2011-164588A)
 (43) 公開日 平成23年8月25日 (2011. 8. 25)
 審査請求日 平成22年12月27日 (2010. 12. 27)
 (31) 優先権主張番号 12/703, 896
 (32) 優先日 平成22年2月11日 (2010. 2. 11)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 501358079
 友達光電股▲ふん▼有限公司
 AU Optronics Corporation
 台湾新竹科学工業園區新竹市力行二路一号
 No. 1, Lt-Hsin Rd, II,
 Science-Based Industrial Park, Hsinchu,
 Taiwan, R. O. C.
 (74) 代理人 110000383
 特許業務法人 エビス国際特許事務所
 (72) 発明者 蔡 育鐸
 台湾新竹市科学工業園區力行二路1号 友
 達光電股▲ふん▼有限公司内

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイおよびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

液晶ディスプレイであって、

(a) 行の方向に沿って空間的に配列される複数のゲートライン $\{G_n\}$ ($n = 1, 2, \dots, N$, N は 0 より大きい整数である) と、(b) 上記複数のゲートライン $\{G_n\}$ を通過し、上記行方向と垂直な列方向に沿って空間的に配列される複数のデータ線 $\{D_m\}$ ($m = 1, 2, \dots, M$, M は 0 より大きい整数である) と、(c) マトリクス状で空間的に配列されるとともに、いずれも二本の隣接するゲートライン G_n と G_{n+1} および二本の隣接するデータ線 D_m と D_{m+1} の間に定義される複数の画素 $\{P_{n,m}\}$ と、(d) 複数のゲート信号を発生し、それぞれ上記複数のゲートライン $\{G_n\}$ に提供するのに用いるゲートドライバと、

を有し、

各画素 $P_{n,m}$ は、

(i) 第 1 サブ画素電極と、

(ii) 第 2 サブ画素電極と、

(iii) 上記ゲートライン G_{n+1} に電氣的に結合されるゲート、ソースおよび上記第 1 サブ画素電極に電氣的に結合されるドレインを有する第 1 トランジスタと、(iv) 上記ゲートライン G_n に電氣的に結合されるゲート、上記第 1 トランジスタのソ

10

20

ースに電氣的に結合されるソースおよび上記第 2 サブ画素電極に電氣的に結合されるドレインを有する第 2 トランジスタと、

(v) ゲートライン G_{n+2} に電氣的に結合されるゲート、上記二本の隣接するデータ線 D_m および D_{m+1} のいずれかに電氣的に結合されるソースおよび上記第 1 トランジスタと第 2 トランジスタのソースに電氣的に結合されるドレインを有する第 3 トランジスタと、を含み、

上記複数のゲート信号は、所定の順番で上記複数のゲートライン $\{G_n\}$ と接続されるトランジスタをオンにするように設定され、いずれも第 1 周期 Γ_1 における第 1 電圧 V_1 、第 2 周期 Γ_2 における第 2 電圧 V_2 、第 3 周期 Γ_3 における第 3 電圧 V_3 、第 4 周期 Γ_4 における第 4 電圧 V_4 および第 5 周期 Γ_5 における第 5 電圧 V_5 を有する波形を有し、第 $(j+1)$ 周期 Γ_{j+1} は第 j 周期 Γ_j の直後に続いており、 $j = 1, 2, 3, 4$, $V_1 = V_3 = V_5 > V_2 = V_4$, $\Gamma_2 = \Gamma_1 / 2$, $\Gamma_3 = (\Gamma_1 - t) / 2$, $\Gamma_4 = t$, $\Gamma_5 = \Gamma_3$ および $\Gamma_1 > t$ であることを特徴とする液晶ディスプレイ。

10

【請求項 2】

上記画素 $P_{n,m}$ における第 3 トランジスタのソースは、上記データ線 D_m に電氣的に結合されることを特徴とする請求項 1 に記載の液晶ディスプレイ。

【請求項 3】

上記画素 $P_{n,m}$ における第 3 トランジスタのソースは、 n が正の奇整数である場合、上記データ線 D_m に電氣的に結合され； n が正の偶整数である場合、上記データ線 D_{m+1} に電氣的に結合されることを特徴とする請求項 1 に記載の液晶ディスプレイ。

20

【請求項 4】

さらに、各画素 $P_{n,m}$ の第 1 サブ画素電極および第 2 サブ画素電極と関連して形成される少なくとも一つの共通電極を含むことを特徴とする請求項 1 に記載の液晶ディスプレイ。

【請求項 5】

各画素 $P_{n,m}$ は、さらに、第 1 液晶 (Liquid Crystal; LC) キャパシタ、第 2 液晶キャパシタ、第 1 蓄積キャパシタおよび第 2 蓄積キャパシタを有し、上記第 1 液晶キャパシタおよび上記第 1 蓄積キャパシタは平行して上記第 1 サブ画素電極および上記少なくとも一つの共通電極の間に電氣的に結合され、上記第 2 液晶キャパシタおよび上記第 2 蓄積キャパシタは平行して上記第 2 サブ画素電極および上記少なくとも一つの共通電極の間に電氣的に結合されることを特徴とする請求項 4 に記載の液晶ディスプレイ。

30

【請求項 6】

各画素 $P_{n,m}$ の第 1 サブ画素電極、第 1 トランジスタ、第 1 液晶キャパシタおよび第 1 蓄積キャパシタは、上記画素 $P_{n,m}$ の第 1 サブ画素 $P_{n,m(1)}$ を定義するとともに、各画素 $P_{n,m}$ の第 2 サブ画素電極、第 2 トランジスタ、第 2 液晶キャパシタおよび上記第 2 蓄積キャパシタは、上記画素 $P_{n,m}$ の第 2 サブ画素 $P_{n,m(2)}$ を定義することを特徴とする請求項 5 に記載の液晶ディスプレイ。

【請求項 7】

さらに、

複数のデータ信号を発生し、それぞれ上記複数のデータ線 $\{D_m\}$ に提供するのに用いるデータドライバを有し、これらの複数のデータ信号は、いかなる二つの隣接するデータ信号でも逆の極性を有するように設定される、

40

ことを特徴とする請求項 1 に記載の液晶ディスプレイ。

【請求項 8】

各ゲート信号の波形の間は Γ_1 の間隔で順次シフトされることを特徴とする請求項 7 に記載の液晶ディスプレイ。

【請求項 9】

液晶ディスプレイの駆動方法であって、

(a) LCD パネルを提供するステップを含み、

上記 LCD パネルは、

50

(i) 行方向に沿って空間的に配列される複数のゲートライン $\{G_n\}$ ($n = 1, 2, \dots, N$, N は 0 より大きい整数である) と、
 (ii) 上記複数のゲートライン $\{G_n\}$ を通過し、上記行方向と垂直な列方向に沿って空間的に配列される複数のデータ線 $\{D_m\}$ ($m = 1, 2, \dots, M$, M は 0 より大きい整数である) と、

(iii) マトリクス状で空間的に配列される複数の画素 $\{P_{n,m}\}$ と、
 を有し、各画素 $P_{n,m}$ は、いずれも二本の隣接するゲートライン G_n と G_{n+1} および二本の隣接するデータ線 D_m と D_{m+1} の間に定義され、

第 1 サブ画素電極と、

第 2 サブ画素電極と、

上記ゲートライン G_{n+1} に電氣的に結合されるゲート、ソースおよび上記第 1 サブ画素電極に電氣的に結合されるドレインを有する第 1 トランジスタと、

上記ゲートライン G_n に電氣的に結合されるゲート、上記第 1 トランジスタのソースに電氣的に結合されるソース、および上記第 2 サブ画素電極に電氣的に結合されるドレインを有する第 2 トランジスタと、

ゲートライン G_{n+2} に電氣的に結合されるゲート、上記二本の隣接するデータ線 D_m および D_{m+1} のいずれかに電氣的に結合されるソース、および上記第 1 トランジスタと第 2 トランジスタのソースに電氣的に結合されるドレインを有する第 3 トランジスタと、

を含み、

(b) それぞれ複数のゲート信号を上記複数のゲートライン $\{G_n\}$ 、複数のデータ信号を上記複数のデータ線 $\{D_m\}$ に提供するステップを含み、これらの複数のゲート信号は、所定の順番で上記複数のゲートライン $\{G_n\}$ と接続されるトランジスタをオンにするように設定され、いずれも第 1 周期 Γ_1 における第 1 電圧 V_1 、第 2 周期 Γ_2 における第 2 電圧 V_2 、第 3 周期 Γ_3 における第 3 電圧 V_3 、第 4 周期 Γ_4 における第 4 電圧 V_4 および第 5 周期 Γ_5 における第 5 電圧 V_5 を有する波形を有し、第 $(j+1)$ 周期 Γ_{j+1} は第 j 周期 Γ_j の直後に続いており、 $j = 1, 2, 3, 4$, $V_1 = V_3 = V_5 > V_2 = V_4$, $\Gamma_2 = \Gamma_1 / 2$, $\Gamma_3 = (\Gamma_1 - t) / 2$, $\Gamma_4 = t$, $\Gamma_5 = \Gamma_3$ および $\Gamma_1 > t$ であり、これらの複数のデータ信号は、いかなる二つの隣接するデータ信号でも逆の極性を有するように設定されることを特徴とする液晶ディスプレイの駆動方法。

【請求項 10】

各ゲート信号の波形の間は Γ_1 の間隔で順次シフトされることを特徴とする請求項 9 に記載の液晶ディスプレイの駆動方法。

【請求項 11】

液晶ディスプレイであって、

(a) マトリクス状で空間的に配列され ($n = 1, 2, \dots, N$, $m = 1, 2, \dots, M$, M は 0 より大きい整数である) の複数の画素 $\{P_{n,m}\}$ を有し、各画素 $P_{n,m}$ はいずれも第 1 サブ画素電極、第 2 サブ画素電極、上記第 1 サブ画素電極に電氣的に結合される第 1 スイッチング素子、上記第 2 サブ画素電極に電氣的に結合される第 2 スイッチング素子および上記第 1 スイッチング素子と上記第 2 スイッチング素子に電氣的に結合される第 3 スイッチング素子を含み、

(b) 行方向に沿って空間的に配列される複数のゲートライン $\{G_n\}$ を有し、各一对の隣接するゲートライン G_n と G_{n+1} は画素行列 $\{P_{n,m}\}$ の画素行 $P_{n,\{m\}}$ を定義し、且つ、上記画素行 $P_{n,\{m\}}$ において 上記ゲートライン G_n が各画素の第 1 スイッチング素子と第 2 スイッチング素子のいずれか一方に電氣的に結合され、上記ゲートライン G_{n+1} が各画素の第 1 スイッチング素子及び第 2 スイッチング素子の他方に電氣的に結合され、ゲートライン G_{n+2} は、第 3 スイッチング素子に電氣的に結合され、

(c) 上記複数のゲートライン $\{G_n\}$ を通過し、上記行方向と垂直な列方向に沿って空間的に配列される複数のデータ線 $\{D_m\}$ を有し、各一对の隣接するデータ線 D_m と D_{m+1} は上記画素行列 $\{P_{n,m}\}$ の画素列 $P_{\{n\},m}$ を定義し、且つ、上記画素列 $P_{\{n\},m}$ にお

10

20

30

40

50

いて上記データ線 D_m および D_{m+1} のいずれか一方が各画素の第 3 スイッチング素子に電氣的に結合され、

(d) 複数のゲート信号を発生し、それぞれ上記複数のゲートライン $\{G_n\}$ に提供するのに用いるゲートドライバを有し、上記複数のゲート信号は、所定の順番で上記複数のゲートライン $\{G_n\}$ と接続されるスイッチング素子をオンするように設定され、いずれも第 1 周期 Γ_1 における第 1 電圧 V_1 、第 2 周期 Γ_2 における第 2 電圧 V_2 、第 3 周期 Γ_3 における第 3 電圧 V_3 、第 4 周期 Γ_4 における第 4 電圧 V_4 および第 5 周期 Γ_5 における第 5 電圧 V_5 を有する波形を有し、第 $(j+1)$ 周期 Γ_{j+1} は第 j 周期 Γ_j の直後に続いており、 $j = 1, 2, 3, 4, V_1 = V_3 = V_5 > V_2 = V_4, \Gamma_2 = \Gamma_1 / 2, \Gamma_3 = (\Gamma_1 - t) / 2, \Gamma_4 = t, \Gamma_5 = \Gamma_3$ および $\Gamma_1 \gg t$ であることを特徴とする液晶ディスプレイ。

10

【請求項 1 2】

上記 $P_{n,m}$ の第 1 サブ画素電極と上記第 1 スイッチング素子は、上記画素の第 1 サブ画素 $P_{n,m(1)}$ を定義するとともに、上記画素 $P_{n,m}$ の第 2 サブ画素電極と上記第 2 スイッチング素子は、上記画素 $P_{n,m}$ の第 2 サブ画素 $P_{n,m(2)}$ を定義することを特徴とする請求項 1 1 に記載の液晶ディスプレイ。

【請求項 1 3】

上記画素行列 $\{P_{n,m}\}$ における画素 $P_{n,m}$ の各第 1、第 2 および第 3 スイッチング素子は、いずれも電界効果型薄膜トランジスタであり、ゲート、ソースおよびドレインを有することを特徴とする請求項 1 1 に記載の液晶ディスプレイ。

20

【請求項 1 4】

上記画素 $P_{n,m}$ における第 1 スイッチング素子のゲート、ソースおよびドレインは、それぞれ上記ゲートライン G_{n+1} 、上記画素 $P_{n,m}$ における第 2 スイッチング素子のソースおよび上記画素 $P_{n,m}$ の第 1 サブ画素電極に電氣的に結合され、

上記画素 $P_{n,m}$ における第 2 スイッチング素子のゲート、ソースおよびドレインは、それぞれ上記ゲートライン G_n 、上記画素 $P_{n,m}$ における第 1 スイッチング素子のソースおよび上記画素 $P_{n,m}$ の第 2 サブ画素電極に電氣的に結合されることを特徴とする請求項 1 3 に記載の液晶ディスプレイ。

【請求項 1 5】

上記画素 $P_{n,m}$ における第 3 スイッチング素子のゲート、ソースおよびドレインは、それぞれゲートライン G_{n+2} 、上記データ線 D_m および上記画素 $P_{n,m}$ における第 1 スイッチング素子と第 2 スイッチング素子のソースに電氣的に結合されることを特徴とする請求項 1 4 に記載の液晶ディスプレイ。

30

【請求項 1 6】

上記画素 $P_{n,m}$ における第 3 スイッチング素子のゲートおよびドレインは、それぞれ上記ゲートライン G_{n+2} および上記画素 $P_{n,m}$ における第 1 スイッチング素子と第 2 スイッチング素子のソースに電氣的に結合されるとともに、上記画素 $P_{n,m}$ における第 3 スイッチング素子のソースは、 n が正の奇整数である場合、上記データ線 D_m に電氣的に結合され、 n が正の偶整数である場合、上記データ線 D_{m+1} に電氣的に結合されることを特徴とする請求項 1 4 に記載の液晶ディスプレイ。

40

【請求項 1 7】

さらに、

複数のデータ信号を発生し、それぞれ上記複数のデータ線 $\{D_m\}$ に提供するのに用いるデータドライバを有し、これらの複数のデータ信号は、いかなる二つの隣接するデータ信号でも逆の極性を有するように設定される、

ことを特徴とする請求項 1 1 に記載の液晶ディスプレイ。

【請求項 1 8】

液晶ディスプレイの駆動方法であって、

(a) LCD パネルを提供するステップを含み、

上記 LCD パネルは、

50

(i)マトリクス状で空間的に配列される複数の画素 $\{P_{n,m}\}$ ($n=1, 2, \dots, N, m=1, 2, \dots, M, N$ と M は0より大きい整数である)を有し、各画素 $P_{n,m}$ はいずれも第1サブ画素電極、第2サブ画素電極、上記第1サブ画素電極に電氣的に結合される第1スイッチング素子、上記第2サブ画素電極に電氣的に結合される第2スイッチング素子および上記第1スイッチング素子と上記第2スイッチング素子に電氣的に結合される第3スイッチング素子を含み、

(ii)行方向に沿って空間的に配列される複数のゲートライン $\{G_n\}$ を有し、各一对の隣接するゲートライン G_n と G_{n+1} は画素行列 $\{P_{n,m}\}$ の画素行 $P_{n,\{m\}}$ を定義し、且つ、上記画素行 $P_{n,\{m\}}$ において上記ゲートライン G_n が各画素の第1スイッチング素子と第2スイッチング素子のいずれか一方に電氣的に結合され、上記ゲートライン G_{n+1} が各画素の第1スイッチング素子及び第2スイッチング素子の他方に電氣的に結合され、ゲートライン G_{n+2} は、第3スイッチング素子に電氣的に結合され、

10

(iii)上記複数のゲートライン $\{G_n\}$ を通過し、上記行方向と垂直な列方向に沿って空間的に配列される複数のデータ線 $\{D_m\}$ を有し、各一对の隣接するデータ線 D_m と D_{m+1} は上記画素行列 $\{P_{n,m}\}$ の画素列 $P_{\{n\},m}$ を定義し、且つ、上記画素列 $P_{\{n\},m}$ において上記データ線 D_m および D_{m+1} のいずれか一方が各画素の第3スイッチング素子に電氣的に結合され、

(b)それぞれ複数のゲート信号を上記複数のゲートライン $\{G_n\}$ 、複数のデータ信号を上記複数のデータ線 $\{D_m\}$ に提供するステップを含み、上記複数のゲート信号は、所定の順番で上記複数のゲートライン $\{G_n\}$ と接続されるスイッチング素子をオンにするように設定され、いずれも第1周期 Γ_1 における第1電圧 V_1 、第2周期 Γ_2 における第2電圧 V_2 、第3周期 Γ_3 における第3電圧 V_3 、第4周期 Γ_4 における第4電圧 V_4 および第5周期 Γ_5 における第5電圧 V_5 を有する波形を有し、第 $(j+1)$ 周期 Γ_{j+1} は第 j 周期 Γ_j の直後に続いており、 $j=1, 2, 3, 4, V_1=V_3=V_5>V_2=V_4, \Gamma_2=\Gamma_1/2, \Gamma_3=(\Gamma_1-t)/2, \Gamma_4=t, \Gamma_5=\Gamma_3$ および $\Gamma_1>>t$ であり、これらの複数のデータ信号はいかなる二つの隣接するデータ信号でも逆の極性を有するように設定される、

20

ことを特徴とする液晶ディスプレイの駆動方法。

【請求項19】

上記画素行列 $\{P_{n,m}\}$ における画素 $P_{n,m}$ の各第1、第2および第3スイッチング素子はいずれも電界効果型薄膜トランジスタであり、ゲート、ソースおよびドレインを有することを特徴とする請求項18に記載の液晶ディスプレイの駆動方法。

30

【請求項20】

上記画素 $P_{n,m}$ における第1スイッチング素子のゲート、ソースおよびドレインは、それぞれ上記ゲートライン G_{n+1} 、上記画素 $P_{n,m}$ における第2スイッチング素子のソースおよび上記画素 $P_{n,m}$ の第1サブ画素電極に電氣的に結合され、

上記画素 $P_{n,m}$ における第2スイッチング素子のゲート、ソースおよびドレインは、それぞれ上記ゲートライン G_n 、上記画素 $P_{n,m}$ における第1スイッチング素子のソースおよび上記画素 $P_{n,m}$ の第2サブ画素電極に電氣的に結合される、

ことを特徴とする請求項19に記載の液晶ディスプレイの駆動方法。

40

【請求項21】

上記画素 $P_{n,m}$ における第3スイッチング素子のゲート、ソースおよびドレインは、それぞれゲートライン G_{n+2} 、上記データ線 D_m および上記画素 $P_{n,m}$ における第1スイッチング素子と第2スイッチング素子のソースに電氣的に結合されることを特徴とする請求項20に記載の液晶ディスプレイの駆動方法。

【請求項22】

上記画素 $P_{n,m}$ における第3スイッチング素子のゲートおよびドレインは、それぞれ上記ゲートライン G_{n+2} および上記画素 $P_{n,m}$ における第1スイッチング素子と第2スイッチング素子のソースに電氣的に結合されるとともに、上記画素 $P_{n,m}$ における第3スイッチング素子のソースは、 n が正の奇整数である場合、上記データ線 D_m に電氣的に結合され

50

、 n が正の偶整数である場合、上記データ線 D_{m+1} に電氣的に結合されることを特徴とする請求項 20 に記載の液晶ディスプレイの駆動方法。

【請求項 23】

各ゲート信号の波形の間は、 T_1 の間隔で順次シフトされることを特徴とする請求項 18 に記載の液晶ディスプレイの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイに関し、特に、電力消費を下げるとともに性能を高める液晶ディスプレイおよびその駆動方法に関する。

【背景技術】

【0002】

液晶ディスプレイ装置は、液晶セル及び対応する液晶セルと結合され一つの液晶キャパシタおよび一つの蓄積キャパシタを有する画素素子により形成されるLCDパネルと、上記液晶キャパシタおよび蓄積キャパシタに電氣的に結合される薄膜トランジスタとを含む。これらの画素素子はマトリクス状で配列され、大量の画素行と画素列を有する。一般的に、ゲート信号は順次画素行に提供され、順次に上記画素素子を一行ずつオンにする。ゲート信号が一行の画素に提供され上記画素行における画素素子の対応する薄膜トランジスタをオンする時、上記画素行のソース信号（即ち、画像信号）も同時にこれらの画素列に提供され、上記画素行の対応する液晶キャパシタおよび蓄積キャパシタを充電し、よって、上記画素行と関連する対応の液晶セルの方向を調整し、その光線の伝達を制御する。あらゆる画素行に対して上述の過程を繰り返すと、あらゆる画素素子には画像信号の対応するソース信号が供給され、上記画像信号を表示することができる。

【0003】

周知のように、上記液晶層にかなり高い電圧が長時間印加される場合、液晶分子の光学透過特性は変化される。このような変化は永久的であり、上記液晶ディスプレイの表示品質の不可逆的な劣化を招く。これらの液晶分子の劣化を阻止するために、液晶ディスプレイは、通常、上記液晶セルに供給される電圧極性を交互に反転させる技術により駆動される。このような技術には、例えば、フレーム反転（frame inversion）、行反転（row inversion）、列反転（column inversion）とドット反転（dot inversion）などの反転方式（inversion schemes）が含まれる。一般的に、反転方式を利用するが、高品質の画像を表示するには頻繁に極性変換をしなければならないので、電力消費はより高くなる。このような液晶表示装置、特に薄膜トランジスタ液晶表示装置は、相当量の電力を消費する。

【0004】

周知の液晶ディスプレイにおける電力消費を減少するために取り組んだ方法、例えば、画素のHSD構造、図7に示すように、HSD2に取り組んだ方法を開示する。図7（a）は、それぞれ順次に上記液晶ディスプレイのゲートライン G_1 と G_2 に提供されるゲート信号 g_1 と g_2 の波形を示す。図7（b）-（f）は、二本のゲートライン G_1 と G_2 および二本のデータ線 $D1$ と $D2$ により定義されるサブ画素 $P1$ と $P2$ に対応する充電および保持（holding）過程を示す。このような方法に対し、時間順序（状態） t_0 、 t_1 、...および t_4 において、サブ画素 $P2$ は二回のフィードスルー（feed-through）を行うが、サブ画素 $P1$ は一回のフィードスルーしか行わない。従って、上記画素 $P1$ と $P2$ に印加される電圧値も異なる。このようなサブ画素 $P1$ と $P2$ における不均一の電圧はムラ効果（mura effect）、すなわち、表示画像の明暗度における欠陥を引き起こす。

【0005】

従って、本発明の技術分野においてまだ現われていない、上記不備と欠陥を解決することが出来る液晶ディスプレイおよびその駆動方法を提供する必要がある。

【先行技術文献】

【特許文献】

【0006】

10

20

30

40

50

【特許文献1】台湾特許出願公開第201011727号公報

【特許文献2】台湾特許出願公開第200947023号公報

【特許文献3】台湾特許出願公開第200617499号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

本発明は、上記の問題に鑑み、改良された液晶ディスプレイおよびその駆動方法を提供する。

【課題を解決するための手段】

【0008】

10

本発明の一態様は、液晶ディスプレイに関する。本発明の一実施例によれば、上記液晶ディスプレイは、行 (row) 方向に沿って空間的に配列される複数のゲートライン $\{G_n\}$ ($n = 1, 2, \dots, N$, N は正整数である) と、上記複数のゲートライン $\{G_n\}$ を通過して上記行方向に垂直な列 (column) 方向に沿って空間的に配列される複数のデータ線 $\{D_m\}$ ($m = 1, 2, \dots, M$, M は正整数である) と、マトリクス状で空間的に配列される複数の画素 $\{P_{n,m}\}$ と、複数のゲート信号を発生し、それぞれ上記複数のゲートライン $\{G_n\}$ に提供するのに用いるゲートドライバとを含む。

【0009】

各画素 $P_{n,m}$ は、いずれも隣接する二本のゲートライン G_n と G_{n+1} 、および隣接する二本のデータ線 D_m と D_{m+1} の間に定義され、第1サブ画素電極と、第2サブ画素電極と、上記ゲートライン G_{n+1} に電氣的に結合されるゲート、ソースおよび上記第1サブ画素電極に電氣的に結合されるドレインを有する第1トランジスタと、上記ゲートライン G_n に電氣的に結合されるゲート、上記第1トランジスタのソースに電氣的に結合されるソースおよび上記第2サブ画素電極に電氣的に結合されるドレインを有する第2トランジスタ、およびゲートライン G_{n+2} に電氣的に結合されるゲート、上記二本の隣接するデータ線 D_m と D_{m+1} のいずれかに電氣的に結合されるソースおよび上記第1トランジスタと第2トランジスタのソースに電氣的に結合されるドレインを有する第3トランジスタとを含み、上記複数のゲート信号は、所定の順番で上記複数のゲートライン $\{G_n\}$ と接続されるトランジスタをオンにするように設定され、いずれも第1周期 Γ_1 における第1電圧 V_1 、第2周期 Γ_2 における第2電圧 V_2 、第3周期 Γ_3 における第3電圧 V_3 、第4周期 Γ_4 における第4電圧 V_4 および第5周期 Γ_5 における第5電圧 V_5 を有する波形を有し、第 $(j+1)$ 周期 Γ_{j+1} は第 j 周期 Γ_j の直後に続いており、 $j = 1, 2, 3, 4$ 、 $V_1 = V_3 = V_5 > V_2 = V_4$ 、 $\Gamma_2 = \Gamma_1 / 2$ 、 $\Gamma_3 = (\Gamma_1 - t) / 2$ 、 $\Gamma_4 = t$ 、 $\Gamma_5 = \Gamma_3$ および $\Gamma_1 \gg t$ である。本発明の一実施例において、上記画素 $P_{n,m}$ における第3トランジスタのソースは、 n が正の奇整数である場合、上記データ線 D_m に電氣的に結合され、または n が正の偶整数である場合、上記データ線 D_{m+1} に電氣的に結合される。

20

30

【0010】

さらに、液晶ディスプレイは、また、複数のデータ信号を発生し、それぞれ上記複数のデータ線 $\{D_m\}$ に提供するのに用いるデータドライバを有し、これらの複数のデータ信号はいかなる二つの隣接するデータ信号でも逆の極性を有するように設定される。本発明の一実施例において、各ゲート信号の波形の間は、 Γ_1 の間隔で順次シフトされる。

40

【0011】

一実施例において、上記液晶ディスプレイは、さらに、少なくとも一つの共通電極を含み、上記共通電極は、各画素 $P_{n,m}$ の第1サブ画素電極と第2サブ画素電極に関連して形成される。

【0012】

一実施例において、各画素 $P_{n,m}$ は、さらに、第1液晶キャパシタ、第2液晶キャパシタ、第1蓄積キャパシタおよび第2蓄積キャパシタを有する。上記第1液晶キャパシタおよび上記第1蓄積キャパシタは、平行して上記第1サブ画素電極および上記少なくとも一

50

つの共通電極の間に電氣的に結合される。上記第2液晶キャパシタおよび上記第2蓄積キャパシタは、平行して上記第2サブ画素電極および上記少なくとも一つの共通電極の間に電氣的に結合される。

【0013】

一実施例において、各画素 $P_{n,m}$ の第1サブ画素電極、第1トランジスタ、第1液晶キャパシタび第1蓄積キャパシタは、上記画素 $P_{n,m}$ の第1サブ画素 $P_{n,m(1)}$ を定義する。各画素 $P_{n,m}$ の第2サブ画素電極、第2トランジスタ、第2液晶キャパシタび第2蓄積キャパシタは、上記画素 $P_{n,m}$ の第2サブ画素 $P_{n,m(2)}$ を定義する。

【0014】

本発明のもう一つの態様は、液晶ディスプレイの駆動方法に関する。一実施例において、上記方法は、行方向に沿って空間的に配列される複数のゲートライン $\{G_n\}$ ($n=1, 2, \dots, N$, N は正整数である)と、上記複数のゲートライン $\{G_n\}$ を通過して、上記行方向に垂直な列方向に沿って空間的に配列される複数のデータ線 $\{D_m\}$ ($m=1, 2, \dots, M$, M は正整数である)、およびマトリクス状で空間的に配列される複数の画素 $\{P_{n,m}\}$ とを有する液晶ディスプレイを提供するステップを含む。

【0015】

各画素 $P_{n,m}$ は、いずれも隣接する二本のゲートライン G_n と G_{n+1} および隣接する二本のデータ線 D_m と D_{m+1} の間に定義され、第1サブ画素電極と、第2サブ画素電極と、上記ゲートライン G_{n+1} に電氣的に結合されるゲート、ソースおよび上記第1サブ画素電極に電氣的に結合されるドレインを有する第1トランジスタと、上記ゲートライン G_n に電氣的に結合されるゲート、上記第1トランジスタのソースに電氣的に結合されるソースおよび上記第2サブ画素電極に電氣的に結合されるドレインを有する第2トランジスタ、およびゲートライン G_{n+2} に電氣的に結合されるゲート、上記二本の隣接するデータ線 D_m および D_{m+1} のいずれかに電氣的に結合されるソースおよび上記第1トランジスタと第2トランジスタのソースに電氣的に結合されるドレインを有する第3トランジスタとを含む。一実施例において、上記画素 $P_{n,m}$ における第3トランジスタのソースは上記データ線 D_m に電氣的に結合される。もう一つの実施例において、上記画素 $P_{n,m}$ における第3トランジスタのソースは、 n が正の奇整数である場合、上記データ線 D_m に電氣的に結合され、または n が正の偶整数である場合、上記データ線 D_{m+1} に電氣的に結合される。

【0016】

上記方法は、また、複数のゲート信号をそれぞれ上記複数のゲートライン $\{G_n\}$ に提供するステップと、複数のデータ信号をそれぞれ上記複数のデータ線 $\{D_m\}$ に提供するステップとを含み、これらの複数のゲート信号は、所定の順番で上記複数のゲートライン $\{G_n\}$ と接続されるトランジスタをオンにするように設定され、いずれも第1周期 Γ_1 における第1電圧 V_1 、第2周期 Γ_2 における第2電圧 V_2 、第3周期 Γ_3 における第3電圧 V_3 、第4周期 Γ_4 における第4電圧 V_4 および第5周期 Γ_5 における第5電圧 V_5 を有し、第 $(j+1)$ 周期 Γ_{j+1} は第 j 周期 Γ_j の直後に続いており、 $j=1, 2, 3, 4$, $V_1=V_3=V_5>V_2=V_4$, $\Gamma_2=\Gamma_1/2$, $\Gamma_3=(\Gamma_1-t)/2$, $\Gamma_4=t$, $\Gamma_5=\Gamma_3$ および $\Gamma_1>>t$ であり、これらの複数のデータ信号は、いかなる二つの隣接するデータ信号でも逆の極性を有するように設定される。

【0017】

一実施例において、各ゲート信号の波形の間は、 Γ_1 の間隔で順次シフトされる。

【0018】

本発明のもう一つの態様は、液晶ディスプレイに関する。一実施例において、上記LCDパネルは、マトリクス状で空間的に配列される複数の画素 $\{P_{n,m}\}$ ($n=1, 2, \dots, N$, $m=1, 2, \dots, M$, N と M は正整数である)を含む。各画素 $P_{n,m}$ は、いずれも第1サブ画素電極、第2サブ画素電極、上記第1サブ画素電極に電氣的に結合される第1スイッチング素子、上記第2サブ画素電極に電氣的に結合される第2スイッチング素子、上記第1スイッチング素子と第2スイッチング素子に電氣的に結合される第3スイッチング素子および複数のゲート信号を発生し、それぞれ上記複数のゲートライン $\{G_n\}$ に提

10

20

30

40

50

供するのに用いるゲートドライバを含み、上記複数のゲート信号は、所定の順番で上記複数のゲートライン $\{G_n\}$ と接続されるスイッチング素子をオンするように設定され、いずれも第1周期 Γ_1 における第1電圧 V_1 、第2周期 Γ_2 における第2電圧 V_2 、第3周期 Γ_3 における第3電圧 V_3 、第4周期 Γ_4 における第4電圧 V_4 および第5周期 Γ_5 における第5電圧 V_5 を有する波形を有し、第 $(j+1)$ 周期 Γ_{j+1} は第 j 周期 Γ_j の直後に続いており、 $j=1, 2, 3, 4, V_1=V_3=V_5>V_2=V_4, \Gamma_2=\Gamma_1/2, \Gamma_3=(\Gamma_1-t)/2, \Gamma_4=t, \Gamma_5=\Gamma_3$ および $\Gamma_1>>t$ である

【0019】

上記液晶ディスプレイは、さらに、行方向に沿って空間的に配列される複数のゲートライン $\{G_n\}$ を含む。各一对の隣接するゲートライン G_n と G_{n+1} は上記画素行列 $\{P_{n,m}\}$ の画素行 $P_{n\{m\}}$ を定義し、上記画素行 $P_{n\{m\}}$ において上記ゲートライン G_n が各画素の第1スイッチング素子と第2スイッチング素子のいずれか一方に電氣的に結合され、上記ゲートライン G_{n+1} が各画素の第1スイッチング素子及び第2スイッチング素子の他方に電氣的に結合され、ゲートライン G_{n+2} は、第3スイッチング素子に電氣的に結合される。

【0020】

上記液晶ディスプレイは、また、上記複数のゲートライン $\{G_m\}$ を通過して、上記行方向に垂直な列方向に沿って空間的に配列される複数のデータ線 $\{D_m\}$ を含み、各一对の隣接するデータ線 D_m と D_{m+1} は上記画素行列 $\{P_{n,m}\}$ の画素列 $P_{\{n\},m}$ を定義し、上記画素列 $P_{\{n\},m}$ において上記データ線 D_m および D_{m+1} のいずれか一方が各画素の第3スイッチング素子に電氣的に結合される。

【0021】

さらに、上記液晶ディスプレイは、また、複数のデータ信号を発生し、それぞれ上記複数のデータ線 $\{D_m\}$ に提供するのに用いるデータドライバを有し、これらの複数のデータ信号はいかなる二つの隣接するデータ信号でも逆の極性を有するように設定される。

【0022】

一実施例において、各画素 $P_{n,m}$ の第1サブ画素電極と上記第1スイッチング素子は上記画素 $P_{n,m}$ の第1サブ画素 $P_{n,m(1)}$ を定義する。各画素 $P_{n,m}$ の第2サブ画素電極と第2スイッチング素子は上記画素 $P_{n,m}$ の第2サブ画素 $P_{n,m(2)}$ を定義する。

【0023】

一実施例において、上記画素行列 $\{P_{n,m}\}$ における各画素 $P_{n,m}$ の第1、第2と第3スイッチング素子は、いずれも電界効果型薄膜トランジスタであり、ゲート、ソースおよびドレインを有する。上記画素 $P_{n,m}$ における第1スイッチング素子のゲート、ソースおよびドレインは、それぞれ上記ゲートライン G_{n+1} 、上記画素 $P_{n,m}$ における第2スイッチング素子のソースおよび上記画素 $P_{n,m}$ の第1サブ画素電極に電氣的に結合される。上記画素 $P_{n,m}$ における第2スイッチング素子のゲート、ソースおよびドレインは、それぞれ上記ゲートライン G_n 、上記画素 $P_{n,m}$ における第1スイッチング素子のソースおよび上記画素 $P_{n,m}$ の第2サブ画素電極に電氣的に結合される。一実施例において、上記画素 $P_{n,m}$ における第3スイッチング素子のゲート、ソースおよびドレインは、それぞれ上記ゲートライン G_{n+2} 、上記データ線 D_m および上記画素 $P_{n,m}$ における第1スイッチング素子と第2スイッチング素子のソースに電氣的に結合される。もう一つの実施例において、上記画素 $P_{n,m}$ における第3スイッチング素子のゲートとドレインは、それぞれ上記ゲートライン G_{n+2} および上記画素 $P_{n,m}$ における第1スイッチング素子と第2スイッチング素子のソースに電氣的に結合されるとともに、上記画素 $P_{n,m}$ における第3スイッチング素子のソースは、 n が正の奇整数である場合、上記データ線 D_m に電氣的に結合され、または n が正の偶整数である場合、上記データ線 D_{m+1} に電氣的に結合される。

【0024】

本発明のもう一つの態様は、液晶ディスプレイの駆動方法に関する。一実施例において、上記方法は液晶ディスプレイを提供するステップを含み、上記液晶ディスプレイは、(1)マトリクス状で空間的に配列される複数の画素 $\{P_{n,m}\}$ ($n=1, 2, \dots, N, m$

10

20

30

40

50

$= 1, 2, \dots, M, N$ と M は正整数である)を有し、各画素 $P_{n,m}$ はいずれも第1サブ画素電極、第2サブ画素電極、上記第1サブ画素電極に電氣的に結合される第1スイッチング素子、上記第2サブ画素電極に電氣的に結合される第2スイッチング素子、および上記第1スイッチング素子と上記第2スイッチング素子に電氣的に結合される第3スイッチング素子を含み；(2)行方向に沿って空間的に配列される複数のゲートライン $\{G_n\}$ を有し、各一对の隣接するゲートライン G_n と G_{n+1} は、上記画素行列 $\{P_{n,m}\}$ の画素行 $P_{n,\{m\}}$ を定義し、上記画素行 $P_{n,\{m\}}$ において上記ゲートライン G_n が各画素の第1と第2スイッチング素子のいずれか一方に電氣的に結合され、上記ゲートライン G_{n+1} が各画素の第1スイッチング素子及び第2スイッチング素子の他方に電氣的に結合され、ゲートライン G_{n+2} は、第3スイッチング素子に電氣的に結合され；(3)上記複数のゲートライン $\{G_n\}$ を通過して、上記行方向に垂直な列方向に沿って空間的に配列される複数のデータ線 $\{D_m\}$ を有し、各一对の隣接するデータ線 D_m と D_{m+1} は、上記画素行列 $\{P_{n,m}\}$ の画素列 $P_{\{n\},m}$ を定義し、上記画素列 $P_{\{n\},m}$ において上記データ線 D_m および D_{m+1} のいずれか一方が各画素の第3スイッチング素子に電氣的に結合される。

10

【0025】

一実施例において、上記画素行列 $\{P_{n,m}\}$ における各画素 $P_{n,m}$ の第1、第2と第3スイッチング素子は、いずれも電界効果型薄膜トランジスタであり、ゲート、ソースおよびドレインを有する。上記画素 $P_{n,m}$ における第1スイッチング素子のゲート、ソースおよびドレインは、それぞれ上記ゲートライン G_{n+1} 、上記画素 $P_{n,m}$ における第2スイッチング素子のソースおよび上記画素 $P_{n,m}$ の第1サブ画素電極に電氣的に結合される。上記画素 $P_{n,m}$ における第2スイッチング素子のゲート、ソースおよびドレインは、それぞれ上記ゲートライン G_n 、上記画素 $P_{n,m}$ における第1スイッチング素子のソースおよび上記画素 $P_{n,m}$ の第2サブ画素電極に電氣的に結合される。上記画素 $P_{n,m}$ における第3スイッチング素子のゲート、ソースおよびドレインは、それぞれ上記ゲートライン G_{n+2} 、上記データ線 D_m および上記画素 $P_{n,m}$ における第1スイッチング素子と第2スイッチング素子のソースに電氣的に結合される。上記画素 $P_{n+1,m}$ における第3スイッチング素子のゲート、ソースおよびドレインは、それぞれ上記ゲートライン G_{n+3} 、上記データ線 D_{m+1} および上記画素 $P_{n+1,m}$ における第1スイッチング素子と第2スイッチング素子のソースに電氣的に結合される。

20

【0026】

上記方法は、また、複数のゲート信号をそれぞれ上記複数のゲートライン $\{G_n\}$ に提供するステップと、複数のデータ信号をそれぞれ上記複数のデータ線 $\{D_m\}$ に提供するステップとを含み、これらの複数のゲート信号は、所定の順番で上記複数のゲートライン $\{G_n\}$ と接続されるスイッチング素子をオンにするように設定され、いずれも第1周期 Γ_1 における第1電圧 V_1 、第2周期 Γ_2 における第2電圧 V_2 、第3周期 Γ_3 における第3電圧 V_3 、第4周期 Γ_4 における第4電圧 V_4 および第5周期 Γ_5 における第5電圧 V_5 を有する波形を有し、第 $(j+1)$ 周期 Γ_{j+1} は第 j 周期 Γ_j の直後に続いており、 $j=1, 2, 3, 4, V_1=V_3=V_5>V_2=V_4, \Gamma_2=\Gamma_1/2, \Gamma_3=(\Gamma_1-t)/2, \Gamma_4=t, \Gamma_5=\Gamma_3$ および $\Gamma_1 \gg t$ であり、これらの複数のデータ信号は、いかなる二つの隣接するデータ信号でも逆の極性を有するように設定される。

30

40

【0027】

一実施例において、各ゲート信号の波形の間は、 Γ_1 の間隔で順次シフトされる。

【0028】

以下、最適な実施例に添付の図面を合わせて本発明の上記およびその他の態様について詳しく説明する。しかし、当該技術を熟知するものなら誰でも、本発明による各種潤色と変更はいずれも本発明の精神及び要旨を逸脱しないことを理解するべきである。

【0029】

添付の図面は、本発明の一つまたは複数の実施例を説明するためのものであり、文章による記述に合わせて本発明の原則を解釈するためのものである。いかなる可能な場合、図面上に用いる同様の記号は、一実施例における同様または類似する素子を指す。

50

【図面の簡単な説明】**【 0 0 3 0 】**

【図 1】本発明の実施例によるLCDを概略的に示す部分的レイアウト図である。

【図 2】図 1 に示すLCDに提供する駆動信号を示すタイムチャートである。

【図 3】図 1 に示すLCDにおける画素の充電および保持 (holding) 過程(a) - (d)を示す概略図である。

【図 4】図 1 に示すゲート信号に用いるLCDの画素電圧を示すシミュレーション結果図である。

【図 5】本発明のもう一つの実施例によるLCDの概略図であり、図 5 (a) は等価回路図、図 5 (b) は駆動信号のタイムチャートである。

10

【図 6】図 5 に示すLCDにおける画素の充電および保持過程(a) - (b)を示す概略図である。

【図 7】従来のLCDにおける駆動信号(a)のタイムチャートであり、画素充電および保持過程(b) - (f)を示す。

【発明を実施するための形態】**【 0 0 3 1 】**

以下、各種実施例を用いて本発明に対する詳しい説明を行なうが、当該技術に熟知するものなら誰でも本発明に基づいて各種の潤色と変更を行なうことができるため、ここでの実施例は説明だけに用いる。以下、本発明の各実施例に対して詳細に説明し、添付の図面における同一記号は同じ素子を代表する。本明細書および請求項における「一」、「上記」および「この」は、明確にそれは一個を表示すると規定しない限り、いずれも複数の意味も含む。同様に、別途明確な規定がない限り、本文における「...の中」という表現は「...の上に」という意味も含む。

20

【 0 0 3 2 】

本明細書における用語は一般的に本技術分野における通常の意味を表す。特定の用語に関しては本明細書のその他の部分または後述する箇所で検討し、実施者が本発明を理解するよう付加的な誘導を行う。本明細書に関わる各実施例は、各種用語を含めて、本発明を説明するのに用いるだけで、本発明の範囲と要旨に対して如何なる制限をしていない。同様に、本発明も本明細書に提供される実施形態に限定されない。

【 0 0 3 3 】

30

同様に、ここに記載の「程度」、「約」または「大体」は一般的に固定値または範囲の20%を意味し、好ましくは10%、より好ましくは5%以内である。ここに記載の数値・数量は近似値であるため、「程度」、「約」または「大体」に対して明確な説明がなくても推測判断できることを意味する。

【 0 0 3 4 】

同様に、ここに記載の「からなる」、「含む」、「有する」、「含有する」、「ある」および類似の用語は、変更可能な用語と理解するべきであり、すなわち、含むがそれに限定されないことを意味する。

【 0 0 3 5 】

ここで使用している用語「HSD2」は液晶ディスプレイの画素配列およびその駆動方式を指し、そのうち、各画素は二本の隣接するゲートラインの間に定義され、それぞれ上記二本の隣接するゲートラインに電気的に結合される第1スイッチング素子と第2スイッチング素子を含むように設定される。ここで使用している用語「HSD3」は液晶ディスプレイの画素配列およびその駆動方式を指し、各画素は二本の隣接するゲートラインの間に定義され、第1スイッチ、第2スイッチ、第3スイッチを含むように設定される。上記第1スイッチと第2スイッチは、それぞれ上記二本の隣接するゲートラインに電気的に結合されるとともに、上記第3スイッチは上記第1スイッチと第2スイッチおよび上記隣接する二本のゲートラインに隣接する第3ゲートラインに電気的に結合される。

40

【 0 0 3 6 】

以下、図 1 ~ 6 に合わせて本発明の実施例に対し詳細に説明する。本発明の目的によれ

50

ば、本文で深く且つ幅広く開示されたように、本発明の一態様は、HSD3駆動方式を取り組んで電力消費を低減するとともに効果を向上させる液晶ディスプレイに関し、本発明は、また、上述の液晶ディスプレイを駆動する方法に関する。

【0037】

図1に示すように、本発明の一実施例によれば、液晶ディスプレイ(Liquid Crystal Display; LCD)パネル100は、行(row)(horizontal、水平)方向に沿って空間的に配列される複数のゲートライン $G_1, G_2, \dots, G_n, G_{n+1}, G_{n+2}, G_{n+3}, \dots, G_N$ 、および上記複数のゲートライン $G_1, G_2, \dots, G_n, G_{n+1}, G_{n+2}, G_{n+3}, \dots, G_N$ を通過して上記行方向に垂直な列方向(vertical、垂直)に沿って空間的に配列される複数のデータ線 $D_1, D_2, \dots, D_m, D_{m+1}, D_{m+2}, D_{m+3}, \dots, D_M$ を含む。MとNは1より大きい正整数である。上記LCDパネル100は、さらに、マトリクス状で空間的に配列される複数の画素 $\{P_{n,m}\}$ を含む。各画素 $P_{n,m}$ は、いずれも二本の隣接するゲートライン G_n と G_{n+1} および隣接する二本のデータ線 D_m と D_{m+1} の間に定義される。本実施例を説明するために、図1は、四本のゲートライン $G_n, G_{n+1}, G_{n+2}, G_{n+3}$ 、二本のデータ線 D_m と D_{m+1} および上記LCDパネル100に対応する三つの画素だけを示す。

10

【0038】

上記画素 $P_{n,m}$ は、例えば、上記二本の隣接するゲートライン G_n と G_{n+1} および上記二本の隣接するゲートライン G_n と G_{n+1} を通過する二本の隣接するデータ線 D_m と D_{m+1} の間に位置し、第1サブ画素電極P1、第2サブ画素電極P2、第1トランジスタ111、第2トランジスタ112および第3トランジスタ113を含む。

20

【0039】

上記第1トランジスタ111は、上記ゲートライン G_{n+1} に電氣的に結合されるゲート、ソースおよび上記第1サブ画素電極P1に電氣的に結合されるドレインを有する。第2トランジスタ112は、上記ゲートライン G_n に電氣的に結合されるゲート、上記第1トランジスタ111のソースに電氣的に結合されるソースおよび上記第2サブ画素電極P2に電氣的に結合されるドレインを有する。第3トランジスタ113は、上記ゲートライン G_{n+2} に電氣的に結合されるゲート、二本の隣接するデータ線 D_m と D_{m+1} のいずれかに電氣的に結合されるソースおよび上記第1トランジスタ111と第2トランジスタ112のソースに電氣的に結合されるドレインを有する。本発明の例示的一実施例において、図1に示すように、上記画素 $P_{n,m}$ における第3トランジスタ113のソースは、nが正の奇整数である場合、上記データ線 D_m に電氣的に結合され、nが正の偶整数である場合、上記データ線 D_{m+1} に電氣的に結合される。もう一つの実施例において、図5に示すように、上記画素 $P_{n,m}$ における第3トランジスタ113のソースは上記データ線 D_m に電氣的に結合される。

30

【0040】

さらに、LCD100は、また、少なくとも一つの各画素 $P_{n,m}$ の第1サブ画素電極P1と第2サブ画素電極P2と関連して形成される共通電極(図示せず)を含む。図5に示すように、各画素 $P_{n,m}$ は、さらに、第1液晶キャパシタ C_{L1} 、第2液晶キャパシタ C_{L2} 、第1蓄積キャパシタ C_{S1} および第2蓄積キャパシタ C_{S2} を含む。上記第1液晶キャパシタ C_{L1} と上記第1蓄積キャパシタ C_{S1} は、平行して上記第1サブ画素電極P1および上記少なくとも一つの共通電極の間に電氣的に結合される。上記第2液晶キャパシタ C_{L2} と上記第2蓄積キャパシタ C_{S2} は、平行して上記第2サブ画素電極P2および上記少なくとも一つの共通電極の間に電氣的に結合される。

40

【0041】

また、各画素 $P_{n,m}$ はいずれも二つまたはより多くのサブ画素を有するように設定される。各画素 $P_{n,m}$ の第1サブ画素電極P1、第1トランジスタ111、第1液晶キャパシタ C_{L1} 、第1蓄積キャパシタ C_{S1} は上記画素 $P_{n,m}$ の第1サブ画素 $P_{n,m(1)}$ を定義するとともに、各画素 $P_{n,m}$ の第2サブ画素電極P2、第2トランジスタ112、第2液晶キャパシタ C_{L2} 、第2蓄積キャパシタ C_{S2} は上記画素 $P_{n,m}$ の第2サブ画素 $P_{n,m(2)}$ を定義する。一実施例において、上記第1、第2および第3トランジスタ111、112および113は電界効果型薄膜トランジスタであり、それぞれ上記第1サブ画素 $P_{n,m(1)}$ および上

50

記第2サブ画素 $P_{n,m(2)}$ を始動するのに適用される。その他のタイプのトランジスタも本発明を実現するのに用いることができる。

【0042】

一実施例において、各画素 $P_{n,m}$ における第1サブ画素 $P_{n,m(1)}$ のサブ画素電極 P1/P2 および各画素 $P_{n,m}$ の第2サブ画素 $P_{n,m(2)}$ は第1基板上（図示せず）に位置するとともに、上記共通電極は第2基板上（図示せず）に位置し、上記第2基板は空間的に上記第1基板から遠く離れる。上記液晶分子は上記第1基板と第2基板の間の液晶セルに充填される。各液晶分子はLCD100の一画素 $P_{n,m}$ と関係する。上記サブ画素電極 P1とP2に印加される電圧は、上記対応するサブ画素と関係する液晶セル内の液晶分子の方向配列を制御する。

10

【0043】

LCD100は、さらに、ゲートドライバおよびデータドライバ（図示せず）を含む。上記ゲートドライバは、複数のゲート信号 $\{g_n\}$ を発生し、それぞれ上記複数のゲートライン $\{G_n\}$ に供給するのに用いられ、上記複数のゲート信号 $\{g_n\}$ は所定の順番で上記複数のゲートライン $\{G_n\}$ に接続される第1、第2および第3トランジスタ111、112、113をオンにするように設定される。上記データドライバは、複数のデータ信号 $\{d_m\}$ を発生し、それぞれ上記複数のデータ線 $\{D_m\}$ に提供するのに用いられる。

【0044】

図2は、本発明の一実施例において、図1に示すようなLCDに提供されるゲート信号 g_1 、 g_2 、 g_3 と g_4 であり、示されたLCDに対応するサブ画素電極 P1とP2を充電する波形/タイムチャートである。上記波形は、第1周期 Γ_1 における第1電圧 V_1 、第2周期 Γ_2 における第2電圧 V_2 、第3周期 Γ_3 における第3電圧 V_3 、第4周期 Γ_4 における第4電圧 V_4 および第5周期 Γ_5 における第5電圧 V_5 を有し、そのうち、第 $(j+1)$ 周期 Γ_{j+1} は第 j 周期 Γ_j の直後に続いており、 $j=1, 2, 3, 4$ 、 $V_1=V_3=V_5>V_2=V_4$ 、 $\Gamma_2=\Gamma_1/2$ 、 $\Gamma_3=(\Gamma_1-t)/2$ 、 $\Gamma_4=t$ 、 $\Gamma_5=\Gamma_3$ および $\Gamma_1 \gg t$ である。本実施例において、 V_1 (V_3 、 V_5) と V_2 (V_4) はそれぞれ高電圧および低電圧に対応し、対応する画素行の対応するトランジスタを有効的にオンまたはオフにする。それぞれのゲート信号 g_1 、 g_2 、 g_3 と g_4 の波形は順番に相互シフトされ、所定の順位（順番）で三つの画素行を始動する。本例示の実施例において、ゲート信号 g_2 は、それぞれ周期 Γ_1 において上記ゲート信号 g_1 からシフトされ、ゲート信号 g_3 は、それぞれ周期 Γ_1 において上記ゲート信号 g_2 からシフトされ、ゲート信号 g_4 は、それぞれ周期 Γ_1 において上記ゲート信号 g_3 からシフトされる。通常、それぞれのゲート信号の波形図の特性は複数のパルスをも有し、例えば、パルス201、202および203である。それぞれのパルスはパルス幅とパルス高を有する。特に、上記パルス201のパルス幅およびパルス高はそれぞれ第1周期 Γ_1 および第1電圧 V_1 を定義し、上記パルス202のパルス幅およびパルス高はそれぞれ上記第3周期 Γ_3 および第3電圧 V_3 を定義し、上記パルス203のパルス幅およびパルス高はそれぞれ第5周期 Γ_5 および第5電圧 V_5 を定義する。上記第1パルス201と第2パルス202の間の間隔は、上記第2周期 Γ_2 を定義し、また、上記パルス202とパルス203の間の間隔は、上記第4周期 Γ_4 を定義する。一実施例において、 $\Gamma_1 \gg \Gamma_4 (=t) \quad \Gamma_1/40$ である。

20

30

40

【0045】

図3に示すように、これらのゲート信号 g_1 、 g_2 、 g_3 と g_4 がそれぞれ図1に示すようなLCDのこれらのゲートライン G_1 、 G_2 、 G_3 および G_4 に提供される時、作業にあたって、上記第1サブ画素または第2サブ画素における第2のフィードスルー効果を避けることができる。

【0046】

例えば、時間周期 T_0 において、ゲート G_1 と G_2 はオンされるとともに、ゲート G_3 と G_4 はオフされる。それに応じて、二つの画素 $P_{1,1}$ と $P_{2,1}$ の第3トランジスタ113はオフされる。従って、上記データ線 D_1 または D_2 を通じて上記画素 $P_{1,1}$ と $P_{2,1}$ の第1と第2サブ画素に提供されるデータ信号はない。これは、図3(a)に示すように、状態 T_0 に対応

50

する。

【 0 0 4 7 】

時間周期 T_1 において、ゲート G_1 と G_3 はオンされるとともに、ゲート G_2 と G_4 はオフされる。それに応じて、画素 $P_{1,1}$ の第 2 トランジスタ 112 および第 3 トランジスタ 113 はオンされ、よって、データ信号はデータ線 D_1 を通じて画素 $P_{1,1}$ の第 2 サブ画素に提供されることができ、且つ、上記画素 $P_{1,1}$ の第 2 サブ画素電極 P_2 は充電される。これは、図 3 (b) に示すように、状態 T_1 と対応する。

【 0 0 4 8 】

時間周期 T_2 において、ゲート G_2 と G_3 はオンされるとともに、ゲート G_1 と G_4 はオフされる。それに応じて、画素 $P_{1,1}$ の第 1 トランジスタ 111 および第 3 トランジスタ 113 はオンになり、よって、データ信号はデータ線 D_1 を通じて画素 $P_{1,1}$ の第 1 サブ画素に提供されることができ、且つ、上記画素 $P_{1,1}$ の第 1 サブ画素電極 P_1 は充電され、上記画素 $P_{1,1}$ の第 2 サブ画素電極 P_2 は保持 (held) される。これは、図 3 (c) に示すように、状態 T_2 と対応する。

【 0 0 4 9 】

時間周期 T_3 において、ゲート G_2 と G_4 はオンにするとともに、ゲート G_1 と G_3 はオフになる。それに応じて、画素 $P_{2,1}$ の第 2 トランジスタ 112 および第 3 トランジスタ 113 はオンになり、よって、データ信号はデータ線 D_2 を通じて画素 $P_{2,1}$ の第 2 サブ画素に提供されることができ、且つ、上記画素 $P_{2,1}$ の第 2 サブ画素電極 P_2 は充電され、画素 $P_{1,1}$ の第 1 および第 2 サブ画素電極 P_1 と P_2 は保持 (held) される。これは、図 3 (d) に示すように、状態 T_3 と対応する。

【 0 0 5 0 】

図 4 および表 1 は、図 2 に示すものと同じ波形を有するゲート信号 g_1 、 g_2 、 g_3 と g_4 のシミュレーション結果を示す。サブ画素 P_1 と P_2 に充電される最終電圧はほぼ同じである。従って、HSD2 と比べて、本発明による HSD3 の駆動方式はさらに一致する充電効果および更なる保持 (holding) 能力を有する。

【 0 0 5 1 】

表 1：液晶ディスプレイのフレームレート = 50 Hz のシミュレーション結果。(Tch は上記画素の充電時間である； W/L は上記サブ画素の幅と長さを示す； V_p および V_p' はサブ画素電極である； Thold は保持 (holding) 時間である； Vhold は保持 (holding) 電圧である； ΔV は V_p' と Vhold の間の電圧差を代表する。)

【 0 0 5 2 】

【表 1】

駆動方法	サブ画素	充電検査			アフターフィードスルー	保持検査 (リーク電流)		
		Tch	W/L	V_p (充電比)		Thold	Vhold	ΔV
HSD2	P1	33us	210um / 5um	14.76V (99.2%)	12.78V	19.96ms	11.77V	-1.02V
	P2			11.19V (87.3%)	9.05V		9.31V	+0.26V
	P1	33us	210um / 5um	12.44V (91.5%)	10.11V	19.96ms	9.804V	-0.185V
	P2			12.44V (91.5%)	10.15V		9.848V	-0.181V

【 0 0 5 3 】

図5(a)は部分的且つ概略的に本発明のもう一つの実施例におけるLCD200を示す。各画素 $P_{n,m}$ における第3トランジスタ213のソースが上記データ線 D_m に電氣的に結合される以外に、上記LCD200は図1に示すLCD100の構造と同様である。図5(b)はゲート信号 $g_1, g_2, \dots$ および g_6 が順次にそれぞれ上記LCDのゲートライン $G_1, G_2, \dots$ および G_6 に提供されることを示すタイムチャートである。各ゲート信号 $g_1, g_2, \dots$ および g_6 はいずれも図2に示すものと同じ波形を有する。それに応じて、上記画素の充電順番は、サブ画素(1)からサブ画素(2)、サブ画素(3)、サブ画素(n)までである。

【0054】

図6(a)は、上記LCD200における画素の充電過程を示し、電流漏れ経路223により表示される。同時に、図6(b)はLCD200における画素の充電過程を示し、サブ画素P1の充電経路221およびサブ画素P2の充電経路222により表示される。

【0055】

上記本発明の実施例によれば、従来のLCDに比べて、HSD3の駆動方式を有するLCDはソースチャンネル数を半分減少し、口径比を向上させた。また、本発明のLCDは充電および保持(holding)性能において割りと良い同一性を有する。

【0056】

上述の本発明の例示的实施例に対する記述は、本発明の開示および記述にのみ用いられ、本発明に必要な全ての要素を含んでいるわけではなく、或いは本発明を上記開示の厳格な形式に限定しているわけでもない。本発明の教示により、本発明に対して各種の変更や修飾を加えることが可能となっている。

【0057】

本発明が選択して記述した実施例は、本発明の原則およびその実際応用を解釈するのに用いられ、当該分野の技術を熟知する他の者に対して、本発明および各実施例を利用し各種変更に合わせて予定される各種特定用途を満足させようとしている。本発明の精神と範囲を逸脱しない限り、当該技術に熟知する他の者はその他の実施例を実施することも可能である。それに応じて、本発明の範囲は上述の請求項により定義されるべきであり、上述および例示的实施例により定義されるべきではない。

【符号の説明】

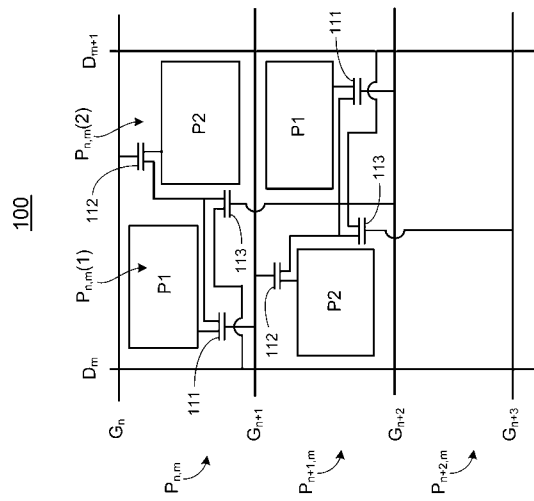
【0058】

100、200	液晶ディスプレイ
111、211	第1トランジスタ
112、212	第2トランジスタ
113、213	第3トランジスタ
$\{P_{n,m}\}$	画素
P1	第1サブ画素電極
P2	第2サブ画素電極
$\{G_n\}$	ゲートライン
$\{D_m\}$	データ線
C_{L1}	第1液晶キャパシタ
C_{L2}	第2液晶キャパシタ
C_{S1}	第1蓄積キャパシタ
C_{S2}	第2蓄積キャパシタ

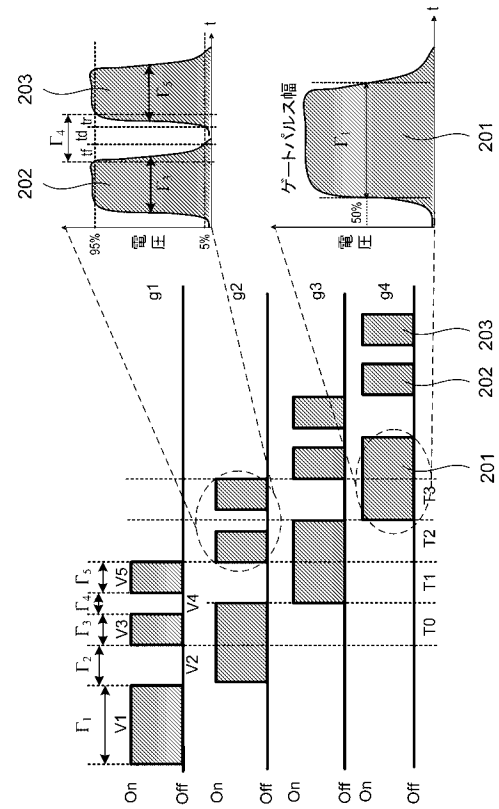
30

40

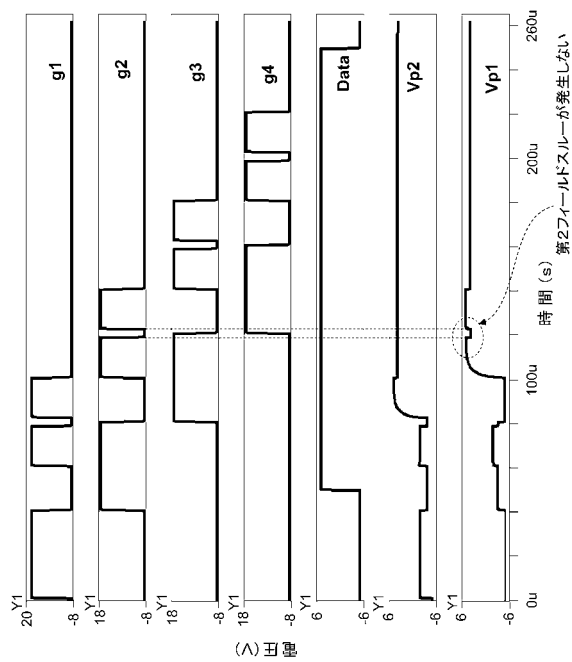
【図 1】



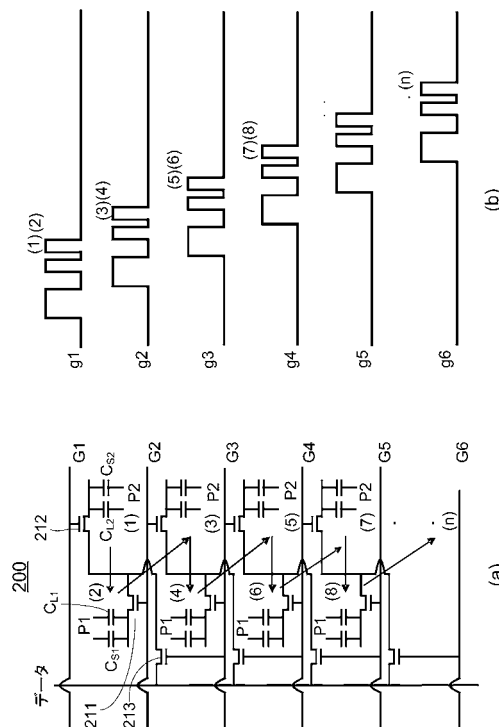
【図 2】



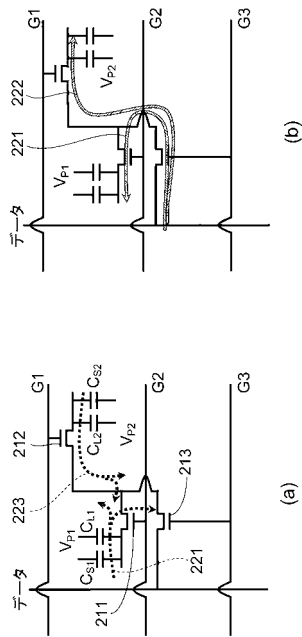
【図 4】



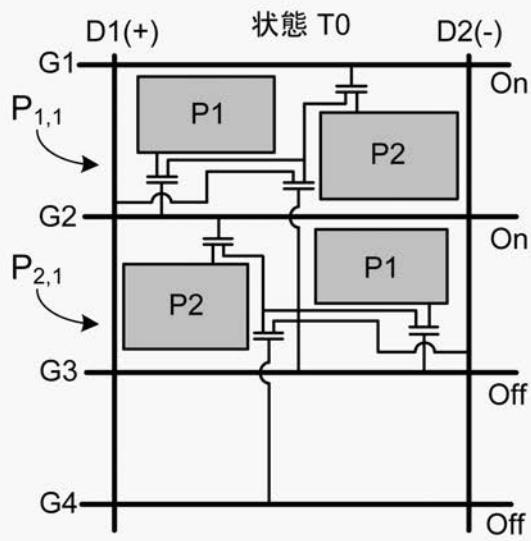
【図 5】



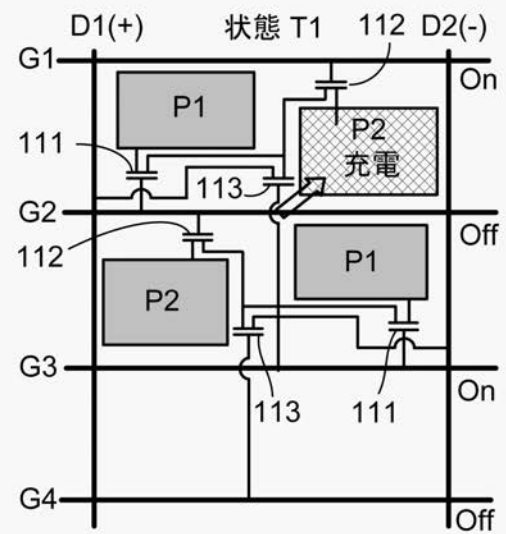
【図 6】



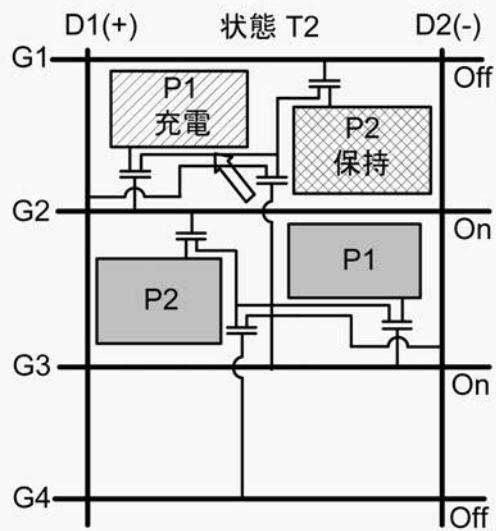
【図 3】



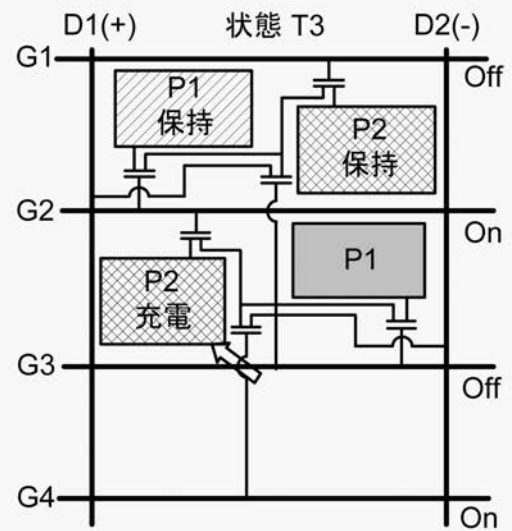
(a)



(b)

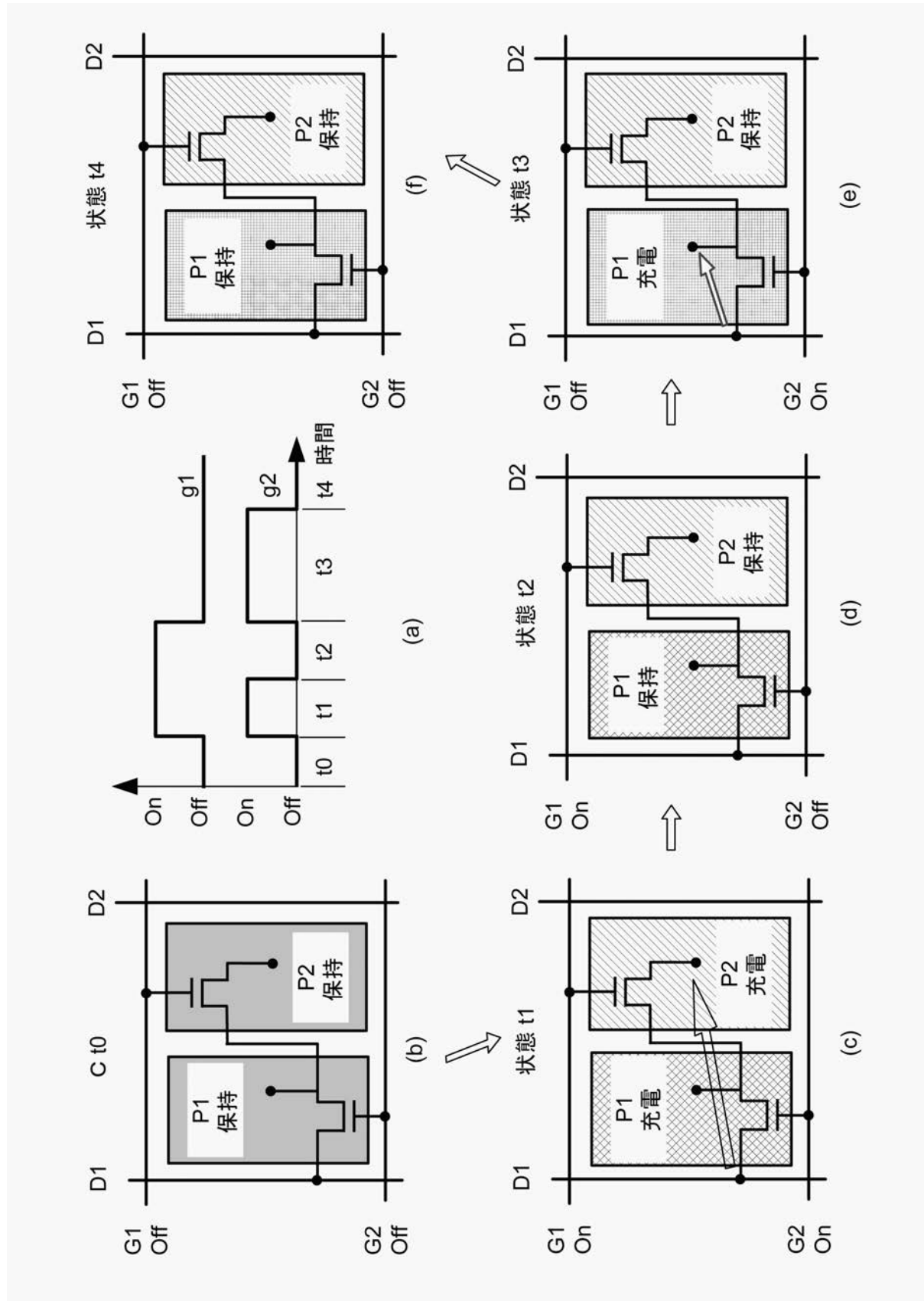


(c)



(d)

【図7】



 フロントページの続き

(51)Int.Cl. F I
 G 0 9 G 3/20 6 2 3 U
 G 0 2 F 1/133 5 5 0
 G 0 2 F 1/133 5 2 5

(72)発明者 李 國賢
 台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内
 (72)発明者 呂 昭良
 台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内
 (72)発明者 郭 峻廷
 台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

審査官 西島 篤宏

(56)参考文献 特開2004-191574(JP,A)
 特開2006-500617(JP,A)
 特開平04-223428(JP,A)
 特開2009-098234(JP,A)
 特開2008-052244(JP,A)
 米国特許出願公開第2001/0045925(US,A1)

(58)調査した分野(Int.Cl., DB名)
 G 0 9 G 3 / 0 0 - 3 / 3 8
 G 0 2 F 1 / 1 3 3

专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	JP5323047B2	公开(公告)日	2013-10-23
申请号	JP2010291079	申请日	2010-12-27
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
当前申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	蔡育錚 李國賢 呂昭良 郭峻廷		
发明人	蔡 育錚 李 國賢 呂 昭良 郭 峻廷		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3607 G09G3/3659 G09G3/3677 G09G2300/0809 G09G2300/0814 G09G2320/0219 G09G2320/0233 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.622.C G09G3/20.622.E G09G3/20.622.P G09G3/20.623.U G02F1/133.550 G02F1/133.525 G09G3/20.641.A G09G3/20.641.C G09G3/20.641.K G09G3/20.642.A		
F-TERM分类号	2H193/ZA04 2H193/ZA06 2H193/ZA08 2H193/ZA19 2H193/ZC13 2H193/ZC24 2H193/ZD31 2H193/ZF22 2H193/ZF36 2H193/ZF52 5C006/AA15 5C006/AA16 5C006/AA17 5C006/BB16 5C006/BC06 5C006/FA26 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
优先权	12/703896 2010-02-11 US		
其他公开文献	JP2011164588A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供液晶显示器及其驱动方法。ŽSOLUTION：液晶显示器包括：沿行方向空间排列的多条栅极线G;多个数据线D沿垂直于行方向的列方向空间排列;多个像素P在空间上以矩阵的形式排列。每个像素P包括：第一晶体管，其栅极电连接到栅极线G，源极和漏极电连接到第一子像素电极;第二晶体管，其栅极电连接到栅极线G，源极电连接到第一晶体管的源极，漏极电连接到第二子像素电极;第三晶体管具有电耦合到栅极线G的栅极，电耦合到两条相邻数据线D之一的源极和电耦合到第一和第二晶体管的源极的漏极。Ž

驅動方法	サブ画素	充電検査			アフターフィードスルー	保持検査（リーク電流）		
		Tch	W/L	V _p （充電比）		Thold	Vhold	ΔV
HSD2	P1	33us	210um/5um	14.76V (99.2%)	12.78V	19.96ms	11.77V	-1.02V
	P2			11.19V (87.3%)	9.05V		9.31V	+0.26V
	P1	33us	210um/5um	12.44V (91.5%)	10.11V	19.96ms	9.804V	-0.185V
	P2			12.44V (91.5%)	10.15V		9.848V	-0.181V