

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5185155号
(P5185155)

(45) 発行日 平成25年4月17日(2013.4.17)

(24) 登録日 平成25年1月25日(2013.1.25)

(51) Int.Cl.

F 1

G02F 1/133 (2006.01)
G09G 3/36 (2006.01)
G09G 3/20 (2006.01)

G02F 1/133 550
G02F 1/133 530
G09G 3/36
G09G 3/20 670E
G09G 3/20 621B

請求項の数 5 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2009-40647(P2009-40647)
(22) 出願日 平成21年2月24日(2009.2.24)
(65) 公開番号 特開2010-197570(P2010-197570A)
(43) 公開日 平成22年9月9日(2010.9.9)
審査請求日 平成24年1月18日(2012.1.18)

(73) 特許権者 302020207
株式会社ジャパンディスプレイセントラル
埼玉県深谷市幡羅町一丁目9番地2
(74) 代理人 100075812
弁理士 吉武 賢次
(74) 代理人 100082991
弁理士 佐藤 泰和
(74) 代理人 100096921
弁理士 吉元 弘
(74) 代理人 100103263
弁理士 川崎 康
(72) 発明者 山 中 訓
東京都港区港南四丁目1番8号 東芝松下
ディスプレイテクノロジー株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

マトリクス状に配置される信号線および走査線と、前記信号線および走査線の各交差箇所に対応づけて配置される画素回路と、を有する画素アレイ部と、

前記走査線を駆動する走査線駆動部と、

前記信号線を駆動する信号線駆動部と、を備え、

前記画素回路は、

画素スイッチング素子と、

前記画素スイッチング素子の一端に接続される画素電極と対向電極との間に形成される液晶容量と、

前記画素電極と補助容量線との間に形成される補助容量と、を有し、

少なくとも前記画素アレイ部にタッチパネルを貼り付け可能な液晶表示装置において、

前記信号線駆動部は、

前記信号線を極性反転駆動する際に前記画素アレイ部周辺から発生された電磁ノイズにより前記タッチパネルが誤動作しないように、前記走査線駆動部が新たな走査線を駆動する前の水平ブランキング期間内にすべての信号線にプリチャージ電圧を供給するプリチャージ回路と、

前記信号線に供給されるアナログ画素電圧を生成する第1の電圧生成回路と、

前記対向電極に供給される対向電極電圧を生成する第2の電圧生成回路と、

前記信号線を極性反転駆動する際に前記画素アレイ部周辺から発生された電磁ノイズに

より前記タッチパネルが誤動作しないように、前記第1および第2の電圧生成回路の少なくとも一方で生成された電圧のセトリング時間を調整するセトリング調整回路と、を有することを特徴とする液晶表示装置。

【請求項2】

前記セトリング調整回路は、

入力信号の信号遅延時間がそれぞれ異なる複数のバッファ回路と、

前記複数のバッファ回路から一つを選択して、前記第1および第2の電圧生成回路の少なくとも一方で生成された電圧のセトリング時間を調整するバッファ選択回路と、を有することを特徴とする請求項1に記載の液晶表示装置。

【請求項3】

前記信号線駆動部は、

前記アナログ画素電圧を複数の前記信号線のいずれに供給するかを切替えるアナログスイッチ回路と、

前記セトリング調整回路で調整したセトリング時間に合わせて、前記アナログスイッチ回路の切替タイミングを制御するタイミング調整部と、を有することを特徴とする請求項1または2に記載の液晶表示装置。

【請求項4】

前記補助容量線に供給される補助容量線電圧と、前記対向電極に供給される対向電極電圧とを生成するために用いられる基準電圧を生成する基準電圧生成回路と、

前記基準電圧に基づいて前記補助容量線電圧を生成する第1のバッファ回路と、

前記基準電圧に基づいて前記対向電極電圧を生成する第2のバッファ回路と、を備えることを特徴とする請求項1乃至3のいずれかに記載の液晶表示装置。

【請求項5】

前記プリチャージ電圧の電圧レベルの設定と前記セトリング調整回路によるセトリング時間の調整とは、製造段階で行われ、その後の設定変更は行わないことを特徴とする請求項1乃至4のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、タッチパネルを備える液晶表示装置に関する。

【背景技術】

【0002】

近年の電子機器には、操作性の向上やボタンの削減によるコスト削減、軽薄短小化等のためにタッチパネルが一体になった液晶表示装置が数多く使用されている。しかしながら、液晶パネルや液晶ドライバIC(Integrated Circuit)で発生する電磁ノイズの影響(EMI:Electromagnetic Interference)により、タッチパネルが誤動作を起こすという問題が発生している。例えば、タッチペンを使って液晶パネルに描画しているときにノイズが発生すると、液晶パネルにタッチペンが接触していることを示す信号が途切れてしまい、タッチペンの動きに忠実な図形を描けないことがある。

【0003】

このような不具合は、具体的には、以下のようなノイズにより生じる。

【0004】

(1)液晶パネル上の信号線の電圧が急激に変化することによって液晶パネルから発生するノイズ。

【0005】

(2)対向電極電圧 V_{com} の急峻な立ち上がりや立ち下りによって発生する高周波ノイズ。

【0006】

(3)液晶ドライバICが生成するアナログ画素電圧 V_{sig} の急峻な立ち上がりや立ち下りによって発生するノイズ。

10

20

30

40

50

【 0 0 0 7 】

(4) 対向電極電圧 V_{com} と補助容量線電圧 V_{cs} のいずれか一方のノイズが他方に影響することにより発生するノイズ。

【 0 0 0 8 】

液晶パネルや液晶ドライバICから発生するこれらのノイズがタッチパネルに伝達するのを防止するためには、例えば、液晶パネルとタッチパネルとの間に透明なシールド板を配置することが考えられる。しかしながら、シールド板は十分な厚さがないとシールド効果が得られない。一方、シールド効果が得られる厚さのシールド板を用いると、十分な透明度が得られず、画面が暗くなるおそれがある。また、シールド板を用いると部品コストが上昇し、製造工程も複雑化してしまう。このように、シールド板によってノイズを抑制する手法は必ずしも適切とはいえない。

10

【 0 0 0 9 】

また、特許文献1には、タッチパネルデータの中から、液晶パネルのノイズの影響を受けているデータを破棄する技術が開示されている。しかしながら、特許文献1では、ノイズを積極的に抑制しているわけではないため、信頼性に欠け、誤動作の問題を根本的に解決できる保証はない。

【 先行技術文献 】

【 特許文献 】

【 0 0 1 0 】

【 特許文献1 】 特開平11-184630号公報

20

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 1 】

本発明は、液晶パネルや液晶ドライバICから発生するノイズを抑制してタッチパネルの誤動作を防止可能な液晶表示装置を提供するものである。

【 課題を解決するための手段 】

【 0 0 1 2 】

本発明の一態様によれば、マトリクス状に配置される信号線および走査線と、前記信号線および走査線の各交差箇所に対応づけて配置される画素回路と、を有する画素アレイ部と、前記走査線を駆動する走査線駆動部と、前記信号線を駆動する信号線駆動部と、を備え、前記画素回路は、画素スイッチング素子と、前記画素スイッチング素子の一端に接続される画素電極と対向電極との間に形成される液晶容量と、前記画素電極と補助容量線との間に形成される補助容量と、を有し、少なくとも前記画素アレイ部にタッチパネルを貼り付け可能な液晶表示装置において、前記信号線駆動部は、前記信号線を極性反転駆動する際に前記画素アレイ部周辺から発生された電磁ノイズにより前記タッチパネルが誤動作しないように、前記走査線駆動部が新たな走査線を駆動する前の水平ブランキング期間内にすべての信号線にプリチャージ電圧を供給するプリチャージ回路と、前記信号線に供給されるアナログ画素電圧を生成する第1の電圧生成回路と、前記対向電極に供給される対向電極電圧を生成する第2の電圧生成回路と、前記信号線を極性反転駆動する際に前記画素アレイ部周辺から発生された電磁ノイズにより前記タッチパネルが誤動作しないように、前記第1および第2の電圧生成回路の少なくとも一方で生成された電圧のセトリング時間を調整するセトリング調整回路と、を有することを特徴とする液晶表示装置が提供される。

30

40

【 発明の効果 】

【 0 0 1 3 】

本発明によれば、液晶パネルや液晶ドライバICから発生するノイズを抑制してタッチパネルの誤動作を防止できる。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図1 】 本発明の第1の実施形態に係るタッチパネル付きの液晶表示装置の概略構成を示

50

す図。

【図2】本発明の第1の実施形態に係る液晶表示装置の内部構成を示すブロック図。

【図3】プリチャージ回路100の内部構成の一例を示す図。

【図4】液晶ドライバIC2の動作の一例を示すタイミング図。

【図5】本発明の第2の実施形態に係る液晶表示装置の内部構成を示すブロック図。

【図6】Vcomセトリング調整回路101の内部構成の一例を示す図。

【図7】Vcomセトリング調整回路101の動作の一例を示すタイミング図。

【図8】本発明の第3の実施形態に係る液晶表示装置の内部構成を示すブロック図。

【図9】Vsigセトリング調整回路102の内部構成の一例を示す図。

【図10】タイミング調整回路103の内部構成の一例を示す図。

10

【図11】本発明の第4の実施形態に係る液晶表示装置の内部構成を示すブロック図。

【図12】Vcom生成回路104およびVcs生成回路105の内部構成の一例を示す回路図。

【発明を実施するための形態】

【0015】

以下、本発明に係る液晶表示装置の実施形態について、図面を参照しながら具体的に説明する。

【0016】

(第1の実施形態)

図1は、本発明の第1の実施形態に係るタッチパネル付きの液晶表示装置の概略構成を示す図である。図1の液晶表示装置は、液晶パネル1と、液晶ドライバIC2と、タッチパネル(TP: Touch Panel)3と、タッチパネルドライバIC4とを備えている。この液晶表示装置は、ホストプロセッサ5と種々のデータの送受を行う。

20

【0017】

ホストプロセッサ5の命令に基づいて、液晶ドライバIC2は液晶パネル1を駆動する。液晶パネル1には画像や文字等が表示される。また、ホストプロセッサ5の命令に基づいて、タッチパネルドライバIC4はタッチパネル3を駆動する。さらに、ホストプロセッサ5は、指先やタッチペン等(不図示)がタッチパネル3に接触しているか否か、および、接触している位置を示す情報を取得する。この情報に基づいて、液晶パネル1上に描画したり、ホストプロセッサ5で種々の処理を行ったりすることができる。

30

【0018】

タッチパネル3の接触位置の検出手法として、例えば抵抗膜方式が用いられる。抵抗膜方式のタッチパネルは、ベースとなるガラス面の表面に小さなスペーサをはさんで、フィルムが貼り付けられた構造となっている。ガラス面およびフィルムには、例えばITO(Indium Tin Oxide)からなる透明電極が貼り付けられ、これら透明電極はスペーサを介して対向配置されている。指先等がフィルム面に接触していない状態では、フィルム面の透明電極とガラス面の透明電極とは接触せず、電流は流れない。一方、指先等がフィルム面に接触すると、フィルム面がたわみ、両透明電極が互いに接触して電流が流れる。これにより、接触していることを検出できる。また、接触位置に応じて、検出される電圧が異なる。よって、この電圧を測定することで接触位置を検出できる。抵抗膜方式のタッチパネルを用いると、安価で精度良く接触位置を検出できる。

40

【0019】

また、タッチパネル3として、静電容量方式のタッチパネルを用いてもよい。静電容量方式のタッチパネルでは、指先が近づくとタッチパネルの表面電荷が変化することを利用し、その変化を捉えることでタッチ位置を検出できる。静電容量方式のタッチパネルを用いると、抵抗膜方式と比べて、液晶表示装置の画面を明るくできるというメリットがある。

【0020】

タッチパネル3の方式には、他にも赤外線方式や電磁誘導方式等があるが、用途に応じて使い分ければよく、本実施形態では特にタッチパネル3の方式に何ら限定はない。

50

【 0 0 2 1 】

本実施形態は、液晶パネル 1 から発生するノイズによってタッチパネル 3 が誤動作しないように、ノイズを抑制するものである。

【 0 0 2 2 】

図 2 は、本発明の第 1 の実施形態に係る液晶表示装置の内部構成を示すブロック図である。液晶パネル 1 は、ゲート回路用電源 1 1 と、ゲート回路 1 2 (走査線駆動部) と、画素アレイ部 2 0 とを備えている。これらは、例えば低温ポリシリコン技術で形成される。画素アレイ部 2 0 には、水平方向に走査線 1 4 が、垂直方向に信号線 1 5 がそれぞれ配置されており、走査線 1 4 および信号線 1 5 の各交差箇所には画素回路 1 3 が形成される。液晶パネル 1 上には、少なくとも画素アレイ部 2 0 を覆うように、透明なタッチパネル 3 が

10

【 0 0 2 3 】

本実施形態では、画素アレイ部 2 0 が 4 8 0 本の走査線 1 4 と、6 4 0 本の信号線 1 5 とを有し、6 4 0 * 4 8 0 個の画素回路 1 3 がマトリクス状に配置されている例を示す。また、液晶パネル 1 は 1 秒間に 6 0 枚の画像 (フレーム) を表示する例を示す。

【 0 0 2 4 】

図 2 は、画素回路 1 3 の内部構成の一例を示している。画素回路 1 3 は、画素 T F T (Thin Film Transistor) 1 6 (画素スイッチング素子) と、液晶容量 1 7 と、画素 I T O 1 8 (画素電極) と、補助容量 1 9 とを有する。画素 T F T 1 6 のゲートは走査線 1 4 に、ソースは信号線 1 5 に、ドレインは透明電極である画素 I T O 1 8 に接続されている。また、補助容量 1 9 は、画素 I T O 1 8 と補助容量線との間に形成されている。

20

【 0 0 2 5 】

液晶パネル 1 は、数 μm の間隔を隔てて 2 枚のガラス基板 (不図示) を対向配置して、これらガラス基板の間に液晶材料を密封した構造である。2 枚のガラス基板のうち一方は画素アレイ基板、他方は対向電極基板と呼ばれる。画素アレイ基板上の画素 I T O 1 8 と対向電極基板上の対向電極との間に液晶容量 1 7 が形成されている。対向電極基板には、対向電極の他に、R (赤)、G (緑)、B (青) の 3 原色のカラーフィルタが配置されている。対向電極基板の裏面側から画素アレイ基板に向けて白色のバックライトが入射される。対向電極にはすべての画素回路 1 3 に共通の対向電極電圧 V_{com} が供給される。また、補助容量線にはすべての画素回路 1 3 に共通の補助容量線電圧 V_{cs} が供給される。

30

【 0 0 2 6 】

次に、液晶パネル 1 の動作の一例を説明する。ゲート回路 1 2 は、液晶ドライバ I C 2 から出力されるタイミング信号に基づいて走査線電圧を生成し、走査線 1 4 を順次選択および駆動する。選択された走査線 1 4 が接続された画素 T F T 1 6 がオンし、液晶ドライバ I C 2 から信号線 1 5 を介して画素 I T O 1 8 に画素電圧が供給される。この画素電圧により液晶容量 1 7 の両端電圧が変化し、液晶材料の配向が変化する。この液晶材料が光シャッターとなり、配向に応じてバックライトの透過度合いが制御される。このようにして、液晶パネル 1 は映像を表示することができる。液晶容量 1 7 は、供給された画素電圧に応じた電荷を蓄積し、次の信号が入力されるまで電荷を保持する。また、補助容量 1 9 は液晶容量 1 7 に蓄積された電荷の漏洩を抑制する。

40

【 0 0 2 7 】

上述した液晶パネル 1 の構成と動作は一例に過ぎず、本実施形態に係る液晶表示装置は図 2 に示すものには限られない。

【 0 0 2 8 】

液晶ドライバ I C 2 は、インターフェース (I / F) 回路 2 1 と、G R A M 回路 2 2 と、タイミング回路 2 3 と、シフトレジスタ回路 2 4 と、D A C (Digital to Analog Converter) 回路 2 5 と、アンプ回路 2 6 と、アナログスイッチ回路 2 7 と、電源回路 2 8 と、電圧生成回路 2 9 と、プリチャージ回路 1 0 0 とを備えている。

【 0 0 2 9 】

50

液晶ドライバIC 2には、ホストプロセッサ5から映像信号および各種制御信号が入力される。これらの信号はいずれもデジタル信号である。液晶ドライバIC 2は、ホストプロセッサ5からの映像信号をアナログの画素電圧に変換して所定のタイミングで信号線15を駆動する信号線駆動部として機能する。

【0030】

電圧生成回路29は、対向電極電圧Vcomと補助容量線電圧Vcsとを生成し、液晶パネル1内の対向電極および補助容量線に供給する。電圧生成回路29は、焼き付きを防止するために走査線毎およびフレーム毎に対向電極電圧Vcomと補助容量線電圧Vcsの極性を反転させる。電源回路28は、液晶ドライバIC 2内の各回路に電源を供給する。

10

【0031】

インターフェース回路21は、ホストプロセッサ5と液晶ドライバIC 2との間で各種信号を送受する。ホストプロセッサ5からの映像信号は、例えば8ビットのデジタル信号である。GRAM回路22は、例えば、この映像信号を一時的に保存する目的に用いられる。あるいはGRAM回路22を、タッチパネル3の接触位置検出データを一時的に保存する目的に用いてもよい。タイミング回路23は、ホストプロセッサ5からの映像信号と各種制御信号とに基づいて、信号線15および走査線14を駆動するための各種タイミング信号を生成する。タイミング信号は、シフトレジスタ回路24と、アナログスイッチ回路27と、プリチャージ回路100と、液晶パネル1内のゲート回路12とに入力される。

20

【0032】

シフトレジスタ回路24は、映像信号を信号線の駆動順に並び換えたR画素データ、G画素データおよびB画素データを出力する。より具体的には以下の通りである。シフトレジスタ回路24は、まず1走査線上のすべてのR画素データを同時に出力し、その後同様に、同じ走査線上のG画素データ、B画素データを順に出力する。以後、同様に、各走査線ごとに、各色の画素データを順に出力していく。シフトレジスタ回路24が同時に出力する液晶表示信号の数は、水平方向の画素数である640本である。

【0033】

DAC回路25は、シフトレジスタ回路24から出力された各色の画素データをアナログ信号に変換する。アンプ回路26は、液晶パネル1を駆動できる電圧レベルまでアナログ信号を増幅する。以下では、増幅されたアナログ信号をアナログ画素電圧Vsigと呼ぶ。

30

【0034】

アナログスイッチ回路27は、アナログ画素電圧Vsigを所定のタイミングで液晶パネル1の信号線15に出力する。液晶パネル1には、R用、G用およびB用の信号線15がそれぞれ水平方向の画素数だけ配線されている。よって、信号線15の数は合計で $640 \times 3 = 1920$ 本である。アナログスイッチ回路27は、タイミング信号に基づいてアナログ画素電圧Vsigをどの色に対応した信号線15に出力するかを切替える。

【0035】

本実施形態の特徴の一つは、液晶ドライバIC 2内にプリチャージ回路100を設けた点である。プリチャージ回路100は、ゲート回路12が新たな走査線15を駆動する前の水平ブランキング期間に全信号線15をプリチャージする。図3は、プリチャージ回路100の内部構成の一例を示す図である。プリチャージ回路100は、プリチャージ制御回路61と、各信号線15のそれぞれごとに設けられるスイッチ62とを有する。プリチャージ制御回路61は、タイミング回路23が生成するタイミング信号に基づいて、所定のタイミングでスイッチ62をすべてオンする。より具体的には、水平ブランキング期間にすべてのスイッチ62がオンして、全信号線15が同一のプリチャージ電圧Vpreにプリチャージされる。

40

【0036】

上述したように、対向電極電圧Vcomの極性は走査線毎およびフレーム毎に反転する

50

ので、信号線 15 の極性も同様に反転する。プリチャージを行わないとすると、信号線 15 の電圧は正の電圧（例えば + 4 V）から負の電圧（例えば - 4 V）へ、あるいは、負の電圧から正の電圧へと大きく変化することになる。これにより、液晶パネル 1 全体から電磁ノイズが発生し、タッチパネル 3 の誤動作を引き起こしてしまう。

【 0 0 3 7 】

そこで、水平ブランキング期間中にプリチャージ回路 100 が全信号線 15 をプリチャージする。信号線 15 をプリチャージすることにより、信号線 15 の電圧が急激に変化することがなくなり、ノイズの発生を抑えることができる。

【 0 0 3 8 】

プリチャージ電圧 V_{pre} は、予め定めた値（例えば、+ 4 V と - 4 V の中間である 0 V）でもよいし、製造段階で最適な値に設定してもよい。一旦設定した後に変更する必要はない。

【 0 0 3 9 】

図 4 は、液晶ドライバ IC 2 の動作の一例を示すタイミング図であり、横軸は時間、縦軸は各信号の電圧である。信号 $ASWR$ 、 $ASWG$ 、 $ASWB$ 、 $SWpre$ は、いずれもスイッチを制御するデジタル信号である。信号 $ASWR$ がハイであれば、アナログ画素電圧 V_{sig} が R 用の信号線 15 に入力される。信号 $ASWG$ 、 $ASWB$ についても同様である。また、信号 $SWpre$ がハイであればスイッチ 62 をオンし、ロウであればスイッチ 62 をオフする。

【 0 0 4 0 】

図 4 を用いて、液晶ドライバ IC 2 の動作を説明する。水平ブランキング期間が終了すると、まず、プリチャージ制御回路 61 は信号 $SWpre$ をハイに設定し、スイッチ 62 がオンする（時刻 t_1 ）。これにより、全ての信号線 15 の電圧がプリチャージ電圧 V_{pre} にプリチャージされる。また、時刻 t_1 では対向電極電圧 V_{com} の極性が反転する。その後、プリチャージ制御回路 61 は信号 $SWpre$ をロウに設定し、スイッチ 62 はオフする（時刻 t_2 ）。時刻 t_2 以降は、信号線 15 にはプリチャージ電圧 V_{pre} が印加されなくなる。プリチャージが行われる時刻 $t_1 \sim t_2$ は、アナログ画素電圧 V_{sig} が信号線 15 に供給される時刻 t_3 より前の水平ブランキング期間中に設定される。

【 0 0 4 1 】

次に、アナログスイッチ回路 27 は、信号 $ASWR$ をハイに設定し、アナログ画素電圧 V_{sig} が R 用の信号線 15 に入力される（時刻 t_3 ）。時刻 $t_3 \sim t_4$ においては、シフトレジスタ回路 24 は R 用の液晶表示信号を出力する。また、図示していないが、ゲート回路 12 は 1 つの走査線 14 を選択している。よって時刻 $t_3 \sim t_4$ において、1 走査線分の R 用の画素電圧が、ゲート回路 12 によって選択された画素回路 13 に供給される。信号線 15 はプリチャージ電圧 V_{pre} にプリチャージされているので、アナログ画素電圧 V_{sig} が入力されたときに信号線 15 の電圧が急激に変化することはなく、ノイズの発生を抑えることができる。

【 0 0 4 2 】

以下同様にして、時刻 $t_5 \sim t_6$ で G 用の、時刻 $t_7 \sim t_8$ で B 用の画素電圧がそれぞれ対応する画素回路 13 に供給される。時刻 $t_8 \sim t_9$ は水平ブランキング期間である。時刻 $t_1 \sim t_9$ で 1 走査線分の処理を完了する。

【 0 0 4 3 】

時刻 t_9 以降は、次の走査線上の画素回路 13 に画素電圧を供給することになる。よって、信号線 15 をプリチャージすべく、プリチャージ制御回路 61 は信号 $SWpre$ をハイに設定する。同時に、電圧生成回路 29 は、対向電極電圧 V_{com} の極性を反転する（時刻 t_9 ）。また、ゲート回路 12 は次の走査線 14 を選択する。以降の動作は時刻 $t_1 \sim$ と同様である。

【 0 0 4 4 】

本実施形態では、垂直方向の画素数を 480 個とし、液晶パネル 1 が 1 秒間に 60 フレーム表示する例を示している。よって、時刻 $t_1 \sim t_9$ は、 $1 / 480 / 60 =$ 約 35μ

10

20

30

40

50

sである。この時間内に、プリチャージ（時刻 $t_1 \sim t_2$ ）およびアナログ画素電圧 V_{sig} の設定（時刻 $t_3 \sim t_4$, $t_5 \sim t_6$, $t_7 \sim t_8$ ）が行われる。

【0045】

このように、第1の実施形態では、プリチャージ回路100を設け、水平ブランキング期間中に、全信号線15をプリチャージする。そのため、極性反転駆動を行っても、信号線15の電圧が急激に変化することがなく、液晶パネル1から発生される電磁ノイズを抑制できる。このため、このノイズに起因するタッチパネル3の誤動作を防止できる。

【0046】

（第2の実施形態）

第2の実施形態は、対向電極電圧 V_{com} のセトリング時間を調整するものである。

10

【0047】

図5は、本発明の第2の実施形態に係る液晶表示装置の内部構成を示すブロック図である。図5では、図2と共通する構成部分には同一の符号を付しており、以下では相違点を中心に説明する。図5の液晶ドライバIC2は、図2の構成に加えて V_{com} セトリング調整回路101をさらに備えている。 V_{com} セトリング調整回路101は、電圧生成回路29（第2の電圧生成回路）が生成する電圧 V_{com0} に基づいて対向電極電圧 V_{com} を生成し、液晶パネル1内の対向電極に供給する。

【0048】

V_{com} セトリング調整回路101は、対向電極電圧 V_{com} のセトリング時間の調整を行う。ここで、対向電極電圧 V_{com} のセトリング時間とは、対向電極電圧 V_{com} の電圧値が一方の極性の電圧から変化し始めて、他方の極性の電圧に収束するまでに要する時間をいう。

20

【0049】

図6は、 V_{com} セトリング調整回路101の内部構成の一例を示す図である。 V_{com} セトリング調整回路101は、信号遅延時間がそれぞれ異なる複数のバッファ回路31と、バッファ選択回路32とを有する。バッファ選択回路32は、いずれか1つのバッファ回路31のみから電圧が出力されるようバッファ回路31を制御し、対向電極電圧 V_{com} のセトリング時間を調整する。

【0050】

図7は、 V_{com} セトリング調整回路101の動作の一例を示すタイミング図であり、横軸は時間、縦軸は電圧である。図4で説明したように、時刻 t_1 および t_9 で対向電極電圧 V_{com} の極性は反転する。以下の説明では、対向電極電圧 V_{com} の極性は、時刻 t_1 で負から正に反転し、時刻 t_9 で正から負に反転するものとする。

30

【0051】

時刻 t_1 で、電圧生成回路29は電圧 V_{com0} の極性を負から正へ急峻に立ち上げる。対向電極電圧 V_{com} は、バッファ回路31の駆動力に応じた所定の期間の後に一定の正の電圧に収束する。バッファ選択回路32が駆動力の高いバッファ回路31を選択した場合は、曲線C1のように時刻 t_1 から短時間のうちに対向電極電圧 V_{com} が正の電圧に収束する。すなわち、セトリング時間が短い。バッファ選択回路32が駆動力の低いバッファ回路31を選択した場合は、曲線C2のように時刻 t_1 から対向電極電圧 V_{com} が正の電圧に収束するまでの時間が長い。すなわち、セトリング時間が長い。このようにして、対向電極電圧 V_{com} のセトリング時間を調整できる。調整するセトリング時間は、例えば数 μs とする。

40

【0052】

急激に変化する信号には高周波成分が含まれている。したがって、対向電極電圧 V_{com} が急激に変化すると、高周波ノイズを発生し、タッチパネル3が誤動作する要因となる。そこで、本実施形態の V_{com} セトリング調整回路101は、対向電極電圧 V_{com} が急激に変化しないようにセトリング時間を調整する。より具体的には、対向電極電圧 V_{com} の立ち上がりおよび立ち下がりエッジをなまらせる。これにより、対向電極電圧 V_{com} の信号は高周波成分を含まなくなり、高周波ノイズを抑えることができる。

50

【0053】

対向電極電圧 V_{com} のセトリング時間が長いほど、液晶パネル 1 から発生されるノイズは小さくなるが、セトリング時間が長すぎると、アナログ画素電圧 V_{sig} を信号線 15 に入力する時間（図 4 の時刻 $t_3 \sim t_8$ ）が十分に確保できなくなる。対向電極電圧 V_{com} の極性が確定する前にアナログ画素電圧 V_{sig} を信号線 15 に入力すると、極性判定駆動が正しく行われなくなり、所望の映像を液晶パネル 1 に正しく表示できないためである。よって、バッファ選択回路 32 は、ホストプロセッサ 5 から液晶ドライバ IC 2 に入力される映像信号や各種制御信号に応じた映像を正しく表示できる範囲で、できる限りセトリング時間が長くなるバッファ回路 31 を選択する。この選択は製造段階で行えば、その後変更する必要はない。

10

【0054】

その他の動作は第 1 の実施形態と同様である。

【0055】

このように、第 2 の実施形態では V_{com} セトリング調整回路 101 を設け、極性反転駆動を行っても対向電極電圧 V_{com} が急激に変化しないように、対向電極電圧 V_{com} のセトリング時間を調整する。そのため、対向電極電圧 V_{com} が高周波ノイズを発生させず、液晶パネル 1 から発生される電磁ノイズに起因するタッチパネル 3 の誤動作を防止できる。

【0056】

（第 3 の実施形態）

第 3 の実施形態は、アナログ電圧 V_{sig} のセトリング時間を調整するものである。

20

【0057】

図 8 は、本発明の第 3 の実施形態に係る液晶表示装置の内部構成を示すブロック図である。図 8 では、図 5 と共通する構成部分には同一の符号を付しており、以下では相違点を中心に説明する。図 8 の液晶ドライバ IC 2 は、図 5 の構成に加えて V_{sig} セトリング調整回路 102 と、タイミング調整回路（タイミング調整部）103 とをさらに備えている。

【0058】

V_{sig} セトリング調整回路 102 は、アンプ回路 26（第 1 の電圧生成回路）とアナログスイッチ回路 27 との間に接続されている。 V_{sig} セトリング調整回路 102 は、アナログ画素電圧 V_{sig} のセトリング時間を調整し、生成したアナログ画素電圧 V_{sig} をアナログスイッチ回路 27 に出力する。ここで、アナログ画素電圧 V_{sig} のセトリング時間とは、アナログ画素電圧 V_{sig} の電圧値が変化し始めて、一定の電圧に収束するまでに要する時間をいう。

30

【0059】

タイミング調整回路 103 は、タイミング回路 23 とアナログスイッチ回路 27 との間に接続されている。タイミング調整回路 103 は、図 4 のデジタル信号 $ASWR$ 、 $ASWG$ 、 $ASWB$ の動作タイミングを調整する。

【0060】

図 9 は、 V_{sig} セトリング調整回路 102 の内部構成の一例を示す図である。 V_{sig} セトリング調整回路 102 は、複数のバッファ回路 41 と、バッファ選択回路 42 とを有する。図 9 に示す V_{sig} セトリング調整回路 102 がアナログ画素電圧 V_{sig} のそれぞれごとに設けられる。

40

【0061】

V_{sig} セトリング調整回路 102 の構成および動作は、図 6 の V_{com} セトリング調整回路 101 と同様である。すなわち、 V_{sig} セトリング調整回路 102 はアナログ画素電圧 V_{sig} が急激に変化しないようセトリング時間を調整する。セトリング時間は、例えば数 μs とする。これによりアナログ画素電圧 V_{sig} の急峻な立ち上がりや立ち下りによって発生するノイズを抑えることができる。

【0062】

50

アナログ画素電圧 V_{sig} のセトリング時間が長い場合、アナログスイッチ回路 27 にアナログ画素電圧 V_{sig} が入力されるタイミングと、アナログスイッチ回路 27 が切り替わるタイミングがずれるおそれがある。タイミングがずれると、例えば図 4 において、時刻 t_3 で信号 $ASWR$ がハイになるが、セトリング時間が長いために時刻 t_3 では未だ R 用のアナログ画素電圧 V_{sig} がアナログスイッチ回路 27 に入力されていない、ということが起こりうる。この場合、液晶パネル 1 に正しく映像が表示できなくなる。

【0063】

そこで、タイミング調整回路 103 は、アナログ画素電圧 V_{sig} のセトリング時間に合わせて、アナログスイッチ回路 27 のタイミング信号を遅延させ、アナログスイッチ回路 27 の切替タイミングを制御する。

10

【0064】

図 10 は、タイミング調整回路 103 の内部構成の一例を示す図である。タイミング調整回路 103 はセレクタ 51 を有する。タイミング回路 23 は、遅延時間がそれぞれ異なる複数のタイミング候補信号を生成し、タイミング調整回路 103 に出力する。タイミング調整回路 103 内のセレクタ 51 は、これらのタイミング候補信号のうちの 1 つをタイミング信号として選択してアナログスイッチ回路 27 に出力する。

【0065】

より具体的には、アナログ画素電圧 V_{sig} のセトリング時間が長いほど、セレクタ 51 は遅延時間の長いタイミング候補信号をタイミング信号として選択する。このように調整することにより、アナログ画素電圧 V_{sig} が入力されるタイミングに同期してタイミ

20

【0066】

アナログ画素電圧 V_{sig} のセトリング時間およびタイミング信号の遅延時間は、第 2 の実施形態と同様に、映像が正しく表示できる範囲で、できる限りセトリング時間が長くなるように設定される。この設定は製造段階で行い、その後変更することはない。

【0067】

その他の動作は第 2 の実施形態と同様である。

【0068】

30

このように、第 3 の実施形態では、 V_{sig} セトリング調整回路 102 を設け、アナログ画素電圧 V_{sig} が急激に変化しないよう制御にする。そのため、アナログ画素電圧 V_{sig} の急峻な立ち上がりや立ち下りによって発生するノイズを発生させず、液晶パネル 1 から発生するノイズに起因するタッチパネル 3 の誤動作を抑えることができる。また、タイミング調整回路 103 を設け、アナログ画素電圧 V_{sig} のセトリング時間に合わせて、アナログスイッチ回路 27 の切替タイミングを制御する。そのため、アナログ画素電圧 V_{sig} のセトリング時間を任意に調整しても、確実に正しい映像を液晶パネル 1 に表示させることができる。

【0069】

なお、アナログ画素電圧 V_{sig} のセトリング時間が短く設定される場合は、タイミング調整回路 103 を省略してもよい。この場合、図 8 より液晶ドライバ IC 2 の規模を小さくすることができる。

40

【0070】

(第 4 の実施形態)

第 1 ~ 第 3 の実施形態では、電圧生成回路 29 で対向電極電圧 V_{com} と補助容量線電圧 V_{cs} とを生成していた。これに対し、以下で説明する第 4 の実施形態は、対向電極電圧 V_{com} と補助容量線電圧 V_{cs} とを別の回路で生成するものである。

【0071】

図 11 は、本発明の第 4 の実施形態に係る液晶表示装置の内部構成を示すブロック図である。図 11 では、図 8 と共通する構成部分には同一の符号を付しており、以下では相違

50

点を中心に説明する。図11の液晶ドライバIC2は、図8の電圧生成回路29に換えて、Vcom生成回路104とVcs生成回路105とを備えている。

【0072】

第1～第3の実施形態のように、対向電極電圧Vcomと補助容量線電圧Vcsとを単一の電圧生成回路29で生成すると、対向電極電圧Vcomと補助容量線電圧Vcsの一方に発生したノイズが他方に影響するおそれがある。そこで、本実施形態では電圧生成回路29を分離し、Vcom生成回路104が対向電極電圧Vcomを生成し、Vcs生成回路105が補助容量線電圧Vcsを生成するようにする。

【0073】

図12は、Vcom生成回路104およびVcs生成回路105の内部構成の一例を示す回路図である。Vcom生成回路104は、直列接続されたバッファ回路71（第2のバッファ回路）と結合容量72とを有する。Vcs生成回路105は、バッファ回路73（第1のバッファ回路）を有する。バッファ回路71, 73には電源回路28（基準電圧生成回路）から対向電極電圧Vcomと補助容量線電圧Vcsとを生成するために用いられる基準電源REVが供給される。基準電圧REVに基づいて、バッファ回路71および結合容量72が対向電極電圧Vcomを、バッファ回路73が補助容量線電圧Vcsをそれぞれ生成する。なお、結合容量72は、フリッカ対策用に設けられている。その他の動作は第3の実施形態と同様である。

【0074】

このように、第4の実施形態では、対向電極電圧Vcomおよび補助容量線電圧Vcsを生成する回路を分離する。そのため、対向電極電圧Vcomと補助容量線電圧Vcsの一方で発生したノイズが他方に影響するおそれを回避でき、結果として、液晶パネル1から発生される電磁ノイズを削減でき、タッチパネル3の誤動作を防止できる。

【0075】

上述した各実施形態は本発明の一例にすぎず、種々の変形が可能である。例えば、図11の液晶ドライバIC2における各回路のうち、ノイズ抑制の効果が高い回路のみを採用し、他を省略してもよい。すなわち、液晶ドライバIC2内に、プリチャージ回路100と、Vcomセトリング調整回路101と、Vsigセトリング調整回路102と、Vcom生成回路104およびVcs生成回路105との少なくとも一つだけを設けてもよい。また、GRAM回路22を省略して、安価に液晶ドライバIC2を構成することもできる。さらに、液晶ドライバIC2内の各回路は複数のICに分散されていてもよいし、液晶パネル1上に形成されていてもよい。

【0076】

上記の記載に基づいて、当業者であれば、本発明の追加の効果や種々の変形を想到できるかもしれないが、本発明の態様は、上述した個々の実施形態には限定されるものではない。特許請求の範囲に規定された内容およびその均等物から導き出される本発明の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

【符号の説明】

【0077】

- 1 液晶パネル
- 3 タッチパネル
- 12 ゲート回路
- 13 画素回路
- 14 走査線
- 15 信号線
- 16 画素TFT
- 17 液晶容量
- 18 画素ITO
- 19 補助容量
- 26 アンプ回路

10

20

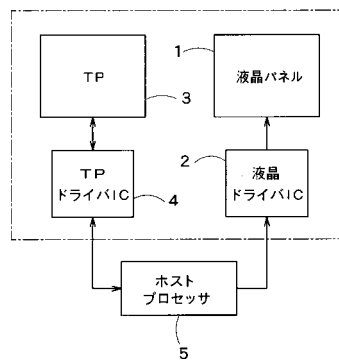
30

40

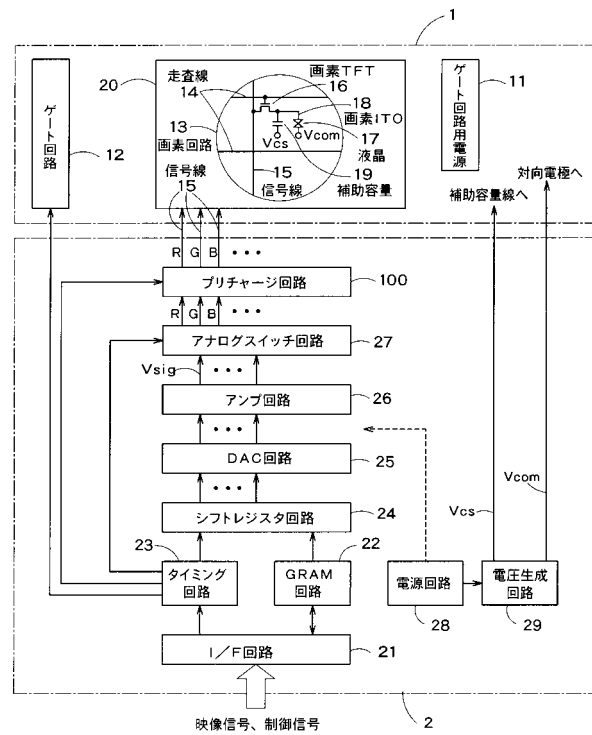
50

- 27 アナログスイッチ回路
- 28 電源回路
- 29 電圧生成回路
- 100 プリチャージ回路
- 101 Vcomセトリング調整回路
- 102 Vsigセトリング調整回路
- 103 タイミング調整回路
- 104 Vcom生成回路
- 105 Vcs生成回路
- 31, 41, 71, 73 バッファ回路
- 32, 42 バッファ選択回路

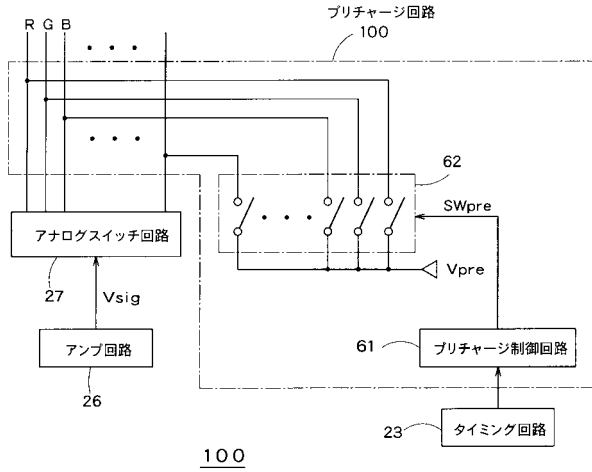
【図1】



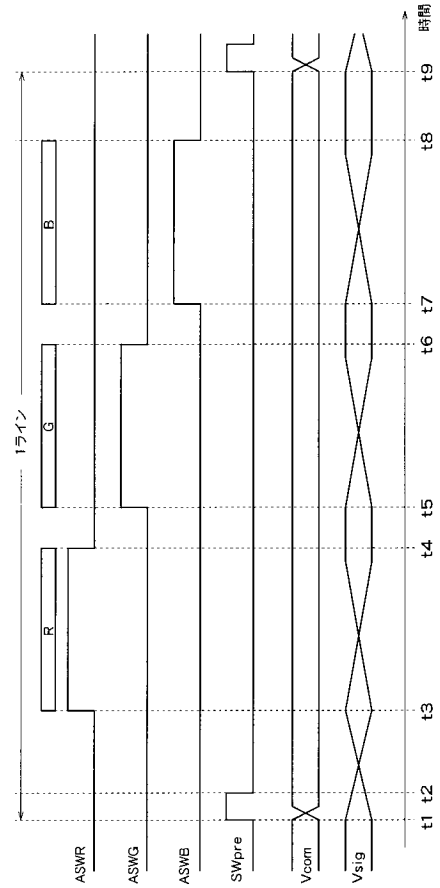
【図2】



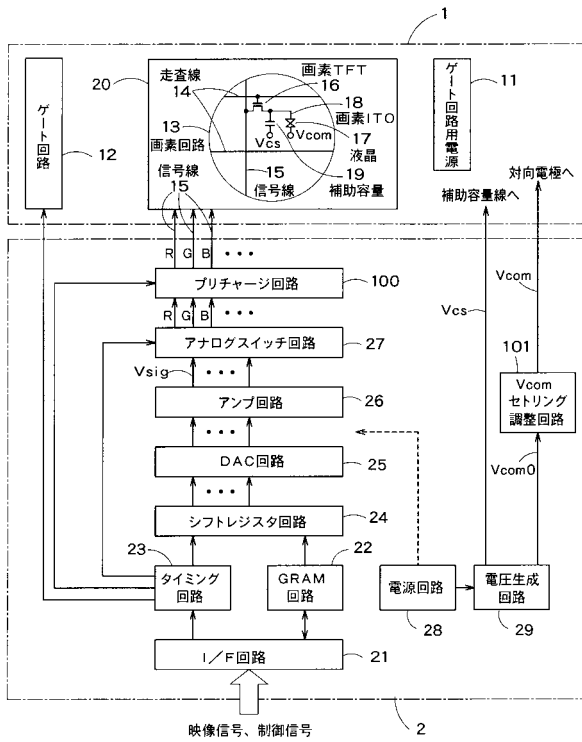
【図3】



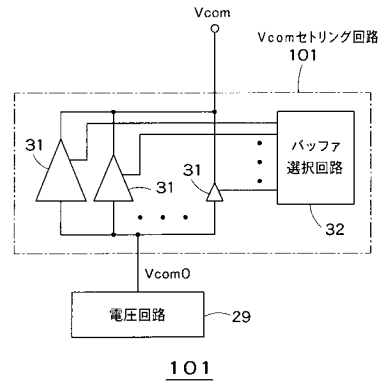
【図4】



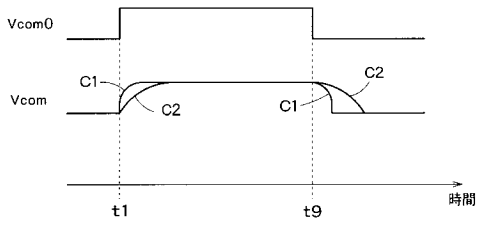
【図5】



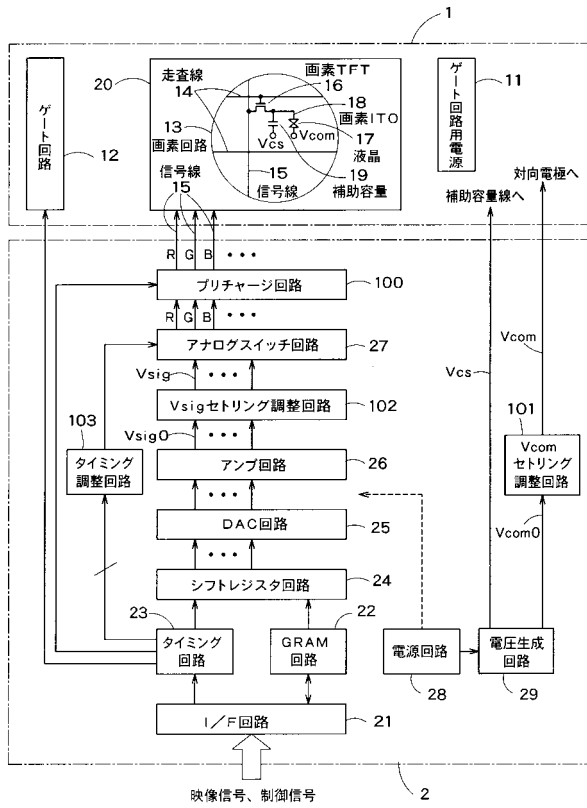
【図6】



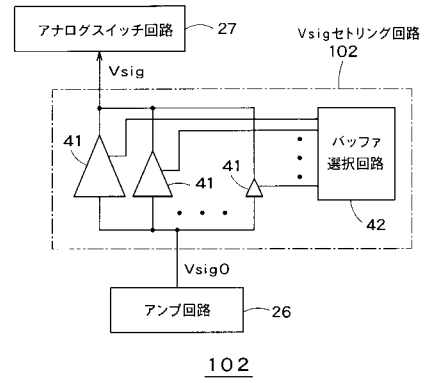
【図7】



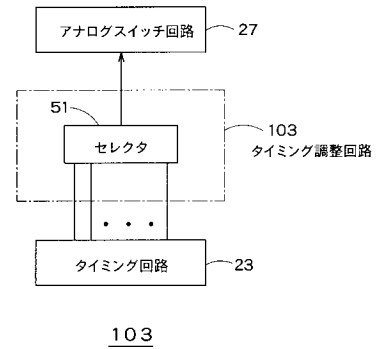
【図8】



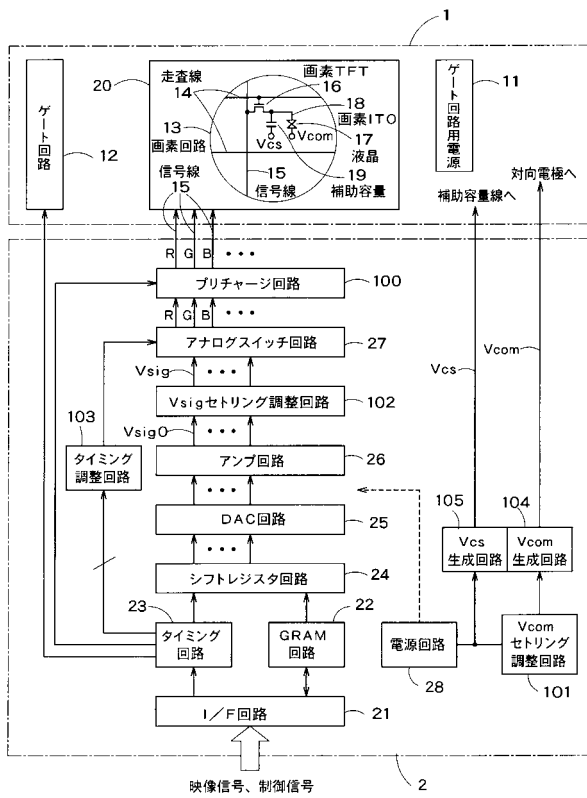
【図9】



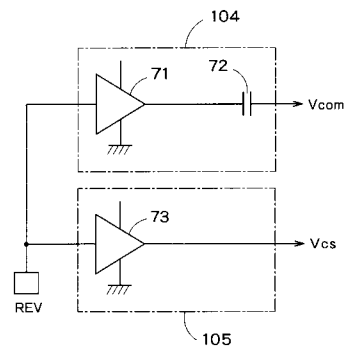
【図10】



【図11】



【図12】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 9 1 D

(72)発明者 廣 田 真 一
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 有 馬 一 也
東京都港区港南四丁目1番8号 東芝松下ディスプレイテクノロジー株式会社内

審査官 佐藤 洋允

(56)参考文献 特開2003-122317(JP,A)
特開2006-349873(JP,A)
特開昭63-268027(JP,A)
特開2006-267313(JP,A)
特開平11-305742(JP,A)
特開2005-165261(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 3 6
G 0 9 G 3 / 2 0

专利名称(译)	液晶表示装置		
公开(公告)号	JP5185155B2	公开(公告)日	2013-04-17
申请号	JP2009040647	申请日	2009-02-24
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
当前申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	山中訓 廣田真一 有馬一也		
发明人	山中訓 廣田真一 有馬一也		
IPC分类号	G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3655 G02F1/13338 G09G2310/0248		
FI分类号	G02F1/133.550 G02F1/133.530 G09G3/36 G09G3/20.670.E G09G3/20.621.B G09G3/20.691.D G06F3/041.320.C G06F3/041.522		
F-TERM分类号	2H093/NA16 2H093/NB30 2H093/NC16 2H093/NC34 2H093/NC35 2H093/NC49 2H093/NC72 2H093/ND40 2H093/ND60 2H193/ZA04 2H193/ZA07 2H193/ZB09 2H193/ZB14 2H193/ZC25 2H193/ZD12 2H193/ZE06 2H193/ZE09 2H193/ZF03 2H193/ZF21 2H193/ZF34 2H193/ZF35 2H193/ZF44 2H193/ZG02 2H193/ZG22 2H193/ZJ02 5B087/AC12 5B087/CC02 5B087/CC32 5B087/CC33 5B087/CC36 5B087/CC39 5C006/AA16 5C006/AC27 5C006/AF83 5C006/BB16 5C006/BF43 5C006/EC05 5C006/FA32 5C080/AA10 5C080/BB05 5C080/DD12 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
其他公开文献	JP2010197570A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够抑制噪声产生的液晶显示装置。ΣSOLUTION：液晶显示装置包括接口（IF）电路21，GRAM电路22，定时电路23，移位寄存器电路24，DAC（数模转换器）电路25，放大器电路26，模拟开关电路27，电源电路28，电压产生电路29和预充电电路100。预充电电路100用于在模拟像素电压Vsig输入信号之前在水平消隐时间对所有信号线进行预充电。因此，信号线的电压不会快速改变以抑制从液晶面板产生的噪声。Σ

