

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5153011号
(P5153011)

(45) 発行日 平成25年2月27日 (2013. 2. 27)

(24) 登録日 平成24年12月14日 (2012. 12. 14)

(51) Int. Cl. F I

G O 9 G 3/36 (2006. 01)

G O 2 F 1/133 (2006. 01)

G O 2 F 1/1345 (2006. 01)

G O 9 G 3/20 (2006. 01)

G O 9 G 3/36

G O 2 F 1/133 5 5 0

G O 2 F 1/1345

G O 9 G 3/20 6 2 4 B

G O 9 G 3/20 6 2 2 A

請求項の数 2 (全 19 頁) 最終頁に続く

(21) 出願番号	特願2010-171961 (P2010-171961)	(73) 特許権者	302020207
(22) 出願日	平成22年7月30日 (2010. 7. 30)		株式会社ジャパンディスプレイセントラル
(65) 公開番号	特開2012-32608 (P2012-32608A)		埼玉県深谷市幡羅町一丁目9番地2
(43) 公開日	平成24年2月16日 (2012. 2. 16)	(74) 代理人	100108855
審査請求日	平成23年8月3日 (2011. 8. 3)		弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

それぞれ基板上に形成された、列方向に延出した複数の信号線、行方向に延出し前記複数の信号線に交差した複数の走査線、前記複数の信号線及び複数の走査線に電気的に接続された複数のスイッチング素子、前記複数のスイッチング素子に電気的に接続された複数の画素電極、前記行方向に延出した複数の補助容量線、前記複数の補助容量線に絶縁膜を介して対向配置され前記複数の画素電極に電気的に接続され前記複数の補助容量線とともに複数の補助容量素子を形成する複数の補助容量電極、前記複数の画素電極を前記行方向に互いに挟んで位置した第1駆動回路及び第2駆動回路、並びに前記第1駆動回路及び第2駆動回路に接続されたタイミング制御回路を有したアレイ基板であって、少なくとも前記複数のスイッチング素子及び複数の画素電極は、前記列方向及び行方向に沿ってマトリクス状に設けられた複数の画素を形成する前記アレイ基板と、

前記アレイ基板に隙間を置いて対向配置された対向基板と、

前記アレイ基板及び対向基板間に挟持された液晶層と、

集積回路で構成され、前記基板上に実装され、前記複数の信号線に接続された信号線駆動回路と、を備え、

前記第1駆動回路は、第1順序回路と奇数行の前記複数の走査線に接続された複数のバッファとを有し、前記複数のバッファを介して前記奇数行の複数の走査線に走査信号を順番に与え、奇数行の前記複数の補助容量線に接続され、一定周期毎に第1補助容量電圧及び前記第1補助容量電圧と電位の異なる第2補助容量電圧を交互に前記奇数行の複数の補

助容量線に順番に与え、

前記第 2 駆動回路は、第 2 順序回路と偶数行の前記複数の走査線に接続された複数のバッファとを有し、前記複数のバッファを介して前記偶数行の複数の走査線に走査信号を順番に与え、偶数行の前記複数の補助容量線に接続され、前記一定周期毎に前記第 1 補助容量電圧及び前記第 2 補助容量電圧を交互に前記偶数行の複数の補助容量線に順番に与え、

前記タイミング制御回路は、互いに 1 水平走査期間位相がずれている第 1 同期信号及び第 2 同期信号を生成し、前記生成した第 1 同期信号を前記第 1 駆動回路に与え、前記生成した第 2 同期信号を第 2 駆動回路に与え、

前記第 1 駆動回路及び第 2 駆動回路は、前記タイミング制御回路から前記第 1 同期信号及び第 2 同期信号が与えられた場合、前記走査信号を前記複数の走査線に 1 行毎に順番に与え、前記一定周期毎に前記第 1 補助容量電圧及び第 2 補助容量電圧を交互に前記複数の補助容量線に 1 行毎に順番に与え、

前記第 1 補助容量電圧及び前記第 2 補助容量電圧は、前記画素電極に映像信号が書き込まれた後に前記補助容量線に与えられ、

前記画素の前記列方向のピッチは、 $90\text{ }\mu\text{m}$ 以下であり、

前記複数のスイッチング素子、第 1 駆動回路、第 2 駆動回路及びタイミング制御回路は、多結晶シリコンを用いて形成されることを特徴とする液晶表示装置。

【請求項 2】

前記アレイ基板は、前記基板上に形成され、前記行方向に延出し前記行方向及び列方向に沿った面方向に前記複数の画素電極とともに電界を与える複数の共通配線をさらに有し、

前記第 1 駆動回路は、奇数行の前記複数の共通配線に接続され、前記奇数行の複数の共通配線に、共通電圧を与え、

前記第 2 駆動回路は、偶数行の前記複数の共通配線に接続され、前記偶数行の複数の共通配線に、前記共通電圧を与え、

前記第 1 駆動回路及び第 2 駆動回路は、前記タイミング制御回路から前記第 1 同期信号及び第 2 同期信号が与えられた場合、前記複数の共通配線に 1 行毎に交互に前記共通電圧を与えることを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

一般に、表示装置として、軽量、薄型、低消費電力という特長を持つ液晶表示装置が用いられている。液晶表示装置は、アレイ基板と、このアレイ基板に隙間を置いて対向配置された対向基板と、アレイ基板及び対向基板間に挟持された液晶層とを備えている。

【0003】

アレイ基板は、ガラス基板を備えている。ガラス基板には、複数の信号線及び複数の走査線が画面に重なった領域で交差して配設されている。信号線及び走査線の各交差点近傍には T F T（薄膜トランジスタ）が設けられ、T F T はそれぞれ画素を形成している。また、ガラス基板には、複数の走査線に接続された駆動回路が設けられている。

【0004】

T F T を多結晶シリコンを用いて形成した場合、多結晶シリコンを用いて T F T と同時に駆動回路を形成することができる。さらに、走査線をガラス基板の額縁領域上にレイアウトする必要はないため、液晶表示装置は画素数が増えるだけならば額縁領域はほとんど広がらないという特長を持つことができる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2008-225424号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、携帯電話端末用途では、年々、液晶表示装置の画面サイズが大きくなり、画素数が増加する傾向にある。各走査線に対応する駆動回路の占有面積は決まっているため、画素数が増加して画素ピッチが狭くなると、画素ピッチに対する駆動回路のレイアウト幅が相対的に広がることになる。しかしながら、携帯電話端末は、携帯性が求められるため横幅を増やせない問題がある。

【0007】

そこで、狭額縁化を図るため、画面の両側のガラス基板上に上記駆動回路を分割して配置することが考えられる。しかしながら、この場合、2つの駆動回路に互いに異なる同期信号を与える必要がある。この場合、従来のドライバでは、2種類の同期信号を生成することはできないため、2種類の同期信号を生成することのできるドライバ（集積回路）を新たに開発する必要がある、製造コストの高騰、ひいては製品価格の高騰を招く問題がある。

【0008】

この発明は以上の点に鑑みなされたもので、その目的は、狭額縁化を図ることができ、製品価格の高騰を抑制することのできる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0009】

一実施形態に係る液晶表示装置は、

それぞれ基板上に形成された、列方向に延出した複数の信号線、行方向に延出し前記複数の信号線に交差した複数の走査線、前記複数の信号線及び複数の走査線に電氣的に接続された複数のスイッチング素子、前記複数のスイッチング素子に電氣的に接続された複数の画素電極、前記行方向に延出した複数の補助容量線、前記複数の補助容量線に絶縁膜を介して対向配置され前記複数の画素電極に電氣的に接続され前記複数の補助容量線とともに複数の補助容量素子を形成する複数の補助容量電極、前記複数の画素電極を前記行方向に互いに挟んで位置した第1駆動回路及び第2駆動回路、並びに前記第1駆動回路及び第2駆動回路に接続されたタイミング制御回路を有したアレイ基板であって、少なくとも前記複数のスイッチング素子及び複数の画素電極は、前記列方向及び行方向に沿ってマトリクス状に設けられた複数の画素を形成する前記アレイ基板と、

前記アレイ基板に隙間を置いて対向配置された対向基板と、

前記アレイ基板及び対向基板間に挟持された液晶層と、

集積回路で構成され、前記基板上に実装され、前記複数の信号線に接続された信号線駆動回路と、を備え、

前記第1駆動回路は、第1順序回路と奇数行の前記複数の走査線に接続された複数のバッファとを有し、前記複数のバッファを介して前記奇数行の複数の走査線に走査信号を順番に与え、奇数行の前記複数の補助容量線に接続され、一定周期毎に第1補助容量電圧及び前記第1補助容量電圧と電位の異なる第2補助容量電圧を交互に前記奇数行の複数の補助容量線に順番に与え、

前記第2駆動回路は、第2順序回路と偶数行の前記複数の走査線に接続された複数のバッファとを有し、前記複数のバッファを介して前記偶数行の複数の走査線に走査信号を順番に与え、偶数行の前記複数の補助容量線に接続され、前記一定周期毎に前記第1補助容量電圧及び前記第2補助容量電圧を交互に前記偶数行の複数の補助容量線に順番に与え、

前記タイミング制御回路は、互いに1水平走査期間位相がずれている第1同期信号及び第2同期信号を生成し、前記生成した第1同期信号を前記第1駆動回路に与え、前記生成した第2同期信号を第2駆動回路に与え、

前記第1駆動回路及び第2駆動回路は、前記タイミング制御回路から前記第1同期信号及び第2同期信号が与えられた場合、前記走査信号を前記複数の走査線に1行毎に順番に

10

20

30

40

50

与え、前記一定周期毎に前記第 1 補助容量電圧及び第 2 補助容量電圧を交互に前記複数の補助容量線に 1 行毎に順番に与え、

前記第 1 補助容量電圧及び前記第 2 補助容量電圧は、前記画素電極に映像信号が書き込まれた後に前記補助容量線に与えられ、

前記画素の前記列方向のピッチは、 $90\text{ }\mu\text{m}$ 以下であり、

前記複数のスイッチング素子、第 1 駆動回路、第 2 駆動回路及びタイミング制御回路は、多結晶シリコンを用いて形成されることを特徴としている。

【図面の簡単な説明】

【0010】

【図 1】第 1 の実施形態に係る液晶表示装置を示す概略構成図である。

10

【図 2】上記液晶表示装置を示す概略断面図である。

【図 3】図 1 及び図 2 に示したアレイ基板の概略構成を示す平面図である。

【図 4】上記アレイ基板の一部を示す拡大平面図であり、特に、画素の配線構造を示す図である。

【図 5】図 4 に示した液晶表示装置の線 A-A 断面図である。

【図 6】図 4 に示した液晶表示装置の線 B-B 断面図である。

【図 7】上記アレイ基板の表示領域の外側を示す拡大平面図であり、特に、切替え回路を示す図である。

【図 8】上記アレイ基板の第 1 駆動回路を示すブロック図である。

【図 9】上記アレイ基板の第 2 駆動回路を示すブロック図である。

20

【図 10】上記第 1 の実施形態における、第 1 制御信号 C 1、第 2 制御信号 C 2、第 1 同期信号 C L K 1、第 2 同期信号 C L K 2 及び走査信号 G 1 乃至 G 4 を示すタイミングチャートである。

【図 11】上記第 1 の実施形態に係る液晶表示装置及び比較例の液晶表示装置における、画素ピッチに対する駆動回路レイアウト幅の変化をグラフで示した図である。

【図 12】第 2 の実施形態に係る液晶表示装置のアレイ基板の概略構成を示す平面図である。

【図 13】図 12 に示したアレイ基板の一部を示す拡大平面図であり、特に、画素の配線構造を示す図である。

【発明を実施するための形態】

30

【0011】

以下、図面を参照しながら第 1 の実施形態に係る液晶表示装置について詳細に説明する。

図 1 及び図 2 に示すように、液晶表示装置は、液晶表示パネル 10 を備えている。液晶表示パネル 10 は、アレイ基板 1 と、アレイ基板に所定の隙間を置いて対向配置された対向基板 2 と、これら両基板間に挟持された液晶層 3 とを備えている。その他、液晶表示装置は、アレイ基板 1 の外表面に配置された第 1 光学部 7 と、対向基板 2 の外表面に配置された第 2 光学部 8 と、バックライトユニット 9 と、映像信号出力部としての信号線駆動回路 90 と、制御部 100 と、FPC (flexible printed circuit) 110 とを備えている。液晶表示装置は、後述する画素 18 がマトリクス状に配置された表示領域 R A を有している。

40

【0012】

図 1 乃至図 3 に示すように、アレイ基板 1 は、透明な絶縁性の基板として、例えばガラス基板 4 a を備えている。表示領域 R A において、ガラス基板 4 a 上には画素 18 が形成されている。表示領域 R A の外側において、ガラス基板 4 a 上に、第 1 駆動回路 11、第 2 駆動回路 12、切替え回路 13 及びアウトリードボンディング (outer lead bonding) のパッド群 (以下、OLB パッド群と称する) p G が形成されている。

第 1 駆動回路 11 及び第 2 駆動回路 12 は、それぞれ走査線駆動回路及び補助容量線駆動回路として機能している。

【0013】

50

表示領域 R A において、ガラス基板 4 a 上には、複数の走査線 s (s 1、 s 2、 … s n) 及びこれら走査線に直交した複数の信号線 1 6 が配置されている。ガラス基板 4 a 上には、走査線 s に平行な複数の補助容量線 c s (c s 1、 c s 2、 … c s n) が形成されている。信号線 1 6 は、列方向 d 1 に延出している。走査線 s 及び補助容量線 c s は、列方向 d 1 に直交した行方向 d 2 に延出している。

【 0 0 1 4 】

この実施の形態において、隣合う 2 本の信号線 1 6 及び隣合う 2 本の補助容量線 c s で囲まれた各領域には画素 1 8 が形成されている。これらの画素 1 8 はマトリクス状に配置されている。

【 0 0 1 5 】

次に、画素 1 8 を 1 つ取り出して詳述する。

図 3、図 4 及び図 5 に示すように、画素 1 8 は、信号線 1 6 及び走査線 s に電氣的に接続されたスイッチング素子としての T F T (薄膜トランジスタ) 2 2、 T F T 2 2 に電氣的に接続された画素電極 2 1、この画素電極に接続された及び補助容量素子 2 3 を有している。

【 0 0 1 6 】

ガラス基板 4 a 上には半導体層 3 1 が成膜され、ガラス基板及び半導体層上にはゲート絶縁膜 3 2 が形成されている。半導体層 3 1 と重なった各々の領域において、ゲート絶縁膜 3 2 上には、走査線 s の一部を延出したゲート電極 3 3 が形成されている。ゲート絶縁膜 3 2 及びゲート電極 3 3 上には層間絶縁膜 3 5 が成膜されている。

【 0 0 1 7 】

層間絶縁膜 3 5 上には、信号線 1 6 及びコンタクト配線 3 8 が形成され、これら信号線及びコンタクト配線は、ゲート絶縁膜 3 2 及び層間絶縁膜の一部を貫通して半導体層 3 1 にそれぞれ接続されている。ここで、信号線 1 6 は半導体層 3 1 のソース領域 R S に接続され、コンタクト配線 3 8 は、半導体層 3 1 のドレイン領域 R D に接続されている。

【 0 0 1 8 】

次いで、補助容量素子 2 3 について説明する。図 3、図 4 及び図 6 に示すように、補助容量線 c s 及び補助容量電極 4 1 は補助容量素子 2 3 を形成している。

ガラス基板 4 a 上に形成されたゲート絶縁膜 3 2 上には、導電材料として、例えばアルミニウムにより、補助容量線 c s が形成されている。ゲート絶縁膜 3 2 及び補助容量線 c s 上には層間絶縁膜 3 5 が形成されている。

【 0 0 1 9 】

補助容量素子 2 3 において、層間絶縁膜 3 5 上には、補助容量線 c s に重なった補助容量電極 4 1 と、この補助容量電極に接続された接続配線 4 4 とが形成されている。接続配線 4 4 は、補助容量素子 2 3 及び画素電極 2 1 を接続している。

【 0 0 2 0 】

上記した補助容量電極 4 1、接続配線 4 4、コンタクト配線 3 8 及び信号線 1 6 は、同一の導電材料で形成されている。補助容量電極 4 1、接続配線 4 4 及びコンタクト配線 3 8 は一体に形成されている。

【 0 0 2 1 】

図 5 及び図 6 に示すように、 T F T 2 2 及び補助容量素子 2 3 が形成されたガラス基板 4 a 上には、赤色、緑色及び青色の複数の着色層 5 1 が形成されている。着色層 5 1 上には複数の画素電極 2 1 が形成されている。画素電極 2 1 は、隣合う 2 本の信号線 1 6 及び隣合う 2 本の補助容量線 c s に周縁を重ねて形成されている。着色層 5 1 及び画素電極 2 1 上に、配向膜 5 2 が形成されアレイ基板 1 を形成している。

【 0 0 2 2 】

図 1、図 2、図 5 及び図 6 に示すように、対向基板 2 は、透明な絶縁基板として、例えばガラス基板 4 b を備えている。ガラス基板 4 b 上には、対向電極 6 1 及び配向膜 6 2 が順に形成され、対向基板 2 を形成している。

【 0 0 2 3 】

10

20

30

40

50

図2に示すように、アレイ基板1及び対向基板2間の隙間はスペーサとして、例えば柱状スペーサ5により保持されている。アレイ基板1及び対向基板2は、これら両基板の周縁部に配置されたシール材6により接合されている。

【0024】

図2、図5及び図6に示すように、第1光学部7は、ガラス基板4aの外面に配置されている。この実施の形態において、第1光学部7は偏光板で形成されている。第2光学部8は、ガラス基板4bの外面に配置されている。この実施の形態において、第2光学部8は偏光板で形成されている。第2光学部8の外面は表示面である。

【0025】

第1光学部7の外側には、バックライトユニット9が配置されている。このバックライトユニット9は、アレイ基板1に対向配置された導光板9aと、この導光板の側縁に対向配置された光源9b及び反射板9cとを有している。

上記のように液晶表示装置が形成されている。

【0026】

次に、OLBパッド群pG、切替え回路13、信号線駆動回路90、第1駆動回路11、第2駆動回路12、タイミング制御回路70及びバッファ80について説明する。なお、これらは、表示領域RAの外側に配置されている。群pG、切替え回路13、第1駆動回路11、第2駆動回路12、タイミング制御回路70及びバッファ80などを形成する際、画素18等の形成時に同一材料を用いて同時に形成することができる。TF T22、第1駆動回路11、第2駆動回路12、タイミング制御回路70、バッファ80及び切替え回路13は、多結晶シリコンを用いて形成されている。

【0027】

図3に示すように、OLBパッド群pGは、アレイ基板1（ガラス基板4a）の周縁に沿って列状に配置された複数のパッドで形成されている。対向電極61は間接的にパッドに接続され、パッドを介して所定の電圧が対向電極61に印加される。

【0028】

図1、図3及び図7に示すように、切替え回路13は、複数の切替え素子群55を有し、切替え素子群55はそれぞれ複数の切替え素子56を有している。この実施の形態において、切替え素子群55はそれぞれ3つの切替え素子56を有している。切替え回路13は、1/3マルチプレクサ回路である。切替え素子56としては、例えばTF Tであり、上記TF T22と同様に形成すれば良い。

【0029】

切替え回路13は、複数の信号線16に接続されている。また、切替え回路13は、接続配線57を介して信号線駆動回路90に接続されている。ここでは、接続配線57の本数は、信号線16の本数の1/3である。

【0030】

信号線駆動回路90の出力（接続配線57）1つ当たり3本の信号線16を時分割駆動するよう、切替え素子（アナログスイッチ）56は、制御信号ASW1、ASW2、ASW3により、オン/オフが切替えられる。これら制御信号ASW1-3は、制御部100から、図示しない複数のパッド及びこれらのパッドに接続された複数の制御配線58を介して切替え素子56にそれぞれ与えられる。そして、制御部100は、1水平走査期間（1H）に、切替え素子56にオンの制御信号ASW1-ASW3を与え、行方向d2に並んだ画素18に所望の映像信号を書き込むものである。

【0031】

信号線駆動回路90は、IC（集積回路）で構成され、ガラス基板4a上に実装（COG実装）されている。上述したことから分かるように、信号線駆動回路90は、間接的に複数の信号線16に接続されている。信号線駆動回路90は複数のパッドにも接続されている。信号線駆動回路90は、複数のパッドを介して与えられる映像信号を切替え回路13に伝達する。

【0032】

10

20

30

40

50

図3に示すように、第1駆動回路11及び第2駆動回路12は、複数の画素電極21を行方向d2に互いに挟んで位置している。

図3及び図8に示すように、第1駆動回路11は、第1順序回路としての順序回路71、複数の補助容量電源選択回路75、複数のバッファ73及び複数のバッファ74を有している。順序回路71は、奇数行の複数の走査線s(s1、s3、…sn-1)と同数の複数のシフトレジスタ72を有している。バッファ73は、シフトレジスタ72に一对一で接続されている。バッファ73は、奇数行の複数の走査線sに接続されている。このため、第1駆動回路11は、バッファ73を介して奇数行の複数の走査線sに走査信号G(G1、G3、…Gn-1)を順番に与えることができる。

【0033】

10

第1補助容量電圧供給線w3及び第2補助容量電圧供給線w4は、第1駆動回路11の内部を延出して第1駆動回路11を形成している。第1補助容量電圧供給線w3及び第2補助容量電圧供給線w4の一端側は、それぞれ第1駆動回路11から外れて位置し、パッドp3、p4に接続されている。第1補助容量電圧供給線w3には、パッドp3を介して第1補助容量電圧Vcs1が供給される。第2補助容量電圧供給線w4には、パッドp4を介して第2補助容量電圧Vcs2が供給される。第2補助容量電圧Vcs2は、第1補助容量電圧Vcs1と電位が異なるものである。

【0034】

補助容量電源選択回路75は、奇数行の複数の補助容量線cs(cs1、cs3、…csn-1)に対応して設けられている。補助容量電源選択回路75は、奇数行の補助容量線csに、第1補助容量電圧Vcs1を与えるかどうか選択するスイッチング素子としてのNMOSトランジスタSW1と、第2補助容量電圧Vcs2(>Vcs1)を与えるかどうか選択するスイッチング素子としてのPMOSトランジスタSW2とを有している。NMOSトランジスタSW1及びPMOSトランジスタSW2のオン・オフは、シフトレジスタ72からの極性反転制御信号に基づいて切替えられる。

20

【0035】

補助容量電源選択回路75は、それぞれバッファ74を介して奇数行の複数の補助容量線csに接続されている。第1駆動回路11は、一定周期毎に第1補助容量電圧Vcs1及び第2補助容量電圧Vcs2を交互に奇数行の複数の補助容量線csに順番に与えるものである。この実施形態において、上記一定周期は、1フレームである。

30

【0036】

図3及び図9に示すように、第2駆動回路12は、第2順序回路としての順序回路81、複数の補助容量電源選択回路85、複数のバッファ83及び複数のバッファ84を有している。順序回路81は、偶数行の複数の走査線s(s2、s4、…sn)と同数の複数のシフトレジスタ82を有している。バッファ83は、シフトレジスタ82に一对一で接続されている。バッファ83は、偶数行の複数の走査線sに接続されている。このため、第2駆動回路12は、バッファ83を介して偶数行の複数の走査線sに走査信号G(G2、G4、…Gn)を順番に与えることができる。

【0037】

第1補助容量電圧供給線w5及び第2補助容量電圧供給線w6は、第2駆動回路12の内部を延出して第2駆動回路12を形成している。第1補助容量電圧供給線w5及び第2補助容量電圧供給線w6の一端側は、それぞれ第2駆動回路12から外れて位置し、パッドp5、p6に接続されている。第1補助容量電圧供給線w5には、パッドp5を介して第1補助容量電圧Vcs1が供給される。第2補助容量電圧供給線w6には、パッドp6を介して第2補助容量電圧Vcs2が供給される。

40

【0038】

補助容量電源選択回路85は、偶数行の複数の補助容量線cs(cs2、cs4、…csn)に対応して設けられている。補助容量電源選択回路85は、偶数行の補助容量線csに、第1補助容量電圧Vcs1を与えるかどうか選択するスイッチング素子としてのNMOSトランジスタSW1と、第2補助容量電圧Vcs2(>Vcs1)を与えるかどうか

50

か選択するスイッチング素子としてのPMOSトランジスタSW2とを有している。NMOSトランジスタSW1及びPMOSトランジスタSW2のオン・オフは、シフトレジスタ82からの極性反転制御信号に基づいて切替えられる。

【0039】

補助容量電源選択回路85は、それぞれバッファ84を介して偶数行の複数の補助容量線csに接続されている。第2駆動回路12は、一定周期毎に第1補助容量電圧Vcs1及び第2補助容量電圧Vcs2を交互に偶数行の複数の補助容量線csに順番に与えるものである。

【0040】

図3、図8及び図9に示すように、タイミング制御回路70は、配線w1、w2を介してパッドp1、p2に接続されている。タイミング制御回路70には、制御部100からパッドp1及び配線w1を介して第1制御信号C1が与えられる。また、タイミング制御回路70には、制御部100からパッドp2及び配線w2を介して第2制御信号C2が与えられる。

10

【0041】

タイミング制御回路70及びバッファ80は、配線w6で接続されている。バッファ80及び第1駆動回路11は、配線w7で接続されている。バッファ80及び第2駆動回路12は、配線w8で接続されている。

【0042】

タイミング制御回路70は、分周回路と、2段のシフトレジスタとを組合せることにより形成されている。タイミング制御回路70は、第1制御信号C1及び第2制御信号C2が入力されることにより、互いに位相の異なる第1同期信号CLK1及び第2同期信号CLK2を生成する。タイミング制御回路70は、第1同期信号CLK1をバッファ80を介して第1駆動回路11に与え、第2同期信号CLK2をバッファ80を介して第2駆動回路12に与える。

20

【0043】

このため、第1駆動回路11及び第2駆動回路12は、タイミング制御回路70から第1同期信号CLK1及び第2同期信号CLK2が与えられた場合、走査信号Gを複数の走査線sに1行毎に順番に与えることができる。また、この場合、第1駆動回路11及び第2駆動回路12は、一定周期毎に第1補助容量電圧Vcs1及び第2補助容量電圧Vcs2を交互に複数の補助容量線csに1行毎に順番に与えることができる。

30

【0044】

次に、タイミング制御回路70から第1駆動回路11及び第2駆動回路12に第1同期信号CLK1及び第2同期信号CLK2が与えられた場合の、第1駆動回路11及び第2駆動回路12の動作について詳しく説明する。

【0045】

図3、図8、図9及び図10に示すように、タイミング制御回路70に第1制御信号C1及び第2制御信号C2が入力されると、タイミング制御回路70は、生成した第1同期信号CLK1及び第2同期信号CLK2を第1駆動回路11及び第2駆動回路12に与える。第1同期信号CLK1に比べ第2同期信号CLK2は、1水平走査期間(1H)位相がずれている。

40

【0046】

最初の1フレーム期間において、まず、最初の1水平走査期間に、第1駆動回路11は走査線s1に走査信号G1を与え、補助容量線cs1に第1補助容量電圧Vcs1を与える。これにより、1行目の画素18のTFT22がオン状態切替えられ、1行目の画素18の画素電極21に映像信号が書き込まれる。第1補助容量電圧Vcs1は、映像信号が書き込まれた後に補助容量線cs1に与えられる。

【0047】

次いで、1水平走査期間に、第2駆動回路12は走査線s2に走査信号G2を与え、補助容量線cs2に第1補助容量電圧Vcs1を与える。これにより、2行目の画素18の

50

T F T 2 2 がオン状態切替えられ、2 行目の画素 1 8 の画素電極 2 1 に映像信号が書き込まれる。第 1 補助容量電圧 V_{cs1} は、映像信号が書き込まれた後に補助容量線 $c s 2$ に与えられる。

【0048】

その後も、同様に、走査線 $s 3$ 乃至 $s n$ には、1 水平走査期間毎に走査信号 $G 3$ 乃至 $G n$ が順番に与えられ、補助容量線 $c s 3$ 乃至 $c s n$ には、第 1 補助容量電圧 V_{cs1} が順番に与えられる。なお、上記の 1 フレーム期間において、シフトレジスタ 7 2、8 2 は、N M O S トランジスタ $S W 1$ をオン状態に切替え、P M O S トランジスタ $S W 2$ をオフ状態に切替えている。

【0049】

10

次の 1 フレーム期間において、まず、最初の 1 水平走査期間に、第 1 駆動回路 1 1 は走査線 $s 1$ に走査信号 $G 1$ を与え、補助容量線 $c s 1$ に第 2 補助容量電圧 V_{cs2} を与える。これにより、1 行目の画素 1 8 の T F T 2 2 がオン状態切替えられ、1 行目の画素 1 8 の画素電極 2 1 に映像信号が書き込まれる。第 2 補助容量電圧 V_{cs2} は、映像信号が書き込まれた後に補助容量線 $c s 1$ に与えられる。

【0050】

次いで、1 水平走査期間に、第 2 駆動回路 1 2 は走査線 $s 2$ に走査信号 $G 2$ を与え、補助容量線 $c s 2$ に第 2 補助容量電圧 V_{cs2} を与える。これにより、2 行目の画素 1 8 の T F T 2 2 がオン状態切替えられ、2 行目の画素 1 8 の画素電極 2 1 に映像信号が書き込まれる。第 2 補助容量電圧 V_{cs2} は、映像信号が書き込まれた後に補助容量線 $c s 2$ に与えられる。

20

【0051】

その後も、同様に、走査線 $s 3$ 乃至 $s n$ には、1 水平走査期間毎に走査信号 $G 3$ 乃至 $G n$ が順番に与えられ、補助容量線 $c s 3$ 乃至 $c s n$ には、第 2 補助容量電圧 V_{cs2} が順番に与えられる。なお、上記の 1 フレーム期間において、シフトレジスタ 7 2、8 2 は、N M O S トランジスタ $S W 1$ をオフ状態に切替え、P M O S トランジスタ $S W 2$ をオン状態に切替えている。

上記のように、1 フレーム毎に補助容量線 $c s$ に与える電圧値を切替えて、容量結合駆動を行うものである。

【0052】

30

ここで、本願発明者は、画素ピッチに対する駆動回路のレイアウト幅について調査した。図 1 1 は、画素ピッチに対する駆動回路の行方向 $d 2$ のレイアウト幅の変化をグラフで示した図である。なお、本実施形態の液晶表示装置と比較するため、比較例の液晶表示装置と併せて調査した。

【0053】

なお、比較例の液晶表示装置の駆動回路は画面の左右の何れか一方に配置され、本実施形態のように画面の両側に分割して配置されていない。その他、比較例の液晶表示装置は、本実施形態の液晶表示装置と同様に形成されている。そして、比較例の液晶表示装置において、列方向 $d 1$ の画素ピッチが $120\ \mu\text{m}$ である場合のレイアウト幅を基準（相対値 1.0）としてレイアウト幅を評価した。

40

【0054】

評価したところ、比較例の液晶表示装置の場合、画素ピッチが $90\ \mu\text{m}$ 以下となる辺りで、画素ピッチに対する駆動回路のレイアウト幅が相対的に広がってしまい、画素ピッチをこれ以上狭くすると狭額縁化を達成することができないことが分かった。これに対し、本実施形態の液晶表示装置では、画素ピッチが $90\ \mu\text{m}$ 以下であっても、駆動回路のレイアウト幅の相対値は 1.0 であり、狭額縁化を達成することができることが分かった。

【0055】

上記のように構成された液晶表示装置によれば、液晶表示装置は、アレイ基板 1 と、対向基板 2 と、液晶層 3 とを備えている。アレイ基板 1 は、それぞれガラス基板 4 a 上に形成された、複数の信号線 1 6、複数の走査線 s 、複数の T F T 2 2、複数の画素電極 2 1

50

、第1駆動回路11、第2駆動回路12、及びタイミング制御回路70を有している。第1駆動回路11は、順序回路71を有し、奇数行の複数の走査線sに接続され、奇数行の複数の走査線sに走査信号Gを順番に与える。第2駆動回路12は、順序回路81を有し、偶数行の複数の走査線sに接続され、偶数行の複数の走査線sに走査信号Gを順番に与える。

【0056】

タイミング制御回路70は、互いに位相の異なる第1同期信号CLK1及び第2同期信号CLK2を生成し、生成した第1同期信号CLK1を第1駆動回路11に与え、生成した第2同期信号CLK2を第2駆動回路12に与える。第1駆動回路11及び第2駆動回路12は、タイミング制御回路70から第1同期信号CLK1及び第2同期信号CLK2

10

【0057】

駆動回路を画面の左側又は右側にのみ配置する場合、画素ピッチ1つ分の領域に回路を配置する必要があるが、駆動回路を第1駆動回路11及び第2駆動回路12の2つに分割することにより、画素ピッチ2つ分の領域に回路を配置することが可能となる。これにより、狭額縁化を図ることができる。また、駆動回路を第1駆動回路11及び第2駆動回路12の2つに分割することにより、回路幅を20乃至25%削減することができる。

【0058】

第1駆動回路11及び第2駆動回路12は、走査線sに1行毎に交互に走査信号Gを与えるよう構成されている。第1駆動回路11は奇数行の走査線sと同数のシフトレジスタ72を有し、第2駆動回路12は偶数行の走査線sと同数のシフトレジスタ82を有している。シフトレジスタの個数を抑えて第1駆動回路11及び第2駆動回路12を構成できるため、一層狭額縁化を図ることができる。

20

【0059】

ガラス基板4a上にタイミング制御回路70を形成することにより、第1駆動回路11及び第2駆動回路12に与える第1同期信号CLK1及び第2同期信号CLK2をタイミング制御回路70で生成することができる。信号線駆動回路90及び制御部100は、第1同期信号CLK1及び第2同期信号CLK2を生成する必要は無く、すなわち新たに開発したICを利用する必要は無いため、従来と同じICを利用することができる。これにより、製品価格の高騰を抑制することができる。

30

【0060】

容量結合駆動などで補助容量線csをライン毎に制御する場合、液晶表示パネル10の大型化によって補助容量線csの振られなどによるクロストークが発生する場合がある。この場合、クロストーク率は補助容量電圧の供給側で低く、非供給側で大きくなる傾向にある。しかしながら、第1駆動回路11は奇数行の複数の補助容量線csに接続され、第2駆動回路12は偶数行の複数の補助容量線csに接続されている。補助容量線csへの補助容量電圧の供給方向を1行毎に異ならせているため、上記液晶表示装置では、画面の左右でのクロストーク率が平均化され、クロストークが視認されにくくなる利点もある。

【0061】

上記したことから、狭額縁化を図ることができ、製品価格の高騰を抑制することができる液晶表示装置を得ることができる。

40

【0062】

次に、第2の実施形態に係る液晶表示装置について詳細に説明する。この実施形態において、他の構成は上述した実施形態と同一であり、同一の部分には同一の符号を付してその詳細な説明を省略する。

【0063】

図12及び図13に示す液晶表示装置の表示方式は、IPS方式である。第1駆動回路11及び第2駆動回路12は、それぞれ走査線駆動回路及び共通電極駆動回路として機能している。表示領域RAにおいて、ガラス基板4a上には、複数の共通配線cw(cw1、cw2、…cwn)及び複数の共通電極ceが形成されている。共通電極ceは、共通

50

配線 cw から延出して形成されている。

【0064】

共通配線 cw 及び共通電極 ce は、着色層 51 上に、画素電極 21 と同一材料を用いて同時に形成されている。画素電極 21 及び共通電極 ce は、行方向 $d2$ に電界を与えるように互いに間隔を置いて配置されている。画素電極 21 は、画素 18 に 1 つずつ設けられ、ストライプ状に形成され、列方向 $d1$ に延出している。

【0065】

共通配線 cw は、行方向 $d2$ に延出しているとともに列方向 $d1$ に互いに間隔を置いて設けられている。共通電極 ce は、画素 18 に 2 つずつ設けられている。行方向 $d2$ に並んだ共通電極 ce は、1 つの共通配線 cw から延出して形成されている。画素 18 の 2 つの共通電極 ce は、行方向 $d2$ に画素電極 21 を跨ぐとともにそれぞれ画素電極 21 に間隔を置いて設けられている。共通電極 ce は、ストライプ状に形成され、列方向 $d1$ に延出している。

10

【0066】

画素電極 21 および共通電極 ce 間に電圧を印加している状態、すなわち、電圧印加状態において、画素電極 21 および共通電極 ce は、行方向 $d2$ に電界（横電界）を与えるものである。画素電極 21 および共通電極 ce 間に電圧を印加していない状態、すなわち、電圧無印加状態において、画素電極 21 および共通電極 ce は、電界を与えないよう形成されている。

なお、この実施形態において、液晶表示装置は、対向電極 61 を有していない。また、この実施形態においては、補助容量素子として画素電極 21 と共通電極 ce との間に補助容量を形成する。

20

【0067】

第 1 駆動回路 91 及び第 2 駆動回路 92 は、複数の画素電極 21 を行方向 $d2$ に互いに挟んで位置している。

第 1 駆動回路 91 は、順序回路及び複数のバッファを有している。順序回路は、奇数行の複数の走査線 s ($s1$ 、 $s3$ 、 $\dots$ s_{n-1}) と同数の複数のシフトレジスタを有している。

【0068】

第 1 電源配線 $w7$ 及び第 2 電源配線 $w8$ は、第 1 駆動回路 91 の内部を延出して第 1 駆動回路 91 を形成している。第 1 電源配線 $w7$ 及び第 2 電源配線 $w8$ の一端側は、それぞれ第 1 駆動回路 91 から外れて位置し、パッド $p7$ 、 $p8$ に接続されている。第 1 電源配線 $w7$ には、パッド $p7$ を介してハイレベルの電圧 VH が供給される。第 2 電源配線 $w8$ には、パッド $p8$ を介してローレベルの電圧 VL が供給される。電圧 VH は、電圧 VL と電位が異なるものである。

30

【0069】

第 1 駆動回路 91 は、奇数行の複数の走査線 s ($s1$ 、 $s3$ 、 $\dots$ s_{n-1}) 及び奇数行の複数の共通配線 cw ($cw1$ 、 $cw2$ 、 $\dots$ cw_{n-1}) に接続されている。第 1 駆動回路 91 は、奇数行の複数の走査線 s に走査信号 G を順番に与え、奇数行の複数の共通配線 cw に、共通電圧を与えるものである。

40

【0070】

第 2 駆動回路 92 は、順序回路及び複数のバッファを有している。順序回路は、偶数行の複数の走査線 s ($s2$ 、 $s4$ 、 $\dots$ s_n) と同数の複数のシフトレジスタを有している。

【0071】

第 1 電源配線 $w9$ 及び第 2 電源配線 $w10$ は、第 2 駆動回路 92 の内部を延出して第 2 駆動回路 92 を形成している。第 1 電源配線 $w9$ 及び第 2 電源配線 $w10$ の一端側は、それぞれ第 2 駆動回路 92 から外れて位置し、パッド $p9$ 、 $p10$ に接続されている。第 1 電源配線 $w9$ には、パッド $p9$ を介してハイレベルの電圧 VH が供給される。第 2 電源配線 $w10$ には、パッド $p10$ を介してローレベルの電圧 VL が供給される。

【0072】

50

第2駆動回路92は、偶数行の複数の走査線s（s2、s4、…sn）及び偶数行の複数の共通配線cw（cw2、cw4、…cwn）に接続されている。第2駆動回路92は、偶数行の複数の走査線sに走査信号Gを順番に与え、偶数行の複数の共通配線cwに、共通電圧を与えるものである。

【0073】

上記偶数行の共通配線と奇数行の共通配線には、一定周期毎に、例えば1フレーム毎に、第1共通電圧と、第1共通電圧とは電位の異なる第2共通電圧を交互に与える。

【0074】

タイミング制御回路70は、第1同期信号CLK1をバッファ80を介して第1駆動回路91に与え、第2同期信号CLK2をバッファ80を介して第2駆動回路92に与える。このため、第1駆動回路91及び第2駆動回路92は、タイミング制御回路70から第1同期信号CLK1及び第2同期信号CLK2が与えられた場合、走査信号Gを複数の走査線sに1行毎に順番に与えることができる。また、この場合、第1駆動回路91及び第2駆動回路92は、第1共通電圧と第2共通電圧を複数の共通配線cwに1行毎に交互に与えることができる。

【0075】

上記のように構成された液晶表示装置によれば、液晶表示装置は、アレイ基板1と、対向基板2と、液晶層3とを備えている。アレイ基板1は、それぞれガラス基板4a上に形成された、複数の信号線16、複数の走査線s、複数のTFT22、複数の画素電極21、第1駆動回路11、第2駆動回路12、及びタイミング制御回路70を有している。第1駆動回路91は、順序回路を有し、奇数行の複数の走査線sに接続され、奇数行の複数の走査線sに走査信号Gを順番に与える。第2駆動回路92は、順序回路を有し、偶数行の複数の走査線sに接続され、偶数行の複数の走査線sに走査信号Gを順番に与える。

【0076】

タイミング制御回路70は、互いに位相の異なる第1同期信号CLK1及び第2同期信号CLK2を生成し、生成した第1同期信号CLK1を第1駆動回路91に与え、生成した第2同期信号CLK2を第2駆動回路92に与える。第1駆動回路91及び第2駆動回路92は、タイミング制御回路70から第1同期信号CLK1及び第2同期信号CLK2が与えられた場合、走査信号Gを複数の走査線sに1行毎に順番に与える。

【0077】

このため、この実施形態に係る液晶表示装置は、上述した第1の実施形態に係る液晶表示装置と同様の効果を得ることができる。

上記したことから、狭額縁化を図ることができ、製品価格の高騰を抑制することができる液晶表示装置を得ることができる。

【0078】

なお、この発明は上記実施の形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化可能である。また、上記実施の形態に開示されている複数の構成要素の適宜な組み合わせにより、種々の発明を形成できる。例えば、実施形態に示される全構成要素から幾つかの構成要素を削除してもよい。さらに、異なる実施形態にわたる構成要素を適宜組み合わせてもよい。

【0079】

例えば、上記第1駆動回路及び第2駆動回路は、少なくとも走査信号を複数の走査線sに1行毎に順番に与えるように構成されていればよい。

本発明の液晶表示装置は、上述した液晶表示装置に限定されるものではなく、種々変形可能であり、各種の液晶表示装置に適用することができる。例えば、第2の実施形態のIPS方式の液晶表示装置は、FFS方式の液晶表示装置に置き換えることが可能である。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[1] それぞれ基板上に形成された、列方向に延出した複数の信号線、行方向に延出し前記複数の信号線に交差した複数の走査線、前記複数の信号線及び複数の走査線に電氣的に接続された複数のスイッチング素子、前記複数のスイッチング素子に電氣的に接続され

10

20

30

40

50

た複数の画素電極、前記複数の画素電極を前記行方向に互いに挟んで位置した第 1 駆動回路及び第 2 駆動回路、並びに前記第 1 駆動回路及び第 2 駆動回路に接続されたタイミング制御回路を有したアレイ基板と、

前記アレイ基板に隙間を置いて対向配置された対向基板と、

前記アレイ基板及び対向基板間に挟持された液晶層と、を備え、

前記第 1 駆動回路は、第 1 順序回路を有し、奇数行の前記複数の走査線に接続され、前記奇数行の複数の走査線に走査信号を順番に与え、

前記第 2 駆動回路は、第 2 順序回路を有し、偶数行の前記複数の走査線に接続され、前記偶数行の複数の走査線に走査信号を順番に与え、

前記タイミング制御回路は、互いに位相の異なる第 1 同期信号及び第 2 同期信号を生成し、前記生成した第 1 同期信号を前記第 1 駆動回路に与え、前記生成した第 2 同期信号を第 2 駆動回路に与え、

前記第 1 駆動回路及び第 2 駆動回路は、前記タイミング制御回路から前記第 1 同期信号及び第 2 同期信号が与えられた場合、前記走査信号を前記複数の走査線に 1 行毎に順番に与えることを特徴とする液晶表示装置。

〔2〕前記アレイ基板は、それぞれ前記基板上に形成された、前記行方向に延出した複数の補助容量線、及び前記複数の補助容量線に絶縁膜を介して対向配置され前記複数の画素電極に電気的に接続され前記複数の補助容量線とともに複数の補助容量素子を形成する複数の補助容量電極をさらに有し、

前記第 1 駆動回路は、奇数行の前記複数の補助容量線に接続され、一定周期毎に第 1 補助容量電圧及び前記第 1 補助容量電圧と電位の異なる第 2 補助容量電圧を交互に前記奇数行の複数の補助容量線に順番に与え、

前記第 2 駆動回路は、偶数行の前記複数の補助容量線に接続され、前記一定周期毎に前記第 1 補助容量電圧及び前記第 2 補助容量電圧を交互に前記偶数行の複数の補助容量線に順番に与え、

前記第 1 駆動回路及び第 2 駆動回路は、前記タイミング制御回路から前記第 1 同期信号及び第 2 同期信号が与えられた場合、前記一定周期毎に前記第 1 補助容量電圧及び第 2 補助容量電圧を交互に前記複数の補助容量線に 1 行毎に順番に与えることを特徴とする〔1〕に記載の液晶表示装置。

〔3〕前記アレイ基板は、前記基板上に形成され、前記行方向に延出し前記行方向及び列方向に沿った面方向に前記複数の画素電極とともに電界を与える複数の共通配線をさらに有し、

前記第 1 駆動回路は、奇数行の前記複数の共通配線に接続され、前記奇数行の複数の共通配線に、共通電圧を与え、

前記第 2 駆動回路は、偶数行の前記複数の共通配線に接続され、前記偶数行の複数の共通配線に、前記共通電圧を与え、

前記第 1 駆動回路及び第 2 駆動回路は、前記タイミング制御回路から前記第 1 同期信号及び第 2 同期信号が与えられた場合、前記複数の共通配線に 1 行毎に交互に前記共通電圧を与えることを特徴とする〔1〕に記載の液晶表示装置。

〔4〕集積回路で構成され、前記基板上に実装され、前記複数の信号線に接続された信号線駆動回路をさらに備えることを特徴とする〔1〕に記載の液晶表示装置。

〔5〕前記複数のスイッチング素子、第 1 駆動回路、第 2 駆動回路及びタイミング制御回路は、多結晶シリコンを用いて形成されることを特徴とする〔1〕に記載の液晶表示装置。

〔6〕前記第 1 駆動回路及び第 2 駆動回路は、それぞれ前記複数の走査線に接続された複数のバッファをさらに有することを特徴とする〔1〕に記載の液晶表示装置。

【符号の説明】

【0080】

1…アレイ基板、2…対向基板、3…液晶層、4a…ガラス基板、10…液晶表示パネル、11, 91…第 1 駆動回路、12, 92…第 2 駆動回路、16…信号線、18…画素

10

20

30

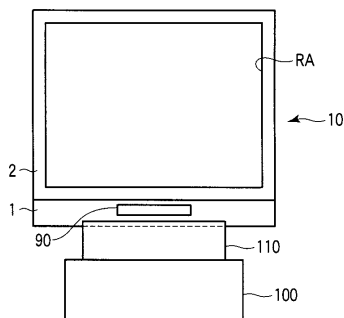
40

50

、21…画素電極、22…TFT、23…補助容量素子、31…半導体層、41…補助容量電極、70…タイミング制御回路、71, 81…順序回路、72, 82…シフトレジスタ、75, 85…補助容量電源選択回路、80…バッファ、100…制御部、s…走査線、cs…補助容量線、cw…共通配線、ce…共通電極、d1…列方向、d2…行方向、Vcs1…第1補助容量電圧、Vcs2…第2補助容量電圧、CLK1…第1同期信号、CLK2…第2同期信号、G…走査信号。

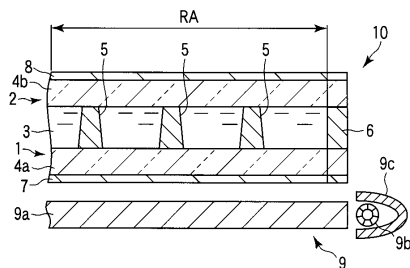
【図1】

図1



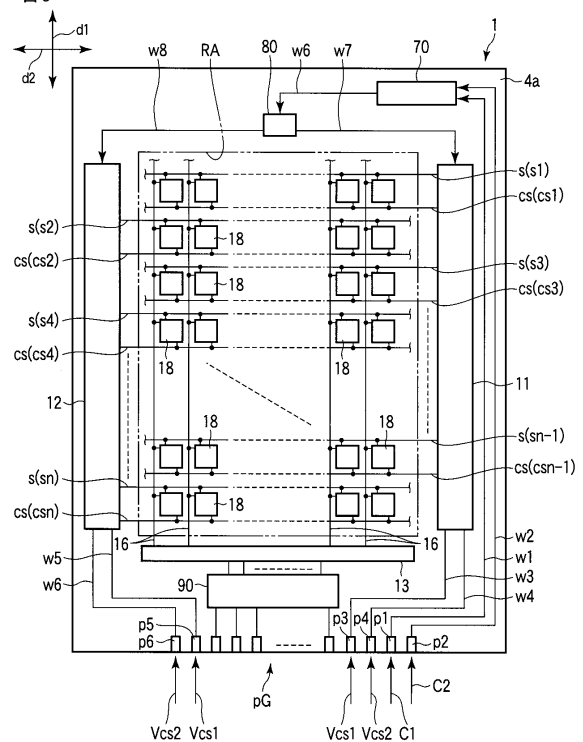
【図2】

図2



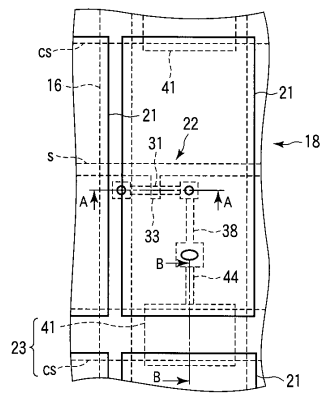
【図3】

図3



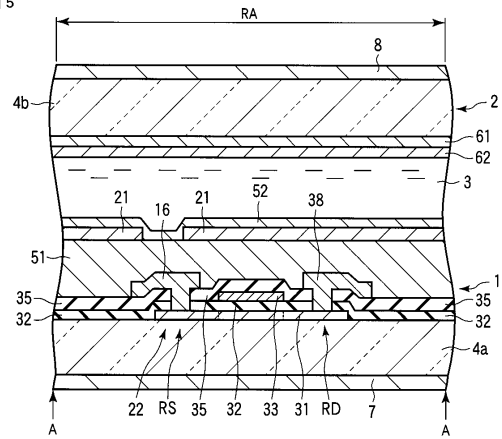
【図 4】

図 4



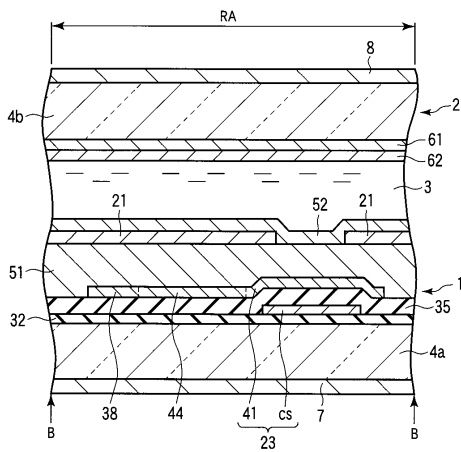
【図 5】

図 5



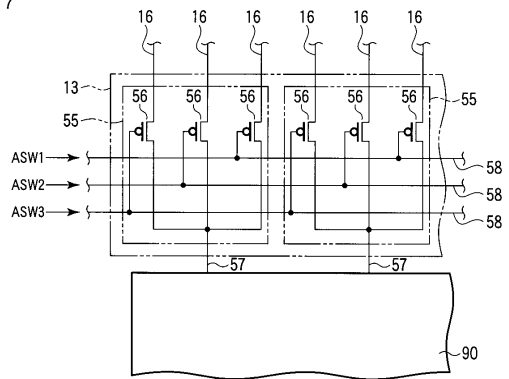
【図 6】

図 6



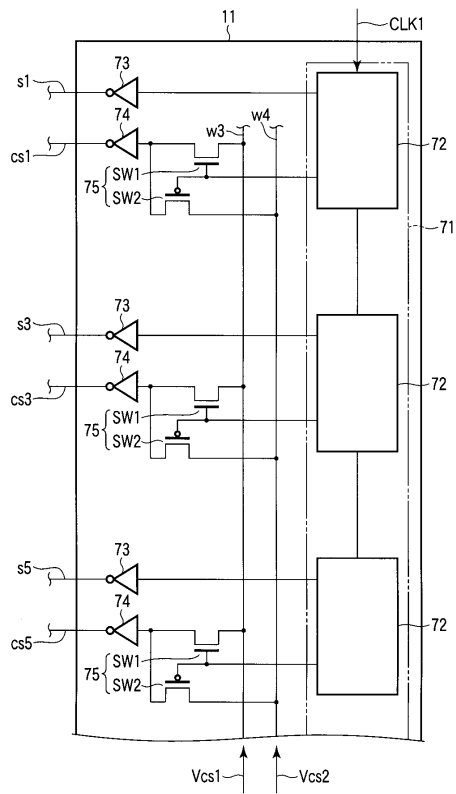
【図 7】

図 7



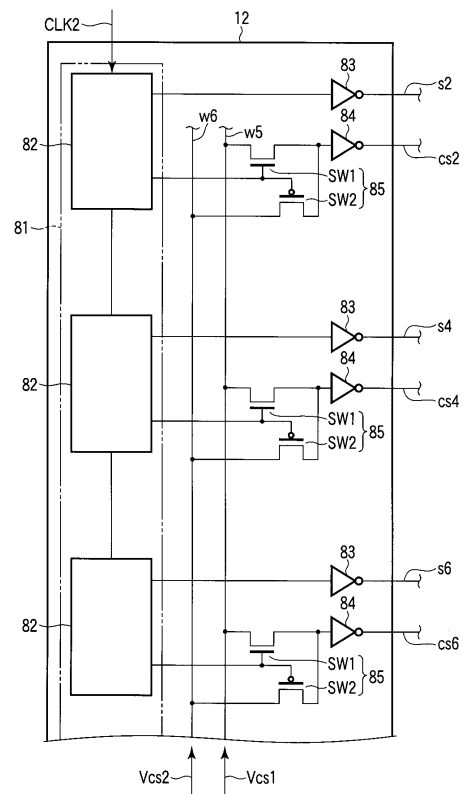
【図 8】

図 8



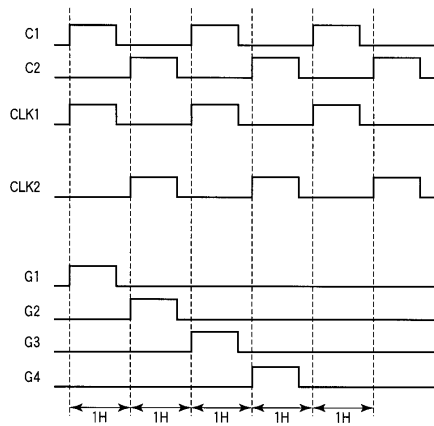
【図 9】

図 9



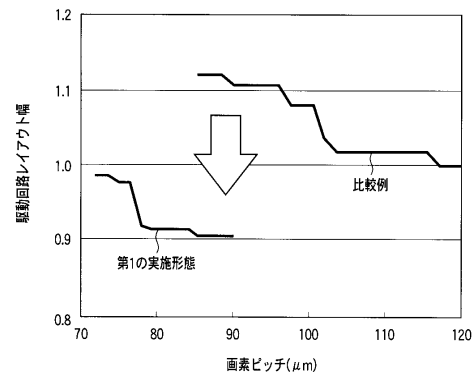
【図 10】

図 10

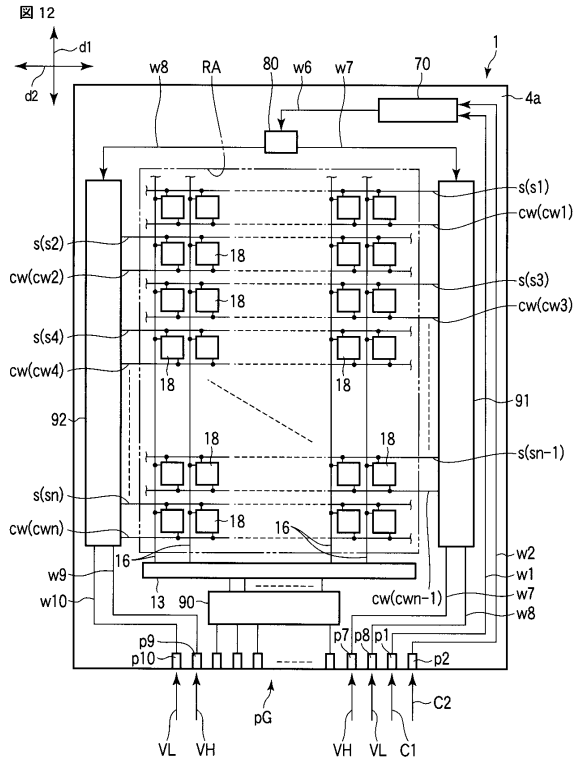


【図 11】

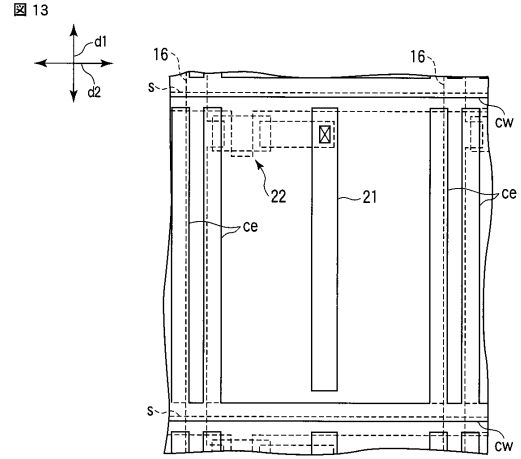
図 11



【図 12】



【図 13】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 2 L
G 0 9 G	3/20	6 1 2 J
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 2 3 A
G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 1 M
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 2 4 C

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100103034

弁理士 野河 信久

(74)代理人 100119976

弁理士 幸長 保次郎

(74)代理人 100153051

弁理士 河野 直樹

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100101812

弁理士 勝村 紘

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(74)代理人 100134290

弁理士 竹内 将訓

(74)代理人 100127144

弁理士 市原 卓三

(74)代理人 100141933

弁理士 山下 元

(72)発明者 齋藤 玲彦

埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

審査官 西島 篤宏

(56)参考文献 特開2009-025428 (JP, A)

特開2009-069776 (JP, A)

特開2006-171162 (JP, A)

特開平11-202295 (JP, A)

特開2008-107831 (JP, A)

特開2010-139776 (JP, A)

特開2003-150128 (JP, A)

特開2007-199723 (JP, A)

特開2010-113247 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38

G02F 1/133

专利名称(译)	液晶表示装置		
公开(公告)号	JP5153011B2	公开(公告)日	2013-02-27
申请号	JP2010171961	申请日	2010-07-30
[标]申请(专利权)人(译)	东芝移动显示器有限公司		
申请(专利权)人(译)	东芝移动显示器有限公司		
当前申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	齋藤玲彦		
发明人	齋藤 玲彦		
IPC分类号	G09G3/36 G02F1/133 G02F1/1345 G09G3/20		
CPC分类号	G09G3/3677 G09G3/3614 G09G3/3655 G09G3/3674 G09G2300/0876 G09G2310/0264		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1345 G09G3/20.624.B G09G3/20.622.A G09G3/20.612.L G09G3/20.612.J G09G3/20.624.D G09G3/20.624.E G09G3/20.623.A G09G3/20.622.B G09G3/20.621.M G09G3/20.622.G G09G3/20.624.C		
F-TERM分类号	2H092/GA59 2H092/GA60 2H092/JA25 2H092/JB64 2H092/JB69 2H092/KA04 2H092/PA06 2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB14 2H193/ZC25 2H193/ZC36 2H193/ZF24 2H193/ZF43 2H193/ZF44 2H193/ZF60 2H193/ZP03 2H193/ZQ16 5C006/AA16 5C006/AA22 5C006/AC02 5C006/AC22 5C006/AF71 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BC20 5C006/BC22 5C006/BF03 5C006/BF25 5C006/EB05 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆 山下 元		
其他公开文献	JP2012032608A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示器，其中可以缩小相框的尺寸并且可以抑制产品价格的上升。解决方案：液晶显示器包括：多条信号线16;多条扫描线s;多个像素电极;第一驱动电路11和第二驱动电路12;第一驱动电路11具有第一时序电路，并依次将扫描信号提供给奇数行的多条扫描线。第二驱动电路12具有第二时序电路，并依次将扫描信号提供给偶数行的多条扫描线s。定时控制电路70将由定时控制电路70产生的具有相互不同相位的第一同步信号和第二同步信号提供给第一驱动电路11和第二驱动电路12.当接收第一同步信号和第二同步信号时从定时控制电路70开始，第一驱动电路11和第二驱动电路12依次通过每行向多条扫描线s提供扫描信号。

