

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-115613

(P2014-115613A)

(43) 公開日 平成26年6月26日 (2014. 6. 26)

(51) Int. Cl.	F I	テーマコード (参考)
<b>GO2F 1/1343 (2006.01)</b>	GO2F 1/1343	2H092
<b>GO2F 1/1368 (2006.01)</b>	GO2F 1/1368	2H189
<b>GO2F 1/1333 (2006.01)</b>	GO2F 1/1333	2H192

審査請求 有 請求項の数 13 O L (全 39 頁)

(21) 出願番号 特願2013-179651 (P2013-179651)  
 (22) 出願日 平成25年8月30日 (2013. 8. 30)  
 (31) 優先権主張番号 10-2012-0143228  
 (32) 優先日 平成24年12月11日 (2012. 12. 11)  
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046  
 エルジー ディスプレイ カンパニー リミテッド  
 大韓民国 ソウル、ヨンドゥンポグ、ヨウィーテロ 128  
 (74) 代理人 100094112  
 弁理士 岡部 譲  
 (74) 代理人 100106183  
 弁理士 吉澤 弘司  
 (74) 代理人 100128657  
 弁理士 三山 勝巳  
 (72) 発明者 金 哲 世  
 大韓民国 704-792 テグ ダルソグ ドンウォンドン ガンサン タウン アパート 409-205

最終頁に続く

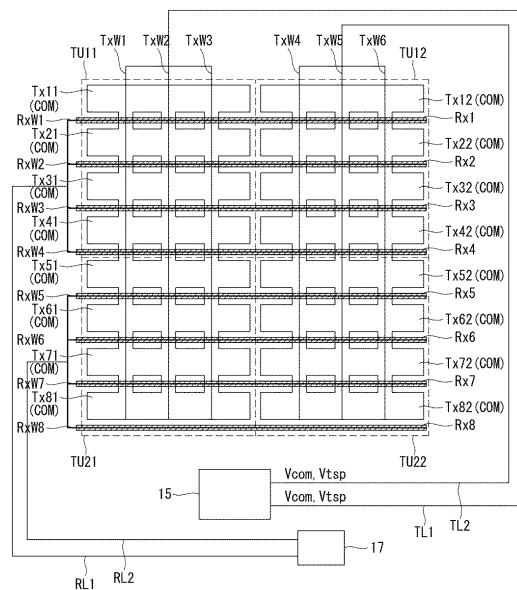
(54) 【発明の名称】 タッチセンサー体型表示装置及びその製造方法

(57) 【要約】

【課題】本発明は、厚さを低減し工数を減らすことができるタッチセンサー体型表示装置及びその製造方法を提供すること。

【解決手段】本発明のタッチセンサー体型表示装置は、複数のゲートラインと、複数のデータラインと、前記複数のゲートラインとデータラインとの交差により画定される領域内にそれぞれ形成される複数のピクセル電極と、前記ゲートラインを隔てて互いに隣接するピクセル電極の間に前記ゲートラインに並んで形成される複数の第1電極と、前記ピクセル電極と少なくとも一部分が重なるように形成され、前記データラインに並んで形成される複数の第2電極とを備え、前記第1電極および第2電極のいずれかは前記表示装置を駆動するための共通電極として機能する。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

複数のゲートラインと、  
 複数のデータラインと、  
 前記複数のゲートラインとデータラインとの交差により画定される領域内にそれぞれ形成される複数のピクセル電極と、  
 前記ゲートラインを隔てて互いに隣接するピクセル電極の間に前記ゲートラインに並んで形成される複数の第 1 電極と、  
 前記ピクセル電極と少なくとも一部分が重なるように形成され、前記データラインに並んで形成される複数の第 2 電極とを備え、  
 前記第 1 電極および第 2 電極のいずれかは前記表示装置を駆動するための共通電極として機能することを特徴とするタッチセンサー体型表示装置。

10

## 【請求項 2】

基板上に並んで形成される複数のゲートラインと、  
 前記ゲートラインを覆うように形成されるゲート絶縁膜と、  
 前記ゲート絶縁膜上に前記ゲートラインと交差するように形成される複数のデータラインと、  
 前記ゲートラインと前記データラインとの交差により画定される複数のピクセル領域内にそれぞれ形成される複数の薄膜トランジスタと、  
 前記複数の薄膜トランジスタの形成された前記ゲート絶縁膜を覆うように形成される第 1 保護膜と、  
 前記第 1 保護膜上において前記データラインに並んで形成され、前記ゲートラインを隔てた少なくとも 2 個のピクセル領域に形成される複数の第 1 電極と、  
 前記複数の第 1 電極と第 1 電極抵抗低減配線とを覆うように形成される第 2 保護膜と、  
 前記第 2 保護膜上において前記複数のピクセル領域内にそれぞれ形成され、前記第 1 電極と少なくとも一部分が重なるように形成される複数のピクセル電極と、  
 前記ゲートラインを隔てて互いに隣接するピクセル電極の間において、前記第 2 保護膜上に形成され、前記ゲートラインに並んで形成される複数の第 2 電極と  
 を備え、  
 前記第 1 電極および第 2 電極のいずれかは前記表示装置を駆動するための共通電極として機能することを特徴とするタッチセンサー体型表示装置。

20

30

## 【請求項 3】

基板上に並んで形成される複数のゲートラインと、  
 前記ゲートラインを覆うように形成されるゲート絶縁膜と、  
 前記ゲート絶縁膜上に前記ゲートラインと交差するように形成される複数のデータラインと、  
 前記ゲートラインと前記データラインとの交差により画定される複数のピクセル領域内にそれぞれ形成される複数の薄膜トランジスタと、  
 前記複数の薄膜トランジスタの形成された前記ゲート絶縁膜を覆うように形成される第 1 保護膜と、  
 前記第 1 保護膜上において前記複数のピクセル領域内にそれぞれ形成される複数のピクセル電極と、  
 前記第 1 保護膜上に形成され、前記ゲートラインを隔てて互いに隣接するピクセル電極の間に前記ゲートラインに並んで形成される複数の第 1 電極と、  
 前記複数の第 1 電極を覆うように形成される第 2 保護膜と、  
 前記第 2 保護膜上において前記ピクセル電極と少なくとも一部分が重なるように形成され、前記データラインに並んで形成され、前記ゲートラインを隔てた少なくとも 2 個のピクセル領域に形成される複数の第 2 電極と、  
 を備え、  
 前記第 1 電極および第 2 電極のいずれかは前記表示装置を駆動するための共通電極とし

40

50

て機能することを特徴とするタッチセンサー一体型表示装置。

【請求項 4】

前記複数の第 1 電極は、タッチセンシング電極で、前記複数の第 2 電極は、共通電極とタッチ駆動電極の機能を兼ねることを特徴とする請求項 1 又は 3 に記載のタッチセンサー一体型表示装置。

【請求項 5】

前記複数の第 1 電極は、タッチ駆動電極で、前記複数の第 2 電極は、共通電極とタッチセンシング電極の機能を兼ねることを特徴とする請求項 1 又は 3 に記載のタッチセンサー一体型表示装置。

【請求項 6】

前記複数の第 1 電極は、タッチ駆動電極と共通電極の機能を兼ねており、前記複数の第 2 電極は、タッチセンシング電極であることを特徴とする請求項 2 に記載のタッチセンサー一体型表示装置。

【請求項 7】

前記複数の第 1 電極は、タッチセンシング電極と共通電極の機能を兼ねており、前記複数の第 2 電極は、タッチ駆動電極であることを特徴とする請求項 2 に記載のタッチセンサー一体型表示装置。

【請求項 8】

前記複数の第 1 電極の各々に前記第 1 電極と重なるように形成され、前記第 1 電極の抵抗を低減させる少なくとも一つの第 1 電極抵抗低減配線をさらに備えることを特徴とする請求項 1 又は 3 に記載のタッチセンサー一体型表示装置。

【請求項 9】

前記複数の第 2 電極の各々に前記第 2 電極と重なるように形成され、前記第 2 電極の抵抗を低減させる少なくとも一つの第 2 電極抵抗低減配線をさらに備えることを特徴とする請求項 2 に記載のタッチセンサー一体型表示装置。

【請求項 10】

基板上に第 1 導電層を蒸着させ、第 1 マスク工程を利用して複数のゲートライン及びゲート電極を形成するステップと、

前記ゲートライン及びゲート電極の形成された基板上にゲート絶縁層と半導体層とを順次的に形成した後、第 2 マスク工程を利用して前記半導体層をパターンングすることによって、前記ゲート電極と対応する領域に半導体パターンを形成するステップと、

前記半導体パターンの形成されたゲート絶縁膜上に第 2 導電層を蒸着させ、第 3 マスク工程を利用して前記第 2 導電層をパターンングすることによって、互いに平行な複数のデータライン、前記データラインの各々から延びるソース電極、及び前記ソース電極と対向するドレイン電極を有する第 1 導電性パターン群を形成するステップと、

前記第 1 導電性パターン群の形成された前記ゲート絶縁膜の上に第 1 保護膜と第 3 導電層とを順次的に蒸着させ、第 4 マスク工程を利用して前記第 3 導電層をパターンングすることによって複数の第 1 電極を形成するステップと、

前記複数の第 1 電極の形成された前記第 1 保護膜上に第 4 導電層を蒸着させ、第 5 マスク工程を利用して第 4 導電層をパターンングすることによって、前記複数の第 1 電極と接触する少なくとも一つの第 1 電極抵抗低減配線を形成するステップと、

前記複数の第 1 電極と前記複数の第 1 電極抵抗低減配線の形成された第 1 保護膜上に第 2 保護膜を形成した後、第 6 マスク工程を利用して前記第 1 及び第 2 保護膜をエッチングすることによって、前記ドレイン電極の一部を露出させるコンタクト孔を形成するステップと、

前記コンタクト孔の形成された前記第 2 保護膜上に第 5 導電層を蒸着し、第 7 マスク工程を利用して前記第 5 導電層をエッチングすることによって、前記ゲートラインに並んで少なくとも一つの第 2 電極抵抗低減配線を形成するステップと、

前記少なくとも一つの第 2 電極抵抗低減配線の形成された第 2 保護膜上に第 6 導電層を蒸着させ、第 8 マスク工程を利用して前記第 6 導電層をパターンングすることによって、

10

20

30

40

50

複数のピクセル電極と複数の第 2 電極を形成するステップと

を含み、

前記第 1 電極および第 2 電極のいずれかは前記表示装置を駆動するための共通電極として機能することを特徴とするタッチセンサー一体型表示装置の製造方法。

【請求項 1 1】

前記複数の第 1 電極は、前記データラインに並んで形成され、前記ゲートラインを隔てて前記ゲートラインとデータラインとの交差により画定されるピクセル領域のうち、少なくとも 2 個のピクセル領域に形成され、

前記複数の第 1 電極抵抗低減配線は、前記複数の第 1 電極の各々に重なるように形成され、前記第 1 電極の抵抗を低減させ、

前記複数のピクセル電極は、前記ピクセル領域内に形成され、

前記複数の第 2 電極は、前記ゲートラインを隔てて互いに隣接するピクセル電極の間において、前記第 2 保護膜上に形成され、前記ゲートラインに並んで形成され、

前記少なくとも一つの第 2 電極抵抗低減配線は、前記複数の第 2 電極の各々に形成され、前記第 2 電極の抵抗を低減させることを特徴とする請求項 1 0 に記載のタッチセンサー一体型表示装置の製造方法。

【請求項 1 2】

基板上に第 1 導電層を蒸着させ、第 1 マスク工程を利用して複数のゲートライン及びゲート電極を形成するステップと、

前記ゲートライン及びゲート電極の形成された基板上にゲート絶縁層と半導体層とを形成した後、第 2 マスク工程を利用して前記半導体層をパターニングすることによって、前記ゲート電極と対応する領域に半導体パターンを形成するステップと、

前記半導体パターンが形成されたゲート絶縁膜上に第 2 導電層を蒸着させ、第 3 マスク工程を利用して前記第 2 導電層をパターニングすることによって、互いに平行な複数のデータライン、前記データラインの各々から延びるソース電極、及び前記ソース電極と対向するドレイン電極を含む第 1 導電性パターン群を形成するステップと、

前記第 1 導電性パターン群の形成された前記ゲート絶縁膜の上に第 1 保護膜を形成した後、第 4 マスク工程を利用して前記第 1 保護膜をエッチングすることによって、前記ドレイン電極の一部を各々露出させるコンタクト孔を形成するステップと、

前記コンタクト孔の形成された第 1 保護膜上に第 3 導電層を蒸着させ、第 5 マスク工程を利用して前記第 3 導電層をパターニングすることによって、複数の第 1 電極と前記コンタクト孔を介して前記ドレイン電極と各々接触する複数のピクセル電極を形成するステップと、

前記複数の第 1 電極と複数のピクセル電極の形成された前記第 1 保護膜上に第 4 導電層を蒸着させ、第 6 マスク工程を利用して第 4 導電層をパターニングすることによって、前記複数の第 1 電極の各々に重なるように形成され、前記第 1 電極の抵抗を低減させる少なくとも一つの第 1 電極抵抗低減配線を形成するステップと、

前記複数の第 1 電極と前記複数の第 1 電極抵抗低減配線の形成された第 1 保護膜上に第 2 保護膜と第 5 導電層とを順次的に蒸着し、第 7 マスク工程を利用して前記第 5 導電層をパターニングすることによって、前記データラインに並んで少なくとも一つの第 2 電極抵抗低減配線を形成するステップと、

前記少なくとも一つの第 2 電極抵抗低減配線の形成された第 2 保護膜上に第 6 導電層を蒸着させ、第 8 マスク工程を利用して前記第 6 導電層をエッチングすることによって、複数の第 2 電極を形成するステップと

を含み、

前記第 1 電極および第 2 電極のいずれかは前記表示装置を駆動するための共通電極として機能することを特徴とするタッチセンサー一体型表示装置の製造方法。

【請求項 1 3】

前記複数のピクセル電極は、前記複数のゲートラインとデータラインとの交差により画定される領域内に形成され、

10

20

30

40

50

前記複数の第1電極は、前記ゲートラインを隔てて互いに隣接するピクセル電極の間において前記ゲートラインに並んで形成され、

前記少なくとも一つの第1電極抵抗低減配線は、前記複数の第1電極の各々に前記第1電極と重なるように形成され、前記第1電極の抵抗を低減させ、

前記複数の第2電極は、前記ピクセル電極と少なくとも一部分が重なるように形成され、前記データラインに並んで形成され、前記ゲートラインを隔てた少なくとも2個のピクセル領域に形成され、

前記少なくとも一つの第2電極抵抗低減配線は、前記複数の第2電極の各々に形成され、前記第2電極の抵抗を低減させることを特徴とする請求項12に記載のタッチセンサ一体型表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ユーザのタッチを認識できるタッチセンサ一体型表示装置及びその製造方法に関する。

【背景技術】

【0002】

最近、キーボード、マウス、トラックボール、ジョイスティック、デジタイザ (digitizer) などの多様な入力装置 (input device) がユーザと家電機器または各種の情報通信機器間のインタフェースを構成するために使用されている。しかしながら、上述の入力装置を使用するためには、使用法を身に付けなければならず、かつ空間を占める等の不便を引き起こすという問題があった。そのため、便利ながらも簡単でかつ誤作動を減少させることができる入力装置に対する要求が日々増加されている。このような要求によってユーザが指やペン等で画面と直接接触して情報を入力するタッチセンサが提案された。

【0003】

タッチセンサは、簡単で、誤作動が少なく、別の入力機器を使用しなくても入力が可能だけでなく、ユーザが画面に表示される内容を介して迅速かつ容易に操作できるという便利性的ため、多様な表示装置に適用されている。

【0004】

タッチセンサは、構造によってアドオン型 (add-on type) とセル一体型 (on-cell type) とに分けられる。上板付着型は、表示装置とタッチセンサの形成されたタッチパネルとを個別的に製造した後に、表示装置の上板にタッチパネルを付着する方式である。上板一体型は、表示装置の上部ガラス基板の表面にタッチセンサを直接形成する方式である。

【0005】

上板付着型は、表示装置上に完成されたタッチパネルが載せられて装着される構造で厚さが厚く、表示装置の明るさが暗くなって視認性が低下するという問題がある。

【0006】

一方、上板一体型の場合、表示装置の上面に別途のタッチセンサが形成された構造であって、上板付着型より厚さを減らすことができるが、依然としてタッチセンサを構成する駆動電極層とセンシング電極層及びこれらを絶縁させるための絶縁層のため全体厚及び工数が増加して、製造コストが増加するという問題点があった。

【0007】

そのため、かかる従来の技術による問題点を解決できる表示装置が望まれる。

【発明の概要】

【発明が解決しようとする課題】

【0008】

本発明は、上述した従来の問題点を解消するためのものであって、その目的は、表示装置のタッチを認識するためのタッチ駆動電極及びタッチセンシング電極を表示装置構成要素と兼用させることによって、厚さを低減し工数を減らすことができるタッチセンサ一体型表示装置及びその製造方法を提供することにある。

10

20

30

40

50

## 【0009】

また、本発明の目的は、タッチ駆動電極とタッチセンシング電極との間の相互静電容量を増加させることによって、向上したタッチ感度を有するタッチセンサー体型表示装置及びその製造方法を提供することにある。

## 【課題を解決するための手段】

## 【0010】

上記の目的を達成すべく、本発明のタッチセンサー体型表示装置は、互いに交差するように形成される複数のゲートラインと複数のデータラインと、前記複数のゲートラインとデータラインとの交差により画定される領域内にそれぞれ形成される複数のピクセル電極と、前記ゲートラインを隔てて互いに隣接するピクセル電極の間に前記ゲートラインに並んで形成される複数の第1電極と、前記ピクセル電極と少なくとも一部分が重なるように形成され、前記データラインに並んで形成される複数の第2電極とを備え、前記第1電極および第2電極のいずれかは前記表示装置を駆動するための共通電極として機能することを特徴とする。

10

## 【0011】

また、上記の目的を達成すべく、本発明の他のタッチセンサー体型表示装置は、基板上に並んで形成される複数のゲートラインと、前記ゲートラインを覆うように形成されるゲート絶縁膜と、前記ゲート絶縁膜上に前記ゲートラインと交差するように形成される複数のデータラインと、前記ゲートラインと前記データラインとの交差により画定される複数のピクセル領域内にそれぞれ形成される複数の薄膜トランジスタと、前記複数の薄膜トランジスタの形成された前記ゲート絶縁膜を覆うように形成される第1保護膜と、前記第1保護膜上において前記データラインに並んで形成され、前記ゲートラインを隔てた少なくとも2個のピクセル領域に形成される複数の第1電極と、前記複数の第1電極と第1電極抵抗縮小配線とを覆うように形成される第2保護膜と、前記第2保護膜上において前記複数のピクセル領域内にそれぞれ形成され、前記第1電極と少なくとも一部分が重なるように形成される複数のピクセル電極と、前記ゲートラインを隔てて互いに隣接するピクセル電極の間において、前記第2保護膜上に形成され、前記ゲートラインに並んで形成される複数の第2電極とを備え、前記第1電極および第2電極のいずれかは前記表示装置を駆動するための共通電極として機能することを特徴とする。

20

## 【0012】

また、上記の目的を達成すべく、本発明の他のタッチセンサー体型表示装置は、第1基板上に並んで形成される複数のゲートラインと、前記ゲートラインを覆うように形成されるゲート絶縁膜と、前記ゲート絶縁膜上に前記ゲートラインと交差するように形成される複数のデータラインと、前記ゲートラインと前記データラインとの交差により画定される複数のピクセル領域内にそれぞれ形成される複数の薄膜トランジスタと、前記複数の薄膜トランジスタの形成された前記ゲート絶縁膜を覆うように形成される第1保護膜と、前記第1保護膜上において前記複数のピクセル領域内にそれぞれ形成される複数のピクセル電極と、前記第1保護膜上に形成され、前記ゲートラインを隔てて互いに隣接するピクセル電極の間に前記ゲートラインに並んで形成される複数の第1電極と、前記複数の第1電極を覆うように形成される第2保護膜と、前記第2保護膜上において前記ピクセル電極と少なくとも一部分が重なるように形成され、前記データラインに並んで形成され、前記ゲートラインを隔てた少なくとも2個のピクセル領域に形成される複数の第2電極とを備え、前記第1電極および第2電極のいずれかは前記表示装置を駆動するための共通電極として機能することを特徴とする。

30

40

## 【0013】

上記特徴において、前記複数の第1電極は、タッチセンシング電極で、前記複数の第2電極は、共通電極とタッチ駆動電極の機能を兼ねることを特徴とする。

## 【0014】

また、前記複数の第1電極は、タッチ駆動電極で、前記複数の第2電極は、共通電極とタッチセンシング電極の機能を兼ねることを特徴とする。

50

## 【0015】

また、前記複数の第1電極は、タッチ駆動電極と共通電極の機能を兼ねており、前記複数の第2電極は、タッチセンシング電極であることを特徴とする。

## 【0016】

また、前記複数の第1電極は、タッチセンシング電極と共通電極の機能を兼ねており、前記複数の第2電極は、タッチ駆動電極であることを特徴とする。

## 【0017】

また、前記複数の第1電極の各々に前記第1電極と重なるように形成され、前記第1電極の抵抗を縮小させる少なくとも一つの第1電極抵抗縮小配線をさらに備えることを特徴とする。

## 【0018】

また、前記複数の第2電極の各々に前記第2電極と重なるように形成され、前記第2電極の抵抗を縮小させる少なくとも一つの第2電極抵抗縮小配線をさらに備えることを特徴とする。

## 【0019】

また、上記の目的を達成すべく、本発明の第4特徴によるタッチセンサー一体型表示装置の製造方法は、基板上に第1導電層を蒸着させ、第1マスク工程を利用して複数のゲートライン及びゲート電極を形成するステップと、前記ゲートライン及びゲート電極の形成された基板上にゲート絶縁層と半導体層を順次的に形成した後、第2マスク工程を利用して前記半導体層をパターンニングすることによって、前記ゲート電極と対応する領域に半導体パターンを形成するステップと、前記半導体パターンの形成されたゲート絶縁膜上に第2導電層を蒸着させ、第3マスク工程を利用して前記第2導電層をパターンニングすることによって、互いに平行な複数のデータライン、前記データラインの各々から延びるソース電極、及び前記ソース電極と対向するドレイン電極を有する第1導電性パターン群を形成するステップと、前記第1導電性パターン群の形成された前記ゲート絶縁膜の上に第1保護膜と第3導電層とを順次的に蒸着させ、第4マスク工程を利用して前記第3導電層をパターンニングすることによって複数の第1電極を形成するステップと、前記複数の第1電極の形成された前記第1保護膜上に第4導電層を蒸着させ、第5マスク工程を利用して第4導電層をパターンニングすることによって、前記複数の第1電極と接触する少なくとも一つの第1電極抵抗縮小配線を形成するステップと、前記複数の第1電極と前記複数の第1電極抵抗縮小配線の形成された第1保護膜上に第2保護膜を形成した後、第6マスク工程を利用して前記第1及び第2保護膜をエッチングすることによって、前記ドレイン電極の一部を露出させるコンタクト孔を形成するステップと、前記コンタクト孔の形成された前記第2保護膜上に第5導電層を蒸着し、第7マスク工程を利用して前記第5導電層をエッチングすることによって、前記ゲートラインに並んで少なくとも一つの第2電極抵抗縮小配線を形成するステップと、前記少なくとも一つの第2電極抵抗縮小配線の形成された第2保護膜上に第6導電層を蒸着させ、第8マスク工程を利用して前記第6導電層をパターンニングすることによって、複数のピクセル電極と複数の第2電極を形成するステップとを含み、前記第1電極および第2電極のいずれかは前記表示装置を駆動するための共通電極として機能することを特徴とする。

## 【0020】

上記特徴において、前記複数の第1電極は、前記データラインに並んで形成され、前記ゲートラインを隔てて前記ゲートラインとデータラインとの交差により画定されるピクセル領域のうち、少なくとも2個のピクセル領域に形成され、前記複数の第1電極抵抗縮小配線は、前記複数の第1電極の各々に重なるように形成され、前記第1電極の抵抗を縮小させ、前記複数のピクセル電極は、前記ピクセル領域内に形成され、前記複数の第2電極は、前記ゲートラインを隔てて互いに隣接するピクセル電極の間において、前記第2保護膜上に形成され、前記ゲートラインに並んで形成され、前記少なくとも一つの第2電極抵抗縮小配線は、前記複数の第2電極の各々に形成され、前記第2電極の抵抗を縮小させることを特徴とする。

10

20

30

40

50

## 【0021】

また、上記の目的を達成すべく、本発明の第5特徴によるタッチセンサー一体型表示装置の製造方法は、基板上に第1導電層を蒸着させ、第1マスク工程を利用して複数のゲートライン及びゲート電極を形成するステップと、前記ゲートライン及びゲート電極の形成された基板上にゲート絶縁層と半導体層とを順次的に形成した後、第2マスク工程を利用して前記半導体層をパターンニングすることによって、前記ゲート電極と対応する領域に半導体パターンを形成するステップと、前記半導体パターンが形成されたゲート絶縁膜上に第2導電層を蒸着させ、第3マスク工程を利用して前記第2導電層をパターンニングすることによって、互いに平行な複数のデータライン、前記データラインの各々から延びるソース電極、及び前記ソース電極と対向するドレイン電極を含む第1導電性パターン群を形成するステップと、前記第1導電性パターン群の形成された前記ゲート絶縁膜の上に第1保護膜を形成した後、第4マスク工程を利用して前記第1保護膜をエッチングすることによって、前記ドレイン電極の一部を各々露出させるコンタクト孔を形成するステップと、前記コンタクト孔の形成された第1保護膜上に第3導電層を蒸着させ、第5マスク工程を利用して前記第3導電層をパターンニングすることによって、複数の第1電極と前記コンタクト孔を介して前記ドレイン電極と各々接触する複数のピクセル電極を形成するステップと、前記複数の第1電極と複数のピクセル電極の形成された前記第1保護膜上に第4導電層を蒸着させ、第6マスク工程を利用して第4導電層をパターンニングすることによって、前記複数の第1電極の各々に重なるように形成され、前記第1電極の抵抗を縮小させる少なくとも一つの第1電極抵抗縮小配線を形成するステップと、前記複数の第1電極と前記複数の第1電極抵抗縮小配線の形成された第1保護膜上に第2保護膜と第5導電層をと順次的に蒸着し、第7マスク工程を利用して前記第5導電層をすることによって、前記データラインに並んで少なくとも一つの第2電極抵抗縮小配線を形成するステップと、前記少なくとも一つの第2電極抵抗縮小配線の形成された第2保護膜上に第6導電層を蒸着させ、第8マスク工程を利用して前記第6導電層をエッチングすることによって、複数の第2電極を形成するステップとを含み、前記第1電極および第2電極のいずれかは前記表示装置を駆動するための共通電極として機能することを特徴とする。

10

20

## 【0022】

上記特徴において、前記複数のピクセル電極は、前記複数のゲートラインとデータラインとの交差により画定される領域内に形成され、前記複数の第1電極は、前記ゲートラインを隔てて互いに隣接するピクセル電極の間において前記ゲートラインに並んで形成され、前記少なくとも一つの第1電極抵抗低減配線は、前記複数の第1電極の各々に前記第1電極と重なるように形成され、前記第1電極の抵抗を低減させ、前記複数の第2電極は、前記ピクセル電極と少なくとも一部分が重なるように形成され、前記データラインに並んで形成され、前記ゲートラインを隔てた少なくとも2個のピクセル領域に形成され、前記少なくとも一つの第2電極抵抗低減配線は、前記複数の第2電極の各々に形成され、前記第2電極の抵抗を低減させることを特徴とする。

30

## 【発明の効果】

## 【0023】

本発明の実施形態によるタッチセンサー一体型表示装置及びその製造方法によれば、ピクセル電極と共に表示装置の液晶を駆動させる電界を形成するために使用される共通電極をタッチ駆動電極またはタッチセンシング電極として利用できるために、タッチ駆動電極またはタッチセンシング電極を形成するために必要な工数を低減できるだけでなく、その厚さ分だけの表示装置の厚さを薄くするという効果が得られる。

40

## 【0024】

また、本発明の実施形態に係るタッチセンサー一体型表示装置によれば、各タッチ駆動電極またはタッチセンシング電極は、ピクセル電極と1:1の関係または数個または数十個のピクセル電極当たりの一つに対応する大きさを有するようにするか、駆動電極抵抗低減配線及びセンシング電極抵抗低減配線を利用してグループ化できるので、単位タッチ認識ブロックの大きさを必要によって容易に調整することができるという効果が得られる。ま

50

た、タッチ駆動電極とタッチセンシング電極の数字が増加するので、これらの間の相互静電容量を増加させることができたため、タッチ感度を向上させることができるという効果が得られる。

【図面の簡単な説明】

【0025】

【図1】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を概略的に示すブロック図である。

【図2】図1に示す表示装置を概略的に示す一部分解斜視図である。

【図3】本発明の第1の実施形態に係るタッチセンサー一体型表示装置のタッチ駆動電極とタッチセンシング電極との関係を示す概略ブロック図である。

【図4A】本発明の第1の実施形態に係るタッチセンサー一体型表示装置の一部分を示す平面図である。

【図4B】図4Aに示すI-I'ライン及びII-II'ラインに沿う断面図である。

【図5A】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第1マスク工程を示す平面図である。

【図5B】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第1マスク工程を示す断面図であって、図5AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図6A】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第2マスク工程を示す平面図である。

【図6B】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第2マスク工程を示す断面図であって、図6AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図7A】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第3マスク工程を示す平面図である。

【図7B】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第3マスク工程を示す断面図であって、図7AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図8A】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第4マスク工程を示す平面図である。

【図8B】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第4マスク工程を示す断面図であって、図8AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図9A】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第5マスク工程を示す平面図である。

【図9B】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第5マスク工程を示す断面図であって、図9AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図10A】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第6マスク工程を示す平面図である。

【図10B】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第6マスク工程を示す断面図であって、図10AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図11A】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第7マスク工程を示す平面図である。

【図11B】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第7マスク工程を示す断面図であって、図11AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図12A】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第8マスク工程を示す平面図である。

10

20

30

40

50

【図12B】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第8マスク工程を示す断面図であって、図12AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図13A】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第9マスク工程を示す平面図である。

【図13B】本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第9マスク工程を示す断面図であって、図13AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図14】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を示す概略ブロック図である。

【図15】本発明の第2の実施形態に係るタッチセンサー一体型表示装置のタッチ駆動電極とタッチセンシング電極との関係を示す概略ブロック図である。

【図16A】本発明の第2の実施形態に係るタッチセンサー一体型表示装置の一部分を示す平面図である。

【図16B】図16Aに示すI-I'ライン及びII-II'ラインに沿う断面図である。

【図17A】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第1マスク工程を示す平面図である。

【図17B】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第1マスク工程を示す断面図であって、図17AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図18A】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第2マスク工程を示す平面図である。

【図18B】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第2マスク工程を示す断面図であって、図18AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図19A】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第3マスク工程を示す平面図である。

【図19B】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第3マスク工程を示す断面図であって、図19AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図20A】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第4マスク工程を示す平面図である。

【図20B】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第4マスク工程を示す断面図であって、図20AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図21A】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第5マスク工程を示す平面図である。

【図21B】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第5マスク工程を示す断面図であって、図21AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図22A】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第6マスク工程を示す平面図である。

【図22B】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第6マスク工程を示す断面図であって、図22AのI-I'ライン及びII-II'ラインに沿う断面図である。

【図23A】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第7マスク工程を示す平面図である。

【図23B】本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第7マスク工程を示す断面図であって、図23AのI-I'ライン及びII-II'ラ

10

20

30

40

50

インに沿う断面図である。

【図 2 4 A】本発明の第 2 の実施形態に係るタッチセンサー一体型表示装置を製造するための第 8 マスク工程を示す平面図である。

【図 2 4 B】本発明の第 2 の実施形態に係るタッチセンサー一体型表示装置を製造するための第 8 マスク工程を示す断面図であって、図 2 4 A の I - I' ライン及び I I - I I' ラインに沿う断面図である。

【図 2 5】本発明の実施形態に係る一例としての画素の回路図である。

【発明を実施するための形態】

【0026】

以下、添付図面を参照して本発明に係る好ましい実施形態を詳細に説明する。明細書全体にわたって同じ参照番号は、実質的に同じ構成要素を意味する。

10

【0027】

まず、図 1 ないし図 3 を参照して、本発明の第 1 の実施形態に係るタッチセンサー一体型表示装置について説明する。図 1 は、本発明の第 1 の実施形態に係るタッチセンサー一体型表示装置を概略的に示すブロック図、図 2 は、図 1 に示す表示装置を概略的に示す一部分解斜視図、図 3 は、図 1 に示す本発明の実施形態に係るタッチセンサー一体型表示装置のタッチ駆動電極とタッチセンシング電極との関係を示す概略ブロック図である。

【0028】

以下、タッチセンサー一体型表示装置の一例として、タッチセンサー一体型液晶表示装置を挙げて具体的に説明する。

20

【0029】

図 1 及び図 2 に示すように、本発明の実施形態に係るタッチセンサー一体型液晶表示装置は、液晶表示パネル L C P、ホストコントローラ 1 0、タイミングコントローラ 1 1、データ駆動部 1 2、ゲート駆動部 1 3、電源供給部 1 5、タッチ認識プロセッサ 1 7 などを備える。

【0030】

液晶表示パネル L C P は、液晶層（図示せず）を隔てて形成されるカラーフィルターアレイ C F A と薄膜トランジスタアレイ T F T A とを備える。

【0031】

薄膜トランジスタアレイ T F T A は、第 1 基板 S U B 1 上に第 1 方向（例えば、x 方向）に並んで形成された複数のゲートライン G 1、G 2、... G m、前記複数のゲートライン G 1、G 2、... G m と互いに交差するように第 2 方向（例えば、y 方向）に並んで形成されたデータライン D 1、D 2、... D n、前記ゲートライン G 1、G 2、... G m とデータライン D 1、D 2、... D n とが交差する領域に形成される薄膜トランジスタ T F T、液晶セルにデータ電圧を充電させるための複数のピクセル電極 P x、及び前記複数のピクセル電極 P x と対向するように配置された共通電極 C O M を備える。

30

【0032】

カラーフィルターアレイ C F A は、第 2 基板 S U B 2 上に形成されるブラックマトリックス及びカラーフィルター（図示せず）を備える。液晶表示パネル L C P の第 1 基板 S U B 1 と第 2 基板 S U B 2 の外面には、それぞれ偏光板 P O L 1、P O L 2 が付着され、液晶と接する第 1 及び第 2 基板 S U B 1、S U B 2 の内面には、液晶のプレチルト角を設定するための配向膜（図示せず）がそれぞれ形成される。液晶表示パネル L C P のカラーフィルターアレイ C F A と薄膜トランジスタアレイ T F T A との間には、液晶セルのセルギャップ（cell gap）を維持するためのカラムスペーサ（column spacer）が形成されることが出来る。

40

【0033】

バックライトユニット（図示せず）は、薄膜トランジスタアレイ T F T A の下に配置される。バックライトユニットは、複数の光源を含み、薄膜トランジスタアレイ T F T A とカラーフィルターアレイ C F A とに均一に光を照射する。バックライトユニットは、直下型バックライトユニットまたはエッジ型バックライトユニットにより構成可能である。パ

50

ックライトユニットの光源は、H C F L (Hot Cathode Fluorescent Lamp)、C C F L (Cold Cathode Fluorescent Lamp)、E E F L (External Electrode Fluorescent Lamp)、L E D (Light Emitting Diode) のうちのいずれか一つまたは二種類以上の光源を含むことができる。

【0034】

一方、共通電極 C O M は、T N (Twisted Nematic) モードと V A (Vertical Alignment) モードのような垂直電界駆動方式では第 2 基板 S U B 2 に形成され、I P S (In Plane Switching) モードと F F S (Fringe Field Switching) モードのような水平電界駆動方式では、ピクセル電極 P x と共に第 1 基板 S U B 1 上に形成される。以下の本発明の実施形態では、水平電界駆動方式を例に挙げて説明する。

10

【0035】

図 25 は、一般的な I P S モードの液晶表示素子の画素を示す回路図である。図 25 に示すように、液晶表示素子は、ゲートライン V g a t e とデータライン V d a t a との交差領域に、スイッチング素子である薄膜トランジスタが形成され、T F T は、液晶に電界を印加する一電極である画素電極(図示せず)と接続される。画素電極と共通電極 V c o m 間に横電界が形成されることによって、画素電極、共通電極 V c o m 及びこれらの間の液晶層が 1 つのキャパシタ C<sub>LC</sub> を形成する。さらに、画素電極、共通電極 V c o m 及びこれらの間の絶縁層がストレージキャパシタ C<sub>ST</sub> を形成し、データ信号を維持させる。

【0036】

図 3 は、本発明の第 1 の実施形態に係るタッチセンサー一体型表示装置の共通電極兼用タッチ駆動電極とタッチセンシング電極との関係を概略的に示す平面図である。

20

【0037】

図 3 に示すように、本発明の第 1 の実施形態に係るタッチセンサー一体型表示装置の共通電極 C O M は、第 1 方向(例えば、x 軸方向)と第 2 方向(例えば、y 軸方向)とに分割されるが、y 軸方向には、互いに接続した複数の共通電極で、これらの共通電極 C O M は、タッチセンサを構成する複数のタッチ駆動電極 T x 1 1, T x 2 1, T x 3 1, ... T x 8 1; T x 1 2, T x 2 2, T x 3 2, ... T x 8 2 としての機能を兼ねる。

【0038】

タッチ駆動電極 T x 1 1, T x 1 2, T x 2 1, T x 2 2, . . . T x 8 1, T x 8 2 のうち、y 軸方向の第 1 タッチ駆動電極 T x 1 1, T x 2 1, . . . T x 8 1 は、少なくとも一つの接続部により互いに接続されるように形成され、これらの上部には、抵抗低減のための第 1 抵抗低減配線 T x W 1, T x W 2, T x W 3 が形成される。第 2 タッチ駆動電極 T x 1 2, T x 2 2, . . . T x 8 2 もまた少なくとも一つの接続部により互いに接続されるように形成され、これらの上部には、抵抗低減のための第 2 抵抗低減配線 T x W 4, T x W 5, T x W 6 が形成される。第 1 及び第 2 抵抗低減配線 T x W 1 ~ T x W 3, T x W 4 ~ T x W 6 は、第 1 ルーチング配線 T L 1, T L 2 を介して電源部 1 5 に接続される。

30

【0039】

図 3 の実施形態では、タッチ駆動電極が 2 個のタッチ駆動ラインからなる構成の例、すなわち、第 1 タッチ駆動電極 T x 1 1, T x 2 1, . . . T x 8 1 と第 1 抵抗低減配線 T x W 1, T x W 2, T x W 3 からなる第 1 タッチ駆動ライン T x 1 1, T x 2 1, . . . T x 8 1, T x W 1, T x W 2, T x W 3 と、第 2 タッチ駆動電極 T x 1 2, T x 2 2, . . . T x 8 2 と第 2 抵抗低減配線 T x W 4, T x W 5, T x W 6 からなる第 2 タッチ駆動ライン T x 1 2, T x 2 2, . . . T x 8 2, T x W 4, T x W 5, T x W 6 の例を示している。

40

【0040】

第 1 及び第 2 タッチ駆動電極 T x 1 1, T x 2 1, . . . T x 8 1; T x 1 2, T x 2 2, . . . T x 8 2 には、タッチ駆動時には、電源供給部 1 5 を介してタッチ駆動電圧 V t s p が供給され、ディスプレイ駆動時には、電源供給部 1 5 を介して共通電圧 V c o m が供給される。したがって、第 1 及び第 2 タッチ駆動電極 T x 1 1, T x 2 1, . . . T

50

$\times 81$ ;  $T \times 12$ ,  $T \times 22$ , . . .  $T \times 82$  は、タッチ駆動電圧  $V_{ts p}$  が印加される時には、タッチ駆動電極としての機能を果たし、共通電圧  $V_{com}$  が印加される時には、共通電極としての機能を果たす。

【0041】

上述した本発明の第1の実施形態では、第1タッチ駆動ライン  $T \times 11$ ,  $T \times 21$ , . . .  $T \times 81$ ,  $T \times W1$ ,  $T \times W2$ ,  $T \times W3$  または第2タッチ駆動ライン  $T \times 12$ ,  $T \times 22$ , . . .  $T \times 82$ ,  $T \times W4$ ,  $T \times W5$ ,  $T \times W6$  を形成するために、3個の第1抵抗低減配線  $T \times W1$ ,  $T \times W2$ ,  $T \times W3$  または第2抵抗低減配線  $T \times W4$ ,  $T \times W5$ ,  $T \times W6$  が使用される場合を例に挙げたが、本発明はこれに限定されるものではない。例えば、各々のタッチ駆動ラインを形成するために一つまたは二つの抵抗低減配線が利用されるか、又は4個またはそれ以上の抵抗低減配線が利用されることができる。

10

【0042】

一方、タッチセンサを構成するタッチセンシング電極  $R \times 1$ ,  $R \times 2$ , . . .  $R \times 8$  は、タッチ駆動電極  $T \times 11$ ,  $T \times 12$  と  $T \times 21$ ,  $T \times 22$ ;  $T \times 21$ ,  $T \times 22$  と  $T \times 31$ ,  $T \times 32$ ;  $T \times 31$ ,  $T \times 32$  と  $T \times 41$ ,  $T \times 42$ ;  $T \times 41$ ,  $T \times 42$  と  $T \times 51$ ,  $T \times 52$ ;  $T \times 51$ ,  $T \times 52$  と  $T \times 61$ ,  $T \times 62$ ;  $T \times 61$ ,  $T \times 62$  と  $T \times 71$ ,  $T \times 72$ ;  $T \times 71$ ,  $T \times 72$  と  $T \times 81$ ,  $T \times 82$  の間で第1及び第2抵抗低減配線  $T \times W1$ ,  $T \times W2$ ,  $T \times W3$ ;  $T \times W4$ ,  $T \times W5$ ,  $T \times W6$  と交差するように第1方向(例えば、 $x$ 軸方向)に配列する。タッチセンシング電極  $R \times 1$ ,  $R \times 2$ , . . .  $R \times 8$  上にも抵抗低減のための抵抗低減配線  $R \times W1$ ,  $R \times W2$ , . . .  $R \times W8$  が形成される。また、タッチセンシング電極  $R \times 1$ ,  $R \times 2$ , . . .  $R \times 8$  は、互いに分離されているが、タッチセンシング電極とそれぞれ接触する第3ないし第6抵抗低減配線  $R \times W1 \sim R \times W4$  と第7ないし第10抵抗低減配線  $R \times W5 \sim R \times W8$  により4個の単位でグループ化されて第1タッチセンシングライン  $R \times 1 \sim R \times 4$ ,  $R \times W1 \sim R \times W4$  と第2タッチセンシングライン  $R \times 5 \sim R \times 8$ ,  $R \times W5 \sim R \times W8$  を構成する。第1タッチセンシングライン  $R \times 1 \sim R \times 4$ ,  $R \times W1 \sim R \times W4$  及び第2タッチセンシングライン  $R \times 5 \sim R \times 8$ ,  $R \times W5 \sim R \times W8$  は、第2ルーチング配線  $RL1$ ,  $RL2$  を介してタッチ認識プロセッサ17に接続される。

20

【0043】

タッチセンシング電極  $R \times 1 \sim R \times 8$  は、タッチ認識プロセッサ17に接続され、タッチ認識プロセッサが17がタッチの前後の静電容量の変化を測定してタッチ位置を検出することができる。

30

【0044】

本発明の第1の実施形態に係るタッチセンサは、上述したように、タッチ駆動電極  $T \times 11$ ,  $T \times 12$ ,  $T \times 21$ ,  $T \times 22$ , . . .  $T \times 81$ ,  $T \times 82$  とタッチセンシング電極  $R \times 1$ ,  $R \times 2$ , . . .  $R \times 8$  とからなり、タッチ認識のための単位タッチ認識ブロックは、第1及び第2抵抗低減配線と第3及び第4抵抗低減配線を利用して、複数のタッチ駆動電極と複数のタッチセンシング電極とを適切にグループ化して形成できる。図3に示す例では、8個のタッチセンシング電極  $R \times 1 \sim R \times 8$  と16個のタッチ駆動電極  $T \times 11$ ,  $T \times 21$ , . . .  $T \times 81$ ;  $T \times 12$ ,  $T \times 22$ , . . .  $T \times 82$  と14個の抵抗低減配線  $T \times W1 \sim T \times W6$ ,  $R \times W1 \sim R \times W8$  によりそれぞれ形成される4個の単位タッチ認識ブロック  $TU11$ ,  $TU12$ ,  $TU21$ ,  $TU22$  の例が示されている。

40

【0045】

これをさらに具体的に説明すれば、第1タッチ認識ブロック  $TU11$  は、抵抗低減配線  $T \times W1 \sim T \times W3$  により互いに接続した第1タッチ駆動電極  $T \times 11$ ,  $T \times 21$ ,  $T \times 31$ ,  $T \times 41$  と、抵抗低減配線  $R \times W1 \sim R \times W4$  により互いに接続した第1ないし第4タッチセンシング電極  $R \times 1$ ,  $R \times 2$ ,  $R \times 3$ ,  $R \times 4$  により形成される。第2タッチ認識ブロック  $TU12$  は、抵抗低減配線  $T \times W4 \sim T \times W6$  により互いに接続した第2タッチ駆動電極  $T \times 12$ ,  $T \times 22$ ,  $T \times 32$ ,  $T \times 42$  と、抵抗低減配線  $R \times W1 \sim R \times W4$  により互いに接続した第1ないし第4タッチセンシング電極  $R \times 1$ ,  $R \times 2$ ,  $R \times 3$

50

、 $R \times 4$ により形成される。第3タッチ認識ブロック $TU21$ は、抵抗低減配線 $T \times W1 \sim T \times W3$ により互いに接続した第1タッチ駆動電極 $T \times 51, T \times 61, T \times 71, T \times 81$ と抵抗低減配線 $R \times W5 \sim R \times W8$ により互いに接続した第5ないし第8タッチセンシング電極 $R \times 5, R \times 6, R \times 7, R \times 8$ により形成される。第4タッチ認識ブロック $TU22$ は、抵抗低減配線 $T \times W4 \sim T \times W6$ により互いに接続した第2タッチ駆動電極 $T \times 52, T \times 62, T \times 72, T \times 82$ と抵抗低減配線 $R \times W5 \sim R \times W8$ により互いに接続した第5ないし第8タッチセンシング電極 $R \times 5, R \times 6, R \times 7, R \times 8$ により形成される。

【0046】

以上説明したタッチ駆動電極 $T \times 11, T \times 12, T \times 21, T \times 22, \dots, T \times 81, T \times 82$ のすべては、共通電極 $COM$ としての機能を兼ねており、水平電界方式の表示装置において、これらは、ピクセル電極 $Px$ と共に薄膜トランジスタアレイ $TFTA$ の第1基板 $SUB1$ に形成され、ピクセル電極 $Px$ は、ゲートライン $G1 \sim Gm$ とデータライン $D1 \sim Dn$ との交差により画定される領域に形成される。

【0047】

一方、共通電極 $COM$ としての機能を兼ねるタッチ駆動電極 $T \times 11, T \times 12, T \times 21, T \times 22, \dots, T \times 81, T \times 82$ は、数個または数十個のピクセル電極毎に対応して形成されるが、ピクセル電極 $Px$ と1:1に対応して形成されてもよい。

【0048】

上述したように、本発明の第1の実施形態に係るタッチセンサー一体型表示装置において、タッチ駆動電極とピクセル電極とは、1:1または1:n( $n$ は、2以上の自然数)の対応関係を有するように形成されることもできる。また、第1及び第2抵抗低減配線 $T \times W1, T \times W2, T \times W3; T \times W4, T \times W5, T \times W6$ は、データライン $D1 \sim Dn$ と1:1に対応して形成されるか、または数個または数十個のデータライン当たりの一つに対応して形成されることができる。また、タッチセンシング電極 $R \times 1 \sim R \times 8$ は、ゲートラインと1:1に対応して形成されるか、又は、数個または数十個のゲートライン毎に対応して形成してもよい。このような構造によれば、タッチ駆動電極とタッチセンシング電極の数を顕著に増加させることができるので、これらの間の相互静電容量の増加によるタッチ感度を向上させることができる効果を得ることができる。それだけでなく、ゲートラインとデータラインの各々に対応してタッチセンシング電極とタッチ駆動電極とを形成する場合、タッチ駆動電極とタッチセンシング電極の数を必要によって容易に調整することが可能となる。

【0049】

次に、図4A及び図4Bを参照して、本発明の第1の実施形態に係るタッチセンサー一体型表示装置について、さらに具体的に説明する。

【0050】

図4A及び図4Bに示すように、本発明の第1の実施形態に係るタッチセンサー一体型表示装置は、薄膜トランジスタアレイ $TFTA$ の基板 $SUB1$ 上に互いに交差するように形成されるゲートライン $GL$ 及びデータライン $DL$ と、前記ゲートライン $GL$ とデータライン $DL$ との交差領域に形成される薄膜トランジスタ $TFT$ と、ゲートライン $GL$ とデータライン $DL$ との交差により画定される領域に形成されるピクセル電極 $Px$ と、前記ピクセル電極 $Px$ と対向する共通電極 $COM$ とを備える。本発明の第1の実施形態では、共通電極 $COM$ がタッチ駆動電極 $Tx$ の機能を兼ねるので、以下の説明では、必要によって共通電極 $COM$ 、タッチ駆動電極 $Tx$ 、共通電極兼用タッチ駆動電極 $Tx$ 、またはタッチ駆動電極兼用共通電極 $COM$ と称する。

【0051】

前記構成において、薄膜トランジスタ $TFT$ は、ゲートライン $GL$ から延びるゲート電極 $G$ と、ゲートライン $GL$ 及びゲート電極 $G$ をカバーするゲート絶縁層 $GI$ 上においてゲート電極 $G$ と対応する領域に形成される活性層 $A$ と、活性層 $A$ をカバーする第1保護膜 $PAS1$ 上に形成されるデータライン $DL$ から延びるソース電極 $S$ と、ソース電極 $S$ と対向

10

20

30

40

50

するように形成されるドレイン電極 D とを備える。

【0052】

薄膜トランジスタ TFT とデータライン DL とをカバーする第 1 保護膜 PAS 1 上には、タッチ駆動電極 Tx の機能を兼ねる共通電極 COM が形成される。図 4 A 及び図 4 B に示す実施形態において、このタッチ駆動電極 Tx は、3 個のピクセル電極 Px に対応して一つが形成される例を挙げているが、本発明はこれに限定されるものではなく、タッチ駆動電極 Tx とピクセル電極 Px とを、1 : 1 に対応させて形成しても良い。

【0053】

タッチ駆動電極 Tx 上には、タッチ電極が接続する方向に並んだ方向 (y 軸方向) に第 1 及び第 2 抵抗低減配線 (以下、駆動電極抵抗低減配線 TxW とする) が形成され、タッチ駆動電極 Tx11, Tx21, . . . , Tx81; Tx12, Tx22, . . . , Tx82 (図 3 参照) の抵抗を低減させる。

10

【0054】

駆動電極抵抗低減配線 TxW とタッチ駆動電極 Tx の形成された第 1 保護膜 PAS 1 の全面上には、第 2 保護膜 PAS 2 が形成され、ドレイン電極 D の一部分が露出するように第 1 保護膜 PAS 1 と第 2 保護膜 PAS 2 とを貫通する第 1 及び第 2 コンタクト孔 CH1、CH2 が形成される。

【0055】

第 1 及び第 2 コンタクト孔 CH1、CH2 の形成された第 2 保護膜 PAS 2 上には、ゲートライン GL に並んだ方向 (x 軸方向) に第 3 及び第 4 抵抗低減配線 (以下、センシング電極抵抗低減配線 RxW とする) が形成される。センシング電極抵抗低減配線 RxW の形成された第 2 保護膜 PAS 2 上には、データライン DL とゲートライン GL との交差により画定されるピクセル領域内に各々ピクセル電極 Px が形成され、また、上下に互いに隣接するピクセル電極 Px の間にセンシング電極抵抗低減配線 RxW をカバーするようにゲートライン GL と平行にタッチセンシング電極 Rx が形成される。図 4 A に示す実施形態では、タッチセンシング電極 Rx がゲート電極 G 及びソース電極 S の一部分だけが重なるように形成されているが、薄膜トランジスタのソース電極 S の全体及びドレイン電極 D の一部と重なるように形成されても良い。

20

【0056】

本発明の第 1 の実施形態に係るタッチセンサー一体型表示装置では、図 4 A 及び図 4 B に示すように第 1 保護層 PAS 1 上に形成されるタッチ駆動電極 Tx は、スリットがないように形成され、第 2 保護層 PAS 2 上に形成されるピクセル電極 Px は、スリット SL を有するように形成される。しかしながら、本発明はこれに限定されるものではなく、タッチ駆動電極 Tx とピクセル電極 Px の何れか一つがスリットのある形状であれば、他の一つは、スリットのない形状を有するように形成されてもよい。

30

【0057】

本発明の第 1 の実施形態に係るタッチセンサー一体型表示装置では、共通電極 COM がタッチ駆動電極 Tx として機能する場合を例に挙げて説明したが、共通電極 COM を電源部 15 に接続してディスプレイ駆動時に共通電圧を供給し、タッチ駆動時にタッチセンシング電極 Rx にタッチ駆動電圧を供給し、共通電極 COM をタッチ認識プロセッサ 17 に接続してタッチセンシングがなされるようにすれば、共通電極 COM をタッチセンシング電極 Rx として機能するように構成することができる。

40

【0058】

また、図 1 及び図 2 に示すように、ゲート駆動部 13 は、タイミングコントローラ 11 の制御の下にディスプレイモードでゲートパルス (またはスキャンパルス) を順次出力し、その出力のスイング電圧をゲートハイ電圧 VGH とゲートロー電圧 VGL にシフトさせる。ゲート駆動部 13 から出力されるゲートパルスは、データ駆動部 12 から出力されるデータ電圧に同期してゲートライン G1 ~ Gm に順次供給される。ゲートハイ電圧 VGH は、薄膜トランジスタ TFT のしきい電圧以上の電圧で、ゲートロー電圧 VGL は、薄膜トランジスタ TFT のしきい電圧より低い電圧である。ゲート駆動部 13 のゲート駆動

50

IC (Integrated Circuit) は、TAP (Tape Automated Bonding) 工程を介して薄膜トランジスタアレイTF TAの第1基板SUB 1上に形成されたゲートラインG 1 ~ G mに接続したりGIP (Gate In Panel) 工程でピクセルと共に薄膜トランジスタアレイTF TAの第1基板SUB 1上に直接形成されることができる。

【0059】

データ駆動部12は、タイミングコントローラ11の制御の下にデジタルビデオデータRGBをサンプリングしラッチする。データ駆動部12は、電源供給部15から供給される正極性/負極性ガンマ補償電圧GMA 1 ~ GMA nに基づいてデジタルビデオデータRGBのデータ電圧の極性を反転させて正極性/負極性データ電圧を出力する。データ駆動部12から出力される正極性/負極性データ電圧は、ゲート駆動部13から出力されるゲートパルスに同期される。データ駆動部12のソース駆動IC (Integrated Circuit) の各々は、COG (Chip On Glass) 工程やTAB (Tape Automated Bonding) 工程でディスプレイ部のデータラインD 1 ~ D nに接続されうる。ソース駆動ICは、タイミングコントローラ11内に集積されてタイミングコントローラ11と共にワンチップIC (one chip IC) により具現化されることができる。

10

【0060】

タイミングコントローラ11は、外部のホストコントローラ10から供給される表示装置の駆動のために必要なタイミング信号を利用して、ゲート駆動部13及びデータ駆動部12の動作タイミングを制御するためのタイミング制御信号Vsync、Hsync、DE、MCLKを発生する。ゲート駆動部13及びデータ駆動部12の動作タイミングを制御するためのタイミング制御信号は、ゲート駆動部13の動作タイミングを制御するためのゲートタイミング制御信号と、データ駆動部12の動作タイミングとデータ電圧の極性を制御するためのデータタイミング制御信号とを含む。

20

【0061】

ゲートタイミング制御信号は、ゲートスタートパルス (Gate Start Pulse、GSP)、ゲートシフトクロック (Gate Shift Clock、GSC)、ゲート出力イネーブル信号 (Gate Output Enable、GOE) などを含む。ゲートスタートパルスGSPは、ゲート駆動部13からフレーム期間ごとに最も速くゲートパルスを出力する最初のゲート駆動ICに印加されて、そのゲート駆動ICのシフトスタートタイミングを制御する。ゲートシフトクロックGSCは、ゲート駆動部13のゲート駆動ICに共通に入力されてゲートスタートパルスGSPをシフトさせるためのクロック信号である。ゲート出力イネーブル信号GOEは、ゲート駆動部13のゲート駆動ICの出力タイミングを制御する。

30

【0062】

データタイミング制御信号は、ソーススタートパルス (Source Start Pulse、SSP)、ソースサンプリングクロック (Source Sampling Clock、SSC)、極性制御信号 (Polarity: POL)、及びソース出力イネーブル信号 (Source Output Enable、SOE) などを含む。ソーススタートパルスSSPは、データ駆動部12で最も速くデータをサンプリングする最初のソース駆動ICに印加されてデータサンプリングスタートタイミングを制御する。ソースサンプリングクロックSSCは、立ち上がりまたは立ち下がりエッジに基づいてソース駆動IC内でデータのサンプリングタイミングを制御するクロック信号である。極性制御信号POLは、ソース駆動ICから出力されるデータ電圧の極性を制御する。ソース出力イネーブル信号SOEは、ソース駆動ICの出力タイミングを制御する。mini LVDS (Low Voltage Differential Signaling) インタフェースを介してデータ駆動部12にデジタルビデオデータRGBが入力される場合、ソーススタートパルスSSPとソースサンプリングクロックSSCは省略できる。

40

【0063】

電源供給部15は、PWM (Pulse Width Modulation) 変調回路、ブーストコンバーター (boost converter)、レギュレーター (regulator)、チャージポンプ (charge pump)、分圧回路、演算増幅器 (Operation Amplifier)などを備えたDC-DCコンバーター (DC-DC Converter) により具現化される。電源供給部15は、ホストコントローラ

50

10からの入力電圧を調整して液晶表示パネルLCP、データ駆動部12、ゲート駆動部13、タイミングコントローラ11、バックライトユニット(図示せず)の駆動に必要な電源を発生させる。

【0064】

電源供給部15から出力される電源は、高電位電源電圧VDD、ゲートハイ電圧VGH、ゲートロー電圧VGL、共通電圧Vcom、正極性/負極性ガンマ基準電圧VGM A1~VGM An、タッチ駆動電圧Vtspなどを含む。これらの電圧のうち、共通電圧Vcomは、ディスプレイ駆動時にホストコントローラ10の制御の下にすべての共通電極COMに供給される。共通電圧Vcomは、タイミングコントローラ11の制御の下にすべての共通電極COMに供給されるように構成してもよい。一方、タッチ駆動電圧Vtspは、タッチ駆動時にホストコントローラ10の制御の下に第1及び第2タッチ駆動電極T11, T21, . . . T81; T12, T22, . . . T82にそれぞれ供給される。タッチ駆動電圧Vtspは、タイミングコントローラ11の制御の下に第1及び第2タッチ駆動電極Tx11, Tx21, . . . Tx81; Tx12, Tx22, . . . Tx82に供給されるように構成してもよい。

10

【0065】

また、本発明の図1の実施形態では、タッチ駆動電圧Vtspが電源供給部15を介して第1及び第2タッチ駆動電極Tx11, Tx21, . . . Tx81; Tx12, Tx22, . . . Tx82に供給されると示されているが、本発明はこれに限定されるものではない。例えば、タッチ駆動電圧Vtspは、ホストコントローラ10またはタイミングコントローラ11により制御されるタッチ認識プロセッサ17を介して第1及び第2タッチ駆動電極Tx11, Tx21, . . . Tx81; Tx12, Tx22, . . . Tx82に供給されてもよい。

20

【0066】

ホストコントローラ10は、入力映像のデジタルビデオデータRGBと、ディスプレイ駆動に必要なタイミング信号Vsync, Hsync, DE, MCLKをLVDSインタフェース(Low Voltage Difference Signaling)、TMD S (Transition Minimized Differential Signaling)インタフェースなどのインタフェースを介してタイミングコントローラ11に送信する。ホストコントローラ10は、また液晶表示装置の画面に画像を表示するためのディスプレイ駆動時には、複数に分割された共通電極COMに同じ共通電圧Vcomが供給されるように制御信号Vinを電源供給部15に供給し、タッチ認識のためのタッチ駆動時には、タッチ駆動電極Tx11, Tx12, Tx21, Tx22, . . . Tx81, Tx82にタッチ駆動電圧Vtspが供給されるように制御信号Vinを電源供給部15に供給する。

30

【0067】

タッチ認識プロセッサ17は、第2ルーチング配線RL1, RL2を介して接続したタッチセンシング電極Rx1~Rx8各々の初期静電容量の電圧とタッチ後のタッチ静電容量の電圧を差動増幅し、その結果をデジタルデータに変換する。そして、タッチ認識プロセッサ17は、タッチ認識アルゴリズムを利用してタッチセンシング電極Rx1~Rx8の初期静電容量とタッチ後に測定された静電容量の差とに基づいてタッチがなされたタッチ位置を判断し、そのタッチ位置を指示するタッチ座標データをホストコントローラ10に出力する。

40

【0068】

上述したように、本発明の実施形態に係る第1及び第2タッチ駆動電極Tx11, Tx21, . . . Tx81; Tx12, Tx22, . . . Tx82は、y軸方向にタッチ駆動ラインを形成し、タッチセンシング電極Rx1~Rx8は、x軸方向にタッチセンシングラインを形成するので、互いに交差する構成を有するようになる。したがって、表示装置にタッチが行なわれた場合に、タッチセンシングラインとタッチ駆動ラインとの間に相互静電容量の変化が発生するようになり、これを測定して相互静電容量の変化が発生した位置を検出できるようになる。

50

## 【0069】

特に、本発明の第1の実施形態に係るタッチセンサー一体型表示装置において各タッチ駆動電極は、単位ピクセル電極に対応するように形成し、各タッチセンシング電極は、一つのゲートラインに対応するように形成すれば、タッチ駆動電極とタッチセンシング電極の数を増加させることができるので、これらの間の相互静電容量を増加させることができるから、タッチ感度を向上させることができるという効果が得られる。また、単位タッチ認識ブロック（タッチ認識のための基本単位）は、駆動電極抵抗低減配線とセンシング電極抵抗低減配線とを利用して、必要によって適切な大きさに調整することができるので、多様な単位タッチ認識ブロックを有する表示装置を形成できるという利点もある。

## 【0070】

以下、図5Aないし図13Bを参照して本発明の第1の実施形態に係るタッチセンサー一体型表示装置の製造方法について説明する。

## 【0071】

図5Aは、本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第1マスク工程を示す平面図で、図5Bは、本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第1マスク工程を示す断面図であって、図5AのI-I'ライン及びII-II'ラインに沿う断面図である。

## 【0072】

図5A及び図5Bに示すように、基板SUB1上にスパッタリングなどの蒸着工程を介して第1導電層としての第1金属層（ゲート金属層）が全面蒸着された後、第1マスク工程を利用して基板SUB1上にゲートラインGL及びゲートラインGLから延びるゲート電極Gが形成される。

## 【0073】

さらに具体的に説明すれば、基板SUB1上にスパッタリングなどの蒸着工程を介して第1導電層としてのゲート金属層を全面蒸着した後、その上部にフォトリソグラフィ（photo resist）を全面塗布し、その後第1マスクを利用したフォトリソグラフィ工程を行うことによって、ゲート金属層を露出させる第1フォトリソグラフィパターン（図示せず）を形成する。そして、第1フォトリソグラフィパターンにより露出したゲート金属層をウェットエッチング（wet etching）を介して除去した後、残留する第1フォトリソグラフィパターンをアッシングすることで、基板SUB1上にゲートラインGL及びゲートラインGLから延びたゲート電極Gを形成する。ゲート金属層は、Al、AlNd、銅（Cu）、クロム（Cr）、モリブデン（Mo）、MoTiを含む金属物質から選択される。

## 【0074】

図6Aは、本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第2マスク工程を示す平面図で、図6Bは、本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第2マスク工程を示す断面図であって、図6AのI-I'ライン及びII-II'ラインに沿う断面図である。

## 【0075】

図6A及び図6Bに示すように、ゲート電極Gを備えるゲートラインGLの形成された基板SUB1上にゲート絶縁膜GIが形成された後、ゲート絶縁膜GI上に半導体層を形成する。以後、半導体層上にフォトリソグラフィを全面塗布した後、第2マスクを利用したフォトリソグラフィ工程を行うことによって、半導体層のうち、チャンネル領域に対応する領域を除いた残りの領域を露出させる第2フォトリソグラフィパターン（図示せず）を形成する。次に、第2フォトリソグラフィパターンにより露出した半導体層をエッチングした後に残留する第2フォトリソグラフィパターンを除去することによって、半導体パターンAを形成する。

## 【0076】

図7Aは、本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第3マスク工程を示す平面図である。図7Bは、本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第3マスク工程を示す断面図であって、図7Aの

10

20

30

40

50

I - I'ライン及びII - II'ラインに沿う断面図である。

【0077】

図7A及び図7Bに示すように、半導体パターンAの形成されたゲート絶縁膜GI上に第2導電層としての第2金属層(データ金属層)を蒸着させ、第3マスク工程を利用してデータ金属層をパターニングすることによって、データラインDL、データラインから延びるソース電極S、及びソース電極Sと対向するドレイン電極Dを有する第1導電性パターン群を形成する。

【0078】

これをさらに具体的に説明すれば、半導体パターンAの形成されたゲート絶縁膜GI上に第2導電層としてのデータ金属層を蒸着させ、データ金属層上にフォトレジストを全面塗布した後、第3マスクを利用したフォトリソグラフィ工程を行うことによって、データラインとソース電極、及びドレイン電極の形成される領域を除いたデータ金属層を露出させる第3フォトレジストパターン(図示せず)を形成する。そして、第3フォトレジストパターンにより露出したデータ金属層をエッチングして除去し、データ金属層上に残留する第3フォトレジストパターンを除去することによって、ゲート絶縁膜GIを隔ててゲートラインGLと交差するデータラインDL、データラインDLから延びたソース電極S、ソース電極Sと対向するドレイン電極Dを有する薄膜トランジスタを形成する。

【0079】

図8Aは、本発明の第1の実施形態に係るタッチセンサ一体型表示装置を製造するための第4マスク工程を示す平面図で、図8Bは、本発明の第1の実施形態に係るタッチセンサ一体型表示装置を製造するための第4マスク工程を示す断面図であって、図8AのI - I'ライン及びII - II'ラインに沿う断面図である。

【0080】

図8A及び図8Bに示すように、第1導電性パターン群の形成されたゲート絶縁膜GIの全面上に第1保護膜PAS1を形成し、第4マスク工程を利用して第1保護膜PAS1をエッチングしてドレイン電極Dの一部を露出させる第1コンタクト孔CH1を形成する。

【0081】

これをさらに具体的に説明すれば、データラインDLと薄膜トランジスタTFTが形成されたゲート絶縁膜GIの全面上に第1保護膜PAS1を形成し、第1保護膜PAS1上にフォトレジストを全面塗布した後、第4マスクを利用したフォトリソグラフィ工程を行うことによって、ドレイン電極Dの一部を露出させるための第4フォトレジストパターン(図示せず)を形成する。そして、第4フォトレジストパターンにより露出した第1保護膜PAS1をエッチングした後に残留する第4フォトレジストパターンを除去することによって、ドレイン電極Dの一部を露出させる第1コンタクト孔CH1を形成する。ここで、第1保護膜PAS1は、フォトアクリル(polyanionic cellulose, PAC)などの有機界低誘電物質を利用して形成する。

【0082】

図9Aは、本発明の第1の実施形態に係るタッチセンサ一体型表示装置を製造するための第5マスク工程を示す平面図で、図9Bは、本発明の第1の実施形態に係るタッチセンサ一体型表示装置を製造するための第5マスク工程を示す断面図であって、図9AのI - I'ライン及びII - II'ラインに沿う断面図である。

【0083】

図9A及び図9Bに示すように、第1コンタクト孔CH1の形成された第1保護膜PAS1上に第3導電層としての第1透明導電層を蒸着させ、第5マスク工程を利用して第1透明導電層をパターニングすることでタッチ駆動電極Txとしての共通電極COMを形成する。

【0084】

これをさらに具体的に説明すれば、第1コンタクト孔CH1の形成された第1保護膜PAS1上にPECVD(Plasma-Enhanced Chemical Vapor Deposition)などの蒸着工程

10

20

30

40

50

を介して第3導電層としての第1透明導電層を全面蒸着させる。以後、第1透明導電層にフォトレジストを全面形成した後、第5マスクを利用したフォトリソグラフィ工程を行うことによって、タッチ駆動電極T×兼用の共通電極COMの形成される領域を除いた残りの領域を露出させる第5フォトレジストパターン(図示せず)を形成する。そして、第5フォトレジストパターンにより露出した透明導電層をエッチングした後に残留する第5フォトレジストパターンを除去することによって、タッチ駆動電極T×兼用の共通電極COMを形成する。タッチ駆動電極T×兼用の共通電極COMは、図1ないし図3と関連して説明したように、多様な大きさを有するように形成されることができる。第1透明導電層には、ITO(Indium Tin Oxide)、IZO(Indium Zinc Oxide)、GZO(Gallium-doped Zinc Oxide)のような透明導電性物質が利用される。

10

**【0085】**

図10Aは、本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第6マスク工程を示す平面図で、図10Bは、本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第6マスク工程を示す断面図であって、図10AのI-I'ライン及びII-II'ラインに沿う断面図である。

**【0086】**

図10A及び図10Bに示すように、タッチ駆動電極T×兼用の共通電極COMの形成された第1保護膜PAS1上にスパッタリングなどの蒸着工程を介して第4導電層としての第3金属層が全面蒸着された後、第6マスク工程を利用してデータラインと平行に駆動電極抵抗低減配線T×Wが形成される。

20

**【0087】**

さらに具体的に説明すれば、タッチ駆動電極T×兼用の共通電極COMの形成された第1保護膜PAS1上にスパッタリングなどの蒸着工程を介して第4導電層としての第3金属層を全面蒸着した後、その上部にフォトレジストを全面塗布し、その後第6マスクを利用したフォトリソグラフィ工程を行うことによって、データラインDLとオイラ欄とタッチ駆動電極T×兼用の共通電極COMと直接接触される駆動電極抵抗低減配線T×Wを形成する。このとき、駆動電極抵抗低減配線T×WをデータラインDLと重なるように形成すれば、開口率を高めることができる効果が得られる。第4導電層は、アルミニウム(Al)、AlNd、銅(Cu)、クロム(Cr)、モリブデン(Mo)、MoTiなどの材料より選択される。

30

**【0088】**

以上の説明では、タッチ駆動電極T×と駆動電極抵抗低減配線T×Wtをそれぞれのマスク工程を利用して形成すると説明したが、ハーフトーンマスク(half-tone mask)工程を利用すれば、一回のマスク工程でこれらを形成することができる。ハーフトーンマスク工程は公知の技術であるから、ハーフトーンマスク工程を利用して一回のマスク工程でタッチ駆動電極T×と駆動電極抵抗低減配線T×Wとを形成する方法についての説明は省略する。

**【0089】**

図11Aは、本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第7マスク工程を示す平面図で、図11Bは、本発明の第1の実施形態に係るタッチセンサー一体型表示装置を製造するための第7マスク工程を示す断面図であって、図11aのI-I'ライン及びII-II'ラインに沿う断面図である。

40

**【0090】**

図11A及び図11Bに示すように、タッチ駆動電極T×兼用の共通電極COMと駆動電極抵抗低減配線T×Wの形成された第1保護膜PAS1上に第2保護膜PAS2を形成した後、第7マスク工程を利用して第2保護膜PAS2をエッチングすることによって、薄膜トランジスタTFTのドレイン電極Dの一部を露出させる第2コンタクト孔CH2を形成する。

**【0091】**

これをさらに具体的に説明すれば、タッチ駆動電極T×兼用の共通電極COMと駆動電

50

極抵抗低減配線  $T \times W$  の形成された第 1 保護膜 P A S 1 の全面上に第 2 保護膜 P A S 2 を形成し、第 2 保護膜 P A S 2 上にフォトレジストを全面塗布した後第 7 マスクを利用したフォトリソグラフィ工程を行うことによって、薄膜トランジスタ T F T のドレイン電極 D の一部を露出させるための第 7 フォトレジストパターン（図示せず）を形成する。そして、第 7 フォトレジストパターンにより露出した第 2 保護膜 P A S 2 をエッチングした後に残留する第 7 フォトレジストパターンを除去することによって、第 1 コンタクト孔 C H 1 を介して露出したドレイン電極 D の一部を露出させる第 2 コンタクト孔 C H 2 を形成する。ここで、第 2 保護膜 P A S 2 は、フォトアクリル（polyanionic cellulose, P A C）などの有機界低誘電物質を利用して形成する。

【 0 0 9 2 】

本発明の第 2 コンタクト孔 C H 2 は、第 7 マスク工程にて第 1 保護膜 P A S をエッチングして形成された第 1 コンタクト孔 C H 1 に充填される第 2 保護膜 P A S 2 を除去して形成すると説明したが、第 4 マスク工程にて第 1 コンタクト孔 C H 1 を形成せずに、一回のマスク工程で第 1 及び第 2 保護膜 P A S 1, P A S 2 を除去して第 1 及び第 2 コンタクト孔を一回に形成することもできる。

【 0 0 9 3 】

図 1 2 A は、本発明の第 1 の実施形態に係るタッチセンサー一体型表示装置を製造するための第 8 マスク工程を示す平面図で、図 1 2 B は、本発明の第 1 の実施形態に係るタッチセンサー一体型表示装置を製造するための第 8 マスク工程を示す断面図であって、図 1 2 a の I - I' ライン及び I I - I I' ラインに沿う断面図である。

【 0 0 9 4 】

図 1 2 A 及び図 1 2 B に示すように、第 2 コンタクト孔 C H 2 の形成された第 2 保護膜 P A S 2 上に第 5 導電層としての第 4 金属層を蒸着し、第 8 マスク工程を利用して第 5 導電層をエッチングすることによって、ゲートライン G L に並んでセンシング電極抵抗低減配線  $R \times W$  を形成する。

【 0 0 9 5 】

これをさらに具体的に説明すれば、第 2 コンタクト孔 C H 2 の形成された第 2 保護膜 P A S 2 上にスパッタリングなどの蒸着工程により第 5 導電層としての第 4 金属層を全面蒸着させる。以後、第 5 導電層にフォトレジストを全面形成し第 8 マスクを利用したフォトリソグラフィ工程を行うことによって、センシング電極抵抗低減配線  $R \times W$  の形成される領域を除いた残りの領域を露出させる第 8 フォトレジストパターン（図示せず）を形成する。そして、第 8 フォトレジストパターンにより露出した第 5 導電層をエッチングした後に残留する第 8 フォトレジストパターンを除去することによって、ゲートラインに並んで形成されるセンシング電極抵抗低減配線  $R \times W$  を形成する。第 5 導電層は、アルミニウム（A l）、A l N d、銅（C u）、クロム（C r）、モリブデン（M o）、M o T i などの材料より選択される。

【 0 0 9 6 】

図 1 3 A は、本発明の第 1 の実施形態に係るタッチセンサー一体型表示装置を製造するための第 9 マスク工程を示す平面図で、図 1 3 B は、本発明の第 1 の実施形態に係るタッチセンサー一体型表示装置を製造するための第 9 マスク工程を示す断面図であって、図 1 3 a の I - I' ライン及び I I - I I' ラインに沿う断面図である。

【 0 0 9 7 】

図 1 3 A 及び図 1 3 B に示すように、センシング電極抵抗低減配線  $R \times W$  の形成された第 2 保護膜 P A S 2 上に第 6 導電層としての第 2 透明導電層を蒸着し、第 9 マスク工程を利用して第 6 導電層をエッチングすることによって、タッチセンシング電極  $R \times$  とピクセル電極  $P \times$  とを形成する。

【 0 0 9 8 】

これをさらに具体的に説明すれば、センシングライン抵抗低減配線  $R \times W$  の形成された第 2 保護膜 P A S 2 上に第 6 導電層としての第 2 透明導電層を全面蒸着させる。以後、第 6 導電層にフォトレジストを全面形成し第 9 マスクを利用したフォトリソグラフィ工程を

10

20

30

40

50

行うことによって、データラインとゲートラインとの交差により画定されるピクセル領域を除いた領域とタッチセンシング電極の形成される領域を除いた領域とを露出させる第9フォトリソパターン（図示せず）を形成する。そして、第9フォトリソパターンにより露出した第2透明導電層をエッチングした後に残留する第9フォトリソパターンを除去することによって、データラインDLとゲートラインGLとの交差により画定される各ピクセル領域には、ピクセル電極Pxを形成し、ゲートラインを隔てて互いに隣接したピクセル領域の間には、タッチセンシング電極Rxを形成する。このとき、ピクセル電極Pxは、複数のスリットSLを有するように形成される。第6導電層としての第2透明導電層もまた第1透明導電層と同様にITO、IZO、GZOのような透明導電性物質から形成される。

10

## 【0099】

第8マスク工程と第9マスク工程では、センシング電極抵抗低減配線RxWとタッチセンシング電極Rx及びピクセル電極Pxを2個のマスク工程を利用して形成すると説明したが、ハーフトーンマスク（half-tone mask）工程を利用すれば、一回のマスク工程でこれらを形成することができる。ハーフトーンマスク工程は公知の技術であるから、ハーフトーンマスク工程を利用して一回のマスク工程でセンシング電極抵抗低減配線RxWとタッチセンシング電極Rx及びピクセル電極Pxを形成する方法についての説明は省略する。

## 【0100】

次に、図14及び図15を参照して、本発明の第2の実施形態に係るタッチセンサー型表示装置について説明する。図14は、本発明の第2の実施形態に係るタッチセンサー型表示装置を概略的に示すブロック図、図15は、図14に示す本発明の第2の実施形態に係るタッチセンサー型表示装置のタッチ駆動電極とタッチセンシング電極との関係を示す概略ブロック図である。

20

## 【0101】

図14及び図15に示すように、本発明の第2の実施形態に係るタッチセンサー型液晶表示装置は、液晶表示パネルLCP、ホストコントローラ10、タイミングコントローラ11、データ駆動部12、ゲート駆動部13、電源供給部15、タッチ認識プロセッサ17などを備える。

## 【0102】

本発明の第2の実施形態に係るタッチセンサー型液晶表示装置において、液晶表示パネルLCPに対する一般的な事項は、本発明の第1の実施形態に係るタッチセンサー型液晶表示装置の液晶表示パネルと同一なので、それについての説明は省略する。

30

## 【0103】

図14及び図15を参照すれば、本発明の第2の実施形態に係るタッチセンサー型表示装置の共通電極COMは、第1方向（例えば、x軸方向）と第2方向（例えば、y軸方向）に分割されるがy軸方向に互いに接続した複数の共通電極であり、これらの共通電極COMは、タッチセンサを構成する複数のタッチセンシング電極Rx11, Rx12, Rx21, Rx22, . . . Rx81, Rx82としての機能を兼ねる。

## 【0104】

タッチセンシング電極Rx11, Rx12, Rx21, Rx22, . . . Rx81, Rx82のそれぞれは、抵抗低減のための抵抗低減配線を含むように構成される。これをさらに具体的に説明すれば、タッチセンシング電極Rx11, Rx12, Rx21, Rx22, . . . Rx81, Rx82のうち、y軸方向の第1タッチセンシング電極Rx11, Rx21, . . . Rx81は、少なくとも一つの接続部により互いに接続されるように形成され、これらの上部には、抵抗低減のための第1抵抗低減配線RxW1, RxW2, RxW3が形成される。第2タッチセンシング電極Rx12, Rx22, . . . Rx82は、また少なくとも一つの接続部により互いに接続されるように形成され、これらの上部には、抵抗低減のための第2抵抗低減配線RxW4, RxW5, RxW6が形成される。

40

## 【0105】

50

図15の実施形態では、タッチセンシング電極が2個のタッチセンシングラインからなる構成の例、すなわち、第1タッチセンシング電極 $R \times 11$ ,  $R \times 21$ , . . .  $R \times 81$ と第1抵抗低減配線 $R \times W1$ ,  $R \times W2$ ,  $R \times W3$ とからなる第1タッチセンシングライン $R \times 11$ ,  $R \times 21$ , . . .  $R \times 81$ ,  $R \times W1$ ,  $R \times W2$ ,  $R \times W3$ と、第2タッチセンシング電極 $R \times 12$ ,  $R \times 22$ , . . .  $R \times 82$ と第2抵抗低減配線 $R \times W4$ ,  $R \times W5$ ,  $R \times W6$ とからなる第2タッチセンシングライン $R \times 12$ ,  $R \times 22$ , . . .  $R \times 82$ ,  $R \times W4$ ,  $R \times W5$ ,  $R \times W6$ の例を示している。第1及び第2タッチセンシングラインは、第1ルーチング配線 $RL1$ ,  $RL2$ により電源部15とタッチ認識プロセッサ17とに接続される。

#### 【0106】

本発明の第2の実施形態では、第1タッチセンシングライン $R \times 11$ ,  $R \times 21$ , . . .  $R \times 81$ ,  $R \times W1$ ,  $R \times W2$ ,  $R \times W3$ または第2タッチセンシングライン $R \times 12$ ,  $R \times 22$ , . . .  $R \times 82$ ,  $R \times W4$ ,  $R \times W5$ ,  $R \times W6$ を形成するために、3個の第1抵抗低減配線 $T \times W1$ ,  $T \times W2$ ,  $T \times W3$ または第2抵抗低減配線 $T \times W4$ ,  $T \times W5$ ,  $T \times W6$ が使用される場合を例に挙げたが、本発明はこれに限定されるものではない。例えば、各々のタッチセンシングラインを形成するために、一つまたは二つの抵抗低減配線が利用されても良く、4個またはそれ以上の抵抗低減配線を利用してもよい。

#### 【0107】

一方、タッチセンサを構成するタッチ駆動電極 $T \times 1$ ,  $T \times 2$ , . . .  $T \times 8$ は、タッチセンシング電極 $R \times 11$ ,  $R \times 12$ と $R \times 21$ ,  $R \times 22$ ;  $R \times 31$ ,  $R \times 32$ ;  $R \times 41$ ,  $R \times 42$ ;  $R \times 51$ ,  $R \times 52$ ;  $R \times 61$ ,  $R \times 62$ ;  $R \times 71$ ,  $R \times 72$ ;  $R \times 81$ ,  $R \times 82$ との間で第1及び第2抵抗低減配線 $R \times W1$ ,  $R \times W2$ ,  $R \times W3$ ;  $R \times W4$ ,  $R \times W5$ ,  $R \times W6$ と交差するように、第1方向(例えば、 $x$ 軸方向)に互いに分離されて配列する。タッチ感知電極 $T \times 1$ ,  $T \times 2$ , . . .  $T \times 8$ 上にも抵抗低減のための抵抗低減配線 $T \times W1$ ,  $T \times W2$ , . . .  $T \times W8$ が形成される。また、タッチ駆動電極 $T \times 1$ ,  $T \times 2$ , . . .  $T \times 8$ は互いに分離されているが、タッチ駆動電極とそれぞれ接触する第3ないし第6抵抗低減配線 $T \times W1 \sim T \times W4$ と第7ないし第10抵抗低減配線 $T \times W5 \sim T \times W8$ により4個の単位でグループ化して、第1タッチ駆動ライン $T \times 1 \sim T \times 4$ ,  $T \times W1 \sim T \times W4$ と第2タッチ駆動ライン $T \times 5 \sim T \times 8$ ,  $T \times W5 \sim T \times W8$ とを構成する。第1タッチ駆動ライン $T \times 1 \sim T \times 4$ ,  $T \times W1 \sim T \times W4$ と第2タッチ駆動ライン $T \times 5 \sim T \times 8$ ,  $T \times W5 \sim T \times W8$ は、第2ルーチング配線 $TL1$ ,  $TL2$ を介して電源部15に接続される。

#### 【0108】

本発明の第2の実施形態に係るタッチセンサは、上述したようにタッチセンシング電極 $R \times 11$ ,  $R \times 12$ ,  $R \times 21$ ,  $R \times 22$ , . . .  $R \times 81$ ,  $R \times 82$ とタッチ駆動電極 $T \times 1$ ,  $T \times 2$ , . . .  $T \times 8$ からなり、タッチ認識のための単位タッチ認識ブロックは、第1及び第2抵抗低減配線と第3及び第4抵抗低減配線を利用して複数のタッチセンシング電極と複数のタッチ駆動電極を適切にグループ化して形成できる。図15aに示す例では、16個のタッチセンシング電極 $R \times 11$ ,  $R \times 12$ ,  $R \times 21$ ,  $R \times 22$ , . . .  $R \times 81$ ,  $R \times 82$ と8個のタッチ駆動電極 $T \times 1 \sim T \times 8$ 及び14個の抵抗低減配線 $R \times W1 \sim R \times W6$ ,  $T \times W1 \sim T \times W8$ によりそれぞれ形成される4個の単位タッチ認識ブロック $TU11$ ,  $TU12$ ,  $TU21$ ,  $TU22$ の例が示されている。

#### 【0109】

これをさらに具体的に説明すれば、第1タッチ認識ブロック $TU11$ は、抵抗低減配線 $R \times W1 \sim R \times W3$ により互いに接続した第1タッチセンシング電極 $R \times 11$ ,  $R \times 21$ ,  $R \times 31$ ,  $R \times 41$ と抵抗低減配線 $T \times W1 \sim T \times W4$ とにより互いに接続した第1タッチ駆動電極 $T \times 1$ ,  $T \times 2$ ,  $T \times 3$ ,  $T \times 4$ により形成される。第2タッチ認識ブロック $TU12$ は、抵抗低減配線 $R \times W4 \sim R \times W6$ により互いに接続した第2タッチセンシング電極 $R \times 12$ ,  $R \times 22$ ,  $R \times 32$ ,  $R \times 42$ と抵抗低減配線 $T \times W1 \sim T \times W4$ に

10

20

30

40

50

より互いに接続した第1ないし第4タッチ駆動電極  $T \times 1$ ,  $T \times 2$ ,  $T \times 3$ ,  $T \times 4$  により形成される。第3タッチ認識ブロック  $TU21$  は、抵抗低減配線  $R \times W1 \sim R \times W3$  により互いに接続した第1センシング駆動電極  $R \times 51$ ,  $R \times 61$ ,  $R \times 71$ ,  $R \times 81$  と抵抗低減配線  $T \times W5 \sim T \times W6$  により互いに接続した第5ないし第8タッチ駆動電極  $T \times 5$ ,  $T \times 6$ ,  $T \times 7$ ,  $T \times 8$  とにより形成される。第4タッチ認識ブロック  $TU22$  は、抵抗低減配線  $R \times W4 \sim R \times W8$  により互いに接続した第4タッチセンシング電極  $R \times 52$ ,  $R \times 62$ ,  $R \times 72$ ,  $R \times 82$  と抵抗低減配線  $T \times W5 \sim T \times W6$  により互いに接続した第2タッチ駆動電極  $T \times 5$ ,  $T \times 6$ ,  $T \times 7$ ,  $T \times 8$  とにより形成される。

【0110】

以上説明したタッチセンシング電極  $R \times 11$ ,  $R \times 12$ ,  $R \times 21$ ,  $R \times 22$ , . . .  $R \times 81$ ,  $R \times 82$  は、全部共通電極  $COM$  としての機能を兼ねており、水平電界方式表示装置において、これらは、ピクセル電極  $P \times$  と共に薄膜トランジスタアレイ  $TFTA$  の第1基板  $SUB1$  に形成され、ピクセル電極  $P \times$  は、ゲートライン  $G1 \sim Gm$  とデータライン  $D1 \sim Dn$  との交差により画定される領域に形成される。

10

【0111】

一方、共通電極  $COM$  としての機能を兼ねるタッチセンシング電極  $R \times 11$ ,  $R \times 12$ ,  $R \times 21$ ,  $R \times 22$ , . . .  $R \times 81$ ,  $R \times 82$  は、数個または数十個のピクセル電極当たりの一つに対応するように形成されるが、ピクセル電極  $P \times$  と 1 : 1 に対応して形成されてもよい。

【0112】

上述したように、本発明の第2の実施形態に係るタッチセンサー型表示装置において、第1ないし第8タッチ駆動電極  $T \times 1 \sim T \times 8$  には、タッチ駆動時には、電源供給部 15 を介してタッチ駆動電圧  $V_{tsp}$  が供給される。一方、第1及び第2タッチセンシング電極  $R \times 11$ ,  $R \times 21$ , . . .  $R \times 81$ ;  $R \times 12$ ,  $R \times 22$ , . . .  $R \times 82$  は、ディスプレイ駆動時には、電源供給部 15 に接続されて電源供給部 15 から共通電圧  $V_{com}$  が供給され、タッチ駆動時には、タッチ認識プロセッサ 17 に接続されてタッチセンシング電極  $R \times 11$ ,  $R \times 21$ , . . .  $R \times 81$ ;  $R \times 12$ ,  $R \times 22$ , . . .  $R \times 82$  から受信されたセンシング電圧をタッチ認識プロセッサ 17 に供給する。したがって、第1及び第2センシング駆動電極  $R \times 11$ ,  $R \times 21$ , . . .  $R \times 81$ ;  $R \times 12$ ,  $R \times 22$ , . . .  $R \times 82$  は、共通電圧  $V_{com}$  が印加される時には、共通電極  $COM$  として機能し、タッチ駆動時には、タッチセンシング電極として機能する。

20

30

【0113】

上述したように、本発明の第2の実施形態に係るタッチセンサー型表示装置において、タッチセンシング電極とピクセル電極とは、1 : 1 または 1 :  $n$  ( $n$  は、2 以上の自然数) の対応関係を有するように形成可能である。また、第1及び第2抵抗低減配線  $R \times W1$ ,  $R \times W2$ ,  $R \times W3$ ;  $R \times W4$ ,  $R \times W5$ ,  $R \times W6$  は、データライン  $D1 \sim Dn$  と 1 : 1 に対応して形成され、または数個または数十個のデータライン毎に対応して形成可能。また、タッチ駆動電極  $T \times 1 \sim T \times 8$  は、ゲートラインと 1 : 1 に対応して形成され、または数個または数十個のゲートライン毎に対応して形成可能である。このような構造によれば、タッチ駆動電極とタッチセンシング電極との数を顕著に増加させることができるので、これらの間の相互静電容量増加によるタッチ感度を向上させることができる。また、ゲートラインとデータラインのそれぞれに対応してタッチセンシング電極とタッチ駆動電極を形成する場合、タッチ駆動電極とタッチセンシング電極の数を必要によって容易に調整可能である。

40

【0114】

次に、図16A及び図16Bを参照して、本発明の第2の実施形態に係るタッチセンサー型表示装置について、さらに具体的に説明する。

【0115】

図16A及び図16Bに示すように、本発明の第2の実施形態に係るタッチセンサー型表示装置は、薄膜トランジスタアレイ  $TFTA$  の基板  $SUB1$  上に互いに交差するよう

50

に形成されるゲートラインGL及びデータラインDLと、前記ゲートラインGLとデータラインDLの交差領域に形成される薄膜トランジスタTFTと、ゲートラインGLとデータラインDLとの交差により画定される領域に形成されるピクセル電極Pxと、ピクセル電極Pxと対向する共通電極COMとを備える。本発明の第2の実施形態では、共通電極COMがタッチセンシング電極Rxの機能を兼ねるので、以下の説明では、必要によってこれらを共通電極COM、タッチセンシング電極Rx、共通電極兼用タッチセンシング電極Rx、またはタッチセンシング電極兼用共通電極COMと称する。

【0116】

かかる構成において、薄膜トランジスタTFTは、ゲートラインGLから延在するゲート電極Gと、ゲートラインGL及びゲート電極Gをカバーするゲート絶縁層GI上においてゲート電極Gと対応する領域に形成される活性層Aと、活性層Aをカバーする第1保護膜PAS1上に形成されたデータラインDLから延在するソース電極Sと、このソース電極Sと対向するように形成されるドレイン電極Dとを備える。このように形成された薄膜トランジスタTFTは、第1保護膜PAS1により覆われており、薄膜トランジスタTFTのドレイン電極Dの一部分は、第1保護膜PAS1に形成されたコンタクト孔CHを介して露出するようになっている。

10

【0117】

ゲートラインGLとデータラインDLとの交差により画定される第1保護膜PAS1上のピクセル領域には、ピクセル電極Pxが形成され、ゲートラインGLを隔てて隣接するピクセル電極Pxの間には、ゲートラインGLに並んでタッチ駆動電極Txが形成される。タッチ駆動電極Txは、ゲートラインGLと重なるように形成される。各々のピクセル電極Pxは、第1保護膜PAS1のコンタクト孔CHを介して露出した薄膜トランジスタTFTのドレイン電極Dに接続される。

20

【0118】

タッチ駆動電極Tx上には、タッチ駆動電極Txと同じ水平方向(x軸方向)にゲートラインGLに並んで第1及び第2抵抗低減配線(以下、駆動電極抵抗低減配線TxWとする)が形成されて、タッチ駆動電極Tx1~Tx4; Tx5~Tx8の抵抗を低減させる。

【0119】

抵抗低減配線TxWとタッチ駆動電極Txの形成された第1保護膜PAS1の全面上には、第2保護膜PAS2が形成され、第2保護膜PAS2上には、データラインDLに並んだ方向(y軸方向)に第3及び第4抵抗低減配線(以下、センシング電極抵抗低減配線RxWとする)が形成される。このセンシング電極抵抗低減配線RxWは、データラインDLと1:1の対応関係で形成され、または、数個または数十個のデータライン毎に対応して形成され得る。

30

【0120】

センシング電極抵抗低減配線RxWの形成された第2保護膜PAS2上には、ピクセル電極Pxと重なりセンシング電極抵抗低減配線RxWと接触するように共通電極兼用タッチセンシング電極Rxがゲートラインに並んで形成される。各々の共通電極兼用タッチセンシング電極Rxは、ピクセル電極Pxと1:1の対応関係を有し、または数個または数十個のピクセル電極Px毎の対応関係を有するように形成され得る。また、各々の共通電極兼用タッチセンシング電極Rxは、複数のスリットSLを有するように形成される。

40

【0121】

本発明の第2の実施形態に係るタッチセンサー一体型表示装置では、図16A及び図16Bに示すように、第1保護層PAS1上に形成されるピクセル電極Pxは、スリットがないように形成され、第2保護層PAS2上に形成される共通電極兼用タッチセンシング電極Rxは、スリットSLを有するように形成される。しかしながら、本発明はこれに限定されるものではなく、タッチセンシング電極Rxとピクセル電極Pxのうち、何れか一つがスリットのある形状であれば、残りの一つは、スリットのない形状を有するように形成されることができる。

50

## 【 0 1 2 2 】

本発明の第2の実施形態に係るタッチセンサー一体型表示装置では、共通電極COMがタッチセンシング電極Rxとして機能する場合を例に挙げて説明したが、共通電極COMを電源部15に接続してディスプレイ駆動時に共通電圧を供給し、タッチ駆動時にタッチ駆動電圧を供給し、タッチセンシング電極Rxにタッチ駆動電圧を供給することにより、タッチ駆動電極として機能するように構成可能である。

## 【 0 1 2 3 】

また、図14及び図15に示すように、ゲート駆動部13は、タイミングコントローラ11の制御の下にディスプレイモードでゲートパルス(またはスキャンパルス)を順次出力し、その出力のスイング電圧をゲートハイ電圧VGHとゲートロー電圧VGLにシフトさせる。ゲート駆動部13から出力されるゲートパルスは、データ駆動部12から出力されるデータ電圧に同期されてゲートラインG1~Gmに順次供給される。ゲートハイ電圧VGHは、薄膜トランジスタTFTのしきい電圧以上の電圧で、ゲートロー電圧VGLは、薄膜トランジスタTFTのしきい電圧より低い電圧である。ゲート駆動部13のゲート駆動IC(Integrated Circuit)は、TAP(Tape Automated Bonding)工程により薄膜トランジスタアレイTFTAの第1基板SUB1上に形成されたゲートラインG1~Gmに接続されるか、またはGIP(Gate In Panel)工程によりピクセルと共に薄膜トランジスタアレイTFTAの第1基板SUB1上に直接形成されることができる。

## 【 0 1 2 4 】

データ駆動部12は、タイミングコントローラ11の制御の下にデジタルビデオデータRGBをサンプリングしラッチする。データ駆動部12は、電源供給部15から供給される正極性/負極性ガンマ補償電圧GMA1~GMAnに基づいてデジタルビデオデータRGBのデータ電圧の極性を反転させて、正極性/負極性データ電圧を出力する。データ駆動部12から出力される正極性/負極性データ電圧は、ゲート駆動部13から出力されるゲートパルスに同期される。データ駆動部12のソース駆動ICの各々は、COG(Chip On Glass)工程やTAB工程によりディスプレイ部のデータラインD1~Dnに接続されることができる。ソース駆動ICは、タイミングコントローラ11内に集積されてタイミングコントローラ11と共にワンチップICで具現化されることができる。

## 【 0 1 2 5 】

タイミングコントローラ11は、外部のホストコントローラ10から供給される表示装置の駆動のために必要なタイミング信号を利用して、ゲート駆動部13及びデータ駆動部12の動作タイミングを制御するためのタイミング制御信号を発生する。ゲート駆動部13及びデータ駆動部12の動作タイミングを制御するためのタイミング制御信号は、ゲート駆動部13の動作タイミングを制御するためのゲートタイミング制御信号と、データ駆動部12の動作タイミングとデータ電圧の極性を制御するためのデータタイミング制御信号とを含む。

## 【 0 1 2 6 】

ゲートタイミング制御信号は、ゲートスタートパルス(Gate Start Pulse、GSP)、ゲートシフトクロック(Gate Shift Clock、GSC)、ゲート出力イネーブル信号(Gate Output Enable、GOE)などを含む。ゲートスタートパルスGSPは、ゲート駆動部13からフレーム期間ごとに最も速くゲートパルスを出力する最初のゲート駆動ICに印加されて、そのゲート駆動ICのシフトスタートタイミングを制御する。ゲートシフトクロックGSCは、ゲート駆動部13のゲート駆動ICに共通に入力されてゲートスタートパルスGSPをシフトさせるためのクロック信号である。ゲート出力イネーブル信号GOEは、ゲート駆動部13のゲート駆動ICの出力タイミングを制御する。

## 【 0 1 2 7 】

データタイミング制御信号は、ソーススタートパルスSSP、ソースサンプリングクロックSSC、極性制御信号POL、及びソース出力イネーブル信号SOEなどを含む。ソーススタートパルスSSPは、データ駆動部12において最も速くデータをサンプリングする最初のソース駆動ICに印加されて、データサンプリングスタートタイミングを制御

10

20

30

40

50

する。ソースサンプリングクロックSSCは、立ち上がりまたは立ち下がりエッジに基づいてソース駆動IC内でデータのサンプリングタイミングを制御するクロック信号である。極性制御信号POLは、ソース駆動ICから出力されるデータ電圧の極性を制御する。ソース出力イネーブル信号SOEは、ソース駆動ICの出力タイミングを制御する。mini LVDS (Low Voltage Differential Signaling) インタフェースを介してデータ駆動部12にデジタルビデオデータRGBが入力される場合、ソーススタートパルスSSPとソースサンプリングクロックSSCとは省略できる。

#### 【0128】

電源供給部15は、PWM変調回路、ブーストコンバーター、レギュレーター、チャージポンプ、分圧回路、演算増幅器などを備えたDC-DCコンバーターにより具現化される。電源供給部15は、ホストコントローラ10からの入力電圧を調整して液晶表示パネルLCP、データ駆動部12、ゲート駆動部13、タイミングコントローラ11、バックライトユニット(図示せず)の駆動に必要な電源を発生させる。

10

#### 【0129】

電源供給部15から出力される電源は、高電位電源電圧VDD、ゲートハイ電圧VGH、ゲートロー電圧VGL、共通電圧Vcom、正極性/負極性ガンマ基準電圧VGMAn~VGMAn、タッチ駆動電圧Vtspなどを含む。これらの電圧のうち、共通電圧Vcomは、ディスプレイ駆動時ホストコントローラ10の制御の下にすべての共通電極COMに供給される。共通電圧Vcomは、タイミングコントローラ11の制御の下にすべての共通電極COMに供給されるように構成することもできる。一方、タッチ駆動電圧Vtspは、タッチ駆動時にホストコントローラ10の制御の下に第1ないし第8タッチ駆動電極Tx1~Tx8にそれぞれ供給される。タッチ駆動電圧Vtspは、タイミングコントローラ11の制御の下に第1ないし第8タッチ駆動電極Tx1~Tx8に供給されるように構成することができる。

20

#### 【0130】

また、本発明の図14の実施形態では、タッチ駆動電圧Vtspが電源供給部15を介して第1ないし第8タッチ駆動電極Tx1~Tx8に供給されると示されているが、本発明がこれに限定されるものではない。例えば、タッチ駆動電圧Vtspは、ホストコントローラ10またはタイミングコントローラ11により制御されるタッチ認識プロセッサ17を介して第1ないし第8タッチ駆動電極Tx1~Tx8に供給されてもよい。

30

#### 【0131】

ホストコントローラ10は、入力映像のデジタルビデオデータRGBと、ディスプレイ駆動に必要なタイミング信号Vsync、Hsync、DE、MCLKをLVDSインタフェース(Low Voltage Difference Signaling)、TMD5(Transition Minimized Differential Signaling)インタフェースなどのインタフェースを介してタイミングコントローラ11に送信する。ホストコントローラ10は、また液晶表示装置の画面に画像を表示するためのディスプレイ駆動時には、複数に分割された共通電極COMに同じ共通電圧Vcomが供給されるように制御信号Vinを電源供給部15に供給し、タッチ認識のためのタッチ駆動時には、タッチ駆動電極Tx1~Tx8にタッチ駆動電圧Vtspが供給されるように制御信号Vinを電源供給部15に供給する。

40

#### 【0132】

タッチ認識プロセッサ17は、ルーチング配線RL1, RL2を介して接続したタッチセンシング電極Rx11, Rx21, . . . Rx81; Rx12, Rx22, . . . Rx82の各々の初期静電容量の電圧とタッチ後のタッチ静電容量の電圧とを差動増幅し、その結果をデジタルデータに変換する。そして、タッチ認識プロセッサ17は、タッチ認識アルゴリズムを利用してタッチセンシング電極Rx11, Rx21, . . . Rx81; Rx12, Rx22, . . . Rx82の初期静電容量とタッチ後に測定された静電容量との差に基づいてタッチがなされたタッチ位置を判断し、そのタッチ位置を指示するタッチ座標データをホストコントローラ10に出力する。

#### 【0133】

50

上述したように、本発明の第2の実施形態に係る第1及び第2タッチセンシング電極  $R \times 11$ ,  $R \times 21$ , . . .  $R \times 81$ ;  $R \times 12$ ,  $R \times 22$ , . . .  $R \times 82$  は、 $y$  軸方向にタッチセンシングラインを形成し、タッチ駆動電極  $T \times 1 \sim T \times 8$  は、 $x$  軸方向にタッチセンシングラインを形成するので、互いに交差する構成を有するようになる。したがって、表示装置にタッチが行なわれた場合にタッチセンシングラインとタッチ駆動ラインとの間に相互静電容量の変化が発生し、これを測定して相互静電容量の変化が発生した位置を検出できるようになる。

【0134】

特に、本発明の第2の実施形態に係るタッチセンサー型表示装置において、各タッチセンシング電極は、単位ピクセル電極に対応するように形成し、各タッチ駆動電極は、一つのゲートラインに対応するように形成すれば、タッチセンシング電極とタッチ駆動電極の数を増加させることができる。よって、これらの間の相互静電容量を増加させることができ、タッチ感度を向上させることが可能となる。また、単位タッチ認識ブロック（タッチ認識のための基本単位）は、駆動電極抵抗低減配線とセンシング電極抵抗低減配線とを利用して必要によって適切な大きさに調整することができるので、多様な単位タッチ認識ブロックを有する表示装置を形成できるという長所もある。

10

【0135】

以下、図17Aないし図24Bを参照して本発明の第2の実施形態に係るタッチセンサー型表示装置の製造方法について説明する。

【0136】

図17Aは、本発明の第2の実施形態に係るタッチセンサー型表示装置を製造するための第1マスク工程を示す平面図であり、図17Bは、本発明の第2の実施形態に係るタッチセンサー型表示装置を製造するための第1マスク工程を示す断面図であって、図17AのI-I'ライン及びII-II'ラインに沿う断面図である。

20

【0137】

図17A及び図17Bに示すように、基板SUB1上にスパッタリングなどの蒸着工程により第1導電層としてのゲート金属層が全面蒸着された後、第1マスク工程を利用して基板SUB1上にゲートラインGL及びゲートラインGLから延びるゲート電極Gが形成される。

【0138】

さらに具体的に説明すれば、基板SUB1上にスパッタリングなどの蒸着工程を介して第1導電層としてのゲート金属層を全面蒸着した後、その上部にフォトレジストを全面塗布し、その後第1マスクを利用したフォトリソグラフィ工程を行うことによって、ゲート金属層を露出させる第1フォトレジストパターン（図示せず）を形成する。そして、第1フォトレジストパターンにより露出したゲート金属層をウェットエッチングにより除去した後、残留する第1フォトレジストパターンをアッシングすることによって、基板SUB1上にゲートラインGL及びゲートラインGLから延びたゲート電極Gを形成する。ゲート金属層は、Al、AlNd、銅(Cu)、クロム(Cr)、モリブデン(Mo)、MoTiを含む金属物質より選択される。

30

【0139】

図18Aは、本発明の第2の実施形態に係るタッチセンサー型表示装置を製造するための第2マスク工程を示す平面図で、図18Bは、本発明の第2の実施形態に係るタッチセンサー型表示装置を製造するための第2マスク工程を示す断面図であって、図18AのI-I'ライン及びII-II'ラインに沿う断面図である。

40

【0140】

図18A及び図18Bに示すように、ゲート電極Gを備えるゲートラインGLの形成された基板SUB1上にゲート絶縁膜GIが形成された後、ゲート絶縁膜GI上に半導体層を形成する。以後、半導体層上にフォトレジストを全面塗布した後、第2マスクを利用したフォトリソグラフィ工程を行うことによって、半導体層のうち、でチャネル領域に対応する領域を除いた残りの領域を露出させる第2フォトレジストパターン（図示せず）を形

50

成する。次に、第2フォトリソパターンにより露出した半導体層をエッチングした後、残留する第2フォトリソパターンを除去することによって、半導体パターンAを形成する。

【0141】

図19Aは、本発明の第2の実施形態に係るタッチセンサー型表示装置を製造するための第3マスク工程を示す平面図で、図19Bは、本発明の第2の実施形態に係るタッチセンサー型表示装置を製造するための第3マスク工程を示す断面図であって、図19AのI-I'ライン及びII-II'ラインに沿う断面図である。

【0142】

図19A及び図19Bに示すように、半導体パターンAの形成されたゲート絶縁膜GI上に第2導電層としての第2金属層(データ金属層)を蒸着させ、第3マスク工程を利用してデータ金属層をパターニングすることによって、データラインDL、データラインから延びるソース電極S、及びソース電極Sと対向するドレイン電極Dを備える第1導電性パターン群を形成する。

10

【0143】

これをさらに具体的に説明すれば、半導体パターンAの形成されたゲート絶縁膜GI上に第2導電層としてのデータ金属層を蒸着させ、データ金属層上にフォトリソを全面塗布した後第3マスクを利用したフォトリソグラフィ工程を行うことによって、データラインとソース電極、及びドレイン電極の形成される領域を除いたデータ金属層を露出させる第3フォトリソパターン(図示せず)を形成する。そして、第3フォトリソパターンにより露出したデータ金属層をエッチングして除去してデータ金属層上に残留する第3フォトリソパターンを除去することによって、ゲート絶縁膜GIを隔ててゲートラインGLと交差するデータラインDL、データラインDLから延びたソース電極S、ソース電極Sと対向するドレイン電極Dを備える薄膜トランジスタを形成する。

20

【0144】

図20Aは、本発明の第2の実施形態に係るタッチセンサー型表示装置を製造するための第4マスク工程を示す平面図で、図20Bは、本発明の第2の実施形態に係るタッチセンサー型表示装置を製造するための第4マスク工程を示す断面図であって、図20AのI-I'ライン及びII-II'ラインに沿う断面図である。

【0145】

図20A及び図20Bに示すように、第1導電性パターン群の形成されたゲート絶縁膜GIの全面上に第1保護膜PAS1を形成し、第4マスク工程を利用して第1保護膜PAS1をエッチングしてドレイン電極Dの一部を露出させるコンタクト孔CHを形成する。

30

【0146】

これをさらに具体的に説明すれば、データラインDLと薄膜トランジスタTFEの形成されたゲート絶縁膜GIの全面上に第1保護膜PAS1を形成し、第1保護膜PAS1上にフォトリソを全面塗布した後第4マスクを利用したフォトリソグラフィ工程を行うことによって、ドレイン電極Dの一部を露出させるための第4フォトリソパターン(図示せず)を形成する。そして、第4フォトリソパターンにより露出した第1保護膜PAS1をエッチングした後に残留する第4フォトリソパターンを除去することによって、ドレイン電極Dの一部を露出させるコンタクト孔CHを形成する。ここで、第1保護膜PAS1は、フォトアクリル(polyanionic cellulose、PAC)などの有機界低誘電物質を利用して形成する。

40

【0147】

図21Aは、本発明の第2の実施形態に係るタッチセンサー型表示装置を製造するための第5マスク工程を示す平面図である。図21Bは、本発明の第2の実施形態に係るタッチセンサー型表示装置を製造するための第5マスク工程を示す断面図であって、図21AのI-I'ライン及びII-II'ラインに沿う断面図である。

【0148】

図21A及び図21Bに示すように、コンタクト孔CHの形成された第1保護膜PAS

50

1 上に第3導電層としての第1透明導電層を蒸着させ、第5マスク工程を利用して第1透明導電層をパターンングすることによって、ピクセル電極 P x とタッチ駆動電極 T x を形成する。

【0149】

これをさらに具体的に説明すれば、コンタクト孔 C H の形成された第1保護膜 P A S 1 上に P E C V D などの蒸着工程を介して第3導電層としての第1透明導電層を全面蒸着させる。以後、第1透明導電層にフォトレジストを全面形成した後、第5マスクを利用したフォトリソグラフィ工程を行うことによって、ピクセル電極 P x の形成される領域とタッチ駆動電極 T x の形成される領域を除いた残りの領域を露出させる第5フォトレジストパターン（図示せず）を形成する。そして、第5フォトレジストパターンにより露出した透明導電層をエッチングした後に残留する第5フォトレジストパターンを除去することによって、タッチ駆動電極 T x とピクセル電極 P x とを形成する。ピクセル電極 P x は、ゲートライン G L とデータライン D L との交差により画定されるピクセル領域ごとに形成される。また、タッチ駆動電極 T x の各々は、互いに隣接するピクセル電極 P x の間でゲートライン G L に並んで形成され、図14及び図15と関連して説明したように、ゲートラインと1：1の対応関係で形成されたり、数個または数十個のゲートライン当たりの一つの関係で形成されることが出来る。第1透明導電層には、I T O (Indium Tin Oxide)、I Z O (Indium Zinc Oxide)、G Z O (Gallium-doped Zinc Oxide) のような透明導電性物質が利用される。

10

【0150】

図22Aは、本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第6マスク工程を示す平面図である。図22Bは、本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第6マスク工程を示す断面図であって、図22AのI-I'ライン及びII-II'ラインに沿う断面図である。

20

【0151】

図22A及び図22Bに示すように、タッチ駆動電極 T x とピクセル電極 P x の形成された第1保護膜 P A S 1 上にスパッタリングなどの蒸着工程を介して第4導電層としての第3金属層が全面蒸着された後、第6マスク工程を利用してデータライン D L と平行に駆動電極抵抗低減配線 T x W が形成される。

【0152】

さらに具体的に説明すれば、タッチ駆動電極 T x とピクセル電極 P x の形成された第1保護膜 P A S 1 上にスパッタリングなどの蒸着工程を介して第4導電層としての金属層を全面蒸着した後、その上部にフォトレジストを全面塗布し、その後第6マスクを利用したフォトリソグラフィ工程を行うことによって、タッチ駆動電極 T x の形成される領域を除いた残りの領域を露出させる第6フォトレジストパターン（図示せず）を形成する。そして、第6フォトレジストパターンにより露出した第4導電層をエッチングした後に残留する第6フォトレジストパターンを除去することによって、ゲートライン G L と並列でかつタッチ駆動電極 T x と直接接触する駆動電極抵抗低減配線 T x W を形成する。第4導電層は、A l、A l N d、銅 (C u)、クロム (C r)、モリブデン (M o)、または M o T i のような金属物質より選択される。

30

40

【0153】

以上の説明では、タッチ駆動電極 T x 及びピクセル電極 P x と駆動電極抵抗低減配線 T x W を2個のマスク工程を利用して形成すると説明したが、ハーフトーンマスク工程を利用すれば、一回のマスク工程でこれらを形成することができる。ハーフトーンマスク工程は公知の技術であるから、ハーフトーンマスク工程を利用して一回のマスク工程でタッチ駆動電極 T x 及びピクセル電極 P x と駆動電極抵抗低減配線 T x W を形成する方法についての説明は省略する。

【0154】

図23Aは、本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第7マスク工程を示す平面図で、図12Bは、本発明の第2の実施形態に係るタッチ

50

センサー一体型表示装置を製造するための第7マスク工程を示す断面図であって、図23AのI-I'ライン及びII-II'ラインに沿う断面図である。

【0155】

図23A及び図23Bに示すように、タッチ駆動電極Tx、駆動電極抵抗低減配線TxW及びピクセル電極Pxの形成された第1保護膜PAS1上に第2保護膜PAS2と第5導電層としての第4金属層を全面蒸着させる。そして、第7マスク工程を利用して第5導電層をエッチングすることで、データラインDLに並んでセンシング電極抵抗低減配線RxWを形成する。

【0156】

これをさらに具体的に説明すれば、タッチ駆動電極Tx、駆動電極抵抗低減配線TxW及びピクセル電極Pxの形成された第1保護膜PAS1の全面上に第2保護膜PAS2を形成した後、第2保護膜PAS2の全面上にPECVDなどの蒸着工程を介して第5導電層としての金属層を全面蒸着させる。そして、第5導電層上にフォトレジストを全面塗布した後、第7マスクを利用したフォトリソグラフィ工程を行うことによって、センシング電極抵抗低減配線RxWの形成される領域を除いた残りの領域を露出させる第7フォトレジストパターン(図示せず)を形成する。そして、第7フォトレジストパターンにより露出した第5導電層をエッチングした後に残留する第7フォトレジストパターンを除去することによって、データラインDLに並んで形成されるセンシング電極抵抗低減配線RxWを形成する。第2保護膜PAS2は、フォトアクリル(polyanionic cellulose、PAC)などの有機界低誘電物質を利用して形成され、図5導電層は、Al、AlNd、銅(Cu)、クロム(Cr)、モリブデン(Mo)、MoTiのような金属物質より選択される。

10

20

【0157】

図24Aは、本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第8マスク工程を示す平面図で、図24Bは、本発明の第2の実施形態に係るタッチセンサー一体型表示装置を製造するための第8マスク工程を示す断面図であって、図24AのI-I'ライン及びII-II'ラインに沿う断面図である。

【0158】

図24A及び図24Bに示すように、センシングライン抵抗低減配線RxWの形成された第2保護膜PAS2上に第6導電層としての第2透明導電層を蒸着し、第8マスク工程を利用して第6導電層をエッチングすることによって、共通電極COM兼用のタッチセンシング電極Rxを形成する。

30

【0159】

これをさらに具体的に説明すれば、センシング電極抵抗低減配線RxWの形成された第2保護膜PAS2上に第6導電層としての第2透明導電層を全面蒸着させる。以後、第6導電層にフォトレジストを全面形成して第8マスクを利用したフォトリソグラフィ工程を行うことによって、共通電極兼用のタッチセンシング電極Rxの形成される領域を除いた領域を露出させる第8フォトレジストパターン(図示せず)を形成する。そして、第8フォトレジストパターンにより露出した透明導電層をエッチングした後に残留する第8フォトレジストパターンを除去することによって、ピクセル電極Txと重なり、かつセンシング電極抵抗低減配線RxWと直接接触するタッチセンシング電極Rxを形成する。共通電極兼用のタッチセンシング電極Rxは、複数のスリットSLを有するように形成される。第6導電層としての第2透明導電層もまた第1透明導電層と同様にITO、IZO、GZOのような透明導電性物質から形成される。

40

【0160】

上述した第7マスク工程と第8マスク工程では、センシング電極抵抗低減配線RxWとタッチセンシング電極Rxをそれぞれのマスク工程を利用して形成すると説明したが、ハーフトーンマスク工程を利用すれば、一回のマスク工程でこれらを形成することができる。ハーフトーンマスク工程は公知の技術であるから、ハーフトーンマスク工程を利用して一回のマスク工程でセンシング電極抵抗低減配線RxWとタッチセンシング電極Rxとを

50

形成する方法についての説明は省略する。

【0161】

上述した本発明の実施形態によるタッチセンサー一体型表示装置及びその製造方法によれば、ピクセル電極と共に表示装置の液晶を駆動させる電界を形成するために使用される共通電極をタッチ駆動電極またはタッチセンシング電極として利用できるから、タッチ駆動電極またはタッチセンシング電極を形成するために必要な工数を低減でき、かつその厚さ分だけ表示装置の厚さを薄くすることができる効果を得ることができる。

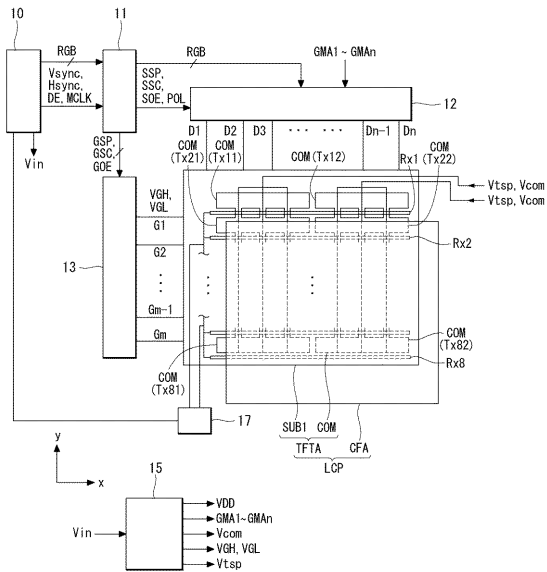
【0162】

また、本発明の実施形態に係るタッチセンサー一体型表示装置によれば、各タッチ駆動電極またはタッチセンシング電極は、ピクセル電極と1:1の関係または1:n (nは、2 10  
以上の自然数)の関係をもつようにするが、又は駆動電極抵抗低減配線及びセンシング電極抵抗低減配線を利用してグループ化できる。このため、単位タッチ認識ブロックの大きさを必要に応じて容易に調整することができる効果を得ることができる。また、タッチ駆動電極とタッチセンシング電極の数字が増加するので、これらの間の相互静電容量を増加させることができ、タッチ感度を向上させることができる効果を得ることができる。

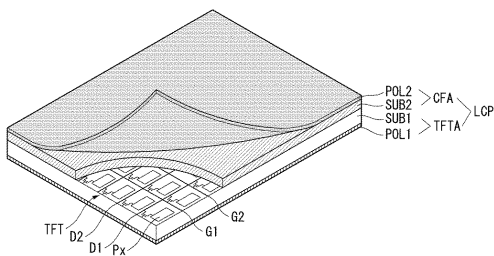
【0163】

以上説明した内容により当業者であれば本発明の技術思想から逸脱しない範囲内で様々な変更及び修正が可能であることを理解するはずである。例えば、本発明の実施形態において、ゲートラインを隔てて互いに隣接して形成されるピクセル電極の間に形成されるタッチ駆動電極またはタッチセンシング電極が抵抗低減配線を有すると説明したが、これら 20  
のタッチ駆動電極またはタッチセンシング電極がITO、IZO、GZOのように比抵抗の高い透明金属の場合にだけ抵抗低減配線が必要であり、金属物質から形成される場合には、抵抗低減配線を必要としない。この場合、これらのタッチ駆動電極またはタッチセンシング電極は、直接ルーチング配線に接続される。したがって、本発明の技術的範囲は、発明の詳細な説明に記載された内容に限定されるものではなく、特許請求の範囲により定められねばならない。

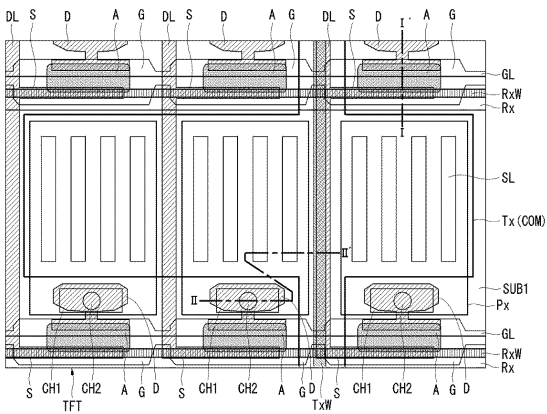
【 図 1 】



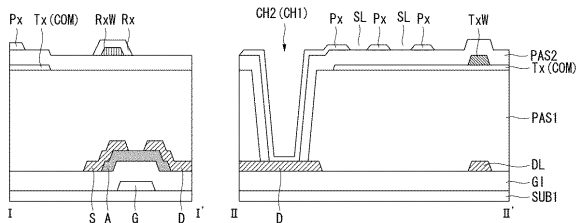
【 図 2 】



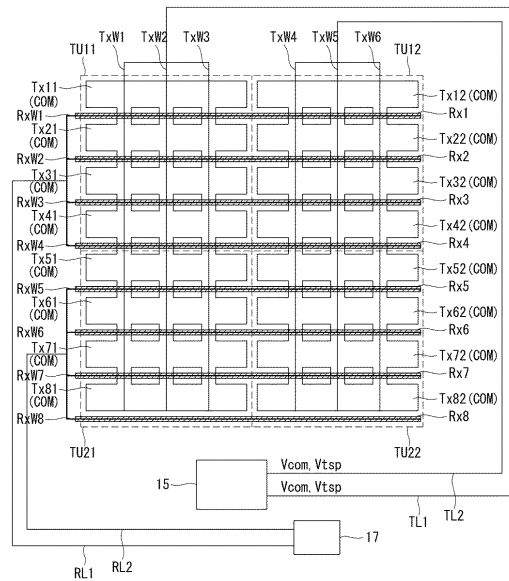
【 図 4 A 】



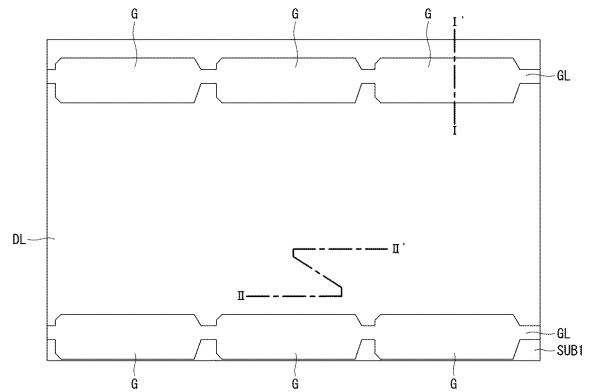
【 図 4 B 】



【 図 3 】



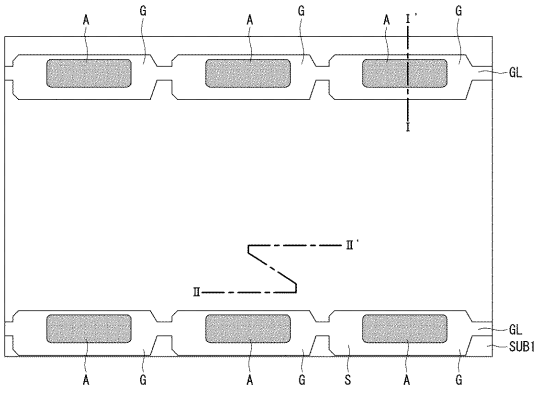
【 図 5 A 】



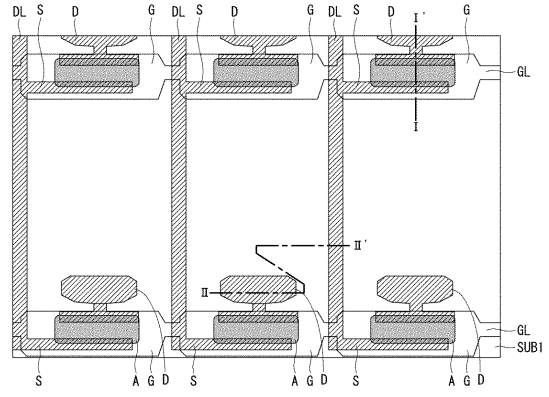
【 図 5 B 】



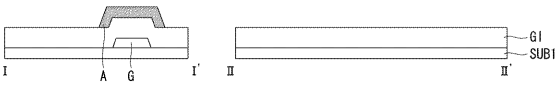
【図 6 A】



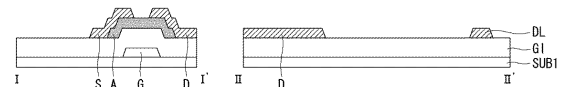
【図 7 A】



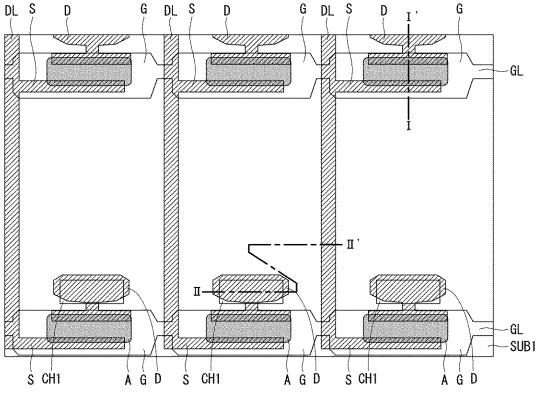
【図 6 B】



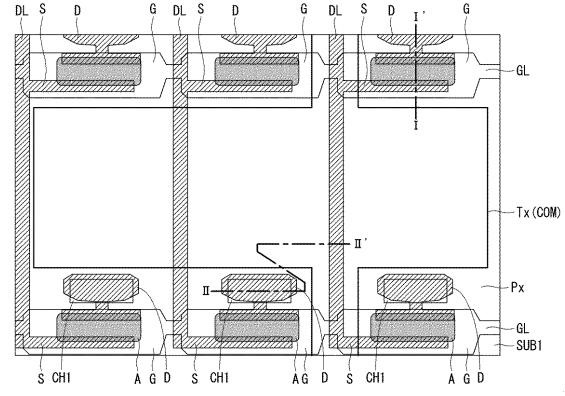
【図 7 B】



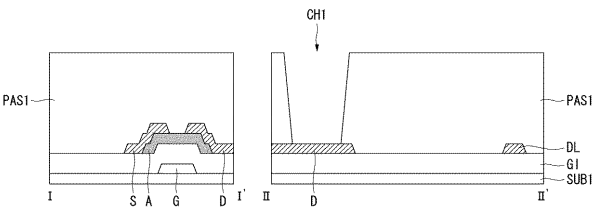
【図 8 A】



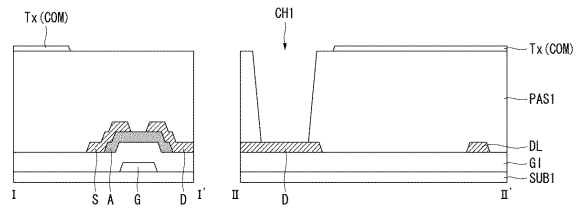
【図 9 A】



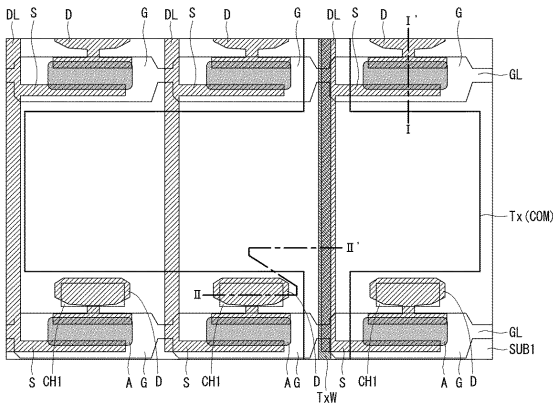
【図 8 B】



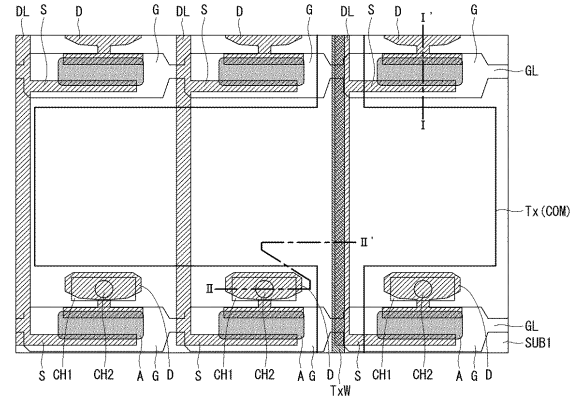
【図 9 B】



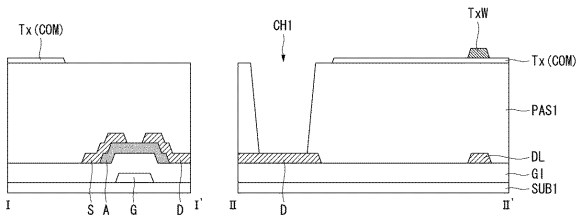
【図10A】



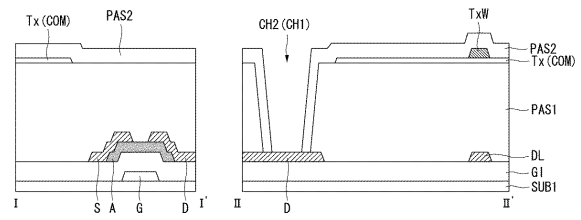
【図11A】



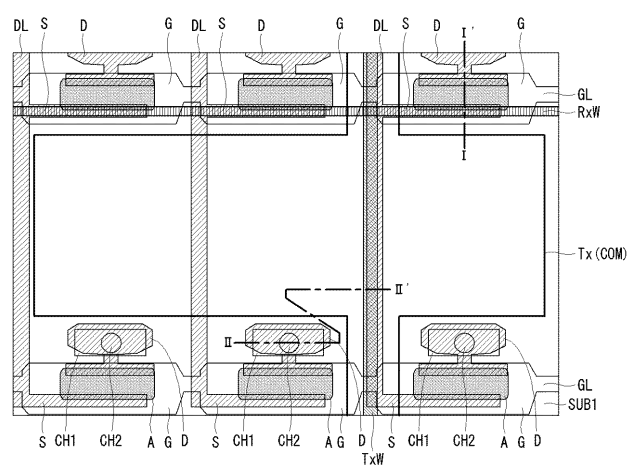
【図10B】



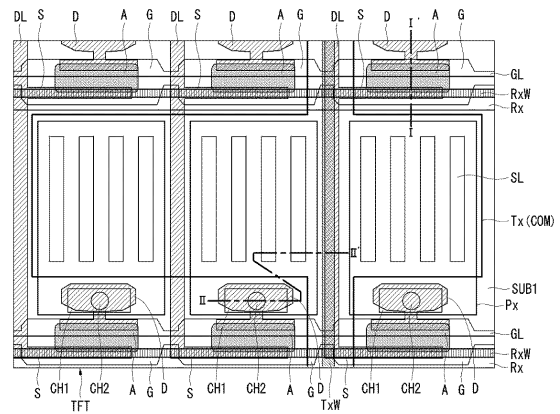
【図11B】



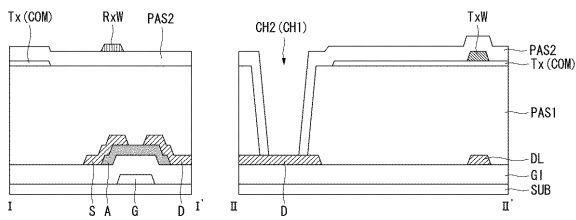
【図12A】



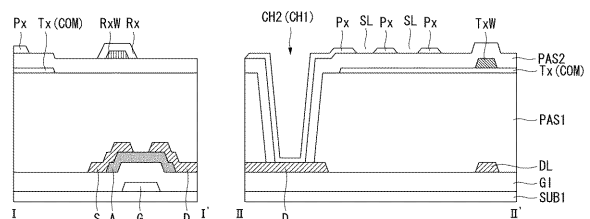
【図13A】



【図12B】

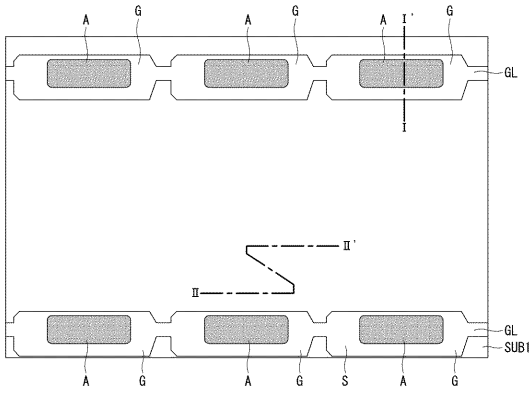


【図13B】

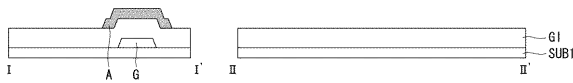




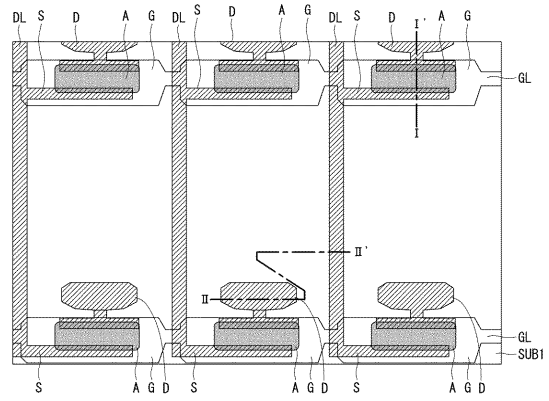
【図18A】



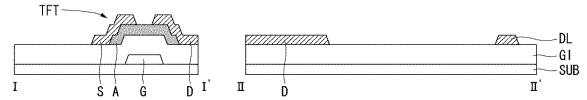
【図18B】



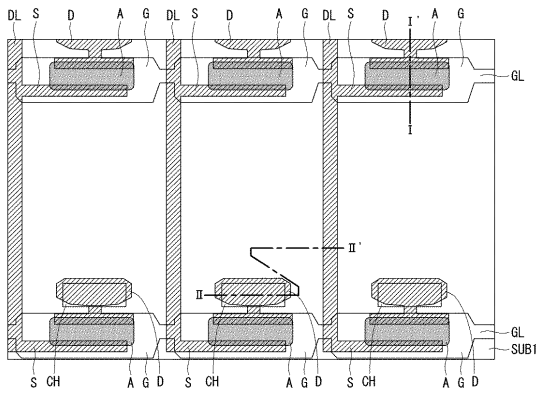
【図19A】



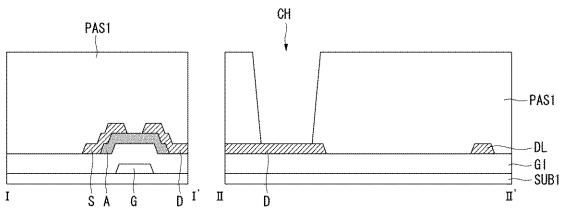
【図19B】



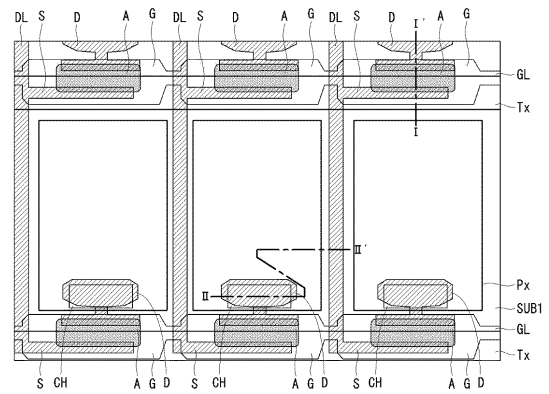
【図20A】



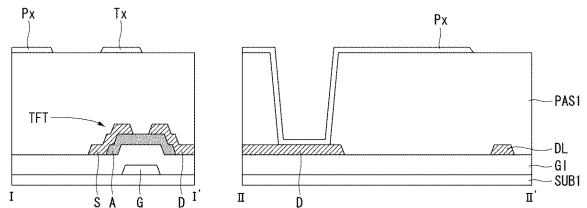
【図20B】



【図21A】



【図21B】





## フロントページの続き

(72)発明者 金 周 漢

大韓民国 420-762 キョンギド ブチョンシ ウォンミグ サン 2ドン ベクソン メ  
ウル 2705-1201

(72)発明者 金 フン 培

大韓民国 411-763 キョンギド ゴヤンシ イルサンソグ ガジュワメウル 7ダンジ  
ハンファ グメグリーン アパート 701-801

(72)発明者 韓 聖 洙

大韓民国 413-012 キョンギド パジュシ グムチョンドン 2ドン 787-8 セン  
トラル アパート ピー-302

(72)発明者 金 眞 星

大韓民国 142-140 ソウル ガンブク ソンチョンドン 1ガ ハンヤン アパート  
111-802

(72)発明者 韓 萬 協

大韓民国 121-798 ソウル マポグ サンガムドン サンガム ワールドカップ パーク  
2 ダンジ アパート 207-1201

Fターム(参考) 2H092 GA14 GA17 GA62 JA26 JB13 JB16 JB22 JB31 NA25 RA10

2H189 LA28 LA31

2H192 AA24 BB13 CB05 GB33

专利名称(译)	触摸传感器集成型显示装置及其制造方法		
公开(公告)号	<a href="#">JP2014115613A</a>	公开(公告)日	2014-06-26
申请号	JP2013179651	申请日	2013-08-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	金哲世 金周漢 金フン培 韓聖洙 金眞星 韓萬協		
发明人	金 哲 世 金 周 漢 金 ▲フン▼ 培 韓 聖 洙 金 眞 星 韓 萬 協		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1333		
CPC分类号	G02F1/13338 G02F2001/134372 G02F2001/13629 G06F3/0412 G06F3/0445 G06F3/0446 G06F2203/04103 G06F3/044 H01B5/14 H01B13/00		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1333		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA62 2H092/JA26 2H092/JB13 2H092/JB16 2H092/JB22 2H092/JB31 2H092/NA25 2H092/RA10 2H189/LA28 2H189/LA31 2H192/AA24 2H192/BB13 2H192/CB05 2H192/GB33		
代理人(译)	吉泽博		
优先权	1020120143228 2012-12-11 KR		
其他公开文献	JP5848295B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

本发明涉及一种触摸传感器集成型显示装置。显示装置是边缘场切换 ( FFS ) 液晶显示器，并且包括多条栅极线，跨越多条栅极线的多条数据线，形成在通过栅极交叉限定的区域中的多个像素电极线和数据线，形成在彼此相邻的像素电极之间的多个第一电极，其间具有栅极线，多个第二电极，每个第二电极形成为与像素电极的至少一部分重叠并且与栅极线平行布置，其中第一和第二电极中的一个用作用于驱动显示装置的公共电极。

