

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-98900

(P2014-98900A)

(43) 公開日 平成26年5月29日(2014.5.29)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
HO1L 29/786 (2006.01)	HO1L 29/78 613Z	5F110

審査請求 未請求 請求項の数 10 O L (全 10 頁)

(21) 出願番号 特願2013-235922 (P2013-235922) (22) 出願日 平成25年11月14日(2013.11.14) (31) 優先権主張番号 201210459334.6 (32) 優先日 平成24年11月15日(2012.11.15) (33) 優先権主張国 中国(CN) (31) 優先権主張番号 201210501139.5 (32) 優先日 平成24年11月29日(2012.11.29) (33) 優先権主張国 中国(CN)	(71) 出願人 510280589 京東方科技集団股▲ふん▼有限公司 中華人民共和国100015北京市朝陽區 酒仙橋路10號 (71) 出願人 511121702 成都京東方光電科技有限公司 中華人民共和国611731四川省成都市 高新區(西區) 合作路1188號 (74) 代理人 100099759 弁理士 青木 篤 (74) 代理人 100092624 弁理士 鶴田 準一 (74) 代理人 100114018 弁理士 南山 知広
--	--

最終頁に続く

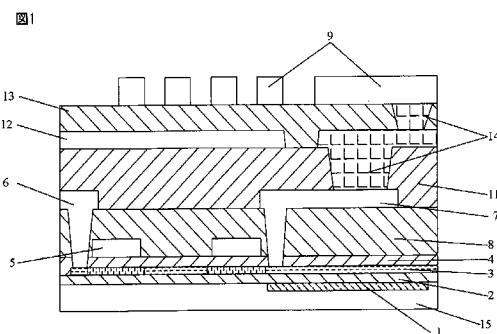
(54) 【発明の名称】 画素ユニット構造、アレー基板及び表示装置

(57) 【要約】

【課題】本発明は液晶ディスプレイの技術分野に関し、画素ユニット構造、アレー基板及び表示装置を開示する。

【解決手段】該画素ユニット構造はストレージキャパシターを実現すると共に画素ユニットの高開口率及び低作製コストを保証する。該画素ユニット構造は、薄膜トランジスタTFTと第一の遮蔽層とを含み、前記第一の遮蔽層がTFTアクチブ層のドレイン領域と対向し、且つアレー基板の共通電極に接続し、前記アクチブ層のドレイン領域との間でキャパシターを形成する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

薄膜トランジスタと第一の遮蔽層とを含む画素ユニット構造であって、前記第一の遮蔽層が薄膜トランジスタのアクチブ層のドレイン領域と対向し、且つアレー基板の共通電極に接続し、前記アクチブ層のドレイン領域との間でキャパシターを形成する、ことを特徴とする画素ユニット構造。

【請求項 2】

前記薄膜トランジスタは、前記アクチブ層と、第二の絶縁層と、グリッドと、同一層に位置するソース及びドレインとを含み、

前記ソースが前記画素ユニット構造のデータ線と前記アクチブ層のソース領域を接続し、前記ドレインが前記画素ユニット構造の画素電極と前記アクチブ層のドレイン領域を接続する、ことを特徴とする請求項 1 に記載の画素ユニット構造。

10

【請求項 3】

更に、前記第一の遮蔽層と同一層に位置する第二の遮蔽層を含み、前記第二の遮蔽層が、前記アクチブ層における、ドレイン領域以外の他の領域と対向する、ことを特徴とする請求項 1 に記載の画素ユニット構造。

【請求項 4】

前記画素ユニット構造は、

第三の絶縁層と、前記第三の絶縁層に順次に設けられた第四の絶縁層、共通電極層、第五の絶縁層及び画素電極とを、或いは、第三の絶縁層と、前記第三の絶縁層に順次に設けられた第四の絶縁層、画素電極、第五の絶縁層、共通電極層とを更に含み、

20

前記第三の絶縁層、第四の絶縁層及び第五の絶縁層は何れもピアホールを有し、各前記ピアホールには導電材が充填され、各前記ピアホールに充填された導電材が相互に接続しており、

前記ドレインが前記相互接続の導電材を介して前記画素電極に接続している、ことを特徴とする請求項 1 に記載の画素ユニット構造。

【請求項 5】

前記アクチブ層が、単結晶シリコン又は低ドーピング処理された多結晶シリコン、及び高ドーピング処理された多結晶シリコンにより間隔に形成される、ことを特徴とする請求項 1 に記載の画素ユニット構造。

30

【請求項 6】

前記アクチブ層のソース領域とドレイン領域の材質が、高ドーピング処理された多結晶シリコンである、ことを特徴とする請求項 5 に記載の画素ユニット構造。

【請求項 7】

前記画素ユニット構造が少なくとも 1 個のグリッドを有し、前記アクチブ層における単結晶シリコン又は低ドーピング処理された多結晶シリコンが前記グリッドと対向する、ことを特徴とする請求項 5 項に記載の画素ユニット構造。

【請求項 8】

前記第一の遮蔽層と前記第二の遮蔽層が一体成形される、ことを特徴とする請求項 3 に記載の画素ユニット構造。

40

【請求項 9】

ベース基板と、前記ベース基板に位置する複数の、請求項 1 ~ 8 の何れか一項に記載の画素ユニット構造とを含むアレー基板であって、

各前記画素ユニット構造の第一の遮蔽層がそれぞれ、前記アレー基板の共通電極に接続する、或いは、

各前記画素ユニット構造の第一の遮蔽層が、直列連結して共に前記アレー基板の共通電極に接続する、ことを特徴とするアレー基板。

【請求項 10】

請求項 9 に記載のアレー基板を含む、ことを特徴とする表示装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は液晶表示装置分野に関し、特に画素ユニット構造、アレー基板及び表示装置に関する。

【背景技術】

【0002】

薄膜トランジスタ液晶ディスプレイ（Thin Film Transistor Liquid Crystal Display、略称：TFT-LCD）は体積が小さく、パワー消耗が低く、無輻射などのメリットがあり、タブレット表示分野で主導的な地位を占拠している。

【0003】

LCDは電界の形式により多種類に分けられ、そのうち、アドバンスドスーパーディメンションスイッチ（Advanced super Dimension Switch、略称：ADS）型TFT-LCDは視角が広く、開口率が高く、透過率が高いなどのメリットがあるため、広汎的に応用されている。それは同一平面内の画素電極辺縁で生じた平行電界及び画素電極層と共通電極層との間で生じた縦方向電界により多次元空間複合電界を形成し、画素電極と共通電極との間の電位差が液晶分子の回動を駆動させ、液晶ユニット内の画素電極間、画素電極真上方の全ての配向液晶分子の何れにも旋回スイッチングを生じさせ、異なる電位差によって液晶層透過率の変化を制御し、液晶ディスプレイに異なるグレースケールを形成させ、表示が実現されるようになる。

【0004】

本発明の実現過程中、発明者の発現によると、1フレームの画面の時間間隔において、ある一つの画素電極は、当該画素電極と共通電極との間の液晶に一定の排列状況を維持させることにするように、共通電極との間に一定の電位差を維持しなければならない。また、液晶ディスプレイが作動していると、共通電極の電位が定常に不変であるため、画素電極の電位も1フレームの画面の時間間隔において不変となるように維持しなければならない。故に、画素ユニット内にストレージキャパシターを設置する必要がある、当該ストレージキャパシターが画素電極の電位維持能力の補強に寄与する。ただし、ストレージキャパシターが増やされると、画素ユニットの開口率を減少させ、また、ストレージキャパシターの増やしは画素ユニット構造のマスクを作製する工程が増やされ、画素ユニット構造の作製コストが増やされることを意味する。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の解決しようとする技術課題は、ストレージキャパシターを実現すると共に画素ユニットの高開口率及び低作製コストを保証する画素ユニット構造、アレー基板及び表示装置を提供することである。

【課題を解決するための手段】

【0006】

上記技術課題を解決するために、本発明の画素ユニット構造及びアレー基板は下記の技術案を利用している。

【0007】

薄膜トランジスタTFTと第一の遮蔽層とを含む画素ユニット構造であって、前記第一の遮蔽層がTFTアクチブ層のドレイン領域と対向し、且つアレー基板の共通電極に接続して、前記アクチブ層のドレイン領域との間でキャパシターを形成する。

【0008】

更に、前記薄膜トランジスタはアクチブ層と、第二の絶縁層と、グリッドと、同一層に位置するソース及びドレインとを含み、前記ソースが前記画素ユニット構造のデータ線と前記アクチブ層のソース領域を接続し、前記ドレインが前記画素ユニット構造の画素電極と前記アクチブ層のドレイン領域を接続する。

【0009】

10

20

30

40

50

前記画素ユニット構造は、前記第一の遮蔽層と同一層に位置する第二の遮蔽層を更に含み、前記第二の遮蔽層が、前記アクチブ層における、ドレイン領域以外の他の領域と対向する。

【0010】

前記画素ユニット構造の駆動モードが高級スーパー次元スイッチングモードである場合、前記画素ユニット構造は、第三の絶縁層と、前記第三の絶縁層に順次に設けられた第四の絶縁層、共通電極層、第五の絶縁層及び画素電極とを、前記第三の絶縁層、第四の絶縁層及び第五の絶縁層は何れもピアホールを有し、各前記ピアホールには導電材が充填され、各前記ピアホールに充填された導電材が相互に接続し、そこで、前記アクチブ層のドレイン或いはソースが前記相互接続の導電材を介して前記画素電極に接続する。

10

【0011】

前記アクチブ層が、単結晶シリコン又は低ドーピング処理された多結晶シリコン及び高ドーピング処理された多結晶シリコンにより間隔に形成される。

【0012】

前記画素ユニット構造は少なくとも一つのグリッドを有し、前記アクチブ層における単結晶シリコン又は低ドーピング処理された多結晶シリコンが前記グリッドと対向する。

【0013】

前記アクチブ層のソース領域及びドレイン領域の材質が、高ドーピング処理された多結晶シリコンである。

【0014】

前記第一の遮蔽層と前記第二の遮蔽層が一体成形される。

20

【0015】

ベース基板と、前記ベース基板に位置する複数の上記画素ユニット構造とを含むアレー基板であって、

各前記画素ユニット構造の第一の遮蔽層がそれぞれ、前記アレー基板の共通電極に接続する、或いは、

各前記画素ユニット構造の第一の遮蔽層が、直列連結して共に前記アレー基板の共通電極に接続する。

【0016】

本発明はアレー基板を含む表示装置を更に提供する。

30

本発明により提供された画素ユニット構造において、第一の遮蔽層は、アクチブ層の、画素電極と接続するドレインとの間でキャパシターを形成することができるため、画素ユニット構造中のストレージキャパシターが実現される。また、前記ドレインとともにストレージキャパシターを形成する第一の遮蔽層が、画素電極に接続するドレインと対向しているため、前記画素ユニット構造の開口率に影響を与えることなく、前記画素ユニット構造の高開口率が保証される。

【0017】

本発明或いは従来技術における技術案を明瞭に説明するために、下記のように実施例の記述における使用必要のある図面を簡単に紹介し、言うまでもなく、下記の記述中の図面は本発明の一部の実施例に過ぎなく、当業者にとって、創造的活動をしないことを前提において、これらの図面に基づいて他の図面を得ることもできる。

40

【図面の簡単な説明】

【0018】

【図1】本発明実施例における画素ユニット構造の断面図一である。

【図2】本発明実施例における一部の画素ユニット構造の平面図一である。

【図3】本発明実施例における画素ユニット構造の断面図二である。

【図4】本発明実施例における一部の画素ユニット構造の平面図二である。

【図5】本発明実施例における一部の画素ユニット構造の平面図三である。

【図6】本発明実施例におけるアレー基板の平面図一である。

【図7】本発明実施例におけるアレー基板の平面図二である。

50

【図 8】本発明実施例におけるアレー基板の平面図三である。

【発明を実施するための形態】

【0019】

以下、本発明の図面を参照して本発明実施例における技術案を明瞭で全面的に記述し、言うまでもなく、記述された実施例が全部の実施例ではなく、本発明の一部の実施例である。本発明の実施例に基づいて、当業者が創造的活動をしないことを前提において得られる全ての他の実施例は何れも本発明の保護範囲に属するものである。

【0020】

実施例一

本発明実施例は画素ユニット構造を提供し、図 1 に示すように、該画素ユニット構造は、薄膜トランジスタTFTと、第一の遮蔽層とを含み、前記第一の遮蔽層がTFTアクチブ層のドレイン領域と対向し、且つアレー基板の共通電極に接続して、前記アクチブ層のドレイン領域との間でキャパシターを形成する。

10

【0021】

具体的に、該画素ユニット構造は下から上へと順次に、第一の遮蔽層 1 と、第一の絶縁層 2 と、アクチブ層 3 と、第二の絶縁層 4 と、グリッド 5 と、同一層に位置するソース 6 及びドレイン 7 と、第三の絶縁層 8 とを含む。

【0022】

前記画素ユニット構造において、前記第一の遮蔽層 1 がアクチブ層 3 のドレイン領域と対向し、前記ソース 6 が前記画素ユニット構造のデータ線と前記アクチブ層 3 のソース領域を接続し、前記ドレイン 7 が前記画素ユニット構造の画素電極 9 と前記アクチブ層 3 のドレイン領域を接続し、前記第一の遮蔽層 1 がアレー基板の共通電極の出力端に接続して、前記アクチブ層 3 のドレイン領域との間でキャパシターを形成する。本文において、画素ユニット構造のTFTについて、P型であってもN型であっても、前記TFTのソース、ドレインが互いに置き換えられ、データ線に接続する端をソースとして定義し、画素電極に接続する端をドレインとして定義する。

20

【0023】

1 フレームの画面が表示される時、前記グリッド 5 に電気信号が入力されて、アクチブ層 3 における、ソース領域とドレイン領域との間の領域を導通し、前記画素ユニット構造のデータ線が、ある一つの電位を有する電気信号を前記ソース 6 へ伝送し、該電気信号は、前記アクチブ層 3 により前記ドレイン 7 に伝送され、更に前記ドレイン 7 により前記ドレイン 7 と相互接続する画素電極 9 に伝送され、前記画素電極 9 と前記液晶ディスプレイの共通電極とが共同的に画素電極 9 と前記共通電極との間の液晶分子の偏向、排列状況を制御するようにして、液晶ディスプレイの画像表示を実現させる。

30

【0024】

更に、前記第一の遮蔽層 1 が通常、金属で作製され、例えばモリブデン、アルミなどの金属材料で作製され、そして、前記第一の遮蔽層 1 がアレー基板の共通電極の出力端と相互接続し、更に、図 1 に示すように、前記第一の遮蔽層 1 がアクチブ層のドレイン領域と対向し、間に一層の第一の絶縁層 2 が介在し、且つ前記第一の遮蔽層 1 と前記アクチブ層のドレイン領域との間に電位差があるため、前記第一の遮蔽層 1 と前記アクチブ層のドレイン領域との間にストレージキャパシターが形成され、該ストレージキャパシターの存在は、前記画素電極 9 と前記共通電極との間の電位差異の維持に寄与するため、1 フレーム画面の表示時間内に液晶分子が正常表示に必要な排列状況に維持されることに有利となり、液晶ディスプレイの画像表示効果を向上させる。

40

【0025】

図 1 から分かるように、該ストレージキャパシターの大きさが、第一の遮蔽層 1 と前記ドレイン領域との対向面積と、第一の遮蔽層 1 と前記ドレインとの間の絶縁材料（即ち第一の絶縁層 2 の材料）の厚さと、誘電率と共同的により決められ、効果及び材料節約などの方面から考慮して、前記第一の遮蔽層 1 と前記ドレイン領域とが何れも前記第一の絶縁層 2 に密接的に貼り付け、そして、図 2 に示すように、前記第一の遮蔽層 1 の前記第一の

50

絶縁層 2 における投影領域が、前記ドレイン領域の前記第一の絶縁層 2 における投影領域と完全に重なっている。

【0026】

更に、図 2 に示すように、前記第一の遮蔽層 1 の前記第一の絶縁層 2 における投影領域が、前記ドレイン領域の前記第一の絶縁層 2 における投影領域と完全に重なることは、前記画素ユニット構造の開口率に影響を与えることなく、前記画素ユニット構造の高開口率を保証する。それに対して、従来技術では、ビアホールが存在により、アクチブ層のドレイン領域とともにストレージキャパシターを形成する GATE 金属の間に大きい間隔が要するため、画素ユニット構造の開口率に酷く影響を与える。

【0027】

説明必要であることは、前記第一の絶縁層 2 は通常、緩衝層と称され、前記第二の絶縁層 4 は通常、ゲート絶縁層 (Gate Insulator、略称: GI) と称され、前記第三の絶縁層 8 は通常、層間絶縁体 (Inter Layer Dielectric、略称: ILD) と称され、前記第一の絶縁層 2、前記第二の絶縁層 4 及び前記第三の絶縁層 8 の材質が何れも窒化珪素、二酸化珪素又は他の混合物のうちの一つであってよく、前記第一の絶縁層 2、前記第二の絶縁層 4 及び前記第三の絶縁層 8 の材質が同一種材料であってよい。

【0028】

本実施例の技術案において、第一の遮蔽層は、アクチブ層の、画素電極に接続するドレイン領域との間でキャパシターを形成することができるため、画素ユニット構造におけるストレージキャパシターが実現される。また、前記ドレイン領域とともにストレージキャパシターを形成する第一の遮蔽層が、画素電極に接続するドレイン領域と対向するため、前記画素ユニット構造の開口率に影響を与えることなく、前記画素ユニット構造の高開口率が保証される。

【0029】

実施例二

本発明実施例は画素ユニット構造を提供し、実施例一を元にし、図 3 に示すように、前記画素ユニット構造は、更に、前記第一の遮蔽層 1 と同一層に位置する第二の遮蔽層 10 を含んでよく、前記第二の遮蔽層 10 が、前記アクチブ層 3 における、ドレイン領域以外の他の領域と対向する。

【0030】

実際に、画素ユニット構造は通常 N 型の TFT を利用し、N 型の TFT のドレイン電流が P 型 TFT よりも大きく、特に照明される場合、過量の光線が TFT のアクチブ領域に散乱し或いは直接に照射し、チャネル辺縁区が励起され電子正孔対が生じ、一部の電子正孔がドレイン電流を形成し、ドレイン電流の大きさが著しく増加して、画素電極 9 の安定な電位の維持時間を大いに短くさせる。たとえストレージキャパシターが存在しても、ドレイン電流の存在もかなり大きい影響力を有するため、ドレイン電流の電流値をできるだけ低減する必要があり、故に、図 3 又は図 4 に示すように、通常、前記アクチブ層 3 における、ドレイン領域以外の他の領域と対向する前記第二の遮蔽層 10 を前記画素ユニット構造内に設置して、前記第二の遮蔽層 10 は前記アクチブ層 3 における、ドレイン領域以外の他の領域へ入射し可能な光線を遮蔽し、ドレイン電流の増大を防止する。そのため、一般的な画素ユニット構造内には何れも第二の遮蔽層 10 を設置しなければならない。

【0031】

前記第一の遮蔽層 1 と第二の遮蔽層 10 は、画素ユニット構造の作製工程中の同一工程によって作製することができ、ストレージキャパシターの作製のために余計な工程を増やす必要がなく、画素ユニットの低作製コストが保証される。

【0032】

更に、前記画素ユニット構造の駆動モードが高級スーパー次元スイッチングモードである場合、当該画素ユニット構造は、第三の絶縁層 8 に順次に設けられた第四の絶縁層 11、共通電極層 12、第五の絶縁層 13 及び画素電極 9 を更に含み、前記第三の絶縁層 8、第四の絶縁層 11 及び第五の絶縁層 13 は何れもビアホール 14 を有し、各前記ビアホー

10

20

30

40

50

ル 1 4 に導電材が充填されており、且つ各前記ビアホール 1 4 に充填された導電材が相互に接続しており、前記共通電極層 1 2 と画素電極 9 の位置が相互転換してよく、両者の間に電界を形成することを満たせばよい。

【 0 0 3 3 】

それ故、前記アクチブ層 3 のドレイン 7 が前記相互接続の導電材を介して前記画素電極 9 に接続することができ、導電材としては通常、酸化インジウムスズ (Indium Tin Oxide s、略称：ITO) を利用することができる。

【 0 0 3 4 】

層間ビアホールにおいて相互接続する導電材を介して、前記ドレイン 7 を前記画素電極 9 に接続し、別の接続方式により前記画素電極 9 と前記ドレイン 7 を接続する必要がなく、画素ユニット構造の作製工程を簡素化させ、且つ前記画素ユニット構造の開口率の縮小を防止させる。

【 0 0 3 5 】

通常、前記アクチブ層 3 が単結晶シリコン又は低ドーピング処理された多結晶シリコン及び高ドーピング処理された多結晶シリコンにより間隔に形成され、前記アクチブ層 3 のアクチブ領域の材質が、単結晶シリコン又は低ドーピング処理された多結晶シリコンであり、前記アクチブ層 3 のソース領域及びドレイン領域の材質が、高ドーピング処理された多結晶シリコンである。

【 0 0 3 6 】

ドーピングとは不純物半導体に対する処理工程であり、即ち、価電子帯に正孔を提供するアクセプター不純物又は伝導帯に電子を送信するドナー不純物になるように、真性半導体 (ここでは、単結晶シリコン) に三価元素又は五価元素を混入することである。高ドーピングとは比較的到高濃度の不純物を真性半導体に混入することである。

【 0 0 3 7 】

図 1 又は図 3 に示すように、前記画素ユニット構造がグリッド 5 を少なくとも 1 つ有し、前記アクチブ層 3 における単結晶シリコン又は低ドーピング処理された多結晶シリコンが前記グリッド 5 と対向する。グリッド 5 の数の増加は、アクチブ層 3 におけるソース領域とドレイン領域との間の多結晶シリコンの総量の増加を意味し、更に、ソースとドレインとの間の抵抗値も増加し、それはアクチブ層 3 におけるドレイン電流の一層の低減に有利となるため、画素電極 9 の電位の安定に有利となる。

【 0 0 3 8 】

通常、図 5 に示すように、作製工程を簡素化し且つマスクのコストを低減させるために、前記第一の遮蔽層 1 と前記第二の遮蔽層 1 0 を一体成形することができる。

【 0 0 3 9 】

更に、本発明実施例はアレー基板を提供し、図 1 に示すように、該アレー基板はベース基板 1 5 と、前記ベース基板 1 5 に位置する複数の上記画素ユニット構造を含み、各前記画素ユニット構造の第一の遮蔽層 1 がそれぞれ、前記アレー基板の共通電極の出力端 (図示せず) に接続し、或いは、各上記画素ユニット構造の第一の遮蔽層 1 が、直列連結して共に前記アレー基板の共通電極の出力端 (図示せず) に接続する。

【 0 0 4 0 】

前記第一の遮蔽層 1 と前記アレー基板の共通電極の出力端との接続について制限がなく、表示領域内の各画素ユニット構造の第一の遮蔽層 1 がそれぞれ前記アレー基板の共通電極の出力端と接続することであってよく、また、図 6、図 7 又は図 8 に示すように、各第一の遮蔽層 1 を直列連結してから、表示領域内部又は外部で前記アレー基板の共通電極の出力端と接続させることであってもよい。

【 0 0 4 1 】

更に、前記第一の遮蔽層 1 と前記アレー基板の共通電極の出力端との具体的接続形式が多種あることが可能であり、導電材が充填されているビアホールを介して第一の遮蔽層 1 と前記アレー基板の共通電極の出力端とを接続させてよく、また、導電材が充填されているビアホール及び導電層により共同的に配合して実現してもよく、本発明ではそれについ

10

20

30

40

50

て制限しない。

【 0 0 4 2 】

上記は、本発明の具体的実施形態であるが、本発明の保護範囲がそれに限られることはなく、本技術分野を熟知する当業者の何れは、本発明に披露された技術範囲内にて変化又は取替を容易に思いつき、それは何れも本発明の保護範囲内にカバーされている。故に、本発明の保護範囲は前記特許請求の範囲に準じるべきである。

【 0 0 4 3 】

本出願は、2012年11月15日に中国で提出した中国特許出願番号201210459334.6及び2012年11月29日に中国で提出した中国特許出願番号201210501139.5の優先権を主張し、その全ての内容が引用によりこれに含まれている。

10

【 符号の説明 】

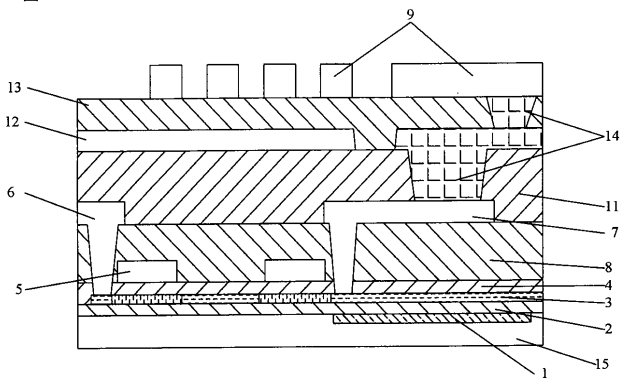
【 0 0 4 4 】

- 1 第一の遮蔽層
- 2 第一の絶縁層
- 3 アクチブ層
- 4 第二の絶縁層
- 5 グリッド
- 6 ソース
- 7 ドレイン
- 8 第三の絶縁層
- 9 画素電極
- 10 第二の遮蔽層
- 11 第四の絶縁層
- 12 共通電極層
- 13 第五の絶縁層
- 14 ビアホール
- 15 ベース基板

20

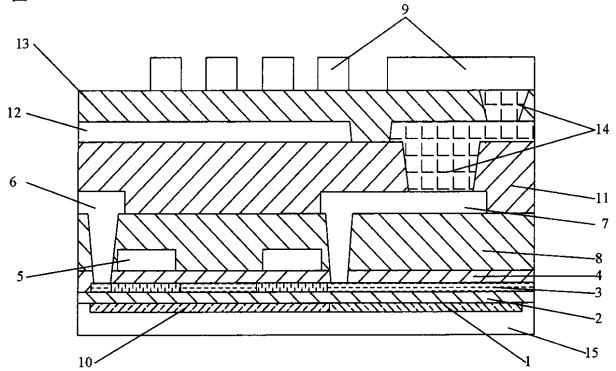
【 図 1 】

図1



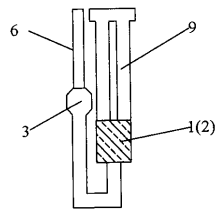
【 図 3 】

図3



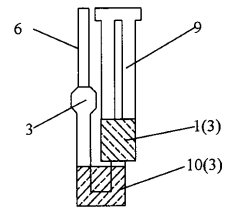
【 図 2 】

図2



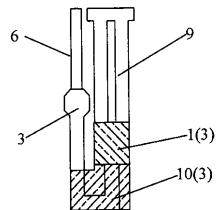
【 図 4 】

図4



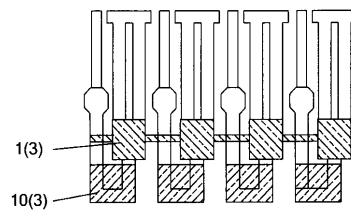
【 図 5 】

図5



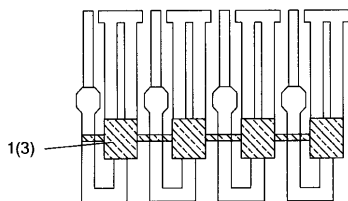
【 図 7 】

図7



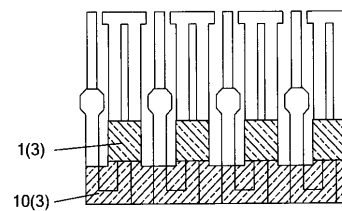
【 図 6 】

図6



【 図 8 】

図8



フロントページの続き

(74)代理人 100165191

弁理士 河合 章

(74)代理人 100151459

弁理士 中村 健一

(72)発明者 チイ シャオジン

中華人民共和国, ベイジン 1 0 0 1 7 6 , ビーディーエー, ダイズ ロード ナンバー 9

(72)発明者 ウー ボー

中華人民共和国, ベイジン 1 0 0 1 7 6 , ビーディーエー, ダイズ ロード ナンバー 9

(72)発明者 ホー リーコー

中華人民共和国, ベイジン 1 0 0 1 7 6 , ビーディーエー, ダイズ ロード ナンバー 9

F ターム(参考) 2H192 AA24 BB13 BC31 CB02 CB13 DA12 EA04 EA15

5F110 BB01 CC02 GG02 GG12 GG13 HL07 NN44 NN46 NN47 NN72

专利名称(译)	像素单元结构，阵列基板和显示装置		
公开(公告)号	JP2014098900A	公开(公告)日	2014-05-29
申请号	JP2013235922	申请日	2013-11-14
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司 成都京东方光电科技有限公司		
[标]发明人	チイシャオジン ウーボー ホーリーコー		
发明人	チイ シャオジン ウー ボー ホー リーコー		
IPC分类号	G02F1/1368 H01L29/786		
CPC分类号	H01L29/78654 G02F1/136213 H01L27/1218 H01L27/1255 H01L27/3244 H01L27/3248 H01L27/3265 H01L29/41733 H01L29/4908 H01L29/78633		
FI分类号	G02F1/1368 H01L29/78.613.Z		
F-TERM分类号	2H192/AA24 2H192/BB13 2H192/BC31 2H192/CB02 2H192/CB13 2H192/DA12 2H192/EA04 2H192 /EA15 5F110/BB01 5F110/CC02 5F110/GG02 5F110/GG12 5F110/GG13 5F110/HL07 5F110/NN44 5F110/NN46 5F110/NN47 5F110/NN72		
代理人(译)	青木 笃 南山智博 河合晃 中村健一		
优先权	201210459334.6 2012-11-15 CN 201210501139.5 2012-11-29 CN		
其他公开文献	JP6405086B2		
外部链接	Espacenet		

摘要(译)

摘要：要解决的问题：公开一种像素单元结构，阵列基板和与液晶显示器技术领域相关的显示装置。解决方案：像素单元结构具有存储电容器并确保像素单元的高孔径比和低制造成本。像素单元结构包括薄膜晶体管（TFT）和第一阻挡层，其中第一阻挡层与TFT的有源层的漏极区相对，并连接到阵列基板的公共电极，因此可以在第一阻挡层和有源层的漏极区之间形成电容器。

图1

