

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-48652

(P2014-48652A)

(43) 公開日 平成26年3月17日(2014.3.17)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H193
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G02F 1/1343 (2006.01)	G02F 1/1343	5C080
G09G 3/20 (2006.01)	G02F 1/133 575	
審査請求 未請求 請求項の数 8 O L (全 31 頁) 最終頁に続く		

(21) 出願番号	特願2012-194448 (P2012-194448)	(71) 出願人	502356528
(22) 出願日	平成24年9月4日 (2012.9.4)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	110001737
			特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100095441
			弁理士 白根 俊郎
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

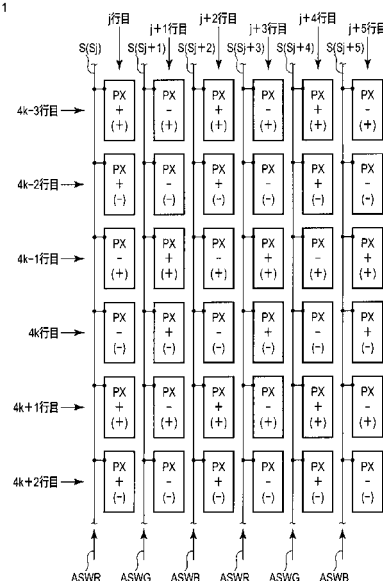
(57) 【要約】

【課題】製造コストの高騰及び開口率の低下を招くこと無しに縦クロストークの発生を低減することができる液晶表示装置を提供する。

【解決手段】液晶表示装置は、信号線Sと、画素電極と、半導体層を有した薄膜トランジスタと、を有したアレイ基板と、共通電極を有した対向基板と、液晶層と、H V反転駆動を行う信号線駆動回路と、を備える。信号線駆動回路は、1水平走査期間毎に、信号線Sに映像信号を与える前に、正極性の映像信号と負極性の映像信号との中間の電圧値とは異なる電圧レベルを持つプリチャージ信号を信号線Sに与える。

【選択図】図11

図 11



【特許請求の範囲】

【請求項 1】

信号線と、画素電極と、前記信号線に電氣的に接続されたソース領域及び前記画素電極に電氣的に接続されたドレイン領域を含んだ半導体層を有した薄膜トランジスタと、を有したアレイ基板と、

定電位に設定される共通電極を有し、前記アレイ基板に隙間を置いて対向配置された対向基板と、

前記アレイ基板及び対向基板間に挟持され、前記画素電極と前記共通電極との間に形成される電界が作用される液晶層と、

前記信号線に電氣的に接続され前記信号線に正極性及び負極性の映像信号を与え H V 反転駆動を行う信号線駆動回路と、を備え、

前記信号線駆動回路は、1 水平走査期間毎に、前記信号線に前記映像信号を与える前に、前記正極性の映像信号と前記負極性の映像信号との中間の電圧値とは異なる電圧レベルを持つプリチャージ信号を前記信号線に与える液晶表示装置。

【請求項 2】

前記プリチャージ信号の持つ電圧レベルは、前記正極性の映像信号の最も高い電圧値から前記負極性の映像信号の最も深い電圧値の範囲内である請求項 1 に記載の液晶表示装置。

【請求項 3】

前記プリチャージ信号の持つ電圧レベルは、前記正極性の映像信号の最も高い電圧値、及び前記負極性の映像信号の最も深い電圧値の何れか一方である請求項 2 に記載の液晶表示装置。

【請求項 4】

ノーマリーブラックモードを採る液晶表示装置であって、

前記プリチャージ信号の持つ電圧レベルは、白表示用の前記映像信号の電圧値である請求項 1 に記載の液晶表示装置。

【請求項 5】

前記画素電極は、長軸を有した主画素電極を有し、

前記共通電極は、前記長軸に直交した方向に前記主画素電極を挟んで位置し前記長軸に沿った方向に延出した一対の主共通電極を有する、請求項 1 に記載の液晶表示装置。

【請求項 6】

前記画素電極は、前記主画素電極に接続され前記長軸に直交した方向に延出した副画素電極をさらに有している請求項 5 に記載の液晶表示装置。

【請求項 7】

前記主画素電極及び副画素電極は、互いに交差し十字状に形成されている請求項 6 に記載の液晶表示装置。

【請求項 8】

第 1 乃至第 3 信号線と、第 1 乃至第 3 画素電極と、前記第 1 信号線に電氣的に接続されたソース領域及び前記第 1 画素電極に電氣的に接続されたドレイン領域を含んだ第 1 半導体層を有した第 1 薄膜トランジスタと、前記第 2 信号線に電氣的に接続されたソース領域及び前記第 2 画素電極に電氣的に接続されたドレイン領域を含んだ第 2 半導体層を有した第 2 薄膜トランジスタと、前記第 3 信号線に電氣的に接続されたソース領域及び前記第 3 画素電極に電氣的に接続されたドレイン領域を含んだ第 3 半導体層を有した第 3 薄膜トランジスタと、を有したアレイ基板と、

定電位に設定される共通電極を有し、前記アレイ基板に隙間を置いて対向配置された対向基板と、

前記アレイ基板及び対向基板間に挟持され、前記第 1 乃至第 3 画素電極と前記共通電極との間に形成される電界が作用される液晶層と、

前記第 1 乃至第 3 信号線に電氣的に接続され、前記第 1 信号線に正極性及び負極性の第 1 映像信号を与え、前記第 2 信号線に正極性及び負極性の第 2 映像信号を与え、前記第 3

10

20

30

40

50

信号線に正極性及び負極性の第3映像信号を与え、HV反転駆動を行う信号線駆動回路と、を備え、

前記信号線駆動回路は、1水平走査期間毎に、

前記第1乃至第3信号線に前記第1乃至第3映像信号を与える前に、前記正極性の第1乃至第3映像信号と前記負極性の第1乃至第3映像信号との中間の電圧値とは異なる電圧レベルを持つ同一極性のプリチャージ信号を前記第1乃至第3信号線に同時に与え、

前記プリチャージ信号を与えた後、前記第1信号線に前記第1映像信号を与え、

前記第1信号線に前記第1映像信号を与えた後、前記第2信号線に前記第2映像信号を与え、

前記第2信号線に前記第2映像信号を与えた後、前記第3信号線に前記第3映像信号を与える液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

一般に、画像表示装置として、液晶表示装置が用いられている。液晶表示装置は、薄型、軽量、低消費電力の特徴を活かして、携帯電話、スマートフォン、PDA（パーソナル・デジタル・アシスタント）、パーソナルコンピュータ用のディスプレイ等に利用されている。液晶表示装置は、アレイ基板と、アレイ基板に対向配置された対向基板と、アレイ基板及び対向基板間に挟持された液晶層とを備えている。アレイ基板には、複数の走査線、複数の信号線、複数の補助容量線、画素スイッチング用の複数のTFT（薄膜トランジスタ）や複数の補助容量素子等が形成されている。

【0003】

液晶表示装置において、容量結合駆動（CC駆動）が提案されている。CC駆動では、補助容量線の電位を変化させ、補助容量素子を通して画素電極に重畳電圧を与える。上記CC駆動を採用することにより、信号線に与える映像信号の振幅（電圧値）を低減することができる。

【0004】

また、液晶表示装置において、ドット反転駆動が提案されている。上記ドット反転駆動を採用することにより、横クロストークの発生を低減することができる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-3877号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

ところで、上記ドット反転駆動を採用した場合、縦クロストークが発生し易いという課題がある。このため、縦クロストークの発生を低減することができる技術が求められている。しかも、製造コストの高騰及び開口率の低下を招くこと無しに上記課題を解決することができる技術が求められている。

【0007】

この発明は以上の点に鑑みなされたもので、その目的は、製造コストの高騰及び開口率の低下を招くこと無しに縦クロストークの発生を低減することができる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0008】

一実施形態に係る液晶表示装置は、

10

20

30

40

50

信号線と、画素電極と、前記信号線に電氣的に接続されたソース領域及び前記画素電極に電氣的に接続されたドレイン領域を含んだ半導体層を有した薄膜トランジスタと、を有したアレイ基板と、

定電位に設定される共通電極を有し、前記アレイ基板に隙間を置いて対向配置された対向基板と、

前記アレイ基板及び対向基板間に挟持され、前記画素電極と前記共通電極との間に形成される電界が作用される液晶層と、

前記信号線に電氣的に接続され前記信号線に正極性及び負極性の映像信号を与えH V 反転駆動を行う信号線駆動回路と、を備え、

前記信号線駆動回路は、1 水平走査期間毎に、前記信号線に前記映像信号を与える前に、前記正極性の映像信号と前記負極性の映像信号との中間の電圧値とは異なる電圧レベルを持つプリチャージ信号を前記信号線に与える。

【0009】

また、一実施形態に係る液晶表示装置は、

第1乃至第3信号線と、第1乃至第3画素電極と、前記第1信号線に電氣的に接続されたソース領域及び前記第1画素電極に電氣的に接続されたドレイン領域を含んだ第1半導体層を有した第1薄膜トランジスタと、前記第2信号線に電氣的に接続されたソース領域及び前記第2画素電極に電氣的に接続されたドレイン領域を含んだ第2半導体層を有した第2薄膜トランジスタと、前記第3信号線に電氣的に接続されたソース領域及び前記第3画素電極に電氣的に接続されたドレイン領域を含んだ第3半導体層を有した第3薄膜トランジスタと、を有したアレイ基板と、

定電位に設定される共通電極を有し、前記アレイ基板に隙間を置いて対向配置された対向基板と、

前記アレイ基板及び対向基板間に挟持され、前記第1乃至第3画素電極と前記共通電極との間に形成される電界が作用される液晶層と、

前記第1乃至第3信号線に電氣的に接続され、前記第1信号線に正極性及び負極性の第1映像信号を与え、前記第2信号線に正極性及び負極性の第2映像信号を与え、前記第3信号線に正極性及び負極性の第3映像信号を与え、H V 反転駆動を行う信号線駆動回路と、を備え、

前記信号線駆動回路は、1 水平走査期間毎に、

前記第1乃至第3信号線に前記第1乃至第3映像信号を与える前に、前記正極性の第1乃至第3映像信号と前記負極性の第1乃至第3映像信号との中間の電圧値とは異なる電圧レベルを持つ同一極性のプリチャージ信号を前記第1乃至第3信号線に同時に与え、

前記プリチャージ信号を与えた後、前記第1信号線に前記第1映像信号を与え、

前記第1信号線に前記第1映像信号を与えた後、前記第2信号線に前記第2映像信号を与え、

前記第2信号線に前記第2映像信号を与えた後、前記第3信号線に前記第3映像信号を与える。

【図面の簡単な説明】

【0010】

【図1】図1は、一実施形態に係る液晶表示装置の構成及び回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板の概略構成を示す平面図である。

【図3】図3は、図2に示した画素を示す等価回路図である。

【図4】図4は、図1に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図5】図5は、図4に示した液晶表示パネルをV - V線で切断したときの断面構造を概略的に示す断面図である。

【図6】図6は、図4に示した液晶表示パネルにおける画素電極と共通電極との間に形成される電界、及び、この電界による液晶分子のダイレクタと透過率との関係を説明するた

10

20

30

40

50

めの図である。

【図 7】図 7 は、上記アレイ基板の表示領域の外側を示す拡大平面図であり、切替え回路を示す回路図である。

【図 8】図 8 は、上記実施形態に係る液晶表示装置に関する図であり、1 水平走査期間における信号 A S W R、A S W G、A S W B を示すタイミングチャートである。

【図 9】図 9 は、上記実施形態に係る液晶表示装置に関する図であり、1 水平走査期間における制御信号 A S W 1、A S W 2、A S W 3 を示すタイミングチャートである。

【図 10】図 10 は、比較例の液晶表示装置に関する図であり、1 水平走査期間における信号 A S W R、A S W G、A S W B を示すタイミングチャートである。

【図 11】図 11 は、上記実施形態に係る液晶表示装置の採る 2 H 1 V 反転駆動を説明する概略図である。

【図 12】図 12 は、上記実施形態に係る液晶表示装置、比較例の液晶表示装置及び他の比較例の液晶表示装置の縦クロストーク率をグラフで示した図である。

【図 13】図 13 は、上記実施形態に係る液晶表示装置における B L 輝度に対する縦クロストーク率の変化をグラフで示した図である。

【図 14】図 14 は、上記比較例の液晶表示装置における B L 輝度に対する縦クロストーク率の変化をグラフで示した図である。

【図 15】図 15 は、上記他の比較例の液晶表示装置における B L 輝度に対する縦クロストーク率の変化をグラフで示した図である。

【図 16】図 16 は、上記実施形態において導入したクロストーク率の定義を説明するための図である。

【図 17】図 17 は、上記実施形態において導入したクロストーク率の定義を説明するための他の図である。

【図 18】図 18 は、他の比較例の液晶表示装置の縦クロストーク測定画面において、測定箇所 A の画素電極の電圧レベルの変化をグラフで示す図である。

【図 19】図 19 は、他の比較例の液晶表示装置の参照画面において、測定箇所 A の画素電極の電圧レベルの変化をグラフで示す図である。

【図 20】図 20 は、本実施形態に係る液晶表示装置の縦クロストーク測定画面において、測定箇所 A の画素電極の電圧レベルの変化をグラフで示す図である。

【図 21】図 21 は、本実施形態に係る液晶表示装置の参照画面において、測定箇所 A の画素電極の電圧レベルの変化をグラフで示す図である。

【図 22】図 22 は、上記実施形態に係る液晶表示装置の採る 2 H 1 V 反転駆動の変形例を説明する概略図であり、プリチャージ信号の極性の変形例を示す図である。

【図 23】図 23 は、上記実施形態に係る液晶表示装置の採る 2 H 1 V 反転駆動の他の変形例を説明する概略図であり、プリチャージ信号の極性の他の変形例を示す図である。

【図 24】図 24 は、上記実施形態に係る液晶表示装置の採る 2 H 1 V 反転駆動の他の変形例を説明する概略図であり、プリチャージ信号の極性の他の変形例を示す図である。

【図 25】図 25 は、上記実施形態に係る液晶表示装置の変形例の採る 1 H 1 V 反転駆動を説明する概略図である。

【図 26】図 26 は、上記実施形態に係る液晶表示装置の変形例の採る 1 H 1 V 反転駆動を説明する概略図であり、プリチャージ信号の極性の変形例を示す図である。

【図 27】図 27 は、図 4 に示した画素の構造例の変形例を示す図であり、液晶表示パネルを対向基板側から見たときの画素の他の構造例を概略的に示す平面図である。

【発明を実施するための形態】

【0011】

以下、図面を参照しながら一実施形態に係る液晶表示装置について詳細に説明する。図 1 は、一実施形態に係る液晶表示装置の構成及び回路を概略的に示す図である。図 2 は、図 1 に示したアレイ基板 A R の概略構成を示す平面図である。図 3 は、図 2 に示した画素 P X を示す等価回路図である。

【0012】

10

20

30

40

50

図 1 乃至図 3 に示すように、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に所定の隙間を置いて対向配置された第 2 基板である対向基板 C T と、アレイ基板 A R 及び対向基板 C T 間に挟持された液晶層 L Q と、を備えている。その他、液晶表示装置は、映像信号出力部としての信号線駆動回路 9 0 と、制御部 1 0 0 と、F P C (flexible printed circuit) 1 1 0 とを備えている。液晶表示パネル L P N は、画像を表示する表示領域 R 1 を備えている。

【 0 0 1 3 】

表示領域 R 1 は、アレイ基板 A R 、対向基板 C T 及び液晶層 L Q に重なっている。表示領域 R 1 において、アレイ基板 A R 及び対向基板 C T 間には、複数の画素 P X が位置している。複数の画素 P X は、列方向 Y 及び行方向 X にマトリクス状に設けられ、 $m \times n$ 個配置されている（但し、 m 及び n は正の整数である）。

10

【 0 0 1 4 】

表示領域 R 1 の外側の非表示領域 R 2 において、アレイ基板 A R 側には、切替え回路 1 3、走査線駆動回路 3 1 及びアウトリードボンディング (outer lead bonding) のパッド群（以下、O L B パッド群と称する）p G r が形成されている。

【 0 0 1 5 】

液晶表示パネル L P N は、表示領域 R 1 において、 n 本の走査線 G (G 1 ~ G n)、 n 本の補助容量線 C (C 1 ~ C n)、 m 本の信号線 S (S 1 ~ S m) などを備えている。走査線 G 及び補助容量線 C は、例えば、行方向 X に沿って略直線的に延出している。これらの走査線 G 及び補助容量線 C は、行方向 X に交差する列方向 Y に沿って交互に並列配置されている。ここでは、行方向 X と列方向 Y とは互いに略直交している。

20

【 0 0 1 6 】

信号線 S は、走査線 G 及び補助容量線 C と交差している。信号線 S は、列方向 Y に沿って略直線的に延出している。なお、走査線 G、補助容量線 C 及び信号線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。走査線 G、補助容量線 C 及び信号線 S は、表示領域 R 1 の外側に引き出されている。

【 0 0 1 7 】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。保持容量 C S は、例えば補助容量線 C と、補助容量線 C に絶縁膜を介して対向配置された画素電極 P E との間に形成されている。この場合、補助容量線 C 及び画素電極 P E が補助容量素子を形成している。

30

【 0 0 1 8 】

又は、保持容量 C S は、補助容量線 C と、補助容量線 C に絶縁膜を介して対向配置された画素電極 P E に接続された図示しない補助容量電極との間に形成されている。この場合、補助容量線 C 及び補助容量電極が補助容量素子を形成している。

【 0 0 1 9 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、行方向 X と列方向 Y とで規定される X - Y 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

40

【 0 0 2 0 】

スイッチング素子 S W は、例えば、 n チャネル型の薄膜トランジスタ (T F T) によって構成されている。このスイッチング素子 S W は、走査線 G 及び信号線 S と電気的に接続されている。このようなスイッチング素子 S W は、トップゲート型 T F T あるいはボトムゲート型 T F T のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

50

【 0 0 2 1 】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。共通電極 C E は、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジंक・オキサイド (I Z O) などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【 0 0 2 2 】

アレイ基板 A R は、共通電極 C E に電圧 (コモン電圧) を印加するための給電部 V S を備えている。この給電部 V S は、例えば、非表示領域 R 2 に形成されている。共通電極 C E は、表示領域 R 1 の外側に引き出され、図示しない導電部材を介して、給電部 V S と電氣的に接続されている。

10

【 0 0 2 3 】

図 4 は、図 1 に示した液晶表示パネル L P N を対向基板 C T 側から見たときの一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

【 0 0 2 4 】

図 4 に示すように、画素 P X は、破線で示したように、行方向 X に沿った長さが列方向 Y に沿った長さよりも短い長方形形状である。この実施形態において、画素 P X は、列方向に平行な長軸を有している。但し、画素 P X は、この実施形態に限定されるものではなく、列方向又は行方向に平行な長軸を有していればよい。

20

【 0 0 2 5 】

走査線 G 1 及び走査線 G 2 は、行方向 X に沿って延出している。補助容量線 C 1 は、隣接する走査線 G 1 と走査線 G 2 との間に配置され、行方向 X に沿って延出している。補助容量線 C 1 の幅は、例えば $15.5 \mu\text{m}$ である。信号線 S 1 及び信号線 S 2 は、列方向 Y に沿って延出している。画素電極 P E は、隣接する信号線 S 1 と信号線 S 2 との間に配置されている。また、この画素電極 P E は、走査線 G 1 と走査線 G 2 との間に位置している。

【 0 0 2 6 】

図示した例では、画素 P X において、信号線 S 1 は左側端部に配置され、信号線 S 2 は右側端部に配置されている。厳密には、信号線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、信号線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。また、画素 P X において、走査線 G 1 は上側端部に配置され、走査線 G 2 は下側端部に配置されている。厳密には、走査線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、走査線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。補助容量線 C 1 は、画素の略中央部に配置されている。

30

【 0 0 2 7 】

スイッチング素子 S W は、図示した例では、走査線 G 1 及び信号線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、走査線 G 1 と信号線 S 1 の交点に設けられ、そのドレイン配線は信号線 S 1 及び補助容量線 C 1 に沿って延長され、補助容量線 C 1 と重なる領域に形成されたコンタクトホール C H を介して画素電極 P E と電氣的に接続されている。このようなスイッチング素子 S W は、信号線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、信号線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことなく、表示に寄与する開口部の面積の低減を抑制している。

40

【 0 0 2 8 】

複数の画素電極 P E は、行方向 X 及び列方向 Y に間隔を置いて並べられている。複数の画素電極 P E は、それぞれ画素 P X の長軸に沿った方向に延出した主画素電極 P A を含んでいる。この実施形態において、主画素電極 P A は、列方向 Y に沿って延出して形成されている。

50

【0029】

また、この実施形態において、画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及びコンタクト部 P C を含んでいる。主画素電極 P A は、コンタクト部 P C から画素 P X の上側端部付近及び下側端部付近まで列方向 Y に沿って直線的に延出している。このような主画素電極 P A は、行方向 X に沿って略同一の幅を有する帯状に形成されている。コンタクト部 P C は、補助容量線 C 1 と重なる領域に位置し、コンタクトホール C H を介してスイッチング素子 S W と電氣的に接続されている。このコンタクト部 P C は、主画素電極 P A よりも幅広に形成されている。

【0030】

このような画素電極 P E は、信号線 S 1 と信号線 S 2 との略中間の位置、つまり、画素 P X の中央に配置されている。信号線 S 1 と画素電極 P E との行方向 X に沿った間隔は、信号線 S 2 と画素電極 P E との行方向 X に沿った間隔と略同等である。

10

【0031】

共通電極 C E は、対向基板 C T 側に形成された複数の主共通電極 C A を含んでいる。一对の主共通電極 C A は、画素 P X の長軸に直交した方向に主画素電極 P A を挟んで位置し画素 P X の長軸に沿った方向に延出している。

【0032】

この実施形態において、複数の主共通電極 C A は、X - Y 平面内において、行方向 X に間隔を置いて並べられ、行方向 X に複数の主画素電極 P A を挟み、それぞれ主画素電極 P A と略平行な列方向 Y に沿って直線的に延出している。あるいは、主共通電極 C A は、信号線 S とそれぞれ対向するとともに主画素電極 P A と略平行に延出している。このような主共通電極 C A は、帯状に形成され、行方向 X に沿って略同一の幅を有する。

20

【0033】

図示した例では、主共通電極 C A は、行方向 X に沿って 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの主共通電極 C A を区別するために、図中の左側の主共通電極を C A L と称し、図中の右側の主共通電極を C A R と称する。主共通電極 C A L は信号線 S 1 と対向し、主共通電極 C A R は信号線 S 2 と対向している。

【0034】

画素 P X において、主共通電極 C A L は左側端部に配置され、主共通電極 C A R は右側端部に配置されている。厳密には、主共通電極 C A L は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、主共通電極 C A R は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

30

【0035】

画素電極 P E と主共通電極 C A との位置関係に着目すると、画素電極 P E と主共通電極 C A とは、行方向 X に沿って交互に配置されている。これらの画素電極 P E と主共通電極 C A とは、互いに略平行に配置されている。このとき、X - Y 平面内において、主共通電極 C A のいずれも画素電極 P E とは重ならない。

【0036】

すなわち、隣接する主共通電極 C A L 及び主共通電極 C A R の間には、1 本の画素電極 P E が位置している。換言すると、一对の主共通電極（主共通電極 C A L 及び主共通電極 C A R ）は、画素電極 P E の直上の位置を挟んだ両側に配置されている。あるいは、画素電極 P E は、主共通電極 C A L と主共通電極 C A R との間に配置されている。このため、主共通電極 C A L、主画素電極 P A、及び、主共通電極 C A R は、行方向 X に沿ってこの順に配置されている。

40

【0037】

これらの画素電極 P E と共通電極 C E との行方向 X に沿った間隔は略一定である。すなわち、主共通電極 C A L と主画素電極 P A との行方向 X に沿った間隔は、主共通電極 C A R と主画素電極 P A との行方向 X に沿った間隔と略同等である。

【0038】

50

図5は、図4に示した液晶表示パネルLPNをV-V線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

図5に示すように、液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライトユニット4が配置されている。バックライトユニット4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0039】

アレイ基板ARは、光透過性を有する第1絶縁基板10を用いて形成されている。信号線Sは、第1層間絶縁膜11の上に形成され、第2層間絶縁膜12によって覆われている。なお、図示しない走査線や補助容量線は、例えば、第1絶縁基板10と第1層間絶縁膜11の間に配置されている。画素電極PEは、第2層間絶縁膜12の上に形成されている。この画素電極PEは、隣接する信号線Sのそれぞれの直上の位置よりもそれらの内側に位置している。

10

【0040】

第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、表示領域R1の略全体に亘って延在している。この第1配向膜AL1は、画素電極PEなどを覆っており、第2層間絶縁膜12の上にも配置されている。この実施形態において、第1配向膜AL1は、水平配向性を示す材料によって形成されている。

なお、アレイ基板ARは、さらに、共通電極CEの一部を備えていても良い。

20

【0041】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、ブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。

【0042】

ブラックマトリクスBMは、各画素PXを区画し、画素電極PEと対向する開口部APを形成する。すなわち、ブラックマトリクスBMは、信号線S、走査線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクスBMは、列方向Yに沿って延出した部分のみが図示されているが、行方向Xに沿って延出した部分を備えていてもよい。このブラックマトリクスBMは、第2絶縁基板20のアレイ基板ARに対向する内面20Aに配置されている。

30

【0043】

カラーフィルタCFは、各画素PXに対応して配置されている。すなわち、カラーフィルタCFは、第2絶縁基板20の内面20Aにおける開口部APに配置されるとともに、その一部がブラックマトリクスBMに乗り上げている。行方向Xに隣接する画素PXにそれぞれ配置されたカラーフィルタCFは、互いに色が異なる。例えば、カラーフィルタCFは、赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。

【0044】

赤色に着色された樹脂材料からなる赤色カラーフィルタCFRは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタCFBは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタCFGは、緑色画素に対応して配置されている。これらのカラーフィルタCF同士の境界は、ブラックマトリクスBMと重なる位置にある。この実施形態において、j列の画素PXは赤色画素であり、j+1列の画素PXは緑色画素であり、j+2列の画素PXは青色画素である。

40

【0045】

オーバーコート層OCは、カラーフィルタCFを覆っている。このオーバーコート層OCは、カラーフィルタCFの表面の凹凸の影響を緩和する。

【0046】

50

共通電極 C E は、オーバーコート層 O C のアレイ基板 A R と対向する側に形成されている。この共通電極 C E と画素電極 P E との垂直方向 Z に沿った間隔は略一定である。垂直方向 Z とは、行方向 X 及び列方向 Y に直交する方向、あるいは、液晶表示パネル L P N の法線方向である。

【 0 0 4 7 】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、表示領域 R 1 の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極 C E 及びオーバーコート層 O C などを覆っている。この実施形態において、第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 4 8 】

これらの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるための配向処理（例えば、ラビングや光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1、及び、第 2 配向膜 A L 2 が液晶分子を初期配向させる第 2 配向処理方向 P D 2 は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、図 2 に示したように、列方向 Y と略平行であって、同じ向きである。

【 0 0 4 9 】

この実施形態において、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 は、それぞれ付近の液晶分子を列方向 Y に初期配向させることができる。

【 0 0 5 0 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、表示領域 R 1 の外側のシール材 S B によって貼り合わせられている。

【 0 0 5 1 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、正の誘電率異方性を有し、すなわち p 型液晶で形成されている。

【 0 0 5 2 】

また、主画素電極 P A と主共通電極 C A との行方向 X の間隔は、液晶層 L Q の厚み（セルギャップ）よりも大きく、主画素電極 P A と主共通電極 C A との間隔は、液晶層 L Q の厚み（セルギャップ）の 2 倍以上の大きさを持つ。

【 0 0 5 3 】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライトユニット 4 と対向する側に位置しており、バックライトユニット 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）A X 1 を有する第 1 偏光板 P L 1 を含んでいる。

【 0 0 5 4 】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。

【 0 0 5 5 】

第 1 偏光軸 A X 1 と、第 2 偏光軸 A X 2 とは、例えば、直交する位置関係にあるため、

10

20

30

40

50

第 1 偏光板 P L 1 及び第 2 偏光板 P L 2 はクロスニコル配置されている。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が列方向 Y と平行である場合、一方の偏光板の偏光軸は、列方向 Y と平行、あるいは、行方向 X と平行である。

【 0 0 5 6 】

図 4 において、(a) で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向 (列方向 Y) に対して直交する (つまり、行方向 X に平行となる) ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向に対して平行となる (つまり、列方向 Y と平行となる) ように配置されている。

10

【 0 0 5 7 】

また、図 4 において、(b) で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向 (列方向 Y) に対して直交する (つまり、行方向 X に平行となる) ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となる (つまり、列方向 Y と平行となる) ように配置されている。

【 0 0 5 8 】

次に、上記構成の液晶表示パネル L P N の動作について説明する。

図 4 及び図 5 に示すように、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電界が形成されていない状態 (O F F 時) には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

20

【 0 0 5 9 】

なお、厳密には、液晶分子 L M は、X - Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、O F F 時の液晶分子 L M の長軸を X - Y 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 L M は、X - Y 平面に平行に配向しているものとし、X - Y 平面と平行な面内で回転するものとして説明する。

30

【 0 0 6 0 】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに列方向 Y と略平行な方向である。O F F 時においては、液晶分子 L M は、図 4 に破線で示したように、その長軸が列方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、列方向 Y と平行 (あるいは、列方向 Y に対して 0 °) である。

【 0 0 6 1 】

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平 (プレチルト角が略ゼロ) に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する (スプレイ配向) 。

40

【 0 0 6 2 】

ここで、第 1 配向膜 A L 1 を第 1 配向処理方向 P D 1 に配向処理した結果、第 1 配向膜 A L 1 の近傍における液晶分子 L M は第 1 配向処理方向 P D 1 に初期配向され、第 2 配向膜 A L 2 を第 2 配向処理方向 P D 2 に配向処理した結果、第 2 配向膜 A L 2 の近傍における液晶分子 L M は第 2 配向処理方向 P D 1 に初期配向される。そして、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 は互いに平行で且つ同じ向きである場合には、上述のように液晶分子 L M はスプレイ配向になり、上記したように液晶層 L Q の中間部を境界として、アレイ基板 A R 上の第 1 配向膜 A L 1 の近傍での液晶分子 L M の配向と対向基板 C T

50

上の第2配向膜AL2の近傍での液晶分子LMの配向は、上下で対称となる。このため、基板の法線方向から傾いた方向においても光学的に補償される。したがって、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

【0063】

なお、第1配向処理方向PD1及び第2配向処理方向PD2が互いに平行且つ逆向きである場合、液晶層LQの断面において、液晶分子LMは、第1配向膜AL1の近傍、第2配向膜AL2の近傍、及び、液晶層LQの中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

10

【0064】

バックライトユニット4からのバックライトは、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態によって異なる。OFF時においては、液晶層LQを通過した光は、第2偏光板PL2によって吸収される（黒表示）。

【0065】

一方、液晶層LQに電圧が印加された状態、つまり、画素電極PEと共通電極CEとの間に電界が形成された状態（ON時）では、画素電極PEと共通電極CEとの間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子LMは、電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

20

【0066】

図4に示した例では、画素電極PEと主共通電極CALとの間の領域内の液晶分子LMは、列方向Yに対して時計回りに回転し、図中の左下を向くように配向する。画素電極PEと主共通電極CARとの間の領域内の液晶分子LMは、列方向Yに対して反時計回りに回転し、図中の右下を向くように配向する。

【0067】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、液晶分子LMの配向方向は、画素電極PEを境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素PXには、複数のドメインが形成される。

30

【0068】

このようなON時には、バックライトユニット4から液晶表示パネルLPNに入射したバックライトは、その一部が第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶層LQに入射したバックライトは、その偏光状態が変化する。このようなON時においては、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

【0069】

図6は、図4に示した液晶表示パネルLPNにおける画素電極PEと共通電極CEとの間に形成される電界、及び、この電界による液晶分子LMのダイレクタと透過率との関係を説明するための図である。

40

【0070】

図6に示すように、OFF状態では、液晶分子LMは、列方向Yに略平行な方向に初期配向している。画素電極PEと共通電極CEとの間に電位差が形成されたON状態では、液晶分子LMのダイレクタ（あるいは液晶分子LMの長軸方向）が、X-Y平面内で、第1偏光板PL1の第1偏光軸AX1及び第2偏光板PL2の第2偏光軸AX2に対して概ね45°ずれた状態となったときに、液晶の光学的な変調率が最も高くなる（つまり、開口部での透過率が最大となる）。

【0071】

図示した例では、ON状態となったとき、主共通電極CALと画素電極PEとの間の液晶分子LMのダイレクタはX-Y平面内で45°-225°の方位と略平行となり、主共

50

通電極 C A R と画素電極 P E との間の液晶分子 L M のダイレクタは X - Y 平面内で 1 3 5 ° - 3 1 5 ° の方位と略平行となり、ピーク透過率が得られる。このとき、一画素あたりの透過率分布に着目すると、画素電極 P E 上及び共通電極 C E 上においては透過率が略ゼロとなる一方で、画素電極 P E と共通電極 C E との間の電極間隙では、略全域に亘って高い透過率が得られる。

【 0 0 7 2 】

なお、信号線 S 1 の直上に位置する主共通電極 C A L 及び信号線 S 2 の直上に位置する主共通電極 C A R は、それぞれブラックマトリクス B M と対向しているが、これらの主共通電極 C A L 及び主共通電極 C A R は、ともにブラックマトリクス B M の行方向 X に沿った幅と同等以下の幅を有しており、ブラックマトリクス B M と重なる位置よりも画素電極 P E の側に延在していない。このため、一画素あたり、表示に寄与する開口部は、ブラックマトリクス B M の間もしくは信号線 S 1 と信号線 S 2 との間の領域のうち、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の領域に相当する。

10

【 0 0 7 3 】

次に、O L B パッド群 p G r、切替え回路 1 3、信号線駆動回路 9 0 及び走査線駆動回路 3 1 について説明する。なお、これらは、表示領域 R 1 の外側に配置されている。O L B パッド群 p G r、切替え回路 1 3 及び走査線駆動回路 3 1 などを形成する際、画素 P X 等の形成時に同一材料を用いて同時に形成することができる。

【 0 0 7 4 】

図 2 に示すように、O L B パッド群 p G r は、アレイ基板 A R (第 1 絶縁基板 1 0) の周縁に沿って列状に配置された複数のパッドで形成されている。共通電極 C E は間接的にパッドに接続され、パッドを介して定電圧であるコモン電圧が共通電極 C E に印加される。

20

【 0 0 7 5 】

図 7 は、アレイ基板 A R の表示領域 R 1 の外側を示す拡大平面図であり、切替え回路 1 3 を示す回路図である。

図 1、図 2 及び図 7 に示すように、切替え回路 1 3 は、複数の切替え素子群 5 5 を有し、切替え素子群 5 5 はそれぞれ複数の切替え素子 5 6 を有している。この実施形態において、切替え素子群 5 5 はそれぞれ 3 つの切替え素子 5 6 を有している。切替え回路 1 3 は、1 / 3 マルチプレクサ回路である。この実施形態では、切替え素子 5 6 は、例えば n チャンネル型の T F T で形成されている。

30

【 0 0 7 6 】

切替え回路 1 3 は、複数の信号線 S に接続されている。また、切替え回路 1 3 は、接続配線 5 7 を介して信号線駆動回路 9 0 に接続されている。ここでは、接続配線 5 7 の本数は、信号線 S の本数の 1 / 3 である。

【 0 0 7 7 】

信号線駆動回路 9 0 の出力 (接続配線 5 7) 1 つ当たり 3 本の信号線 S を時分割駆動するよう、切替え素子 5 6 は、制御信号 A S W 1、A S W 2、A S W 3 により、オン / オフが切替えられる。これら制御信号 A S W 1 乃至 A S W 3 は、制御部 1 0 0 から、図示しない複数のパッド及びこれらのパッドに接続された複数の制御配線 5 8 を介して切替え素子 5 6 にそれぞれ与えられる。そして、制御部 1 0 0 は、1 水平走査期間 (1 H) に、切替え素子 5 6 にオン (ハイレベル) の制御信号 A S W 1 乃至 A S W 3 を与え、行方向 X に並んだ画素 P X に所望の映像信号を書き込むものである。

40

【 0 0 7 8 】

なお、上記切替え回路 1 3 は一例を示すものである。切替え回路 1 3 は種々変形可能である。信号線 S の選択数は 3 に限定されるものではない。

【 0 0 7 9 】

信号線駆動回路 9 0 は、I C (集積回路) で構成され、第 1 絶縁基板 1 0 上に実装 (C O G 実装) されている。上述したことから分かるように、信号線駆動回路 9 0 は、間接的に複数の信号線 S に接続されている。信号線駆動回路 9 0 は複数のパッドにも接続されて

50

いる。信号線駆動回路 90 は、複数のパッドを介して与えられる映像信号を切替え回路 13 に伝達する。

【0080】

図 8 は、本実施形態に係る液晶表示装置に関する図であり、1 水平走査期間 (1 H) における信号 A S W R、A S W G、A S W B を示すタイミングチャートである。図 10 は、比較例に係る液晶表示装置に関する図であり、1 水平走査期間における信号 A S W R、A S W G、A S W B を示すタイミングチャートである。

【0081】

図 10 に示すように、比較例に係る液晶表示装置において、1 水平走査期間に、書き込み期間 P R、P G、P B が設けられている。書き込み期間 P R は、赤表示用の画素 P X が接続された信号線 S に映像信号を与える期間である。書き込み期間 P G は、緑表示用の画素 P X が接続された信号線 S に映像信号を与える期間である。書き込み期間 P B は、青表示用の画素 P X が接続された信号線 S に映像信号を与える期間である。

10

【0082】

信号 A S W R は、書き込み期間 P R に赤表示用の画素 P X に与えられる映像信号として機能している。信号 A S W G は、書き込み期間 P G に緑表示用の画素 P X に与えられる映像信号として機能している。信号 A S W B は、書き込み期間 P B に緑表示用の画素 P X に与えられる映像信号として機能している。

【0083】

図 8 に示すように、本実施形態に係る液晶表示装置において、1 水平走査期間に、書き込み期間 P R、P G、P B が設けられ、さらに上記書き込み期間の前にプリチャージ期間 P P が設けられている。上記比較例に比べて書き込み期間 P R、P G、P B を短くすることにより、プリチャージ期間 P P を確保している。

20

【0084】

信号 A S W R は、プリチャージ期間 P P にプリチャージ信号として機能し、書き込み期間 P R に赤表示用の画素 P X に与えられる映像信号として機能している。信号 A S W G は、プリチャージ期間 P P にプリチャージ信号として機能し、書き込み期間 P G に緑表示用の画素 P X に与えられる映像信号として機能している。信号 A S W B は、プリチャージ期間 P P にプリチャージ信号として機能し、書き込み期間 P B に青表示用の画素 P X に与えられる映像信号として機能している。

30

【0085】

図 7、図 8 及び図 9 に示すように、すなわち、プリチャージ期間 P P に、ハイレベルの制御信号 A S W 1 乃至 A S W 3 を制御配線 58 に同時に与え、切替え素子 56 をオン状態に同時に切替える。これにより、信号線駆動回路 90 は、信号 A S W R、A S W G、A S W B (プリチャージ信号) を全ての信号線 S に与える。なお、プリチャージ期間 P P の直後、制御信号 A S W 1 乃至 A S W 3 は、ローレベルに切替えられる。

【0086】

次いで、書き込み期間 P R に、制御信号 A S W 1、A S W 2 はローレベルのままであるが制御信号 A S W 3 はハイレベルに切替えられる。これにより、信号線駆動回路 90 は、制御信号 A S W 3 によりオン状態に切替えられた複数の切替え素子 56 に接続された複数の信号線 S に信号 A S W R (映像信号) を与える。なお、書き込み期間 P R の直後、制御信号 A S W 3 はローレベルに切替えられる。

40

【0087】

続いて、書き込み期間 P G に、制御信号 A S W 1、A S W 3 はローレベルのままであるが制御信号 A S W 2 はハイレベルに切替えられる。これにより、信号線駆動回路 90 は、制御信号 A S W 2 によりオン状態に切替えられた複数の切替え素子 56 に接続された複数の信号線 S に信号 A S W G (映像信号) を与える。なお、書き込み期間 P G の直後、制御信号 A S W 2 はローレベルに切替えられる。

【0088】

その後、書き込み期間 P B に、制御信号 A S W 2、A S W 3 はローレベルのままである

50

が制御信号 A S W 1 はハイレベルに切替えられる。これにより、信号線駆動回路 9 0 は、制御信号 A S W 1 によりオン状態に切替えられた複数の切替え素子 5 6 に接続された複数の信号線 S に信号 A S W B (映像信号)を与える。なお、書き込み期間 P B の直後、制御信号 A S W 1 はローレベルに切替えられる。

【 0 0 8 9 】

上記のように、信号線駆動回路 9 0 は、信号線 S に映像信号を与える前のプリチャージ期間 P P に、プリチャージ信号を信号線 S に与えている。信号線駆動回路 9 0 は、1 水平走査期間毎にプリチャージ期間 P P を設けている。

【 0 0 9 0 】

ここで、本実施形態において、液晶表示装置はノーマリーブラックモードを採っている。共通電極 C E は、共通電圧 V c o m が与えられることにより、定電位に設定されている。例えば、共通電極 C E は、接地電位又は接地電位付近の電位に設定することができる。映像信号の電圧値は、共通電圧 V c o m を基準に正極性、負極性の電圧が設定されている。この実施形態において、正極性の映像信号の電圧値は 0 . 2 乃至 4 . 6 V であり、負極性の映像信号の電圧値は - 0 . 2 乃至 - 4 . 6 V である。

10

【 0 0 9 1 】

図 1 1 は、本実施形態に係る液晶表示装置の採る 2 H 1 V 反転駆動を説明する概略図である。図 1 1 に示すように、信号線駆動回路 9 0 は H V 反転駆動を行う。この実施形態において、信号線駆動回路 9 0 は 2 H 1 V 反転駆動を行う。なお、信号線駆動回路 9 0 は 3 H 1 V 反転駆動や 4 H 1 V 反転駆動を行ってもよい。2 H 1 V 反転駆動において、複数の画素電極 P E の極性を、行方向 X に 1 列単位で反転させ、列方向 Y に 2 行単位で反転させる。H V 反転駆動を採用することにより、各行書き込み時に正負極性が混在することになり、例えば信号線 S から共通電極 C E へのカップリングが正負極性で相殺されるため、横クロストークが改善されるという利点がある。なお、図 1 1 において、任意の 1 フレーム期間における複数の画素電極 P E の極性を + 又は - で示している。連続する 2 フレーム期間における複数の画素電極 P E の極性は反転する。

20

【 0 0 9 2 】

ここで、プリチャージ信号について説明する。

プリチャージ信号は、正極性の映像信号と負極性の映像信号との中間 (センター) の電圧値とは異なる電圧レベルを持っていればよい。好ましくは、プリチャージ信号の持つ電圧レベルは、正極性の映像信号の最も高い電圧値 (4 . 6 V 、白電圧) から、負極性の映像信号の最も深い電圧値 (- 4 . 6 V 、白電圧) の範囲内である。なお、プリチャージ信号の持つ電圧レベルは、正極性の映像信号の最も高い電圧値 (4 . 6 V) 及び負極性の映像信号の最も深い電圧値 (- 4 . 6 V) の何れか一方であればよい。

30

【 0 0 9 3 】

この実施形態において、プリチャージ信号の電圧値は 4 . 6 V 及び - 4 . 6 V である。なお、図 1 1 において、プリチャージ信号の極性を (+) 、 (-) で示している。上記のように、液晶表示装置はノーマリーブラックモードを採るため、プリチャージ信号の持つ電圧レベルは、白表示用の映像信号の電圧値である。また、この実施形態において、4 行単位でバランスが取れるようにプリチャージ信号の極性を決定している。

40

【 0 0 9 4 】

ここで、正極性の映像信号の電圧値が最も高いとは、 $| (\text{正極性の映像信号の電圧値} - \text{共通電圧 V c o m}) |$ が最も大きいことを表す。このため、 $| (\text{正極性の映像信号の電圧値} - \text{共通電圧 V c o m}) |$ が小さくなることを、正極性の映像信号の電圧値が低くなるということができる。

【 0 0 9 5 】

また、負極性の映像信号の電圧値が最も深いとは、 $| (\text{共通電圧 V c o m} - \text{負極性の映像信号の電圧値}) |$ が最も大きいことを表す。このため、 $| (\text{共通電圧 V c o m} - \text{負極性の映像信号の電圧値}) |$ が小さくなることを、負極性の映像信号の電圧値が浅くなるということができる。

50

【 0 0 9 6 】

ここで、図 1 1 において、複数の画素 P X (画素電極 P E) のうち、j 列の 4 k - 3 行目の画素 P X を第 1 画素、j 列の 4 k - 2 行目の画素 P X を第 2 画素、j 列の 4 k - 1 行目の画素 P X を第 3 画素、j 列の 4 k 行目の画素 P X を第 4 画素とする。j、k は自然数である。

【 0 0 9 7 】

次いで、第 1 乃至第 4 画素の駆動例として、任意の 1 フレーム期間における、信号線駆動回路 9 0 の動作について説明する。信号線駆動回路 9 0 は、切替え回路 1 3 とともに画素を駆動する。

【 0 0 9 8 】

信号線駆動回路 9 0 は、4 k - 3 行目の 1 水平走査期間に、j 列目の信号線 S j (S) に、正極性のプリチャージ信号を与える。その後、信号線駆動回路 9 0 は、正極性の映像信号を信号線 S j に与え、そして第 1 画素に与える。

10

【 0 0 9 9 】

信号線駆動回路 9 0 は、4 k - 2 行目の 1 水平走査期間に、j 列目の信号線 S j に、負極性のプリチャージ信号を与える。その後、信号線駆動回路 9 0 は、正極性の映像信号を信号線 S j に与え、そして第 2 画素に与える。

【 0 1 0 0 】

信号線駆動回路 9 0 は、4 k - 1 行目の 1 水平走査期間に、j 列目の信号線 S j に、正極性のプリチャージ信号を与える。その後、信号線駆動回路 9 0 は、負極性の映像信号を信号線 S j に与え、そして第 3 画素に与える。

20

【 0 1 0 1 】

信号線駆動回路 9 0 は、4 k 行目の 1 水平走査期間に、j 列目の信号線 S j に、負極性のプリチャージ信号を与える。その後、信号線駆動回路 9 0 は、負極性の映像信号を信号線 S j に与え、そして第 4 画素に与える。

【 0 1 0 2 】

ここで、図 1 1 において、複数の画素 P X (画素電極 P E) のうち、j + 1 列の 4 k - 3 行目の画素 P X を第 5 画素、j + 2 列の 4 k - 3 行目の画素 P X を第 6 画素とする。

次いで、第 1、第 5 及び第 6 画素の駆動例として、4 k - 3 行目の 1 水平走査期間における、信号線駆動回路 9 0 の動作について説明する。信号線駆動回路 9 0 は、切替え回路 1 3 とともに画素第 1、第 5 及び第 6 画素 P X を以下のように駆動する。

30

【 0 1 0 3 】

4 k - 3 行目の 1 水平走査期間において、第 1 乃至第 3 信号線 S j、S j + 1、S j + 2 に第 1 乃至第 3 映像信号を与える前に、ハイレベルの制御信号 A S W 1 乃至 A S W 3 を制御配線 5 8 に同時に与え、切替え素子 5 6 をオン状態に同時に切替える。これにより、信号線駆動回路 9 0 は、信号 A S W R、A S W G、A S W B (プリチャージ信号) を第 1 乃至第 3 信号線 S j、S j + 1、S j + 2 に与える。すなわち、同一極性のプリチャージ信号を第 1 乃至第 3 信号線 S j、S j + 1、S j + 2 に同時に与える。

【 0 1 0 4 】

プリチャージ信号を与えた後、書き込み期間 P R に、制御信号 A S W 1、A S W 2 はローレベルであるが制御信号 A S W 3 はハイレベルに切替えられる。これにより、信号線駆動回路 9 0 は、制御信号 A S W 3 によりオン状態に切替えられた切替え素子 5 6 に接続された信号線 S j に信号 A S W R (第 1 映像信号) を与える。

40

【 0 1 0 5 】

第 1 信号線 S j に第 1 映像信号を与えた後、書き込み期間 P G に、制御信号 A S W 1、A S W 3 はローレベルであるが制御信号 A S W 2 はハイレベルに切替えられる。これにより、信号線駆動回路 9 0 は、制御信号 A S W 2 によりオン状態に切替えられた切替え素子 5 6 に接続された信号線 S j + 1 に信号 A S W G (第 2 映像信号) を与える。

【 0 1 0 6 】

第 2 信号線 S j + 1 に第 2 映像信号を与えた後、書き込み期間 P B に、制御信号 A S W

50

2、A S W 3 はローレベルであるが制御信号 A S W 1 はハイレベルに切替えられる。これにより、信号線駆動回路 9 0 は、制御信号 A S W 1 によりオン状態に切替えられた切替え素子 5 6 に接続された信号線 S_j + 2 に信号 A S W B (第 3 映像信号) を与える。

【 0 1 0 7 】

次に、本実施形態に係る液晶表示装置、比較例の液晶表示装置及び他の比較例の液晶表示装置の縦クロストーク率について説明する。図 1 2 は、本実施形態に係る液晶表示装置、比較例の液晶表示装置及び他の比較例の液晶表示装置の縦クロストーク率 (%) をグラフで示した図である。ここで、縦クロストーク率を求める際、中間調輝度を白表示の約 2 . 7 % とした。なお、クロストーク率の算出方法については後述する。

【 0 1 0 8 】

本実施形態に係る液晶表示装置は、1 水平走査期間にプリチャージ期間 P P を設け、信号線 S にプリチャージ信号を与えている。プリチャージ信号の持つ電圧レベルは、正極性の映像信号の最も高い電圧値 (4 . 6 V) 及び負極性の映像信号の最も深い電圧値 (- 4 . 6 V) である。比較例の液晶表示装置は、1 水平走査期間にプリチャージ期間を設け、信号線 S にプリチャージ信号を与えている。プリチャージ信号の持つ電圧レベルは、映像信号の中間の電圧値であり、0 V (G N D) である。他の比較例の液晶表示装置は、プリチャージ期間を設けておらず、信号線 S にプリチャージ信号を与えるように構成されていない。

【 0 1 0 9 】

図 1 2 に示すように、本実施形態に係る液晶表示装置の縦クロストーク率は 0 . 3 % であった。比較例の液晶表示装置の縦クロストーク率は 1 . 6 % であった。他の比較例の液晶表示装置の縦クロストーク率は 1 . 5 % であった。

【 0 1 1 0 】

上記のことから、1 水平走査期間にプリチャージ期間 P P を設け、電圧レベルが正極性の映像信号の最も高い電圧値 (4 . 6 V) 及び負極性の映像信号の最も深い電圧値 (- 4 . 6 V) であるプリチャージ信号を信号線 S に与えることにより、縦クロストークの発生を低減できることが分かる。

【 0 1 1 1 】

次に、本実施形態に係る液晶表示装置、比較例の液晶表示装置及び他の比較例の液晶表示装置における B L 輝度に対するクロストーク率について説明する。ここで、B L 輝度は、バックライトユニット 4 が液晶表示パネル L P N に出射するバックライトの輝度レベルを示している。

【 0 1 1 2 】

図 1 3 は、本実施形態に係る液晶表示装置における B L 輝度に対する縦クロストーク率の変化をグラフで示した図である。図 1 4 は、比較例の液晶表示装置における B L 輝度に対する縦クロストーク率の変化をグラフで示した図である。図 1 5 は、他の比較例の液晶表示装置における B L 輝度に対する縦クロストーク率の変化をグラフで示した図である。

【 0 1 1 3 】

図 1 3 に示すように、本実施形態に係る液晶表示装置の縦クロストーク率は、B L 輝度によらず 0 . 5 % 以下であり、良好な値であることが分かる。これは、上記プリチャージ信号を信号線 S に与えることで、スイッチング素子 S W (半導体層) に生じるリーク電流による悪影響が低減されるためである。

【 0 1 1 4 】

なお、本実施形態に係る液晶表示装置、比較例の液晶表示装置及び他の比較例の液晶表示装置は、半導体層 (スイッチング素子 S W) とバックライトユニット 4 との間に遮光層を設ける構成ではないため、半導体層にバックライトが照射されることにより、半導体層にリーク電流が生じるものである。

【 0 1 1 5 】

図 1 4 に示すように、比較例の液晶表示装置の縦クロストーク率は、B L 輝度が高い程増加することが分かる。これは、B L 輝度が高い程、スイッチング素子 S W の半導体層に

10

20

30

40

50

生じるリーク電流が増大するためである。図 15 に示すように、他の比較例の液晶表示装置の縦クロストーク率は、BL 輝度が高い程増加し、図 14 と同等の結果になることが分かる。

【0116】

次に、本実施形態に係る液晶表示装置、比較例の液晶表示装置及び他の比較例の液晶表示装置における BL 輝度に対するクロストーク率について説明する。また、上記クロストーク率の検証の手法及び結果について説明する。なお、正極性フレーム、負極性フレーム、液晶に印加する電圧を平均化している。

【0117】

図 16 は、クロストーク率の定義を説明するための図であり、縦クロストーク測定画面を示す図である。図 17 は、クロストーク率の定義を説明するための他の図であり、参照画面を示す図である。

10

【0118】

図 16 に示すように、縦クロストーク測定画面において、図示した測定箇所 A の画素電極 PE の電圧レベルを測定する。測定する際、矢印の方向に走査する。図 17 に示すように、参照画面において、図示した測定箇所 A (図 16 と同一箇所) の画素電極 PE の電圧レベルを測定する。測定する際、矢印の方向に走査する。

【0119】

図 18 は、他の比較例の液晶表示装置の縦クロストーク測定画面において、測定箇所 A の画素電極 PE の電圧レベルの変化をグラフで示す図である。図 19 は、他の比較例の液晶表示装置の参照画面において、測定箇所 A の画素電極 PE の電圧レベルの変化をグラフで示す図である。ここで、画素電極 PE の電圧レベルは、 $| \text{画素電極 PE の電圧値} - \text{共通電圧 } V_{com} |$ を示している。

20

【0120】

図 18 に示すように、中間調書込み期間 (中間調表示期間) では、一定の傾きで画素リークが生じることから電圧ロスが大きくなる。すなわち、スイッチング素子 SW に生じるリーク電流の悪影響により、画素電極 PE の電圧レベルが下がる割合が増大する。なお、正極性の画素 PX においては画素電極 PE の電圧レベルが低下する割合が増大する。負極性の画素 PX においては画素電極 PE の電圧レベルが浅くなる割合が増大する。言い換えると、 $| \text{画素電極 PE の電圧値} - \text{共通電圧 } V_{com} |$ が小さくなる。

30

【0121】

白書込み期間 (白表示期間) では、傾きが緩やかになることから電圧ロスが小さくなる。すなわち、スイッチング素子 SW に生じるリーク電流の悪影響があっても、画素電極 PE の電圧レベルが下がる割合が減少する。

ここで、図 18 の斜線で示す面積を S_{c1} とする。期間 Pa は、1 垂直走査期間 (1 フレーム期間) に相当する期間である。

【0122】

図 19 に示すように、参照画面の測定箇所 A の画素 PX には中間調表示用の映像信号の書込みのみとなる。このため、中間調書込み期間 (期間 Pa) では、一定の傾きで画素リークが生じることから電圧ロスが大きくなる。すなわち、画素電極 PE の電圧レベルが下がる割合が増大する。

40

ここで、図 19 の斜線で示す面積を S_{c2} とする。

【0123】

上記の場合、クロストーク率を以下の式で定義することができる。

【0124】

$$\text{クロストーク率} = (S_{c1} - S_{c2}) / S_{c2} \times 100$$

他の比較例の液晶表示装置では、 $S_{c1} > S_{c2}$ であるため、クロストーク率が高くなることが分かる。すなわち、他の比較例の液晶表示装置では、参照画面の輝度レベルに比べ、縦クロストーク測定画面の輝度レベルが高くなるため、クロストークが顕在化する。

【0125】

50

図 20 は、本実施形態に係る液晶表示装置の縦クロストーク測定画面において、測定箇所 A の画素電極 P E の電圧レベルの変化をグラフで示す図である。図 21 は、本実施形態に係る液晶表示装置の参照画面において、測定箇所 A の画素電極 P E の電圧レベルの変化をグラフで示す図である。

【0126】

図 20 に示すように、中間調書き込み期間（中間調表示期間）では、上記プリチャージ信号を信号線 S に与えることによる効果（プリチャージ効果）が得られる。画素電極 P E の電圧レベルの傾きが緩やかになることから電圧ロスが小さくなる。すなわち、スイッチング素子 S W に生じるリーク電流の悪影響があっても、画素電極 P E の電圧レベルが下がる割合が減少する。

10

ここで、図 20 の斜線で示す面積を S e 1 とする。

【0127】

図 21 に示すように、参照画面の測定箇所 A の画素 P X には中間調表示用の映像信号の書き込みのみとなる。ここでも、上記プリチャージ効果が得られるため、画素電極 P E の電圧レベルの傾きが緩やかになり、電圧ロスが小さくなる。すなわち、スイッチング素子 S W に生じるリーク電流の悪影響があっても、画素電極 P E の電圧レベルが下がる割合が減少する。

ここで、図 21 の斜線で示す面積を S e 2 とする。

【0128】

上記の場合、クロストーク率を以下の式で定義することができる。

20

【0129】

クロストーク率 = $(S e 1 - S e 2) / S e 2 \times 100$

本実施形態に係る液晶表示装置では、S e 1 S e 2 であるため、クロストーク率がほぼ 0.0 % になることが分かる。すなわち、本実施形態に係る液晶表示装置では、プリチャージ信号の持つ電圧レベルを映像信号の最も高い電圧値（4.6 V）及び負極性の映像信号の最も深い電圧値（-4.6 V）としたことにより、縦クロストーク測定画面と、参照画面の 2 画面間の輝度差が小さくなるため、クロストークが見えなくなる。

【0130】

上記のように構成された一実施形態に係る液晶表示装置は、アレイ基板 A R と、対向基板 C T と、液晶層 L Q と、信号線駆動回路 90 と、を備えている。アレイ基板 A R は、信号線 S と、画素電極 P E と、スイッチング素子 S W とを有している。スイッチング素子 S W は、信号線 S に電氣的に接続されたソース領域及び画素電極 P E に電氣的に接続されたドレイン領域を含んだ半導体層を有した T F T である。

30

【0131】

対向基板 C T は、定電位に設定される共通電極 C E を有し、アレイ基板 A R に隙間を置いて対向配置されている。液晶層 L Q は、アレイ基板 A R 及び対向基板 C T 間に挟持され、画素電極 P E と共通電極 C E との間に形成される電界が作用される。信号線駆動回路 90 は、信号線 S に電氣的に接続され、信号線 S に正極性及び負極性の映像信号を与え、2 H 1 V 反転駆動を行う。

【0132】

40

信号線駆動回路 90 は、1 水平走査期間（1 H）毎に、信号線 S に映像信号を与える前に、プリチャージ信号を信号線 S に与える。プリチャージ信号は、正極性の映像信号と負極性の映像信号との中間の電圧値とは異なる電圧レベルを持っている。この実施形態において、プリチャージ信号の持つ電圧レベルは、正極性の映像信号の最も高い電圧値（4.6 V）及び負極性の映像信号の最も深い電圧値（-4.6 V）である。

【0133】

上記のように、プリチャージ信号を信号線 S に与えることにより、半導体層（スイッチング素子 S W）にバックライトが照射されるように構成された液晶表示装置であっても、縦クロストークの発生を低減することができる。すなわち、半導体層に生じるリーク電流を低減させるため、半導体層（スイッチング素子 S W）とバックライトユニット 4 との間

50

に遮光層を設ける必要がないため、製造コストの高騰を抑制することができる。

【0134】

また、補助容量線C1の幅を大きくするなどし、画素PXの保持容量CSを大きくしなくとも、縦クロストークの発生を低減することができる。このため、開口率の低下を抑制することができる。

【0135】

また、本実施形態によれば、画素電極PEと共通電極CEとの間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、画素電極PEと主共通電極CAL及び主共通電極CARとの間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（つまり、画素PXの略中央に配置された画素電極PEに対して主共通電極CAの配置位置を変更する）ことで、図6に示したような透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

10

【0136】

また、本実施形態によれば、図6に示したように、ブラックマトリクスBMと重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子がOFF時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

20

【0137】

また、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極PEを挟んだ両側の共通電極CEとの水平電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素PXに共通に生じるため、画素PX間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板ARと対向基板CTとの間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

30

【0138】

また、本実施形態によれば、主共通電極CAは、それぞれ信号線Sと対向している。特に、主共通電極CAL及び主共通電極CARがそれぞれ信号線S1及び信号線S2の直上に配置されている場合には、主共通電極CAL及び主共通電極CARが信号線S1及び信号線S2よりも画素電極PE側に配置された場合と比較して、開口部APを拡大することができ、画素PXの透過率を向上することが可能となる。

40

【0139】

また、主共通電極CAL及び主共通電極CARをそれぞれ信号線S1及び信号線S2の直上に配置することによって、画素電極PEと主共通電極CAL及び主共通電極CARとの間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成であるIPSモード等の利点である広視野角化も維持することが可能となる。また、上記液晶表示装置は、高速応答性に優れ、上述したように配向安定性にも特化したものである。

【0140】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。

50

このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

【0141】

なお、ON時においても、画素電極PE上あるいは共通電極CE上では、横電界（斜め電界）はほとんど形成されない（あるいは、液晶分子LMを駆動するのに十分な電界が形成されない）ため、液晶分子LMは、OFF時と同様に初期配向方向からほとんど動かない。このため、画素電極PE及び共通電極CEがITOなどの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON時において表示にほとんど寄与しない。したがって、画素電極PE及び共通電極CEは、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

10

上記のことから、製造コストの高騰及び開口率の低下を招くこと無しに縦クロストークの発生を低減することができる液晶表示装置を得ることができる。

【0142】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【0143】

例えば、プリチャージ信号の極性は、上記実施形態に限定されるものではなく、種々変形可能である。

図22は、上記実施形態に係る液晶表示装置の採る2H1V反転駆動の変形例を説明する概略図であり、プリチャージ信号の極性の変形例を示す図である。図22に示すように、信号線駆動回路90は、4k-3行目の1水平走査期間に信号線Sに正極性のプリチャージ信号を与え、4k-2行目の1水平走査期間に信号線Sに負極性のプリチャージ信号を与え、4k-1行目の1水平走査期間に信号線Sに負極性のプリチャージ信号を与え、4k行目の1水平走査期間に信号線Sに正極性のプリチャージ信号を与えてもよい。

30

【0144】

図23は、上記実施形態に係る液晶表示装置の採る2H1V反転駆動の他の変形例を説明する概略図であり、プリチャージ信号の極性の他の変形例を示す図である。図23に示すように、信号線駆動回路90は、1水平走査期間毎に信号線Sに正極性のプリチャージ信号のみを与えてもよい。

【0145】

図24は、上記実施形態に係る液晶表示装置の採る2H1V反転駆動の他の変形例を説明する概略図であり、プリチャージ信号の極性の他の変形例を示す図である。図24に示すように、信号線駆動回路90は、1水平走査期間毎に信号線Sに負極性のプリチャージ信号のみを与えてもよい。

40

【0146】

上述したように、HV反転駆動は、2H1V反転駆動に限らず種々変形可能であり、例えば1H1V反転駆動であってもよい。

図25は、上記実施形態に係る液晶表示装置の変形例の採る1H1V反転駆動を説明する概略図である。図25に示すように、信号線駆動回路90は1H1V反転駆動を行う。1H1V反転駆動において、複数の画素電極PEの極性を、行方向Xに1列単位で反転させ、列方向Yに1行単位で反転させる。

【0147】

信号線駆動回路90は、4k-3行目の1水平走査期間に信号線Sに正極性のプリチャージ信号を与え、4k-2行目の1水平走査期間に信号線Sに正極性のプリチャージ信号を与え、4k-1行目の1水平走査期間に信号線Sに負極性のプリチャージ信号を与え、

50

4 k 行目の 1 水平走査期間に信号線 S に負極性のプリチャージ信号を与えてもよい。

【0148】

図 26 は、上記実施形態に係る液晶表示装置の変形例の採る 1 H 1 V 反転駆動を説明する概略図であり、プリチャージ信号の極性の変形例を示す図である。図 26 に示すように、例えば、プリチャージ信号の極性は、図 25 に示した例に限定されるものではなく、種々変形可能である。例えば、信号線駆動回路 90 は、4 k - 3 行目の 1 水平走査期間に信号線 S に正極性のプリチャージ信号を与え、4 k - 2 行目の 1 水平走査期間に信号線 S に負極性のプリチャージ信号を与え、4 k - 1 行目の 1 水平走査期間に信号線 S に負極性のプリチャージ信号を与え、4 k 行目の 1 水平走査期間に信号線 S に正極性のプリチャージ信号を与えてもよい。

10

【0149】

上述した実施形態では、液晶分子 LM の初期配向方向が列方向 Y と平行である場合について説明したが、液晶分子 LM の初期配向方向は、図 4 に示したように、列方向 Y を斜めに交差する斜め方向 D であっても良い。ここで、列方向 Y に対する初期配向方向 D のなす角度 $\theta 1$ は、 0° より大きく 45° より小さい角度である。なお、角度 $\theta 1$ については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子 LM の配向制御の観点で極めて有効である。つまり、液晶分子 LM の初期配向方向は、列方向 Y に対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

【0150】

また、上記の例では、液晶層 LQ が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 LQ は、負の誘電率異方性を有し、すなわち n 型液晶で形成されていてもよい。この場合、少なくとも画素電極 PE が、行方向 X に延出して形成された副画素電極を有することにより、電界によって極角及び方位角の両方を規定でき、液晶分子の配向規制力を強くすることができるため、プーリングの発生を抑えることができる。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、n 型液晶の場合、上記角度 $\theta 1$ が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

20

【0151】

画素 PX の構造は、図 4 に示した例に限定されるものではなく種々変形可能である。

図 27 は、図 4 に示した画素 PX の構造例の変形例を示す図であり、液晶表示パネル LPN を対向基板 CT 側から見たときの一画素 PX の他の構造例を概略的に示す平面図である。

30

【0152】

図 27 に示すように、この構造例は、図 4 に示した構造例と比較して、画素電極 PE が十字状に形成された点、及び、共通電極 CE が一画素 PX を取り囲むように格子状に形成された点で相違している。

【0153】

すなわち、画素電極 PE は、互いに電氣的に接続された主画素電極 PA 及び副画素電極 PF を備えている。主画素電極 PA は、列方向 Y に長手方向を持ち、副画素電極 PF から画素 PX の上側端部付近及び下側端部付近まで列方向 Y に沿って直線的に延出している。副画素電極 PF は、行方向 X に沿って延出している。この副画素電極 PF は、補助容量線 C1 と重なる領域に位置し、コンタクトホール CH を介してスイッチング素子と電氣的に接続されている。図示した例では、副画素電極 PF が画素 PX の略中央に設けられ、画素電極 PE は十字状に形成されている。

40

【0154】

共通電極 CE は、上記した主共通電極 CA の他に、列方向 Y に副画素電極 PF を挟んで位置し行方向 X に延出して形成された一対の副共通電極 CB を有している。これらの主共通電極 CA 及び副共通電極 CB は、一体的あるいは連続的に形成されている。副共通電極 CB は、走査線 G の各々と対向している。図示した例では、副共通電極 CB は行方向 X に沿って 2 本平行に並んでおり、以下では、これらを区別するために、図中の上側の副共通

50

電極をC B Uと称し、図中の下側の副共通電極をC B Bと称する。副共通電極C B Uは、画素P Xの上側端部に配置され、走査線G 1と対向している。つまり、副共通電極C B Uは、当該画素P Xとその上側に隣接する画素との境界に跨って配置されている。また、副共通電極C B Bは、画素P Xの下側端部に配置され、走査線G 2と対向している。つまり、副共通電極C B Bは、当該画素P Xとその下側に隣接する画素との境界に跨って配置されている。

【0155】

画素電極P Eと共通電極C Eとの位置関係に着目すると、主画素電極P Aと主共通電極C Aとは行方向Xに沿って交互に配置され、副画素電極P Fと副共通電極C Bとは列方向Yに沿って交互に配置されている。すなわち、隣接する主共通電極C A L及び主共通電極C A Rの間には、1本の主画素電極P Aが位置し、行方向Xに沿って主共通電極C A L、主画素電極P A、及び主共通電極C A Rの順に並んでいる。また、隣接する副共通電極C B B及び副共通電極C B Uの間には、1本の副画素電極P Fが位置し、列方向Yに沿って副共通電極C B B、副画素電極P F、及び、副共通電極C B Uの順に並んでいる。液晶層L Qはp型液晶で形成されている。

10

【0156】

このような構造例によれば、OFF時において列方向Yに初期配向していた液晶分子L Mは、ON時に画素電極P Eと共通電極C Eとの間に形成される電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。画素電極P Eと主共通電極C A L及び副共通電極C B Bとで囲まれた領域内の液晶分子L Mは、列方向Yに対して時計回りに回転し、図中の左下を向くように配向する。画素電極P Eと主共通電極C A R及び副共通電極C B Bとで囲まれた領域内の液晶分子L Mは、列方向Yに対して反時計回りに回転し、図中の右下を向くように配向する。画素電極P Eと主共通電極C A L及び副共通電極C B Uとで囲まれた領域内の液晶分子L Mは、列方向Yに対して反時計回りに回転し、図中の左上を向くように配向する。画素電極P Eと主共通電極C A R及び副共通電極C B Uとで囲まれた領域内の液晶分子L Mは、列方向Yに対して時計回りに回転し、図中の右上を向くように配向する。

20

【0157】

このように、各画素P Xにおいて、画素電極P Eと共通電極C Eとの間に電界が形成された状態では、図4に示した例よりも多くのドメインを形成することが可能となり、視野角を拡大することが可能となり、また、図4に示した例よりも液晶分子の配向規制力を強くすることができる。

30

また、図27に示した画素P Xの構成では、液晶層L Qをn型液晶で形成してもよく、この場合も、十分に強い液晶分子の配向規制力を得ることができる。

【0158】

共通電極C Eは、さらに電極を備えていてもよい。例えば、図4及び図5に示す画素P Xを例に説明すると、共通電極C Eは、対向基板C Tに備えられた主共通電極C Aに加えて、アレイ基板A Rに備えられ主共通電極C Aと対向する（あるいは信号線Sと対向する）第2主共通電極（シールド電極）を備えていても良い。この第2主共通電極は、主共通電極C Aと略平行に延出し、しかも、主共通電極C Aと同電位である。このような第2主共通電極を設けることにより、信号線Sからの不所望な電界をシールドすることが可能である。

40

【0159】

また、共通電極C Eは、対向基板C Tに備えられた主共通電極C Aに加えて、アレイ基板A Rに備えられ走査線Gや補助容量線Cと対向する副共通電極（シールド電極）を備えていても良い。この副共通電極は、主共通電極C Aと交差する方向に延出し、しかも、主共通電極C Aと同電位である。このような副共通電極を設けたことにより、走査線Gや補助容量線Cからの不所望な電界をシールドすることが可能である。このような第2主共通電極や副共通電極を備えた構成によれば、更なる表示品位の劣化を抑制することが可能となる。

50

【 0 1 6 0 】

上記の例では、I P S (In-Plane Switching) モードとは異なる手法にて横電界モードあるいは斜め電界モードを採る液晶表示装置について説明したが、液晶表示装置の表示モードは上記の例に限定されるものではなく種々変形可能である。例えば、液晶表示装置は、V M W (Versatile Mobile Window) モード、F F S (Fringe Field Switching) モード、T N (Twisted Nematic) モードを採用することも可能であり、この場合も上述した効果を得ることができる。

【 0 1 6 1 】

液晶表示装置はノーマリーホワイトモードを採っていても上述した効果を得ることができる。この場合、プリチャージ信号の持つ電圧レベルは、黒表示用の映像信号の電圧値である。

10

【 0 1 6 2 】

プリチャージ信号の持つ電圧レベルは、正極性の映像信号の最も高い電圧値より高くとも、負極性の映像信号の最も深い電圧値より深くとも、縦クロストークの発生を低減することができる。また、縦クロストークの発生を低減する効果が上述した実施形態ほど得られない恐れがあるが、プリチャージ信号の持つ電圧レベルは、正極性の映像信号の最も高い電圧値より低くとも、負極性の映像信号の最も深い電圧値より浅くとも、縦クロストークの発生を低減することができる。

【 符号の説明 】

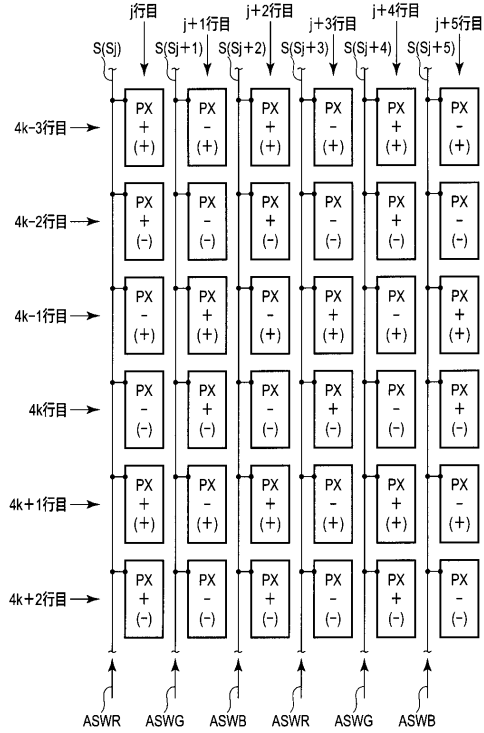
【 0 1 6 3 】

L P N ... 液晶表示パネル、A R ... アレイ基板、G ... 走査線、C ... 補助容量線、S ... 信号線、S W ... スイッチング素子、P E ... 画素電極、P A ... 主画素電極、P F ... 副画素電極、C T ... 対向基板、C E ... 共通電極、C A , C A L , C A R ... 主共通電極、L Q ... 液晶層、A P ... 開口部、4 ... バックライトユニット、1 3 ... 切替え回路、3 1 ... 走査線駆動回路、5 6 ... 切替え素子、9 0 ... 信号線駆動回路、P P ... プリチャージ期間、P R , P G , P B ... 書き込み期間。

20

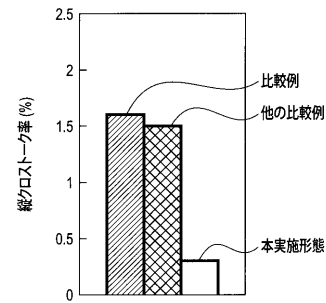
【図 1 1】

図 11



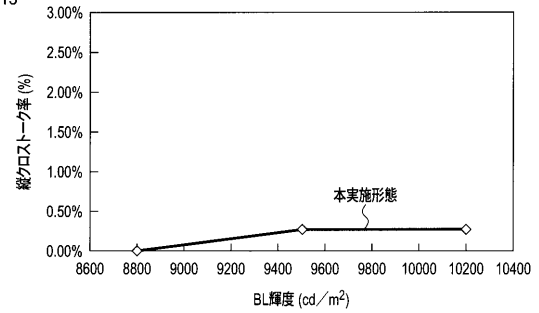
【図 1 2】

図 12



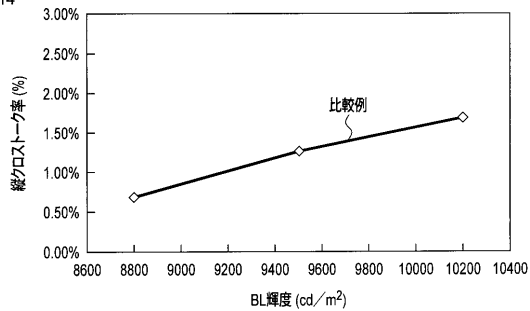
【図 1 3】

図 13



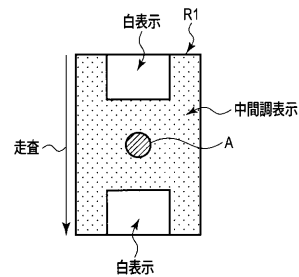
【図 1 4】

図 14



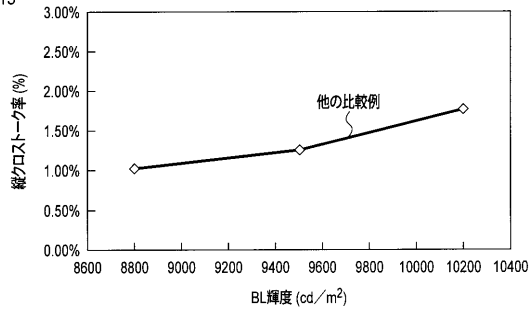
【図 1 6】

図 16



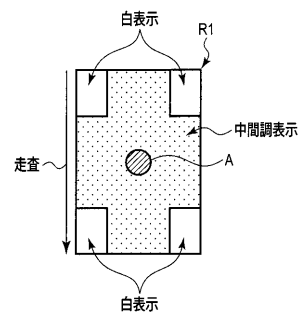
【図 1 5】

図 15

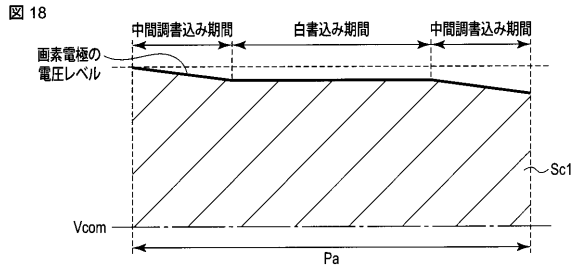


【図 1 7】

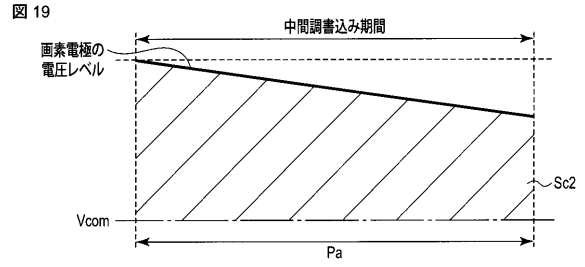
図 17



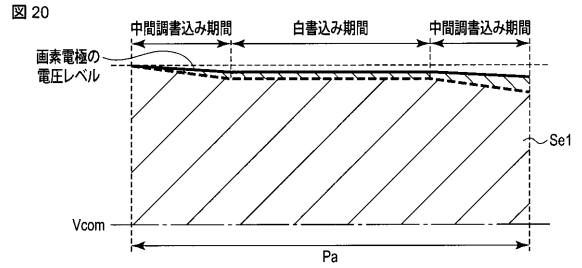
【図 18】



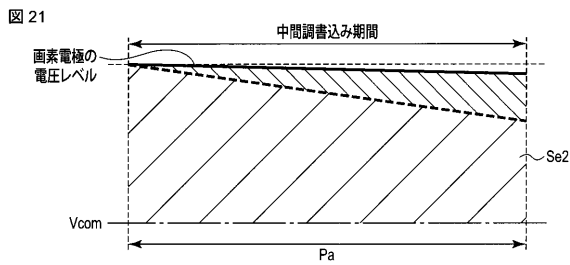
【図 19】



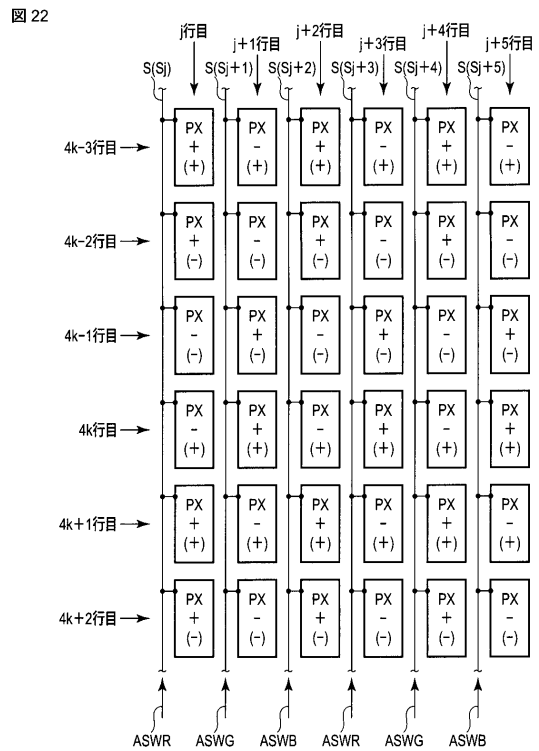
【図 20】



【図 21】

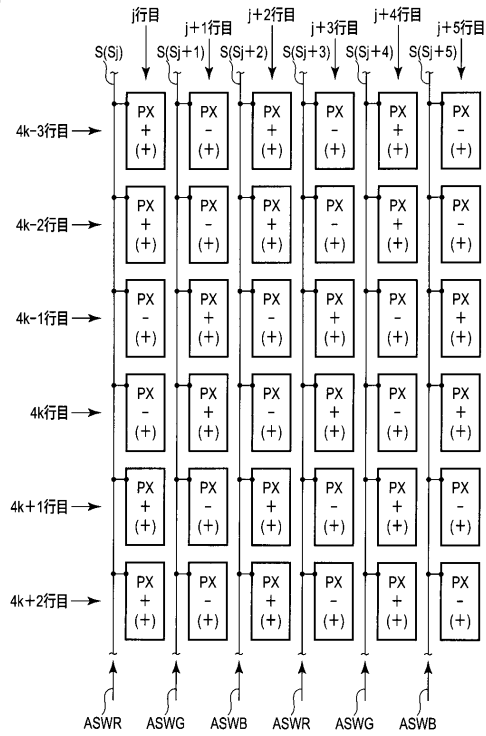


【図 22】



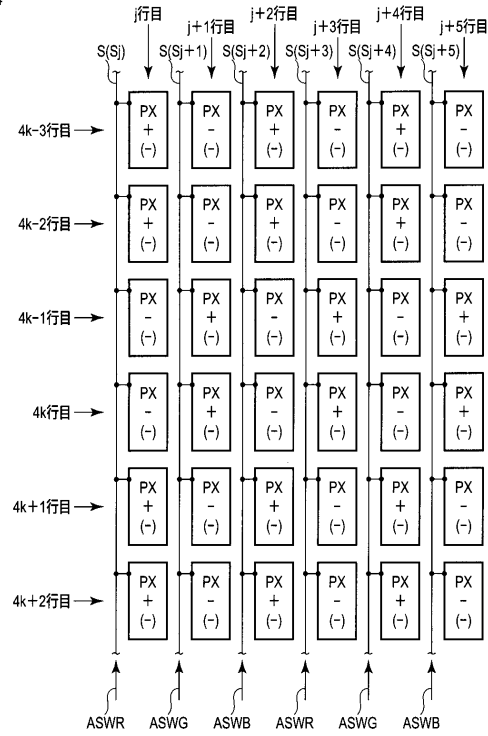
【 図 2 3 】

図 23



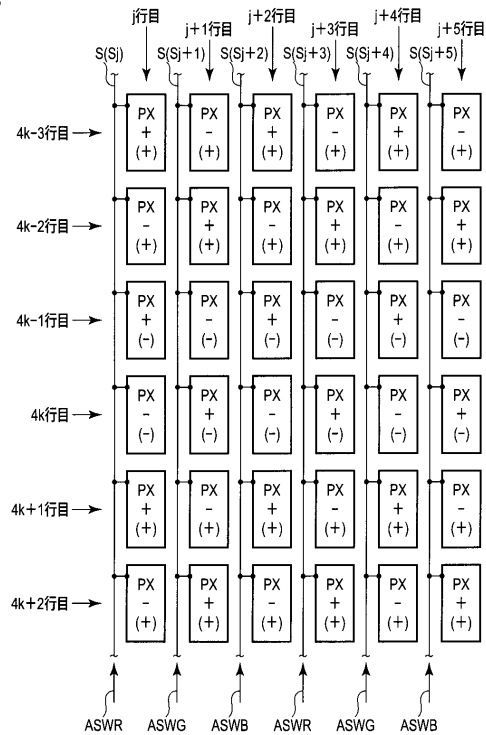
【 図 2 4 】

図 24



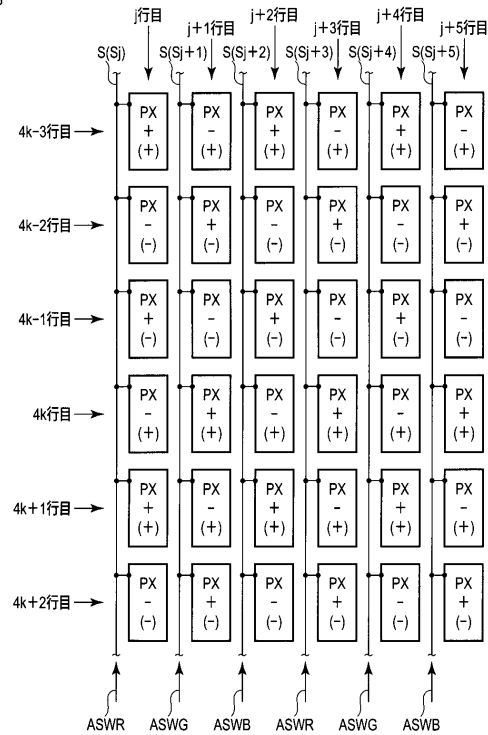
【 図 2 5 】

図 25



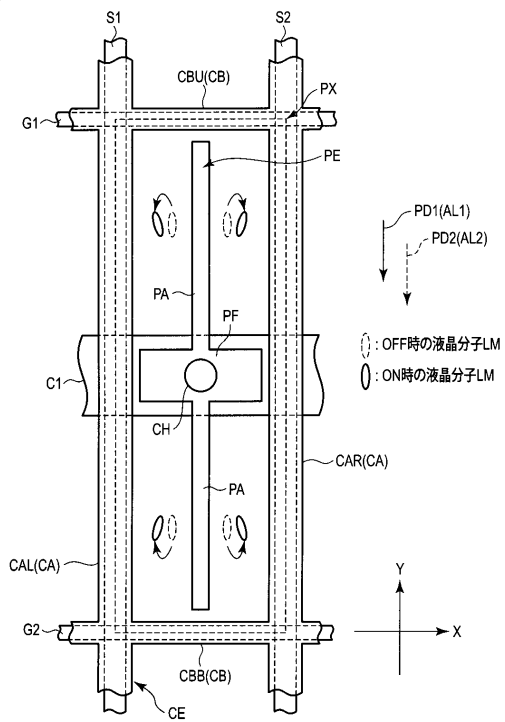
【 図 2 6 】

図 26



【 図 27 】

図 27



フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 2 F	1/133	5 2 5
G 0 9 G	3/20	6 1 1 D
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 1 F

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100119976

弁理士 幸長 保次郎

(74)代理人 100153051

弁理士 河野 直樹

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100158805

弁理士 井関 守三

(74)代理人 100172580

弁理士 赤穂 隆雄

(74)代理人 100179062

弁理士 井上 正

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(74)代理人 100134290

弁理士 竹内 将訓

(72)発明者 宮武 正樹

埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社ジャパンディスプレイセントラル内

(72)発明者 山本 浩司

埼玉県深谷市幡羅町一丁目 9 番地 2 株式会社ジャパンディスプレイセントラル内

F ターム(参考) 2H092 GA13 GA17 GA25 GA29 GA50 GA60 JA24 JB14 JB33 JB58

JB69 KA04 KA05 NA01 QA07 QA09

2H193 ZA04 ZA09 ZB03 ZB06 ZB14 ZB16 ZC04 ZC05 ZC13 ZC14

ZC25 ZD01 ZD02 ZD12 ZD23 ZD32 ZE06 ZE09 ZF12 ZF31

ZF43 ZG02 ZG12 ZG14 ZQ06 ZQ11 ZQ16

5C006 AC26 AF42 BB16 FA22

5C080 AA10 BB05 DD10 FF11 JJ02 JJ03 JJ04 JJ05 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2014048652A	公开(公告)日	2014-03-17
申请号	JP2012194448	申请日	2012-09-04
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	宫武正樹 山本浩司		
发明人	宫武 正樹 山本 浩司		
IPC分类号	G09G3/36 G02F1/1368 G02F1/133 G02F1/1343 G09G3/20		
CPC分类号	G09G3/3614 G02F2001/134381 G09G2320/0209		
FI分类号	G09G3/36 G02F1/1368 G02F1/133.550 G02F1/1343 G02F1/133.575 G02F1/133.525 G09G3/20.611.D G09G3/20.621.B G09G3/20.621.F		
F-TERM分类号	2H092/GA13 2H092/GA17 2H092/GA25 2H092/GA29 2H092/GA50 2H092/GA60 2H092/JA24 2H092/JB14 2H092/JB33 2H092/JB58 2H092/JB69 2H092/KA04 2H092/KA05 2H092/NA01 2H092/QA07 2H092/QA09 2H193/ZA04 2H193/ZA09 2H193/ZB03 2H193/ZB06 2H193/ZB14 2H193/ZB16 2H193/ZC04 2H193/ZC05 2H193/ZC13 2H193/ZC14 2H193/ZC25 2H193/ZD01 2H193/ZD02 2H193/ZD12 2H193/ZD23 2H193/ZD32 2H193/ZE06 2H193/ZE09 2H193/ZF12 2H193/ZF31 2H193/ZF43 2H193/ZG02 2H193/ZG12 2H193/ZG14 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 5C006/AC26 5C006/AF42 5C006/BB16 5C006/FA22 5C080/AA10 5C080/BB05 5C080/DD10 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 2H192/AA24 2H192/BA13 2H192/BA16 2H192/BA32 2H192/BC42 2H192/CC05 2H192/CC26 2H192/CC66 2H192/DA12 2H192/DA42 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB06 2H192/FB22 2H192/GD61 2H192/JA03		
代理人(译)	中村诚 河野直树 井上 正 冈田隆		
外部链接	Espacenet		

摘要(译)

根据一个实施例，液晶显示装置包括阵列基板，对向基板，液晶层和信号线驱动器。阵列基板包括信号线，像素电极和薄膜晶体管。对置基板包括公共电极。信号线驱动器被配置为将正极性和负极性的视频信号传送到信号线，并执行HV反向驱动。信号线驱动器被配置为在每隔一个水平扫描周期将预充电信号传送到信号线之前，在将视频信号传送到信号线之前。

图 11

