

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2013-525832

(P2013-525832A)

(43) 公表日 平成25年6月20日 (2013. 6. 20)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 611E	5C006
G02F 1/133 (2006.01)	G09G 3/20 624D	5C080
	G09G 3/20 624E	
	G02F 1/133 550	
審査請求 未請求 予備審査請求 未請求 (全 23 頁)		

(21) 出願番号 特願2013-504110 (P2013-504110)
 (86) (22) 出願日 平成23年4月18日 (2011. 4. 18)
 (85) 翻訳文提出日 平成23年12月26日 (2011. 12. 26)
 (86) 国際出願番号 PCT/CN2011/072939
 (87) 国際公開番号 W02011/127841
 (87) 国際公開日 平成23年10月20日 (2011. 10. 20)
 (31) 優先権主張番号 201010152188.3
 (32) 優先日 平成22年4月16日 (2010. 4. 16)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 507134301
 北京京東方光電科技有限公司
 中華人民共和国北京經濟技術開發區西環中
 路8號
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 薛 ▲海▼林
 中華人民共和国100176北京市經濟技
 ▲術▼開發區西▲環▼中路8號

最終頁に続く

(54) 【発明の名称】 共通電極の駆動方法及び回路、ならびに液晶ディスプレイ

(57) 【要約】

本発明は共通電極の駆動回路であって、アレイ基板上の各行画素の蓄積電極線に印加する第1共通電極信号および前記アレイ基板において各行画素の画素電極と一緒に液晶容量を形成する共通電極に印加される第2共通電極信号を生成するステップと、各行の画素に前記第1共通電極信号を出力し、前記共通電極に前記第2共通電極信号を出力するステップとを備え、前記第1共通電極信号の跳躍変化シーケンスは、対応する行の画素の各ゲートのゲート信号の跳躍変化シーケンスに反対する。

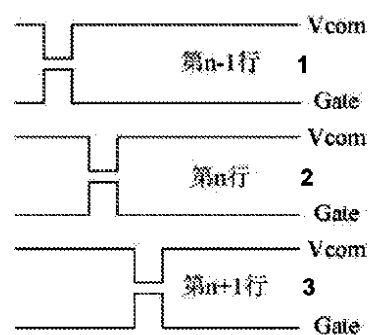


図 2 /Fig.2

- 1 (n-1)_{th} LINE
- 2 n_{th} LINE
- 3 (n+1)_{th} LINE

【特許請求の範囲】

【請求項 1】

共通電極の駆動回路であって、

アレイ基板上の各行画素の蓄積電極線に印加する第 1 共通電極信号と、前記アレイ基板上の各行画素における画素電極と一緒に液晶容量を形成する共通電極に印加される第 2 共通電極信号とを生成するステップと、

各行の画素に前記第 1 共通電極信号を入力し、前記共通電極に前記第 2 共通電極信号を入力するステップとを備え、

前記第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対することを特徴とする共通電極の駆動方法。

10

【請求項 2】

前記蓄積容量は、前記画素電極と前記蓄積電極線とが重なり合うように構成され、前記第 1 共通電極信号のハイレベルとローレベルとの差が、

【数 1】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st}}$$

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st} は前記蓄積容量の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧であることを特徴とする請求項 1 に記載の共通電極の駆動回路。

20

【請求項 3】

前記蓄積容量は、前記画素電極が前記蓄積電極線とゲートラインにそれぞれ重なり合うように構成され、前記第 1 共通電極信号は、ハイレベルとローレベルとの差は、

【数 2】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st1}}$$

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st1} は前記蓄積容量が前記蓄積電極線における容量部分の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧であることを特徴とする請求項 1 に記載の共通電極の駆動回路。

30

【請求項 4】

前記第 1 共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量の絶対値は、前記ゲート信号が跳躍変化される前後に引き起こす、前記蓄積容量に直列接続される寄生容量の電荷変化量の絶対値に等しく、かつ両者の変化方向が反対していることを特徴とする請求項 1 に記載の共通電極の駆動回路。

40

【請求項 5】

前記共通電極は、カラーフィルタ基板または前記アレイ基板に形成されることを特徴とする請求項 1 に記載の共通電極の駆動回路。

【請求項 6】

共通電極の駆動回路であって、

アレイ基板上の各行画素の蓄積電極線に印加する第 1 共通電極信号と、前記アレイ基板上の各行画素における画素電極と一緒に液晶容量を形成する共通電極に印加される第 2 共通電極信号とを生成する駆動信号生成回路と、

前記第 1 共通電極信号を各行画素にそれぞれ出力し、前記第 2 共通電極信号を前記共通電極に出力する共通電極信号出力端とを備え、

50

前記第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対していることを特徴とする共通電極の駆動回路。

【請求項 7】

前記蓄積容量は前記画素電極と前記蓄積電極線とが重なり合うように構成され、前記駆動信号生成回路が生成する前記第 1 共通電極信号のハイレベルとローレベルとの差が、

【数 3】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st}}$$

10

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st} は前記蓄積容量の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧であることを特徴とする請求項 6 に記載の共通電極の駆動回路。

【請求項 8】

前記蓄積容量は前記画素電極が前記蓄積電極およびゲートラインにそれぞれ重なり合うように構成され、前記駆動信号生成回路が生成する前記第 1 共通電極信号のハイレベルとローレベルとの差は、

【数 4】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st1}}$$

20

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st1} は前記蓄積容量が前記蓄積電極線における容量部分の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧であることを特徴とする請求項 6 に記載の共通電極の駆動回路。

【請求項 9】

前記第 1 共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量の絶対値は、前記ゲート信号が跳躍変化される前後に引き起こす、前記蓄積容量に直列接続される寄生容量の電荷変化量の絶対値に等しく、かつ両者の変化方向が反対していることを特徴とする請求項 6 に記載の共通電極の駆動回路。

30

【請求項 10】

前記駆動信号生成回路は、

前記第 2 共通電極信号を生成する第 1 駆動信号生成ユニットと、

跳躍変化シーケンス信号を生成し、前記跳躍変化シーケンス信号を前記第 1 駆動信号生成ユニットが生成する第 2 共通電極信号に重なるし、前記第 1 共通電極信号を生成する第 2 駆動信号生成ユニットと、を備えることを特徴とする請求項 6 に記載の共通電極の駆動回路。

40

【請求項 11】

液晶ディスプレイであって、

液晶パネルと、

液晶パネルを駆動する駆動装置とを備え、

前記液晶パネルは、アレイ基板とカラーフィルタ基板とをセル化することで形成され、それらの間に液晶層が充填され、前記駆動装置は、ゲート駆動装置、データ駆動装置および共通電極駆動装置を備え、

前記共通電極駆動装置は、アレイ基板上の各行画素の蓄積電極線に印加する第 1 共通電極信号および前記アレイ基板において各行画素の画素電極と一緒に液晶容量を形成する共通電極に印加する第 2 共通電極信号を生成し、かつ生成した第 1 共通電極信号をそれぞれ

50

各行の画素に入力し、生成した第 2 共通電極信号を前記共通電極に入力し、

前記第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対していることを特徴とする液晶ディスプレイ。

【請求項 1 2】

前記蓄積容量は前記画素電極と前記蓄積電極線とが重なり合うように構成され、前記第 1 共通電極信号のハイレベルとローレベルとの差が、

【数 5】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st}}$$

10

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st} は前記蓄積容量の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧であることを特徴とする請求項 1 1 に記載の液晶ディスプレイ。

【請求項 1 3】

前記蓄積容量は前記画素電極が前記蓄積電極線およびゲートラインにそれぞれ重なり合うように構成され、前記第 1 共通電極信号は、ハイレベルとローレベルとの差は、

【数 6】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st1}}$$

20

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st1} は前記蓄積容量が前記蓄積電極線における容量部分の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧であることを特徴とする請求項 1 1 に記載の液晶ディスプレイ。

【請求項 1 4】

前記第 1 共通電極信号が跳躍変化される前後に引き起こす前記蓄積容量の電荷変化量の絶対値は、前記ゲート信号が跳躍変化される前後に引き起こす、前記蓄積容量に直列接続される寄生容量の電荷変化量の絶対値に等しく、かつ両者は変化方向が反対していることを特徴とする請求項 1 1 に記載の液晶ディスプレイ。

30

【請求項 1 5】

前記共通電極は、前記カラーフィルタ基板上または前記アレイ基板に形成されることを特徴とする請求項 1 1 に記載の液晶ディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、共通電極の駆動方法及び回路、ならびに液晶ディスプレイに関する。

40

【背景技術】

【0002】

現在、液晶ディスプレイが常用のフラットパネルディスプレイである。特に薄膜トランジスタ液晶ディスプレイ (Thin Film Transistor Liquid Crystal Display; 以下、TFT-LCD と略称される) は液晶ディスプレイの主流になる。

【0003】

従来技術では、液晶ディスプレイは、アレイ基板とカラーフィルム基板とを備える。アレイ基板はマトリックス状に配列される複数の画素によって形成される。各画素は画素電極と、画素電極に接続され、かつスイッチ素子としての薄膜トランジスタ (TFT) とを

50

備える。画素電極とアレイ基板またはカラーフィルタ基板上に位置する共通電極とで形成する液晶容量は、液晶材料に電界を印加する。また、液晶容量を補充するように、画素電極はアレイ基板上に形成される蓄積電極と一緒に蓄積容量を形成することができる。

【0004】

図1は従来技術に係る液晶ディスプレイにおけるユニット画素の等価回路の原理図である。図1に示すように、まず、TFT-LCDが動作するとき、アレイ基板において、ゲートラインG_nに接続されるゲートgにゲートオン電圧を印加し、TFTをオンにして、データラインD_mでの画像信号を表示するためのデータ電圧を、ソースsを介してドレインdに印加する。そして、ドレインdを画素電極pに接続し、上記データ電圧がドレインdを介して画素電極pに印加されて画素電極電圧を形成する。その中、C_nは蓄積電極線である。そして、カラーフィルタ基板上に共通電極層が配布されており、画素電極pの画素電極電圧と、共通電極層の共通電極電圧V₀との間の電圧差によって液晶容量C_{lc}電圧が形成される。液晶容量C_{lc}電圧を液晶分子に印加することで、液晶分子を偏向させる。ゲートgとドレインdとの間に寄生容量C_{gd}が形成されているので、ゲートラインG_nがオン・オフされるとき電圧の急激な変化は、該寄生容量C_{gd}を介して画素電極pに印加されて、画素電極電圧に跳躍変化電圧V_pが生じてしまい、画素電極電圧の正確性に影響され、画面フリッカを引き起こす。

10

【発明の概要】

【課題を解決するための手段】

【0005】

20

本発明実施例は、共通電極の駆動方法であって、アレイ基板上の各行画素の蓄積電極線に印加する第1共通電極信号および前記アレイ基板において各行画素の画素電極と一緒に液晶容量を形成する共通電極に印加される第2共通電極信号を生成するステップと、各行の画素に前記第1共通電極信号を出力し、前記共通電極に前記第2共通電極信号を出力するステップとを備え、前記第1共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対する。

【0006】

本発明の他の実施例は、共通電極の駆動回路であって、アレイ基板上の各行画素の蓄積電極線に印加する第1共通電極信号および前記アレイ基板において各行画素の画素電極と一緒に液晶容量を形成する共通電極に印加される第2共通電極信号を生成する駆動信号生成回路と、前記第1共通電極信号をアレイ基板上の各行画素にそれぞれ出力し、前記第2共通電極信号を前記共通電極に出力する共通電極信号出力端とを備え、前記第1共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対している。

30

【0007】

本発明の他の実施例は、液晶ディスプレイであって、液晶パネルと、液晶パネルを駆動する駆動装置とを備え、前記液晶パネルは、アレイ基板とカラーフィルタ基板とをセル化することで形成され、それらの間に液晶層が充填され、前記駆動装置は、ゲート駆動装置、データ駆動装置および共通電極駆動装置を備え、前記共通電極駆動装置は、アレイ基板上の各行画素の蓄積電極線に印加する第1共通電極信号および前記アレイ基板において各行画素の画素電極と一緒に液晶容量を形成する共通電極に印加される第2共通電極信号を生成し、かつ生成した第1共通電極信号をそれぞれ各行の画素に入力し、生成した第2共通電極信号を前記共通電極に入力し、前記第1共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対している。

40

【図面の簡単な説明】

【0008】

【図1】従来技術に係る液晶ディスプレイにおけるユニット画素の等価回路の原理図である。

【図2】本発明に係る共通電極の駆動回路の第1実施例における第1共通電極信号とゲート信号のシーケンス関係図である。

50

【図 3】本発明に係る共通電極の駆動回路の第 1 実施例の構造概略図である。

【図 4】本発明に係る共通電極の駆動回路の第 2 実施例の構造概略図である。

【図 5】本発明に係る液晶ディスプレイの第 1 実施例の構造概略図である。

【発明を実施するための形態】

【0009】

本発明の実施例の目的、技術案及びメリットを更に明瞭にするために、以下は、本発明の実施例の図面を結合して、本発明の実施例の技術案を明瞭で完全に説明する。下記の実施例は明らかに本発明の一部の実施例に過ぎず、全部の実施例を含めないものである。本発明の実施例に基づいて、当業者が創造的な活動をしないう前提で得られる他の実施例は全て本発明の技術範囲に含まれる。

10

【0010】

本発明に係る共通電極の駆動回路の第 1 実施例である。

ステップ 201、アレイ基板上の各行画素の第 1 共通電極信号およびカラーフィルタ基板上の第 2 共通電極信号を生成する。前記第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対している。前記第 1 共通電極信号が跳躍変化する前後に引き起こす蓄積容量の電荷変化量の絶対値は、前記ゲート信号が跳躍変化する前後に引き起こす寄生容量の電荷変化量の絶対値に等しく、かつ両者は変化方向が反対している。第 1 共通電極信号は、アレイ基板において画素電極と一緒に前記蓄積容量を形成する蓄積電極ラインに印加される。蓄積電極線は、蓄積共通電極線とも言い、共通電極信号が印加される。

20

【0011】

画素のスイッチ素子としての TFT においてゲートとドレインとの間に重なりところがあるので、寄生容量 C_{gd} が生じることは、跳躍変化電圧 ΔV_p が画素電極に生じる起因である。ゲートラインにオフ電圧信号を入力するとき、該寄生容量 C_{gd} に蓄積された電荷 Q_{gd} が変化する。このとき、画素電極と共通電極との間に形成された液晶容量 C_{lc} と、画素電極と蓄積電極線との間に重なることにより形成された蓄積容量 C_{st} と、寄生容量 C_{gd} とに蓄積された電荷の総和が不変であるので、寄生容量 C_{gd} に蓄積された電荷 Q_{gd} の変化が画素電極全体の電荷分布の変化を引き起こす。これによって、画素電極に印加される電圧が変化して、画素電極に跳躍変化電圧 ΔV_p が生じる。検討から分かるように、跳躍変化電圧 $\Delta V_p = C_{gd} (V_{gh} - V_{gl}) / (C_{gd} + C_{lc} + C_{st})$ 、 V_{gh} がゲートのオン電圧であり、 V_{gl} がゲートのオフ電圧である。液晶容量は、液晶を偏向させて表示するように駆動することに用いられ、共通電極は画素電極と一緒にアレイ基板に形成され（即ち、水平電界型 LCD、例えば IPS 或は FFS 型 LCD）、或は、アレイ基板に対向するカラーフィルタ基板に形成されてもよい（即ち、垂直電界型 LCD、例えば TN 型 LCD）。本実施例では、共通電極がカラーフィルタ基板上に形成される。蓄積容量は液晶容量を補充するものであり、液晶容量を安定に動作させて表示する。TFT のドレインは、画素電極に接続され、TFT がオンされるとき、TFT のソースに接続されるデータラインでのデータ信号を画素電極に伝送する。TFT はボトムゲート型、トップゲート型または両者の組合せであってもよい。ゲートとソース・ドレインは、ゲート絶縁層と半導体層を介して形成される。

30

40

【0012】

図 2 は、本発明に係る共通電極の駆動回路の第 1 実施例において、第 1 共通電極信号とゲート信号のシーケンス関係図である。図 2 に示すように、同一行の画素に対応し、かつ蓄積電極線に印加された第 1 共通電極信号 V_{com} とゲート信号 $Gate$ とは、跳躍変化シーケンスが反対している。即ち、ゲート信号がハイレベルであるとき、第 1 共通電極信号がローレベルであり、ゲート信号がローレベルであるとき、第 1 共通電極信号がハイレベルである。つまり、ゲートラインがオンされるとき、蓄積電極線がオフになり、ゲートラインがオフされるとき、蓄積電極線がオンになる。

【0013】

発明者は、画素電極に跳躍変化電圧が生じる原理を突っ込んで分析し研究した結果、ゲ

50

ート信号にオフ電圧が印加されるとき、液晶容量 C_{lc} 、蓄積容量 C_{st} および寄生容量 C_{gd} に蓄積された電荷の総量は、オフされる前後で同じである。

【0014】

オフされる前に、寄生容量 C_{gd} に蓄積される電荷量は、

$$Q_{gd1} = C_{gd} (V_{p1} - V_{gh}) \text{ であり、}$$

オフされた後に、寄生容量 C_{gd} に蓄積される電荷量は、

$$Q_{gd2} = C_{gd} (V_{p2} - V_{gl}) \text{ であり、}$$

オフされる前後に、寄生容量 C_{gd} に蓄積される電荷の変更量 ΔQ_{gd} は、

$$\Delta Q_{gd} = Q_{gd2} - Q_{gd1}$$

$$= C_{gd} [(V_{p2} - V_{gl}) - (V_{p1} - V_{gh})]$$

$$= C_{gd} (\Delta V_p + V_{gh} - V_{gl}) \text{ であり}$$

10

ただし、 V_{p1} は T F T がオフされる前の画素電極の電圧であり、 V_{p2} は、T F T がオフされた後の画素電極の電圧であり、且つ $\Delta V_p = V_{p2} - V_{p1}$ 。

【0015】

この行蓄積電極線にオン電圧を印加するとき、オンされる前に、蓄積容量 C_{st} に蓄積される電荷量は、

$$Q_{st1} = C_{st} (V_{p1} - V_{cl}) \text{ であり、}$$

オンされた後に、蓄積容量 C_{st} に蓄積される電荷量は、

$$Q_{st2} = C_{st} (V_{p2} - V_{ch}) \text{ であり、}$$

オフされる前後に、蓄積容量 C_{st} に蓄積される電荷の変化量 ΔQ_{st} は、

$$\Delta Q_{st} = Q_{st2} - Q_{st1}$$

$$= C_{st} [(V_{p2} - V_{ch}) - (V_{p1} - V_{cl})]$$

$$= C_{st} (\Delta V_p + V_{cl} - V_{ch}) \text{ であり、}$$

20

ただし、 V_{ch} は蓄積電極線のオン電圧であり、 V_{cl} は蓄積電極線のオフ電圧である。

【0016】

本実施例では、第1共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対しており、かつ前記第1共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量の絶対値は、前記ゲート信号が跳躍変化される前後に引き起こす寄生容量の電荷変化量の絶対値と等しく、かつ両者は変化方向が反対する。つまり、本実施例で生成する第1共通電極信号によって、 $\Delta Q_{gd} = -\Delta Q_{st}$ になる。このとき、液晶容量 C_{lc} 、蓄積容量 C_{st} および寄生容量 C_{gd} に蓄積される電荷の総和が不変であるので、 $\Delta Q_{lc} + \Delta Q_{gd} + \Delta Q_{st} = 0$ 、そして $\Delta Q_{lc} = 0$ になる。ただし、 ΔQ_{lc} は、液晶容量 C_{lc} がゲートのオフ前後の電荷変化量であり、 $\Delta Q_{lc} = C_{lc} (V_{p2} - V_{p1})$ 。液晶容量 C_{lc} が一定値であるので、 $V_{p2} = V_{p1}$ 、 $\Delta V_p = V_{p2} - V_{p1} = 0$ 。即ち、画素電圧はゲートがオフされる前後に不変である。その実質として、T F T がオフされる前後に寄生容量 C_{gd} に蓄積される電荷の変化量 ΔQ_{gd} は、蓄積電極線がオンされる前後に蓄積容量 C_{st} に蓄積される電荷の変化量 ΔQ_{st} と大きさが同じであるが、変化方向が反対する。これによって、2つの電気容量に蓄積される電荷の総変化量がゼロになり、2つの電気容量に蓄積される電荷の変化が相殺されるので、画素電極における電荷変化量はゼロになり、画素電極の跳躍変化電圧 ΔV_p がゼロになる。然し、当業者が分かるように、寄生容量 C_{gd} に蓄積される電荷の変化量 ΔQ_{gd} が蓄積容量 C_{st} に蓄積される電荷の変化量 ΔQ_{st} に全く同じではなくても、本実施例は、ゲートがオフされる前後に画素電圧に生じる跳躍変化電圧 ΔV_p を低下することができ、液晶ディスプレイの表示品質が改善される。

30

40

【0017】

ここに説明する必要であるのは、本実施例では、従来技術において生成するアレイ基板およびカラーフィルタ基板に入力するための一定値である共通電極信号に、跳躍変化・シーケンス信号を重畳することによって、アレイ基板に入力する第1共通電極信号が生成され、カラーフィルタ基板に入力する第2共通電極信号は相変らず元の一定値である共通電

50

極信号である。

【 0 0 1 8 】

ステップ 2 0 2、各行の画素に前記第 1 共通電極信号を入力し、前記カラーフィルタ基板に前記第 2 共通電極信号を入力する。

【 0 0 1 9 】

アレイ基板における各行の画素のための第 1 共通電極信号およびカラーフィルタにおける第 2 共通電極信号をそれぞれ生成した後に、駆動回路は、第 1 共通電極信号を、対応する各行画素に入力し、第 2 共通電極信号をカラーフィルタ基板に入力することができる。本実施例では、ステップ 2 0 1 で生成される第 1 共通電極信号を各行画素に入力することで、各画素電極には跳躍変化電圧 ΔV_p が生じることなく、画素電極電圧の正確性が確保され、画面フリッカが避けられる。

10

【 0 0 2 0 】

本実施例では、各行の画素に入力される第 1 共通電極信号の跳躍変化シーケンスを、対応する行の画素のゲート信号の跳躍変化シーケンスに反対するように設計し、且つ前記第 1 共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量の絶対値が、前記ゲート信号が跳躍変化される前後に引き起こす寄生容量の電荷変化量の絶対値に等しく、かつ両者は変化方向が反対することによって、寄生容量と蓄積容量に蓄積される電荷の変化が相殺され、画素電極における電荷変化量はゼロになって各画素電極の跳躍変化電圧がゼロになり、画素電極の電圧の正確性が確保され、画面フリッカが避けられる。

20

【 0 0 2 1 】

本発明に係る共通電極の駆動回路の第 2 実施例では、蓄積容量 C_{st} が蓄積電極線 ($C_{st} \text{ On Common}$) に形成される構成であってもよい。即ち、蓄積容量は、画素電極と蓄積電極線とを重なり合うことで形成されることができる。また、画素電極と一緒に液晶容量を形成する共通電極は、アレイ基板に対向するカラーフィルタ基板上に形成される。本実施例は、以下のステップを備える。

【 0 0 2 2 】

ステップ 4 0 1、アレイ基板における各行画素の第 1 共通電極信号とカラーフィルタ基板上の第 2 共通電極信号を生成する。前記第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化信号の跳躍変化シーケンスに反対している。前記第 1 共通電極信号のハイレベルとローレベルとの差が、

30

【 数 1 】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st}}$$

である。ただし、 C_{gd} は前記寄生容量の容量値であり、 C_{st} は前記蓄積容量の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧である。

【 0 0 2 3 】

本実施例では、第 1 共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量を、前記ゲート信号が跳躍変化される前後に引き起こす寄生容量の電荷変化量に等しいように、第 1 共通電極信号のハイレベルとローレベルとの差を

40

【 数 2 】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st}}$$

に等しくなるように設計する。

【 0 0 2 4 】

50

具体的には、ゲート信号がオフされる前後、つまり、蓄積電極線が跳躍変化される前後に、液晶容量 C_{lc} 、蓄積容量 C_{st} および寄生容量 C_{gd} に蓄積される電荷の総和は、不変であり、即ち、 $Q_{p1} = Q_{p2}$ 、ただし、 Q_{p1} はゲート信号が跳躍変化される前の3つの電気容量に蓄積される電荷の総和であり、 Q_{p2} はゲート信号が跳躍変化した後の3つの電気容量に蓄積される電荷の総和である。

【0025】

$$\begin{aligned} \text{その中、} Q_{p1} &= Q_{lc1} + Q_{st1} + Q_{gd1} \\ &= C_{lc}(V_{p1} - V_0) + C_{st}(V_{p1} - V_{cl}) + C_{gd}(V_{p1} - V_{gh}) ; \end{aligned}$$

$$\begin{aligned} Q_{p2} &= Q_{lc2} + Q_{st2} + Q_{gd2} \\ &= C_{lc}(V_{p2} - V_0) + C_{st}(V_{p2} - V_{ch}) + C_{gd}(V_{p2} - V_{gl}) ; \end{aligned}$$

10

従って、 $C_{lc}(V_{p1} - V_0) + C_{st}(V_{p1} - V_{cl}) + C_{gd}(V_{p1} - V_{gh})$

$$= C_{lc}(V_{p2} - V_0) + C_{st}(V_{p2} - V_{ch}) + C_{gd}(V_{p2} - V_{gl}) ;$$

$$\text{即ち、} C_{lc}(V_{p2} - V_{p1}) + C_{st}(V_{p2} - V_{p1} + V_{cl} - V_{ch}) + C_{gd}(V_{p2} - V_{p1} + V_{gh} - V_{gl}) = 0$$

$$\text{つまり、} (C_{lc} + C_{st} + C_{gd})(V_{p2} - V_{p1}) + C_{st}(V_{cl} - V_{ch}) + C_{gd}(V_{gh} - V_{gl}) = 0$$

$(V_{ch} - V_{cl}) = C_{gd}(V_{gh} - V_{gl}) / C_{st}$ であるので、

$$(C_{lc} + C_{st} + C_{gd})(V_{p2} - V_{p1}) = 0 \text{ になり ;}$$

$$(C_{lc} + C_{st} + C_{gd}) \neq 0 \text{ であるので}$$

$V_{p2} - V_{p1} = 0$ となり、つまり、 $\Delta V_p = 0$ となる。

【0026】

ステップ402、各行の画素に前記第1共通電極信号を入力し、前記カラーフィルタ基板に前記第2共通電極信号を入力する。

20

【0027】

本実施例では、ステップ401で生成される第1共通電極信号を各行の画素に入力する。これによって、各画素電極に跳躍変化電圧 ΔV_p が生じることなく、画素電極電圧の正確性が確保され、画面フリッカが避けられる。

【0028】

本実施例では、各行の画素に入力される第1共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対するように設計し、かつ第1共通電極信号のハイレベルとローレベルとの差を、 $C_{gd}(V_{gh} - V_{gl}) / C_{st}$ に等しくなるようにして、寄生容量と蓄積容量との電荷の変化が相殺され、画素電極の電荷変化量はゼロになって、各画素電極の跳躍変化電圧がゼロになり、画素電極電圧の正確性が確保され、画面フリッカが避けられる。

30

【0029】

本発明に係る共通電極の駆動回路の第3実施例では、蓄積容量 C_{st} が蓄積電極線およびゲートライン ($C_{st} \text{ On Common} + C_{st} \text{ On gate}$) に形成される構成であってもよい。即ち、蓄積容量は、画素電極と蓄積電極線およびゲートラインを重ねることで形成される。液晶容量を形成する共通電極は、アレイ基板に対向するカラーフィルタ基板上に形成される。本実施例は、以下のステップを備える。

【0030】

ステップ501、アレイ基板における各行画素の第1共通電極信号とカラーフィルタ基板上の第2共通電極信号を生成する。前記第1共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対している。前記第1共通電極信号は、ハイレベルとローレベルとの差は、

40

【数3】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st1}}$$

に等しい。ただし、 C_{gd} は前記寄生容量の容量値であり、 C_{st1} は前記蓄積容量が前

50

記蓄積電極線における容量部分の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧である。

【0031】

蓄積容量 C_{st} が、画素電極と蓄積電極線との間に、および画素電極とゲートラインとの間に、同時に存在する場合に、本実施例は、蓄積容量 C_{st} を C_{st1} と C_{st2} という二つの部分に分けることができる。 C_{st1} は、蓄積電極線で形成される部分であり、 C_{st2} はゲートラインで形成される部分である。従って、電荷を不変にする電気容量は、液晶容量 C_{lc} 、寄生容量 C_{gd} 、 C_{st1} と C_{st2} になる。それにおいて、蓄積電極線に印加される動的な信号は C_{st1} 部分のみに影響する。従って、本発明に係る共通電極の駆動回路の第2実施例に対して、本実施例では、第2実施例における C_{st} を C_{st1} に替え、 C_{st2} を液晶容量 C_{lc} の一部とみなせばよい。その原理は、本発明に係る共通電極の駆動回路の第2実施例と同じであるので、ここで贅言しない。

10

【0032】

ステップ502、各行の画素に前記第1共通電極信号を入力し、前記カラーフィルタ基板に前記第2共通電極信号を入力する。

【0033】

本実施例では、ステップ501で生成される第1共通電極信号を各行の画素に入力する。これによって、各画素電極に跳躍変化電圧 ΔV_p が生じることなく、画素電極電圧の正確性が確保され、画面フリッカが避けられる。

【0034】

本実施例では、各行の画素に入力される第1共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対するように設計し、かつ、第1共通電極信号のハイレベルとローレベルとの差を、 $C_{gd}(V_{gh} - V_{gl}) / C_{st1}$ に等しくなるようにすることによって、寄生容量と蓄積容量との電荷の変化が相殺され、画素電極の電荷変化量はゼロになって、各画素電極の跳躍変化電圧がゼロになり、画素電極電圧の正確性が確保され、画面フリッカが避けられる。

20

【0035】

図3は本発明に係る共通電極の駆動回路の第1実施例の構造概略図である。図3に示すように、本実施例の共通電極の駆動回路は、駆動信号生成回路11と共通電極信号出力端12とを備える。駆動信号生成回路11はアレイ基板上の各行の画素の第1共通電極信号とカラーフィルタ基板上の第2共通電極信号とを生成し、かつ前記第1共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対し、かつ前記第1共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量は、前記ゲート信号が跳躍変化される前後に引き起こす寄生容量の電荷変化量に等しい。共通電極信号出力端12は前記第1共通電極信号をアレイ基板上の各行画素にそれぞれ出力し、前記第2共通電極信号を前記カラーフィルタ基板上の共通電極に出力する。

30

【0036】

本実施例に係る共通電極の駆動回路は、従来の共通電極の駆動回路に設けられることができる。当業者は本実施例に係る共通電極回路が実現できる機能によって具体的な回路を柔軟に設計することができる。ここで贅言しない。

40

【0037】

本実施例に係る共通電極の駆動回路は、共通電極の駆動回路の第1実施例を実現することができ、その実現原理が類似しているので、ここで贅言しない。

【0038】

本実施例に係る共通電極の駆動回路では、各行の画素に入力される第1共通電極信号の跳躍変化シーケンスを、対応する行の画素のゲート信号の跳躍変化シーケンスに反対するように設計し、かつ、前記第1共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量を、前記ゲート信号が跳躍変化される前後に引き起こす寄生容量の電荷変化量に等しくなるようにすることによって、寄生容量と蓄積容量とに蓄積される電荷の変化が相殺され、画素電極の電荷変化量はゼロになって、各画素電極の跳躍変化電圧がゼロに

50

なり、画素電極電圧の正確性が確保され、画面フリッカが避けられる。

【0039】

本発明に係る共通電極の駆動回路の第2実施例も図3に示す回路構造を採用することができる。さらに、本実施例では、蓄積容量C_{st}は画素電極と蓄積電極線とが重なり合うような構成を採用する。駆動信号生成回路11が生成する第1共通電極信号のハイレベルとローレベルとの差が、

【数4】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st}}$$

10

である。ただし、C_{gd}は前記寄生容量の容量値であり、C_{st}は前記蓄積容量の容量値であり、V_{gh}とV_{gl}はそれぞれゲートのオン電圧とオフ電圧である。

【0040】

本実施例に係る共通電極の駆動回路は、共通電極の駆動回路の第2実施例を実現することができ、その実現原理が類似しているので、ここで贅言しない。

【0041】

本実施例に係る共通電極の駆動回路では、各行の画素に入力される第1共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対するように設計し、かつ、第1共通電極信号のハイレベルとローレベルとの差を、C_{gd}(V_{gh} - V_{gl}) / C_{st}に等しくなるようにして、寄生容量と蓄積容量に蓄積される電荷の変化が相殺され、画素電極の電荷変化量はゼロになって、各画素電極の跳躍変化電圧がゼロになり、画素電極電圧の正確性が確保され、画面フリッカが避けられる。

20

【0042】

本発明に係る共通電極の駆動回路の第3実施例も図3に示す回路構造を採用する。さらに、本実施例では、蓄積容量C_{st}は画素電極と蓄積電極線およびゲートラインにそれぞれ重なり合うような構成を採用する。駆動信号生成回路11が生成する第1共通電極信号のハイレベルとローレベルとの差は

【数5】

30

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st1}}$$

である。ただし、C_{gd}は前記寄生容量の容量値であり、C_{st1}は前記蓄積容量が蓄積電極線における容量部分の容量値であり、V_{gh}とV_{gl}はそれぞれゲートのオン電圧とオフ電圧である。

【0043】

本実施例に係る共通電極の駆動回路は、共通電極の駆動回路の第3実施例を実現することができ、その実現原理が類似しているので、ここで贅言しない。

40

【0044】

本実施例に係る共通電極の駆動回路では、各行の画素に入力される第1共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対するように設計し、かつ、第1共通電極信号のハイレベルとローレベルとの差を、C_{gd}(V_{gh} - V_{gl}) / C_{st1}に等しくなるようにして、寄生容量と蓄積容量とに蓄積される電荷の変化が相殺され、画素電極の電荷変化量はゼロになって、各画素電極の跳躍変化電圧がゼロになり、画素電極電圧の正確性が確保され、画面フリッカが避けられる。

【0045】

図4は本発明に係る共通電極の駆動回路の第4実施例の構造概略図である。図4に示す

50

ように、本実施例に係る共通電極の駆動回路は、図 3 に示す共通電極の駆動回路の第 1 実施例に基づき、駆動信号生成回路 11 は、第 1 駆動信号生成ユニット 111 と第 2 駆動信号生成ユニット 112 とをさらに備える。第 1 駆動信号生成ユニット 111 は前記第 2 共通電極信号を生成する。第 2 駆動信号生成ユニット 112 は、跳躍変化シーケンス信号を生成し、前記跳躍変化シーケンス信号を前記第 1 駆動信号生成ユニットが生成する第 2 共通電極信号に重なるし、アレイ基板上の各行画素の第 1 共通電極信号を生成する。前記第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対し、かつ前記第 1 共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量は、前記ゲート信号が跳躍変化される前後に引き起こす寄生容量の電荷変化量に等しい。

10

【0046】

本実施例は、従来技術に基づき、第 2 駆動信号生成ユニット 112 によって跳躍変化シーケンス信号を生成し、該跳躍変化シーケンス信号を、第 1 駆動信号生成ユニット 111 が生成する、カラーフィルタ基板上に入力される第 2 共通電極信号に重なるし、アレイ基板上に入力される第 1 共通電極信号が生成される。該第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対している。かつ前記第 1 共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量は、前記ゲート信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量に等しい。これによって、寄生容量と蓄積容量とに蓄積される電荷の変化が相殺され、画素電極の電荷変化量はゼロになって、各画素電極の跳躍変化電圧がゼロになり、画素電極電圧の正確性が確保され、画面フリッカが避けられる。さらに、本実施例に係る共通電極の駆動回路は、従来技術について小さい変更だけを行うので、実現するには便利である。

20

【0047】

図 5 は本発明に係る液晶ディスプレイの第 1 実施例の構造概略図である。図 5 に示すように、本実施例に係る液晶ディスプレイは、液晶パネルと、液晶パネルを駆動する駆動装置とを備える。液晶パネルは、アレイ基板 1 とカラーフィルタ基板 2 とをセル化することで形成され、それらの間に液晶層 3 が充填されている。駆動装置は、ゲート駆動装置 4、データ駆動装置 5 および共通電極駆動装置 6 を備える。共通電極駆動装置 6 は、アレイ基板 1 上の各行の画素の第 1 共通電極信号と前記カラーフィルタ基板 2 上の第 2 共通電極信号とを生成し、かつ生成した第 1 共通電極信号をそれぞれ各行の画素に入力し、生成した第 2 共通電極信号を前記カラーフィルタ基板の共通電極に入力する。第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対している。かつ前記第 1 共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量は、前記ゲート信号が跳躍変化される前後に引き起こす寄生容量の電荷変化量に等しい。

30

【0048】

本実施例の液晶ディスプレイでは、第 1 共通電極信号の跳躍変化シーケンスは対応する行の画素のゲート信号の跳躍変化シーケンスに反対し、かつ前記第 1 共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量は、前記ゲート信号が跳躍変化される前後に引き起こす寄生容量の電荷変化量と同じである。つまり、本実施例では、第 1 共通電極信号によって、 $\Delta Q_{gd} = -\Delta Q_{st}$ になる。このとき、液晶容量 C_{lc} 、蓄積容量 C_{st} および寄生容量 C_{gd} に蓄積される電荷の総和が不変である。従って、 $\Delta Q_{lc} + \Delta Q_{gd} + \Delta Q_{st} = 0$ であるので、 $\Delta Q_{lc} = 0$ 、ただし、 ΔQ_{lc} は、液晶容量 C_{lc} がゲートのオフ前後の電荷変化量であり、 $\Delta Q_{lc} = C_{lc} (V_{p2} - V_{p1})$ 。液晶容量 C_{lc} が一定値であるので、 $V_{p2} = V_{p1}$ 、 $\Delta V_p = V_{p2} - V_{p1} = 0$ 。即ち、画素電圧はゲートがオフされる前後で変化しない。その実質として、TFT がオフされる前後に、その寄生容量 C_{gd} に蓄積される電荷の変化量 ΔQ_{gd} は、蓄積電極線信号がオンされる前後に蓄積容量 C_{st} に蓄積される電荷の変化量 ΔQ_{st} と大きさが同じであるが、それらの変化方向は反対する。これによって、2つの電気容量に蓄積される電荷の総変化量がゼロになり、2つの電気容量に蓄積される電荷の変化が相殺されるので、画素電

40

50

極における電荷変化量はゼロになる。従って、画素電極の跳躍変化電圧 ΔV_p がゼロになる。

【0049】

ここに説明する必要であるのは、本実施例に係る共通電極駆動装置 6 は、図 3 又は図 4 に示す共通電極の駆動回路を採用して実現することができる。ここで贅言しない。

【0050】

本実施例に係る液晶ディスプレイでは、各行の画素に入力される第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対するように設計し、かつ前記第 1 共通電極信号が跳躍変化される前後の蓄積容量の電荷変化量は、前記ゲート信号が跳躍変化される前後に引き起こす寄生容量の電荷変化量に等しくなるようにすることによって、寄生容量と蓄積容量とに蓄積される電荷の変化が相殺され、画素電極における電荷変化量はゼロになって、各画素電極の跳躍変化電圧がゼロになり、画素電極電圧の正確性が確保され、画面フリッカが避けられる。

10

【0051】

本発明に係る液晶ディスプレイの第 2 実施例も図 5 に示す回路構造を採用することができる。さらに、本実施例では、蓄積容量 C_{st} は画素電極が蓄積電極線に重なり合わるような構成である。共通電極駆動装置 6 が生成する第 1 共通電極信号のハイレベルとローレベルとの差は、

【数 6】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st}}$$

20

である。ただし、 C_{gd} は前記寄生容量の容量値であり、 C_{st} は前記蓄積容量の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧である。

【0052】

本実施例に係る液晶ディスプレイは、共通電極の駆動回路の第 2 実施例を実現することができる。その実現原理が類似しているので、ここで贅言しない。

【0053】

本実施例に係る液晶ディスプレイでは、各行の画素に入力される第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対するように設計し、かつ第 1 共通電極信号は、ハイレベルとローレベルとの差は、 $C_{gd} (V_{gh} - V_{gl}) / C_{st}$ であることによって、寄生容量と蓄積容量に蓄積される電荷の変化が相殺され、画素電極における電荷変化量はゼロになって各画素電極の跳躍変化電圧がゼロになり、画素電極の電圧の正確性が確保され、画面フリッカが避けられる。

30

【0054】

本発明に係る液晶ディスプレイの第 3 実施例も図 5 に示す回路構造を採用することができる。さらに、本実施例では、蓄積容量 C_{st} は画素電極と蓄積電極線およびゲートラインにそれぞれ重なり合うように構成される。共通電極駆動装置 6 が生成する第 1 共通電極信号は、ハイレベルとローレベルとの差は、

40

【数 7】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st1}}$$

である。ただし、 C_{gd} は前記寄生容量の容量値であり、 C_{st1} は前記蓄積容量の蓄積電極線における容量部分の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧である。

50

【 0 0 5 5 】

本実施例に係る液晶ディスプレイは、共通電極の駆動回路の第3実施例を実現することができ、その実現原理が類似しているので、ここで贅言しない。

【 0 0 5 6 】

本実施例に係る液晶ディスプレイでは、各行の画素に入力される第1共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲート信号の跳躍変化シーケンスに反対するように設計し、かつ第1共通電極信号のハイレベルとローレベルとの差は、 $C_{gd} (V_{gh} - V_{gl}) / C_{st1}$ に等しい。これによって、寄生容量と蓄積容量に蓄積される電荷の変化が相殺され、画素電極における電荷変化量はゼロになって、各画素電極の跳躍変化電圧 ΔV_p がゼロになり、画素電極電圧の正確性が確保され、画面フリッカが避けられる。

10

【 0 0 5 7 】

以上のように、本発明は、当業者が自明なように、上記方法実施例の全てまたは一部のステップは、関連ソフトウェア、ハードウェアおよびファーム・ウェアをプログラムで指令することで実現することができる。上記プログラムは、コンピュータの読取可能なメモリ媒体に記憶されることができる。該プログラムが実行されるとき、上記方法実施例におけるステップが実行される。上記メモリ媒体は、ROM、RAM、磁ディスクまたは光ディスクなどのプログラムを記憶できる媒体である。

【 0 0 5 8 】

以上の実施例は本発明の技術内容を説明するものに過ぎず、限定するものではない。上述した実施例によって本発明が詳しく説明されたが、上述した各実施例に記載された技術案を修正する、または一部の技術的特徴を均等的に変更することができる。この修正や変更によって技術案の趣旨が本発明精神と範囲から逸脱するようにならない。

20

【 符号の説明 】

【 0 0 5 9 】

- 1 1 駆動信号生成回路
- 1 1 1 第1駆動信号生成ユニット
- 1 1 2 第2駆動信号生成ユニット
- 1 2 共通電極信号出力端

【図 1】

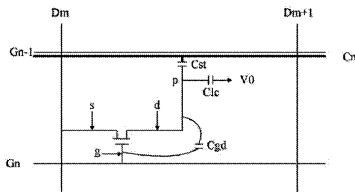


図 1

【図 5】

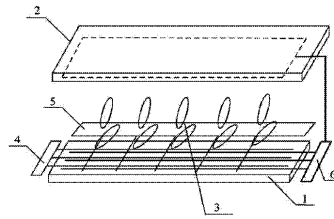
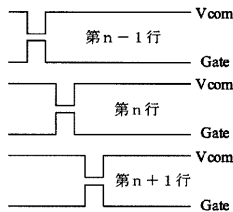
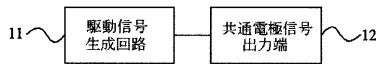


図 5

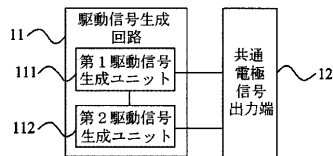
【図 2】



【図 3】



【図 4】



【手続補正書】

【提出日】平成24年10月23日(2012.10.23)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

共通電極の駆動回路であって、

アレイ基板上の各行画素の蓄積電極線に印加する第 1 共通電極信号と、前記アレイ基板上の各行画素における画素電極と一緒に液晶容量を形成する共通電極に印加される第 2 共通電極信号とを生成するステップと、

各行の画素に前記第 1 共通電極信号を入力し、前記共通電極に前記第 2 共通電極信号を入力するステップとを備え、

前記第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲートに印加するゲート信号の跳躍変化シーケンスに反対することを特徴とする共通電極の駆動回路。

【請求項 2】

前記第 1 共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量の絶対値は、前記ゲート信号が跳躍変化される前後に引き起こす、前記蓄積容量に直列接続される寄生容量の電荷変化量の絶対値に等しく、かつ両者の変化方向が反対していることを特徴とする請求項 1 に記載の共通電極の駆動回路。

【請求項 3】

前記蓄積容量は、前記画素電極と前記蓄積電極線とが重なり合うように構成され、前記第 1 共通電極信号のハイレベルとローレベルとの差が、

【数 1】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st}}$$

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st} は前記蓄積容量の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧であることを特徴とする請求項 2 に記載の共通電極の駆動回路。

【請求項 4】

前記蓄積容量は、前記画素電極が前記蓄積電極線とゲートラインにそれぞれ重なり合うように構成され、前記第 1 共通電極信号は、ハイレベルとローレベルとの差は、

【数 2】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st1}}$$

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st1} は前記蓄積容量が前記蓄積電極線における容量部分の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧であることを特徴とする請求項 2 に記載の共通電極の駆動回路。

【請求項 5】

前記共通電極は、カラーフィルタ基板にまたは前記アレイ基板に形成されることを特徴とする請求項 1 に記載の共通電極の駆動回路。

【請求項 6】

共通電極の駆動回路であって、

アレイ基板上の各行画素の蓄積電極線に印加する第 1 共通電極信号と、前記アレイ基板上の各行画素における画素電極と一緒に液晶容量を形成する共通電極に印加される第 2 共通電極信号とを生成する駆動信号生成回路と、

前記第 1 共通電極信号を各行画素にそれぞれ出力し、前記第 2 共通電極信号を前記共通電極に出力する共通電極信号出力端とを備え、

前記第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲートのゲート信号の跳躍変化シーケンスに反対していることを特徴とする共通電極の駆動回路。

【請求項 7】

前記第 1 共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量の絶対値は、前記ゲート信号が跳躍変化される前後に引き起こす、前記蓄積容量に直列接続される寄生容量の電荷変化量の絶対値に等しく、かつ両者の変化方向が反対していることを特徴とする請求項 6 に記載の共通電極の駆動回路。

【請求項 8】

前記蓄積容量は前記画素電極と前記蓄積電極線とが重なり合うように構成され、前記駆動信号生成回路が生成する前記第 1 共通電極信号のハイレベルとローレベルとの差が、

【数 3】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st}}$$

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st} は前記蓄積容量の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電

圧であることを特徴とする請求項 7 に記載の共通電極の駆動回路。

【請求項 9】

前記蓄積容量は前記画素電極が前記蓄積電極およびゲートラインにそれぞれ重なり合うように構成され、前記駆動信号生成回路が生成する前記第 1 共通電極信号のハイレベルとローレベルとの差は、

【数 4】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st1}}$$

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st1} は前記蓄積容量が前記蓄積電極線における容量部分の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧であることを特徴とする請求項 7 に記載の共通電極の駆動回路。

【請求項 10】

前記駆動信号生成回路は、

前記第 2 共通電極信号を生成する第 1 駆動信号生成ユニットと、

跳躍変化シーケンス信号を生成し、前記跳躍変化シーケンス信号を前記第 1 駆動信号生成ユニットが生成する第 2 共通電極信号に重なるし、前記第 1 共通電極信号を生成する第 2 駆動信号生成ユニットと、を備えることを特徴とする請求項 6 に記載の共通電極の駆動回路。

【請求項 11】

液晶ディスプレイであって、

液晶パネルと、

液晶パネルを駆動する駆動装置とを備え、

前記液晶パネルは、アレイ基板とカラーフィルタ基板とをセル化することで形成され、それらの間に液晶層が充填され、前記駆動装置は、ゲート駆動装置、データ駆動装置および共通電極駆動装置を備え、

前記共通電極駆動装置は、アレイ基板上の各行画素の蓄積電極線に印加する第 1 共通電極信号および前記アレイ基板において各行画素の画素電極と一緒に液晶容量を形成する共通電極に印加する第 2 共通電極信号を生成し、かつ生成した第 1 共通電極信号をそれぞれ各行の画素に入力し、生成した第 2 共通電極信号を前記共通電極に入力し、

前記第 1 共通電極信号の跳躍変化シーケンスは、対応する行の画素のゲートに印加されるゲート信号の跳躍変化シーケンスに反対していることを特徴とする液晶ディスプレイ。

【請求項 12】

前記第 1 共通電極信号が跳躍変化される前後に引き起こす蓄積容量の電荷変化量の絶対値は、前記ゲート信号が跳躍変化される前後に引き起こす、前記蓄積容量に直列接続される寄生容量の電荷変化量の絶対値に等しく、かつ両者は変化方向が反対していることを特徴とする請求項 11 に記載の液晶ディスプレイ。

【請求項 13】

前記蓄積容量は前記画素電極と前記蓄積電極線とが重なり合うように構成され、前記第 1 共通電極信号のハイレベルとローレベルとの差が、

【数 5】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st}}$$

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st}

t は前記蓄積容量の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧であることを特徴とする請求項 12 に記載の液晶ディスプレイ。

【請求項 14】

前記蓄積容量は前記画素電極が前記蓄積電極およびゲートラインにそれぞれ重なり合うように構成され、前記第 1 共通電極信号は、ハイレベルとローレベルとの差は、

【数 6】

$$\frac{C_{gd} \times (V_{gh} - V_{gl})}{C_{st1}}$$

であり、ただし、 C_{gd} は前記蓄積容量に直列接続される寄生容量の容量値であり、 C_{st1} は前記蓄積容量が前記蓄積電極線における容量部分の容量値であり、 V_{gh} と V_{gl} はそれぞれゲートのオン電圧とオフ電圧であることを特徴とする請求項 12 に記載の液晶ディスプレイ。

【請求項 15】

前記共通電極は、前記カラーフィルタ基板上または前記アレイ基板に形成されることを特徴とする請求項 11 に記載の液晶ディスプレイ。

【 国 際 調 査 報 告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/072939

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G02F1/-; G09G3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT,CNKI,WPI,EPDOC: common electrode, counter electrode, LCD, storage capacitance, capacitor, parasitic, gate, scan line

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US2005/0264509A1(SENDA, Michiru et al.) 01Dec. 2005 (01.12.2005) description paragraphs 【0021】 - 【0042】 , figs.1-2	1-15
A	US2008/0150928A1(KONINKLIJKE PHILIPS ELECTRONIC,N.V.)26 Jun. 2008 (26.06.2008) the whole document	1-15
A	US2006/0119756A1(SAMSUNG ELECTRONICS CO.,LTD.)08 Jun. 2006 (08.06.2006) the whole document	1-15
A	US2007/0164957A1(CHI MEI OPTOELECTRONICS CORP.)19 Jul. 2007 (19.07.2007) the whole document	1-15
A	US2007/0176905A1(HANNSTAR DISPLAY CORP.)02 Aug. 2007 (02.08.2007) the whole document	1-15
A	CN1744184A(SAMSUNG ELECTRONICS CO.,LTD.)08 Mar. 2006 (08.03.2006) the whole document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
26 May 2011 (26.05.2011)Date of mailing of the international search report
14 Jul. 2011 (14.07.2011)Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451Authorized officer
YUAN, Jiali
Telephone No. (86-10)82245767

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2011/072939

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US2005/0264509A1	01.12.2005	US7696960B2	13.04.2010
US2008/0150928A1	26.06.2008	WO2005083667A1	09.09.2005
		EP1719104A1	08.11.2006
		CN1922647A	28.02.2007
		JP2007523375T	16.08.2007
		KR20070004628A	09.01.2007
		TW200537427A	16.11.2005
US2006/0119756A1	08.06.2006	KR20060061490A	08.06.2006
US2007/0164957A1	19.07.2007	TW200727231A	16.07.2007
US2007/0176905A1	02.08.2007	US7573459B2	11.08.2009
CN1744184A	08.03.2006	US2006001638A1	05.01.2006
		JP2006023705A	26.01.2006
		KR20060003968A	12.01.2006
		TW200615670A	16.05.2006

国际检索报告		国际申请号 PCT/CN2011/072939
A. 主题的分类		
G09G3/36 (2006.01) i		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: G02F1/-; G09G3/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, CNKI, WPI, EPODOC: 公共电极, 对电极, 液晶, 存储电容, 储存电容, 贮存电容, 寄生电容, 栅极, 扫描线, common electrode, counter electrode, LCD, storage capacitance, capacitor, parasitic, gate, scan line		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US2005/0264509A1(SENDA, Michiru et al.) 01.12 月 2005 (01.12.2005) 说明书第【0021】 【0042】段、图 1-2	1-15
A	US2008/0150928A1(KONINKLIJKE PHILIPS ELECTRONIC, N.V.) 26.6 月 2008 (26.06.2008) 全文	1-15
A	US2006/0119756A1(SAMSUNG ELECTRONICS CO., LTD.) 08.6 月 2006 (08.06.2006) 全文	1-15
A	US2007/0164957A1(CHI MEI OPTOELECTRONICS CORP.) 19.7 月 2007 (19.07.2007) 全文	1-15
A	US2007/0176905A1(HANNSTAR DISPLAY CORP.) 02.8 月 2007 (02.08.2007) 全文	1-15
A	CN1744184A(三星电子株式会社) 08.3 月 2006 (08.03.2006) 全文	1-15
☐ 其余文件在 C 栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 26.5 月 2011(26.05.2011)		国际检索报告邮寄日期 14.7 月 2011 (14.07.2011)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		受权官员 苑佳丽 电话号码: (86-10) 82245767

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/072939

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US2005/0264509A1	01.12.2005	US7696960B2	13.04.2010
US2008/0150928A1	26.06.2008	WO2005083667A1	09.09.2005
		EP1719104A1	08.11.2006
		CN1922647A	28.02.2007
		JP2007523375T	16.08.2007
		KR20070004628A	09.01.2007
		TW200537427A	16.11.2005
US2006/0119756A1	08.06.2006	KR20060061490A	08.06.2006
US2007/0164957A1	19.07.2007	TW200727231A	16.07.2007
US2007/0176905A1	02.08.2007	US7573459B2	11.08.2009
CN1744184A	08.03.2006	US2006001638A1	05.01.2006
		JP2006023705A	26.01.2006
		KR20060003968A	12.01.2006
		TW200615670A	16.05.2006

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 徐 宇博

中華人民共和国 1 0 0 1 7 6 北京市經濟技術開發區西環中路 8 號

(72)発明者 李 成

中華人民共和国 1 0 0 1 7 6 北京市經濟技術開發區西環中路 8 號

(72)発明者 占 紅▼明

中華人民共和国 1 0 0 1 7 6 北京市經濟技術開發區西環中路 8 號

(72)発明者 ▲張▼ ▲紀▼▲棟▼

中華人民共和国 1 0 0 1 7 6 北京市經濟技術開發區西環中路 8 號

F ターム(参考) 2H193 ZA04 ZA06 ZA07 ZB06 ZB14 ZB18 ZD12 ZF59 ZF60

5C006 AC25 AF42 AF71 BB16 BC06 FA23

5C080 AA10 BB05 DD06 FF11 FF12 JJ02 JJ03 JJ04 JJ06

专利名称(译)	用于驱动公共电极和液晶显示器的方法和电路		
公开(公告)号	JP2013525832A	公开(公告)日	2013-06-20
申请号	JP2013504110	申请日	2011-04-18
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	薛海林 徐宇博 李成 占紅明 張紀棟		
发明人	薛 ▲海▼林 徐 宇博 李 成 占 ▲紅▼明 ▲張▼ ▲紀▼▲棟▼		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3659 G09G3/3655 G09G2320/0219		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.624.D G09G3/20.624.E G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA06 2H193/ZA07 2H193/ZB06 2H193/ZB14 2H193/ZB18 2H193/ZD12 2H193/ZF59 2H193/ZF60 5C006/AC25 5C006/AF42 5C006/AF71 5C006/BB16 5C006/BC06 5C006/FA23 5C080/AA10 5C080/BB05 5C080/DD06 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	村山彦 渡边 隆		
优先权	201010152188.3 2010-04-16 CN		
外部链接	Espacenet		

摘要(译)

一种公共电极的驱动方法，包括：产生施加到阵列基板上每个线像素的存储电极线的第一公共电极信号和施加到公共电极的第二公共电极信号，其与像素电极形成液晶电容。阵列基板上的每个行像素。第一公共电极信号的跳跃序列是施加到相应行像素的栅电极的栅电极信号的跳跃序列的倒数。该方法还包括将第一公共电极信号输入到每个线像素并将第二公共电极信号输入到所述公共电极。

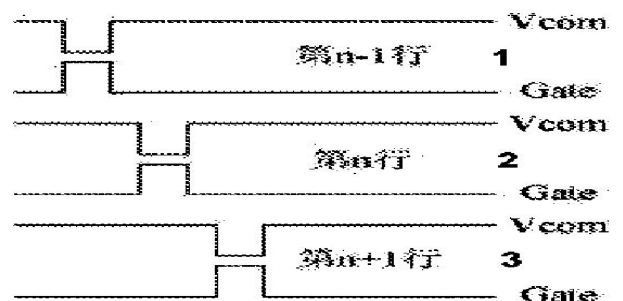


图 2 /Fig.2

- 1 (n-1)_{th} LINE
- 2 n_{th} LINE
- 3 (n+1)_{th} LINE