

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-246291

(P2013-246291A)

(43) 公開日 平成25年12月9日(2013.12.9)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H290
G02F 1/1337 (2006.01)	G02F 1/1337	

審査請求 未請求 請求項の数 11 O L (全 21 頁)

(21) 出願番号	特願2012-119499 (P2012-119499)	(71) 出願人	502356528
(22) 出願日	平成24年5月25日 (2012. 5. 25)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	110001737
			特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

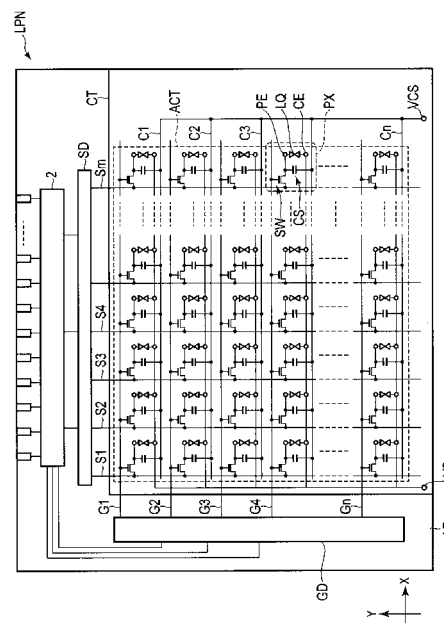
(57) 【要約】

【課題】表示品位の劣化を抑制することが可能な液晶表示装置を提供する。

【解決手段】ゲート配線Gと、ゲート配線Gと交差する方向に延びたソース配線Sと、ソース配線Sと交差して延びた幹部および幹部からソース配線Sに沿って分岐した枝部を含む補助容量線Cと、ゲート配線Gと交差して補助容量線Cの下層に延びて幹部および枝部と対向したドレイン配線EDを含むスイッチング素子SWと、ソース配線Sと略平行に延びた主画素電極PAおよびドレイン配線EDと電氣的に接続するコンタクト部PCを含む画素電極PEと、を備えたアレイ基板ARと、主画素電極PAを挟んだ両側で主画素電極PAと略平行に延びた主共通電極CAを有する共通電極CEを備えた対向基板CTと、アレイ基板ARと前記対向基板CTとの間に保持された液晶分子LMを含む液晶層LQと、を備えた液晶表示装置。

【選択図】 図1

図1



【特許請求の範囲】

【請求項 1】

ゲート配線と、前記ゲート配線と交差する方向に延びたソース配線と、前記ソース配線と交差して延びた幹部および前記幹部から前記ソース配線に沿って分岐した枝部を含む補助容量線と、前記ゲート配線と交差して前記補助容量線の下層に延びて前記幹部および前記枝部と対向したドレイン配線を含むスイッチング素子と、前記ソース配線と略平行に延びた主画素電極および前記ドレイン配線と電氣的に接続するコンタクト部を含む画素電極と、を備えたアレイ基板と、

前記主画素電極を挟んだ両側で前記主画素電極と略平行に延びた主共通電極を有する共通電極を備えた対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶分子を含む液晶層と、を備えた液晶表示装置。

10

【請求項 2】

前記アレイ基板は、前記ソース配線の上層において前記ソース配線と対向した第 2 共通電極を有する請求項 1 記載の液晶表示装置。

【請求項 3】

前記ソース配線と略直交する方向において、前記第 2 共通電極の幅は、前記枝部の幅と略等しい請求項 2 記載の液晶表示装置。

【請求項 4】

前記主共通電極は、前記ソース配線と対向している請求項 1 乃至請求項 3 のいずれか 1 項記載の液晶表示装置。

20

【請求項 5】

前記ソース配線と略直交する方向において、前記主共通電極の幅は、前記枝部の幅と略等しい請求項 1 乃至請求項 4 のいずれか 1 項記載の液晶表示装置。

【請求項 6】

ゲート配線と、前記ゲート配線と交差する方向に延びたソース配線と、前記ソース配線と交差して延びた幹部および前記幹部から前記ソース配線に沿って分岐した枝部を含む補助容量線と、前記ゲート配線と交差して前記補助容量線の下層に延びて前記幹部および前記枝部と対向したドレイン配線を含むスイッチング素子と、前記ソース配線と略平行に延びるとともに少なくとも一部が絶縁層を介して前記枝部と対向する主画素電極および前記ドレイン配線と電氣的に接続するコンタクト部を含む画素電極と、を備えたアレイ基板と、

30

前記コンタクト部と対向するとともに前記主画素電極と略平行に延びた主共通電極を有する共通電極を備えた対向基板と、

前記アレイ基板と前記対向基板との間に保持された液晶分子を含む液晶層と、を備えた液晶表示装置。

【請求項 7】

前記コンタクト部は前記幹部と対向して配置され、

前記主画素電極は、前記コンタクト部から延びている請求項 1 乃至請求項 4 のいずれか 1 項記載の液晶表示装置。

40

【請求項 8】

前記対向基板は、前記ゲート配線と対向する第 3 共通電極を有している請求項 1 乃至請求項 6 のいずれか 1 項記載の液晶表示装置。

【請求項 9】

前記液晶分子は、前記画素電極と前記共通電極との間に電界が形成されていない状態で、前記アレイ基板と前記対向基板との間においてスプレィ配向またはホモジニアス配向している請求項 1 乃至請求項 8 のいずれか 1 項記載の液晶表示装置。

【請求項 10】

前記アレイ基板は、さらに、前記画素電極を覆う第 1 配向膜を備え、

前記対向基板は、さらに、前記共通電極を覆う第 2 配向膜を備え、

50

前記第 1 配向膜では第 1 配向処理方向に前記液晶分子が初期配向し、前記第 2 配向膜では第 2 配向処理方向に前記液晶分子が初期配向し、前記第 1 配向処理方向と前記第 2 配向処理方向は互いに平行で且つ同じ向きである請求項 1 乃至請求項 9 のいずれか 1 項記載の液晶表示装置。

【請求項 1 1】

前記アレイ基板の外面に配置された第 1 偏光板及び前記対向基板の外面に配置された第 2 偏光板を更に備え、

前記第 1 偏光板の第 1 偏光軸と前記第 2 偏光板の第 2 偏光軸とが直交し、前記第 1 偏光板の第 1 偏光軸が前記液晶層の液晶分子の初期配向方向と直交する或いは平行である請求項 1 乃至請求項 10 のいずれか 1 項記載の液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードやFFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

20

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

30

【特許文献 1】特開 2009 - 192822 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

実施形態によれば、ゲート配線と、前記ゲート配線と交差する方向に延びたソース配線と、前記ソース配線と交差して延びた幹部および前記幹部から前記ソース配線に沿って分岐した枝部を含む補助容量線と、前記ゲート配線と交差して前記補助容量線の下層に延びて前記幹部および前記枝部と対向したドレイン配線を含むスイッチング素子と、前記ソース配線と略平行に延びた主画素電極および前記ドレイン配線と電氣的に接続するコンタクト部を含む画素電極と、を備えたアレイ基板と、前記主画素電極を挟んだ両側で前記主画素電極と略平行に延びた主共通電極を有する共通電極を備えた対向基板と、前記アレイ基板と前記対向基板との間に保持された液晶分子を含む液晶層と、を備えた液晶表示装置が提供される。

40

【図面の簡単な説明】

【0007】

【図 1】図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

50

【図 2】図 2 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図 3】図 3 は、図 2 に示した液晶表示パネルを I I I - I I I 線で切断したときの断面構造を概略的に示す断面図である。

【図 4】図 4 は、図 1 に示した液晶表示パネルを対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図 5】図 5 は、図 4 に示した液晶表示パネルを V - V 線で切断したときの断面構造を概略的に示す断面図である。

【図 6】図 6 は、比較例の液晶表示装置の液晶表示パネルを対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図 7】図 7 は、図 6 に示した液晶表示パネルを V I I - V I I 線で切断したときの断面構造を概略的に示す断面図である。

【発明を実施するための形態】

【0008】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0009】

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0010】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。本実施形態の液晶表示装置のアクティブエリア A C T はにおいて、画素 P X の長手方向と略直交する方向におけるドットピッチは略 $25 \mu m$ である。

【0011】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G ($G_1 \sim G_n$)、 n 本の補助容量線 C ($C_1 \sim C_n$)、 m 本のソース配線 S ($S_1 \sim S_m$) などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延びている。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延びている。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延びていなくても良く、それらの一部が屈曲していてもよい。

【0012】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【0013】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。補助容量 C S は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

10

20

30

40

50

【 0 0 1 4 】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【 0 0 1 5 】

スイッチング素子 S W は、例えば、n チャンネル薄膜トランジスタ（T F T）によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

10

【 0 0 1 6 】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。共通電極 C E は、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキサイド（I T O）やインジウム・ジंक・オキサイド（I Z O）などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

20

【 0 0 1 7 】

アレイ基板 A R は、共通電極 C E に電圧を印加するための給電部 V S を備えている。この給電部 V S は、例えば、アクティブエリア A C T の外側に形成されている。共通電極 C E は、アクティブエリア A C T の外側に引き出され、図示しない導電部材を介して、給電部 V S と電氣的に接続されている。

【 0 0 1 8 】

図 2 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

30

【 0 0 1 9 】

図示した画素 P X は、破線で示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形状である。ゲート配線 G 1 及びゲート配線 G 2 は、第 1 方向 X に沿って延びている。補助容量線 C 1 は、隣接するゲート配線 G 1 とゲート配線 G 2 との間に配置され、第 1 方向 X に沿って延びている。ソース配線 S 1 及びソース配線 S 2 は、第 2 方向 Y に沿って延びている。画素電極 P E は、隣接するソース配線 S 1 とソース配線 S 2 との間に配置されている。また、画素電極 P E は、ゲート配線 G 1 とゲート配線 G 2 との間に位置している。

【 0 0 2 0 】

図示した例では、画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。また、画素 P X において、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。

40

補助容量線 C 1 は、画素 P X の略中央部に配置されている。補助容量線 C 1 は、ゲート配線 G 1 及びゲート配線 G 2 と略平行に延びた幹部 S T M と、幹部 S T M からソース配線 S 1、S 2 に沿ってゲート配線 G 1 及びゲート配線 G 2 側へ延びた枝部 B R C とを有している。補助容量線 C 1 の枝部 B R C は、第 1 方向 X における幅がソース配線 S 1、S 2 よ

50

りも大きくなっている。

【 0 0 2 1 】

ゲート配線 G 1、G 2 は、ソース配線 S 1、S 2 と交差する位置において第 1 方向 X に延びた 2 本の配線に分岐している。ソース配線 S 1、S 2 は、ゲート配線 G 1、G 2 と交差する位置において、第 1 方向 X における幅が大きく形成され分岐したゲート配線 G 1、G 2 と対向して遮光している。

【 0 0 2 2 】

スイッチング素子 S W は、図示した例では、ゲート配線 G 2 及びソース配線 S 1 に電氣的に接続されている。スイッチング素子 S W は、ゲート配線 G 2 とソース配線 S 1 との交点に設けられ、ドレイン配線 E D はゲート配線 G 2 と交差してソース配線 S 1 及び補助容量線 C 1 に沿って延長されている。ドレイン配線 E D は、補助容量線 C 1 の幹部 S T M と重なる領域に形成されたコンタクトホール C H 1、C H 2 において、コンタクト電極 E C を介して画素電極 P E と電氣的に接続されている。ドレイン配線 E D とコンタクト電極 E C とが接続するコンタクトホール C H 1 が形成された位置では補助容量線 C 1 が一部除去されている。ドレイン配線 E D はコンタクトホール C H 1 においてコンタクト電極 E C と電氣的に接続し、コンタクト電極 E C はコンタクトホール C H 2 において画素電極 P E と電氣的に接続している。

【 0 0 2 3 】

スイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

【 0 0 2 4 】

すなわち、スイッチング素子 S W のドレイン配線 E D の一端はゲート配線 G 2 より下側でコンタクトホール C H 3 においてソース配線 S 1 と電氣的に接続している。ドレイン配線 E D は、ソース配線 S 1 に沿って延びてゲート配線 G 2 と交差し、補助容量線 C 1 の下層へ延び、補助容量線 C 1 の枝部 B R C および幹部 S T M と対向するように広がっている。ドレイン配線 E D は、ポリシリコンによって形成され、ソース配線 S 1 に沿って補助容量線 C 1 の枝部 B R C と対向して延びるとともに、補助容量線 C 1 の幹部 S T M と対向してソース配線 S 1 の左右に延びている。補助容量線 C 1 とドレイン配線 E D とが対向する領域において補助容量 C S が形成される。

【 0 0 2 5 】

補助容量線 C 1 をソース配線 S 1 及びソース配線 S 2 に沿って分岐する事で、補助容量線 C 1 の枝部 B R C とドレイン配線 E D とが対向する領域に補助容量 C S を形成することができるので、第 1 方向 X に延びる補助容量線 C 1 の幹部 S T M の第 2 方向 Y における幅を小さくすることができる。このように補助容量線 C 1 の枝部 B R C 及び幹部 S T M とドレイン配線 E D が対向する領域で十分な補助容量 C S を確保することができる。なお、補助容量線 C 1 の幹部 S T M の第 2 方向 Y における幅は、画素電極 P E とスイッチング素子 S W のドレイン配線 E D とを接続するコンタクトホール C H 1、C H 2 を設けるために必要な最小限の寸法があればよい。

【 0 0 2 6 】

画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及びコンタクト部 P C を備えている。主画素電極 P A は、コンタクト部 P C から画素 P X の上側端部付近及び下側端部付近まで第 2 方向 Y に沿って直線的に延びている。主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。コンタクト部 P C は、補助容量線 C 1 と重なる領域に位置し、コンタクトホール C H 1、C H 2 を介してスイッチング素子 S W と電氣的に接続されている。コンタクト部 P C は、主画素電極 P A よりも幅広に形成されている。コンタクト部 P C の第 1 方向 X 及び第 2 方向 Y における幅は、コンタクトホール C H 1、C H 2 により画素電極 P E とスイッチング素子とを接続するために必要な最小限の寸法があればよい。

【 0 0 2 7 】

画素電極 P E は、ソース配線 S 1 とソース配線 S 2 との略中間の位置、つまり、画素 P X の中央に配置されている。ソース配線 S 1 と画素電極 P E との第 1 方向 X に沿った間隔は、ソース配線 S 2 と画素電極 P E との第 1 方向 X に沿った間隔と略同等である。

【 0 0 2 8 】

本実施形態では、補助容量線 C 1 の枝部 B R C はソース配線 S 1 及びソース配線 S 2 に沿って分岐しているため、補助容量線 C 1 の幹部 S T M の第 2 方向 Y における幅は、コンタクトホール C H 1、C H 2 を設けるために必要な最小の幅となっている。従って、画素電極 P E とコンタクト部 P C とが重なる領域の第 2 方向 Y における幅も小さくすることができ、この小さくできた分だけ、主画素電極 P A の第 2 方向 Y における幅 D 1 を大きくすることができる。

10

【 0 0 2 9 】

共通電極 C E は、主共通電極 C A を備えている。この主共通電極 C A は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と略平行な第 2 方向 Y に沿って直線的に延びている。あるいは、主共通電極 C A は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A と略平行に延びている。このような主共通電極 C A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 3 0 】

図示した例では、主共通電極 C A は、第 1 方向 X に沿って 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの主共通電極 C A を区別するために、図中の左側の主共通電極を C A L と称し、図中の右側の主共通電極を C A R と称する。主共通電極 C A L はソース配線 S 1 と対向し、主共通電極 C A R はソース配線 S 2 と対向している。第 1 方向 X における主共通電極 C A L の幅はソース配線 S 1 の幅よりも大きく、第 1 方向 X における主共通電極 C A R の幅はソース配線 S 2 の幅よりも大きい。本実施形態では、第 1 方向 X における主共通電極 C A L 及び主共通電極 C A R の幅は、補助容量線 C 1 の枝部 B R C の幅及びドレイン配線 E D の幅と略同一である。主共通電極 C A L 及び主共通電極 C A R は、アクティブエリア内あるいはアクティブエリア外において互いに電氣的に接続されている。

20

【 0 0 3 1 】

画素 P X において、主共通電極 C A L は左側端部に配置され、主共通電極 C A R は右側端部に配置されている。厳密には、主共通電極 C A L は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、主共通電極 C A R は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

30

【 0 0 3 2 】

画素電極 P E と主共通電極 C A との位置関係に着目すると、画素電極 P E と主共通電極 C A とは、第 1 方向 X に沿って交互に配置されている。これらの画素電極 P E と主共通電極 C A とは、互いに略平行に配置されている。このとき、X - Y 平面内において、主共通電極 C A のいずれも画素電極 P E とは重ならない。

【 0 0 3 3 】

すなわち、隣接する主共通電極 C A L 及び主共通電極 C A R の間には、1 本の画素電極 P E が位置している。換言すると、主共通電極 C A L 及び主共通電極 C A R は、画素電極 P E の直上の位置を挟んだ両側に配置されている。あるいは、画素電極 P E は、主共通電極 C A L と主共通電極 C A R との間に配置されている。このため、主共通電極 C A L、主画素電極 P A、及び、主共通電極 C A R は、第 1 方向 X に沿ってこの順に配置されている。

40

【 0 0 3 4 】

これらの画素電極 P E と共通電極 C E との第 1 方向 X に沿った間隔は略一定である。すなわち、主共通電極 C A L と主画素電極 P A との第 1 方向 X に沿った間隔は、主共通電極 C A R と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。本実施形態では、主共通電極 C A と主画素電極 P A との第 1 方向 X に沿った間隔、つまり、X - Y 平面内において、主画素電極 P A 及び主共通電極 C A の互いに向かい合うエッジ間の第 1 方向 X に

50

沿った距離は、水平電極間距離 D_2 と称する。

【0035】

図3は、図2に示した液晶表示パネルLPNをIII-III線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【0036】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。バックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

10

【0037】

アレイ基板ARは、光透過性を有する第1絶縁基板10を用いて形成されている。ドレイン配線EDは、第1絶縁基板10上に形成され、第1層間絶縁膜11によって覆われている。補助容量線C1は、第1層間絶縁膜11上に形成され、第2層間絶縁膜12によって覆われている。ソース配線Sは、第2層間絶縁膜12上に形成され、第3層間絶縁膜13によって覆われている。なお、図示しないゲート配線は、例えば、補助容量線C1と同層に配置されている。画素電極PEは、第3層間絶縁膜13上に形成されている。画素電極PEは、隣接するソース配線Sのそれぞれの直上の位置よりもそれらの内側に位置している。

【0038】

第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第1配向膜AL1は、画素電極PEなどを覆っており、第2層間絶縁膜12の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

20

【0039】

なお、アレイ基板ARは、さらに、共通電極CEの一部を備えていても良い。本実施形態では、第3層間絶縁膜13上に、ゲート配線Gと対向するように共通電極CEの一部である第1シールドSL1が配置され、ソース配線Sと対向する(あるいは主共通電極CAと対向する)ように共通電極CEの一部である第2シールド(第2共通電極)SL2が配置されている。

30

【0040】

第1シールドSL1は、主共通電極CAと交差する方向に延び、しかも、主共通電極CAと同電位である。このような第1シールドSL1を設けたことにより、ゲート配線Gや補助容量線Cからの不所望な電界をシールドすることが可能である。第2シールドSL2は、主共通電極CAと略平行に延び、しかも、主共通電極CAと同電位である。このような第2シールドSL2を設けることにより、ソース配線Sからの不所望な電界をシールドすることが可能である。第1シールドSL1や第2シールドSL2を備えた構成によれば、更なる表示品位の劣化を抑制することが可能となる。

【0041】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対向基板CTは、ブラックマトリクスBM、カラーフィルタCF、オーバーコート層OC、共通電極CE、第2配向膜AL2などを備えている。

40

【0042】

ブラックマトリクスBMは、各画素PXを区画し、画素電極PEと対向する開口部APを形成する。すなわち、ブラックマトリクスBMは、ソース配線S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクスBMは、第2方向Yに沿って延びた部分のみが図示されているが、第1方向Xに沿って延びた部分を備えていても良い。このブラックマトリクスBMは、第2絶縁基板20のアレイ基板ARに対向する内面20Aに配置されている。

【0043】

50

カラーフィルタCFは、各画素PXに対応して配置されている。すなわち、カラーフィルタCFは、第2絶縁基板20の内面20Aにおける開口部APに配置されるとともに、その一部がブラックマトリクスBMに乗り上げている。第1方向Xに隣接する画素PXにそれぞれ配置されたカラーフィルタCFは、互いに色が異なる。例えば、カラーフィルタCFは、赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタCFRは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタCFBは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタCFGは、緑色画素に対応して配置されている。これらのカラーフィルタCF同士境界は、ブラックマトリクスBMと重なる位置にある。

10

【0044】

オーバーコート層OCは、カラーフィルタCFを覆っている。このオーバーコート層OCは、カラーフィルタCFの表面の凹凸の影響を緩和する。

【0045】

共通電極CEは、オーバーコート層OCのアレイ基板ARと対向する側に形成されている。共通電極CEと画素電極PEとの第3方向Zに沿った間隔は略一定である。第3方向Zとは、第1方向X及び第2方向Yに直交する方向、あるいは、液晶表示パネルLPNの法線方向である。

【0046】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第2配向膜AL2は、共通電極CE及びオーバーコート層OCなどを覆っている。このような第2配向膜AL2は、水平配向性を示す材料によって形成されている。

20

【0047】

これらの第1配向膜AL1及び第2配向膜AL2には、液晶層LQの液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向PD1、及び、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第1配向処理方向PD1及び第2配向処理方向PD2は、図2に示したように、第2方向Yと略平行であって、同じ向きである。

30

【0048】

上述したようなアレイ基板ARと対向基板CTとは、それぞれの第1配向膜AL1及び第2配向膜AL2が対向するように配置されている。このとき、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば2～7μmのセルギャップが形成される。アレイ基板ARと対向基板CTとは、所定のセルギャップが形成された状態で、アクティブエリアACTの外側のシール材SBによって貼り合わせられている。

【0049】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。このような液晶層LQは、例えば、誘電率異方性が正（ボジ型）の液晶材料によって構成されている。

40

【0050】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。

50

【0051】

対向基板CTの外面、つまり、対向基板CTを構成する第2絶縁基板20の外面20Bには、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。この第2光学素子OD2は、第2偏光軸（あるいは第2吸収軸）AX2を有する第2偏光板PL2を含んでいる。

【0052】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第1配向処理方向PD1あるいは第2配向処理方向PD2と平行または直交するように配置されている。初期配向方向が第2方向Yと平行である場合、一方の偏光板の偏光軸は、第2方向Xと平行、あるいは、第1方向Xと平行である。

10

【0053】

図2において、(a)で示した例では、第1偏光板PL1は、その第1偏光軸AX1が液晶分子LMの初期配向方向（第2方向Y）に対して直交する（つまり、第1方向Xに平行となる）ように配置され、また、第2偏光板PL2は、その第2偏光軸AX2が液晶分子LMの初期配向方向に対して平行となる（つまり、第2方向Yと平行となる）ように配置されている。

【0054】

また、図2において、(b)で示した例では、第2偏光板PL2は、その第2偏光軸AX2が液晶分子LMの初期配向方向（第2方向Y）に対して直交する（つまり、第1方向Xに平行となる）ように配置され、また、第1偏光板PL1は、その第1偏光軸AX1が液晶分子LMの初期配向方向に対して平行となる（つまり、第2方向Yと平行となる）ように配置されている。

20

【0055】

次に、上記構成の液晶表示パネルLPNの動作について、図2及び図3を参照しながら説明する。

【0056】

すなわち、液晶層LQに電圧が印加されていない状態、つまり、画素電極PEと共通電極CEとの間に電位差（あるいは電界）が形成されていない状態（OFF時）には、液晶層LQの液晶分子LMは、その長軸が第1配向膜AL1の第1配向処理方向PD1及び第2配向膜AL2の第2配向処理方向PD2を向くように配向している。このようなOFF時が初期配向状態に相当し、OFF時の液晶分子LMの配向方向が初期配向方向に相当する。

30

【0057】

なお、厳密には、液晶分子LMは、X-Y平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子LMの初期配向方向とは、OFF時の液晶分子LMの長軸をX-Y平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子LMは、X-Y平面に平行に配向しているものとし、X-Y平面と平行な面内で回転するものとして説明する。

40

【0058】

ここでは、第1配向処理方向PD1及び第2配向処理方向PD2は、ともに第2方向Yと略平行な方向である。OFF時においては、液晶分子LMは、図2に破線で示したように、その長軸が第2方向Yと略平行な方向に初期配向する。つまり、液晶分子LMの初期配向方向は、第2方向Yと平行（あるいは、第2方向Yに対して0°）である。

【0059】

図示した例のように、第1配向処理方向PD1及び第2配向処理方向PD2が平行且つ同じ向きである場合、液晶層LQの断面において、液晶分子LMは、液晶層LQの中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第1配向膜AL1の

50

近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。

【 0 0 6 0 】

ここで、第 1 配向膜 A L 1 を第 1 配向処理方向 P D 1 に配向処理した結果、第 1 配向膜 A L 1 の近傍における液晶分子 L M は第 1 配向処理方向 P D 1 に初期配向され、第 2 配向膜 A L 2 を第 2 配向処理方向 P D 2 に配向処理した結果、第 2 配向膜 A L 2 の近傍における液晶分子 L M は第 2 配向処理方向 P D 1 に初期配向される。そして、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 は互いに平行で且つ同じ向きである場合には、上述のように液晶分子 L M はスプレイ配向になり、上記したように液晶層 L Q の中間部を境界として、アレイ基板 A R 上の第 1 配向膜 A L 1 の近傍での液晶分子 L M の配向と対向基板 C T 上の第 2 配向膜 A L 2 の近傍での液晶分子 L M の配向は、上下で対称となる。このため、基板の法線方向から傾いた方向においても光学的に補償される。したがって、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

10

【 0 0 6 1 】

なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行且つ逆向きである場合、液晶層 L Q の断面において、液晶分子 L M は、第 1 配向膜 A L 1 の近傍、第 2 配向膜 A L 2 の近傍、及び、液晶層 L Q の中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

20

【 0 0 6 2 】

バックライト 4 からのバックライト光は、その一部が第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態によって異なる。O F F 時には、液晶層 L Q を通過した光は、第 2 偏光板 P L 2 によって吸収される（黒表示）。

【 0 0 6 3 】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成された状態（O N 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、電界の影響を受け、その長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。

30

【 0 0 6 4 】

図 2 に示した例では、画素電極 P E と主共通電極 C A L との間の領域内の液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し図中の左下を向くように配向する。画素電極 P E と主共通電極 C A R との間の領域内の液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し図中の右下を向くように配向する。

【 0 0 6 5 】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、画素電極 P E と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

40

【 0 0 6 6 】

このような O N 時には、バックライト 4 から液晶表示パネル L P N に入射したバックライト光は、その一部が第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶層 L Q に入射したバックライト光は、その偏光状態が変化する。このような O N 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【 0 0 6 7 】

O F F 状態では、液晶分子 L M は、第 2 方向 Y に略平行な方向に初期配向している。画素電極 P E と共通電極 C E との間に電位差が形成された O N 状態では、液晶分子 L M のダ

50

イレクタ（あるいは液晶分子LMの長軸方向）が、X-Y平面内で、第1偏光板PL1の第1偏光軸AX1及び第2偏光板PL2の第2偏光軸AX2に対して概ね45°ずれた状態となったときに、液晶の光学的な変調率が最も高くなる（つまり、開口部での透過率が最大となる）。

【0068】

図示した例では、第1方向Xが0°—180°の方位として、ON状態となったとき、主共通電極CALと画素電極PEとの間の液晶分子LMのダイレクタはX-Y平面内で45°-225°の方位と略平行となり、主共通電極CARと画素電極PEとの間の液晶分子LMのダイレクタはX-Y平面内で135°-315°の方位と略平行となり、ピーク透過率が得られる。このとき、一画素あたりの透過率分布に着目すると、画素電極PE上及び共通電極CE上においては透過率が略ゼロとなる一方で、画素電極PEと共通電極CEとの間の電極間隙では、略全域に亘って高い透過率が得られる。

10

【0069】

なお、ソース配線S1の直上に位置する主共通電極CAL及びソース配線S2の直上に位置する主共通電極CARは、それぞれブラックマトリクスBMと対向しているが、これらの主共通電極CAL及び主共通電極CARは、ともにブラックマトリクスBMの第1方向Xに沿った幅と同等以下の幅を有しており、ブラックマトリクスBMと重なる位置よりも画素電極PEの側に延在していない。このため、一画素あたり、表示に寄与する開口部は、ブラックマトリクスBMの間もしくはソース配線S1とソース配線S2との間の領域のうち、画素電極PEと主共通電極CAL及び主共通電極CARとの間の領域に相当する。

20

【0070】

上記のように、本実施形態では補助容量線Cはソース配線Sに沿って分岐し、補助容量線Cの幹部STMの第2方向Yにおける幅は、コンタクトホールCH1、CH2を設けるために必要な最小の幅となっている。従って、画素電極PEのコンタクト部PCの第2方向Yにおける幅も小さくすることができ、主画素電極PAの第2方向Yにおける幅D1を大きくすることができる。

【0071】

図6は、比較例の液晶表示装置の液晶表示パネルを対向基板側から見たときの一画素PXの構造例を概略的に示す平面図である。なお、以下の説明において、上述の第1実施形態と同様の構成については同一の符号を付して説明を省略する。

30

【0072】

この例では、補助容量線C1は枝部BRCを備えていない。すなわち、補助容量線C1は、ゲート配線G1とゲート配線G2との間において、第1方向Xに延びている。

【0073】

スイッチング素子SWのドレイン配線EDは、ゲート配線G2と交差してソース配線S1に沿って補助容量線C1の下層まで延び、補助容量線C1の下層において補助容量線C1と対向するように第1方向Xに広がっている。

【0074】

主共通電極CAは、第1方向Xにおける画素電極PEの両脇において、第2配線Yと略平行に延びている。本比較例においても第1実施形態と同様に、図中の左側の主共通電極をCALと称し、図中の右側の主共通電極をCARと称する。主共通電極CALはソース配線S1と対向し、主共通電極CARはソース配線S2と対向している。主共通電極CAの第1方向Xにおける幅はソース配線S1、S2の幅よりも大きい。

40

【0075】

図7は、図6に示した液晶表示パネルをVII-VII線で切断したときの断面構造を概略的に示す断面図である。

【0076】

本比較例の液晶表示装置では、図7に示すように、ソース配線Sからの漏れ電界が液晶分子LMの配向状態に影響を及ぼしてクロストークが発生することがあった。本比較例で

50

は、ソース配線 S の直上にシールド層 S L 2 を配置して、ソース配線 S からの漏れ電界を抑制している。しかし、シールド層 S L 2 の効果を十分に得るためにはソース配線 S の第 1 方向 X における幅を大きくする必要があった。しかしながら、シールド層 S L 2 の第 1 方向 X における幅を大きくすると、透過率が低下し、表示品位が低下することがあった。

【 0 0 7 7 】

これに対し、上述の第 1 実施形態の液晶表示装置では、シールド層 S L 2 の第 1 方向 X における幅を大きくして、ソース配線 S からの漏れ電界が液晶分子 L M の配向状態に影響を及ぼすことを抑制してクロストークを回避するとともに、シールド層 S L 2 の下層において補助容量線 C とドレイン配線 E D とを対向させることにより補助容量を形成して補助容量線 C の幹部 S T M の第 2 方向 Y における幅を小さくしている。

10

【 0 0 7 8 】

こうする事により、水平電極間距離 D 2 は小さくなるが、主画素電極長 D 1 は大きくすることができる。具体的には、第 1 実施形態の液晶表示装置における主画素電極長 D 1 は、比較例の液晶表示装置における主画素電極長 D 1 よりも其々約 $3 \mu m$ (画素上部分と下部分とを合わせて $6 \mu m$) 大きくすることができる。

【 0 0 7 9 】

水平電極間距離 D 2 が小さくなることにより減少する開口部面積と、主画素電極長 D 1 が大きくなることにより増加する開口部面積とは略等しいため開口部の面積は略同じであるが、一般に開口部の中央における透過率が高く端部に近づくとも透過率が低くなるため、比較例と比べて透過率を高くすることができる。すなわち、第 1 実施形態の液晶表示装置において開口率的な改善は無いが、液晶配向の均一性が改善し、液晶層 L Q の光の変調率を向上することができる。第 1 実施形態の液晶表示装置の透過率は、比較例の液晶表示装置の透過率の 1.07 倍に改善することができた。

20

【 0 0 8 0 】

このような本実施形態によれば、透過率の低下を抑制することが可能となる。これにより、表示品位の劣化を抑制することが可能となる。

【 0 0 8 1 】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する(つまり、画素 P X の略中央に配置された画素電極 P E に対して主共通電極 C A の配置位置を変更する)ことで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

30

【 0 0 8 2 】

また、本実施形態によれば、ブラックマトリクス B M と重なる領域での透過率分布に着目すると、透過率が十分に低下している。これは、共通電極 C E の位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクス B M を挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクス B M と重なる領域の液晶分子が O F F 時(あるいは黒表示時)と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

40

【 0 0 8 3 】

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟んだ両側の共通電極 C E との水平電極間距離 D 2 に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R

50

と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0084】

また、本実施形態によれば、主共通電極 C A は、それぞれソース配線 S と対向している。特に、主共通電極 C A L 及び主共通電極 C A R がそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置されている場合には、主共通電極 C A L 及び主共通電極 C A R がソース配線 S 1 及びソース配線 S 2 よりも画素電極 P E 側に配置された場合と比較して、開口部 A P を拡大することができ、画素 P X の透過率を向上することが可能となる。

10

【0085】

また、主共通電極 C A L 及び主共通電極 C A R をそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置することによって、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である IPS モード等の利点である広視野角化も維持することが可能となる。

【0086】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

20

【0087】

なお、上記の例では、液晶分子 L M の初期配向方向が第 2 方向 Y と平行である場合について説明したが、液晶分子 L M の初期配向方向は、図 2 に示したように、第 2 方向 Y を斜めに交差する斜め方向 D であっても良い。ここで、第 2 方向 Y に対する初期配向方向 D のなす角度 $\theta 1$ は、 0° より大きく 45° より小さい角度である。なお、このなす角度 $\theta 1$ については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子 L M の配向制御の観点で極めて有効である。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y に対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

【0088】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 $\theta 1$ が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

30

【0089】

なお、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、OFF 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

40

【0090】

次に、第 2 実施形態の液晶表示装置について図面を参照して詳細に説明する。

【0091】

図 4 は、図 1 に示した液晶表示パネル L P N を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

本実施形態では、上述の第 1 実施形態と比較して画素電極 P E 及び共通電極 C E の構成が異なっている。以下では、第 1 実施形態の液晶表示装置と異なる構成について主に説明

50

し、第1実施形態の液晶表示装置と同様の構成についての説明は省略する。

【0092】

画素電極PEは、ソース配線S1とソース配線S2との間であって、ゲート配線G1とゲート配線G2との間に配置されている。画素電極PEは、コンタクト部PCと、コンタクト部PCから第2方向Yに沿って延びた主画素電極PAとを備えている。

【0093】

コンタクト部PCは、補助容量線C1が延びる方向に沿って、補助容量線C1と対向する位置に配置されている。コンタクト部PCは、コンタクトホールCH1、CH2により、コンタクト電極ECを介してドレイン配線EDと電氣的に接続されている。コンタクト部PCの第2方向Yにおける幅は、画素電極PEとスイッチング素子SWとを接続するコンタクトホールCH1、CH2を設けるために必要な最小限の寸法があればよい。

10

【0094】

主画素電極PAは、第1方向Xにおける画素PXの端部近傍において、第2方向Yに延びている。すなわち、主画素電極PAは、ソース配線S1近傍において第2方向Yに延びた主画素電極PALと、ソース配線S2近傍において第2方向Yに延びた主画素電極PARと、を備えている。主画素電極PALは、第1方向Xにおけるコンタクト部PCの一端から第2方向Yに沿って延びている。主画素電極PARは、第1方向におけるコンタクト部PCの他端から第2方向Yに沿って延びている。換言すると、主画素電極PALと主画素電極PARとは、これらの間に延びるコンタクト部PCにより互いに電氣的に接続している。

20

【0095】

ソース配線S1の下層に配置された補助容量線C1の枝部BRCは、ソース配線S1の近傍に配置された主画素電極PAR及び主画素電極PALの一部と対向している。

【0096】

共通電極CEは、主共通電極CAと副共通電極CBと第3シールドCCとを備えている。主共通電極CA、副共通電極(第3共通電極)CB及び第3シールドCCは、一体的あるいは連続的に形成されている。

【0097】

主共通電極CAは、主画素電極PARと主画素電極PALとの間においてコンタクト部PCと対向して第2方向Yに延びている。図示した例では、第1方向Xにおける主共通電極CAと主画素電極PALとの距離と、主共通電極CAと主画素電極PARとの距離は略等しい。

30

【0098】

副共通電極CBは、第2方向Yにおいて画素電極PEを挟んで第1方向Xに延びている。副共通電極CBは、ゲート配線Gの各々と対向している。図示した例では、副共通電極CBは第1方向Xに沿って2本平行に並んでおり、以下では、これらを区別するために、図中の上側の第1副共通電極をCBUと称し、図中の下側の第1副共通電極をCBBと称する。副共通電極CBUは、画素PXの上側端部に配置され、ゲート配線G1と対向している。つまり、副共通電極CBUは、当該画素PXとその上側に隣接する画素との境界に跨って配置されている。また、副共通電極CBBは、画素PXの下側端部に配置され、ゲート配線G2と対向している。つまり、副共通電極CBBは、当該画素PXとその下側に隣接する画素との境界に跨って配置されている。

40

【0099】

第3シールドCCは、第1方向Xにおいて画素電極PEを挟んで第2方向Yに延びている。第3シールドCCは、ソース配線Sの各々と対向している。図示した例では、第1副共通電極CCは第2方向Yに沿って2本平行に並んでいる。これらの第3シールドCCは、第1方向Xにおいて隣接する画素の境界に跨って配置されている。

【0100】

画素電極PEと共通電極CEとの位置関係に着目すると、隣り合う画素PXの主画素電極PAR及び主画素電極PALと主共通電極CAとは第1方向Xに沿って交互に配置され

50

、コンタクト部 P C と副共通電極 C B とは第 2 方向 Y に沿って交互に配置されている。すなわち、隣接する主共通電極 C A 間には、1 対の主画素電極 P A L と主画素電極 P A R とが位置し、第 1 方向 X に沿って主画素電極 P A L 、主共通電極 C A 、及び、主画素電極 P A R の順に並んでいる。第 3 シールド C C は、主共通電極 C A 間に配置された一対の主画素電極 P A L と主画素電極 P A R の間に配置されている。また、隣接する副共通電極 C B B 及び副共通電極 C B U の間には、1 本のコンタクト部 P C が位置し、第 2 方向 Y に沿って副共通電極 C B B 、コンタクト部 P C 、及び、副共通電極 C B U の順に並んでいる。

【0101】

図 5 は、図 4 に示した液晶表示パネルを V - V 線で切断したときの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

10

【0102】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。

【0103】

ドレイン配線 E D は、第 1 絶縁基板 1 0 上に形成され、第 1 層間絶縁膜 1 1 によって覆われている。補助容量線 C 1 は、第 1 層間絶縁膜 1 1 上に形成され、第 2 層間絶縁膜 1 2 によって覆われている。ソース配線 S は、第 2 層間絶縁膜 1 2 上に形成され、第 3 層間絶縁膜 1 3 によって覆われている。なお、図示しないゲート配線は、例えば、補助容量線 C 1 と同層に配置されている。

【0104】

20

画素電極 P E は、第 3 層間絶縁膜 1 3 上に形成されている。画素電極 P E は、隣接するソース配線 S のそれぞれの直上の位置よりもそれらの内側に位置している。すなわち、主画素電極 P A L はソース配線 S 1 の近傍に配置され、主画素電極 P A R はソース配線 S 2 の近傍に配置されている。主画素電極 P A L 及び主画素電極 P A R は、補助容量線 C 1 と対向する位置に配置されている。

【0105】

第 1 配向膜 A L 1 は、アレイ基板 A R の対向基板 C T と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。第 1 配向膜 A L 1 は、水平配向性を示す材料によって形成されている。

【0106】

30

なお、アレイ基板 A R は、さらに、共通電極 C E の一部を備えていても良い。本実施形態では、第 3 層間絶縁膜 1 3 上に、ゲート配線 G と対向するように共通電極 C E の一部である第 1 シールド S L 1 (図 4 に示す) が配置されている。

【0107】

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、ブラックマトリクス B M 、カラーフィルタ C F 、オーバーコート層 O C 、共通電極 C E 、第 2 配向膜 A L 2 などを用意している。

【0108】

ブラックマトリクス B M は、各画素 P X を区画し、画素電極 P E と対向する開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S 、ゲート配線、補助容量線、スイッチング素子などの配線部と、主画素電極 P A L 及び主画素電極 P A R とに対向するように配置されている。ここでは、ブラックマトリクス B M は、第 2 方向 Y に沿って延びた部分のみが図示されているが、第 1 方向 X に沿って延びた部分を備えていても良い。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

40

【0109】

共通電極 C E は、オーバーコート層 O C のアレイ基板 A R と対向する側に形成されている。共通電極 C E と画素電極 P E との第 3 方向 Z に沿った間隔は略一定である。第 3 方向 Z とは、第 1 方向 X 及び第 2 方向 Y に直交する方向、あるいは、液晶表示パネル L P N の法線方向である。

50

【0110】

第2配向膜AL2は、対向基板CTのアレイ基板ARと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。第2配向膜AL2は、水平配向性を示す材料によって形成されている。

【0111】

第1配向膜AL1及び第2配向膜AL2には、液晶層LQの液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第1配向膜AL1が液晶分子を初期配向させる第1配向処理方向PD1、及び、第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2は、互いに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第1配向処理方向PD1及び第2配向処理方向PD2は、図2に示したように、第2方向Yと略平行であって、同じ向きである。

10

【0112】

このような構造例によれば、OFF時において第2方向Yに初期配向していた液晶分子LMは、ON時に画素電極PEと共通電極CEとの間に形成される電界の影響を受け、その長軸が図中の実線で示したようにX-Y平面と略平行な平面内で回転する。

【0113】

主画素電極PAL、コンタクト部PC、主共通電極CA、及び、副共通電極CBBで囲まれた領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、図中の右下を向くように配向する。画素電極PAR、コンタクト部PC、主共通電極CA、及び、副共通電極CBBで囲まれた領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、図中の左下を向くように配向する。主画素電極PAL、コンタクト部PC、主共通電極CA、及び、副共通電極CBUで囲まれた領域内の液晶分子LMは、第2方向Yに対して時計回りに回転し、図中の右上を向くように配向する。主画素電極PAR、コンタクト部PC、主共通電極CA、及び、副共通電極CBUで囲まれた領域内の液晶分子LMは、第2方向Yに対して反時計回りに回転し、図中の左上を向くように配向する。

20

【0114】

このように、各画素PXにおいて、画素電極PEと共通電極CEとの間に電界が形成された状態では、図2に示した例よりも多くのドメインを形成することが可能となり、視野角を拡大することが可能となる。

【0115】

上述の第2実施形態の液晶表示装置では、ソース配線Sの近傍に主画素電極PAを配置することにより、ソース配線Sからの漏れ電界が液晶分子LMの配向状態に影響を及ぼすことを抑制してクロストークを回避している。すなわち、主画素電極PAはソース配線Sからの漏れ電界を遮蔽するシールドとしても作用している。さらに、本実施形態では、対向基板CTの第3シールドCCにより、第1方向Xにおいて隣接する画素間におけるクロストークを改善することができ、更なる表示品位の劣化を抑制することができる。

30

【0116】

また、本実施形態の液晶表示装置では、補助容量線Cをソース配線Sに沿って分岐してドレイン配線EDと対向させることによりソース配線Sに沿った補助容量を形成して補助容量線Cの幹部STMの第2方向Yにおける幅を小さくしている。こうする事により、第1実施形態と同様に、水平電極間距離D2は小さくなるが、主画素電極長D1は大きくすることができる。具体的には、第1実施形態の液晶表示装置における主画素電極長D1は、比較例の液晶表示装置における主画素電極長D1よりも其々約3 μ m（画素上部分と下部分とを合わせて6 μ m）大きくすることができる。

40

【0117】

水平電極間距離D2が小さくなることにより減少する開口部面積と、主画素電極長D1が大きくなることにより増加する開口部面積とは略等しいため開口部の面積は略同じであるが、一般に開口部の中央における透過率が高く端部に近づくとき透過率が低くなるため、比較例と比べて透過率を高くすることができる。すなわち、第1実施形態と同様に、液晶表示装置において開口率的な改善は無いが、液晶配向の均一性が改善し、液晶層LQの光

50

の変調率を向上することができる。なお、本実施形態の液晶表示装置の透過率は、比較例の液晶表示装置の透過率の1.07倍に改善することができた。

【0118】

このような本実施形態によれば、透過率の低下を抑制することが可能となる。これにより、表示品位の劣化を抑制することが可能となる。

【0119】

また、本実施形態の液晶表示装置では、ソース配線Sの上層に配置された主画素電極PAによりソース配線Sからの漏れ電界が遮蔽され、クロストークの発生を抑制することができる。さらに、ソース配線Sの上層にシールド層が配置されないため、ソース配線Sを駆動する際の負荷を軽減することができ、消費電力を低く抑えることができる。また、本実施形態の液晶表示装置はより高精細である場合でも適用することができる。

10

【0120】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【0121】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【符号の説明】

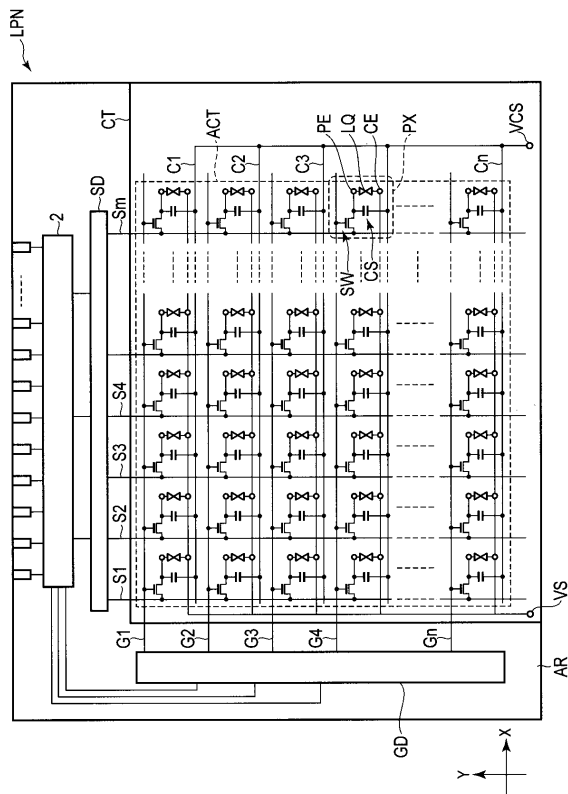
【0122】

LPN...液晶表示パネル、AR...アレイ基板、CT...対向基板、LQ...液晶層、ACT...アクティブエリア、PX...画素、S...ソース配線、G...ゲート配線、C...補助容量線、STM...幹部、BRC...枝部、X...第1方向、Y...第2方向、SW...スイッチング素子、ED...ドレイン配線、EC...コンタクト電極、PE...画素電極、PA、PAR、PAL...主画素電極、PC...コンタクト部、SL1...第1シールド、SL2...第2シールド(第2共通電極)、CE...共通電極、CA、CAR、CAL...主共通電極、CB、CBU、CBB...副共通電極(第3共通電極)、CC...第3シールド、CH1、CH2、CH3...コンタクトホールCH、AL1...第1配向膜、AL2...第2配向膜、D2...水平電極間距離、D1...主画素電極長、LM...液晶分子。

30

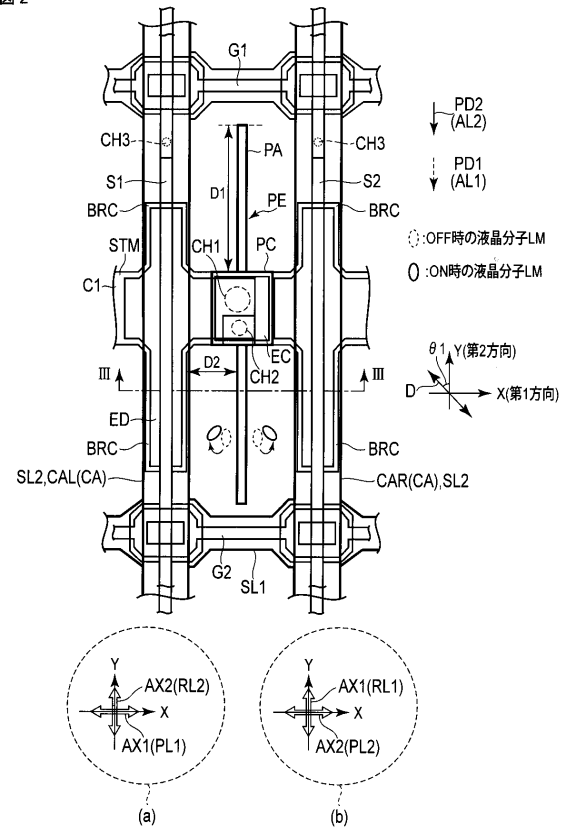
【図 1】

図 1



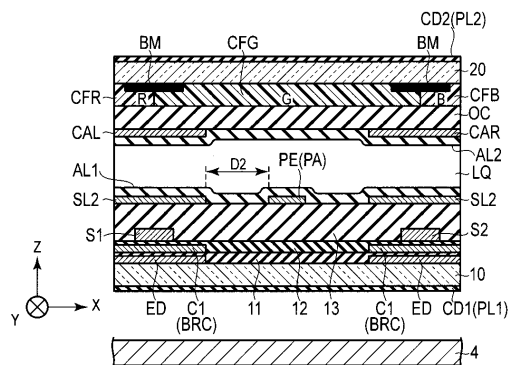
【図 2】

図 2



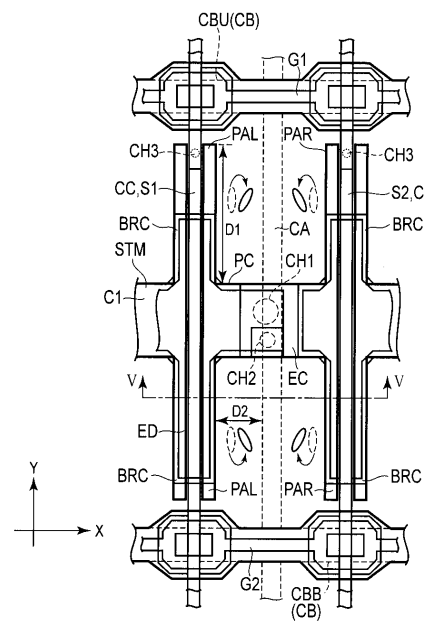
【図 3】

図 3



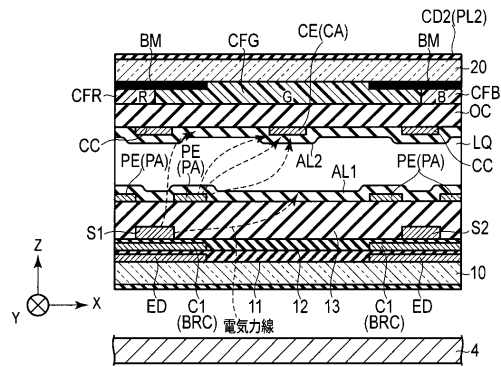
【図 4】

図 4



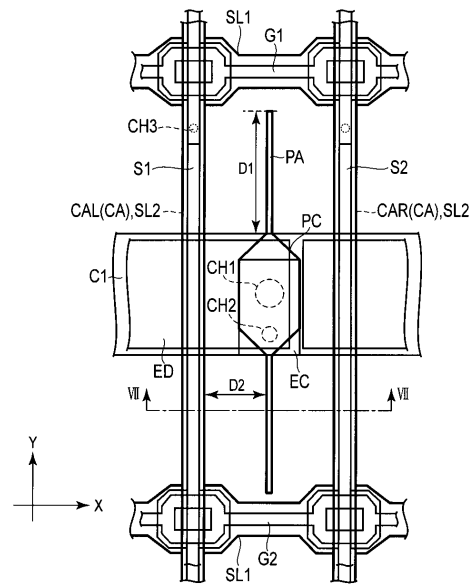
【 図 5 】

図 5



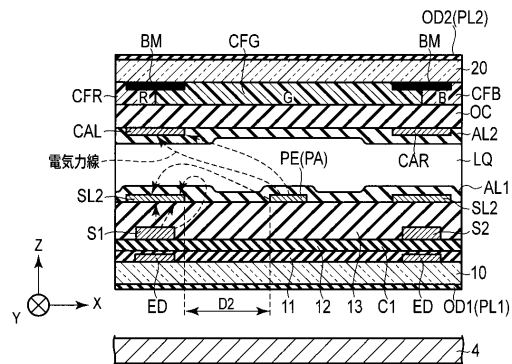
【 図 6 】

図 6



【 図 7 】

図 7



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎

(74)代理人 100103034
弁理士 野河 信久

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100172580
弁理士 赤穂 隆雄

(74)代理人 100179062
弁理士 井上 正

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 武田 有広
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

(72)発明者 廣澤 仁
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

(72)発明者 飯塚 哲也
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

(72)発明者 森本 浩和
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

F ターム(参考) 2H092 GA14 JA24 JA46 JB05 JB14 JB64 JB66 JB69 NA04 PA02
PA11 QA06
2H290 AA04 AA05 AA73 BA07 BB64 BB85 BC01 CA02 CA46

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013246291A	公开(公告)日	2013-12-09
申请号	JP2012119499	申请日	2012-05-25
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	武田有広 廣澤仁 飯塚哲也 森本浩和		
发明人	武田 有広 廣澤 仁 飯塚 哲也 森本 浩和		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1337		
CPC分类号	G02F1/134336 G02F1/133528 G02F1/1337 G02F1/134363 G02F1/136213 G02F1/136286 G02F1/1368 G02F2001/133531 G02F2001/134318 G02F2001/134381 G02F2001/136218 G02F2201/121		
FI分类号	G02F1/1368 G02F1/1343 G02F1/1337		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/JA46 2H092/JB05 2H092/JB14 2H092/JB64 2H092/JB66 2H092/JB69 2H092/NA04 2H092/PA02 2H092/PA11 2H092/QA06 2H290/AA04 2H290/AA05 2H290/AA73 2H290/BA07 2H290/BB64 2H290/BB85 2H290/BC01 2H290/CA02 2H290/CA46 2H192/AA24 2H192/BA32 2H192/BB04 2H192/BB54 2H192/BC31 2H192/CC17 2H192/DA12 2H192/DA13 2H192/DA52 2H192/EA22 2H192/EA43 2H192/EA56 2H192/GA03		
代理人(译)	中村誠 河野直樹 井上 正 岡田隆		
其他公开文献	JP5953120B2		
外部链接	Espacenet		

摘要(译)

阵列基板包括沿第一方向延伸的栅极线，沿与第一方向正交的第二方向延伸的源极线和具有沿第一方向延伸的主干部分以便与源极线交叉的辅助电容线和分支部分从主干部分分支并沿源线延伸。开关元件包括布置在辅助电容线下方的漏极线，以便面对主干部分和其分支部分。像素电极包括与像素线基本平行地延伸的主像素电极和与漏极线电连接的接触部分。对向基板包括一对主公共电极，所述主公共电极在夹着主像素电极的两侧基本上平行于主像素电极延伸。

图 1

