

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-3238

(P2012-3238A)

(43) 公開日 平成24年1月5日 (2012. 1. 5)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 622E	2H193
G09G 3/34 (2006.01)	G09G 3/20 624B	5C006
G09F 9/30 (2006.01)	G09G 3/20 623D	5C080
G09F 9/35 (2006.01)	G09G 3/20 621E	5C094

審査請求 未請求 請求項の数 8 O L (全 51 頁) 最終頁に続く

(21) 出願番号	特願2011-83272 (P2011-83272)	(71) 出願人	000153878
(22) 出願日	平成23年4月5日 (2011. 4. 5)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2010-90935 (P2010-90935)		神奈川県厚木市長谷398番地
(32) 優先日	平成22年4月9日 (2010. 4. 9)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-114435 (P2010-114435)		半導体エネルギー研究所内
(32) 優先日	平成22年5月18日 (2010. 5. 18)	(72) 発明者	三宅 博之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

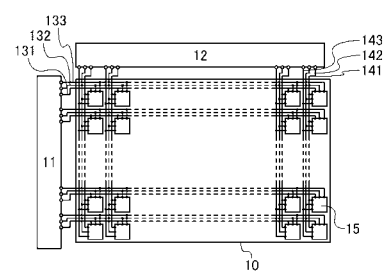
(57) 【要約】

【課題】 フィールドシーケンシャル方式によって表示を行う液晶表示装置などにおいて、設計の観点から画像信号の入力頻度の増加を図ること。

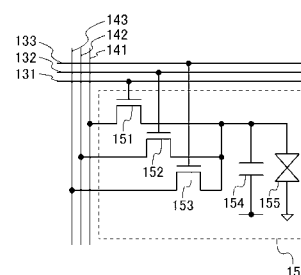
【解決手段】 液晶表示装置の画素部において、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給する。これにより、当該液晶表示装置が有するトランジスタなどの応答速度を変化させることなく、各画素に対する画像信号の入力頻度を増加させることが可能になる。

【選択図】 図1

(A)



(B)



【特許請求の範囲】

【請求項 1】

第 1 の信号線及び第 2 の信号線と、

第 1 の走査線、第 2 の走査線、第 3 の走査線、及び第 4 の走査線と、

第 1 の画素及び第 2 の画素と、

前記第 1 の走査線及び前記第 3 の走査線に選択信号を供給する機能を有する第 1 のシフトレジスタ、並びに前記第 2 の走査線及び前記第 4 の走査線に選択信号を供給する機能を有する第 2 のシフトレジスタと、を有し、

前記第 1 の画素は、ゲートが前記第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 1 のトランジスタと、ゲートが前記第 2 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 2 のトランジスタと、一方の電極が前記第 1 のトランジスタのソース及びドレインの他方並びに前記第 2 のトランジスタのソース及びドレインの他方に電氣的に接続された第 1 の液晶素子と、を有し、

前記第 2 の画素は、ゲートが前記第 3 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 3 のトランジスタと、ゲートが前記第 4 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 4 のトランジスタと、一方の電極が前記第 3 のトランジスタのソース及びドレインの他方並びに前記第 4 のトランジスタのソース及びドレインの他方に電氣的に接続された第 2 の液晶素子と、を有し、

前記第 1 の信号線は、第 1 のサンプリング期間に含まれる水平走査期間において第 1 の画像信号が供給され、且つ第 2 のサンプリング期間に含まれる水平走査期間において第 2 の画像信号が供給され、

第 2 の信号線は、前記第 1 のサンプリング期間に含まれる水平走査期間において第 3 の画像信号が供給され、且つ前記第 2 のサンプリング期間に含まれる水平走査期間において第 4 の画像信号が供給され、

前記第 1 のサンプリング期間に含まれる水平走査期間において、前記第 1 の走査線と前記第 4 の走査線に選択信号が供給され、且つ前記第 2 の走査線と前記第 3 の走査線に非選択信号が供給され、

前記第 2 のサンプリング期間に含まれる水平走査期間において、前記第 2 の走査線と前記第 3 の走査線に選択信号が供給され、且つ前記第 1 の走査線と前記第 4 の走査線に非選択信号が供給される液晶表示装置。

【請求項 2】

第 1 の信号線、第 2 の信号線、及び第 3 の信号線と、

第 1 の走査線、第 2 の走査線、第 3 の走査線、第 4 の走査線、第 5 の走査線、第 6 の走査線、第 7 の走査線、第 8 の走査線、及び第 9 の走査線と、

第 1 の画素、第 2 の画素、及び第 3 の画素と、

前記第 1 の走査線、前記第 4 の走査線、及び前記第 7 の走査線に選択信号を供給する機能を有する第 1 のシフトレジスタ、前記第 2 の走査線、前記第 5 の走査線、及び前記第 8 の走査線に選択信号を供給する機能を有する第 2 のシフトレジスタ、並びに、前記第 3 の走査線、前記第 6 の走査線、及び前記第 9 の走査線に選択信号を供給する機能を有する第 3 のシフトレジスタと、を有し、

前記第 1 の画素は、ゲートが前記第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 1 のトランジスタと、ゲートが前記第 2 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 2 のトランジスタと、ゲートが前記第 3 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 3 の信号線に電氣的に接続された第 3 のトランジスタと、一方の電極が前記第 1 のトランジスタのソース及びドレインの他方、前記第 2 のトランジスタのソース及びドレインの他方並びに前記第 3 のトランジスタのソース及びドレインの他方に電氣的に接続された第 1 の液晶素子と、を有し、

前記第 2 の画素は、ゲートが前記第 4 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 4 のトランジスタと、ゲートが前記第 5 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 5 のトランジスタと、ゲートが前記第 6 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 3 の信号線に電氣的に接続された第 6 のトランジスタと、一方の電極が前記第 4 のトランジスタのソース及びドレインの他方、前記第 5 のトランジスタのソース及びドレインの他方並びに前記第 6 のトランジスタのソース及びドレインの他方に電氣的に接続された第 2 の液晶素子と、を有し、

前記第 3 の画素は、ゲートが前記第 7 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 7 のトランジスタと、ゲートが前記第 8 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 2 の信号線に電氣的に接続された第 8 のトランジスタと、ゲートが前記第 9 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 3 の信号線に電氣的に接続された第 9 のトランジスタと、一方の電極が前記第 7 のトランジスタのソース及びドレインの他方、前記第 8 のトランジスタのソース及びドレインの他方並びに前記第 9 のトランジスタのソース及びドレインの他方に電氣的に接続された第 3 の液晶素子と、を有し、

前記第 1 の信号線は、第 1 のサンプリング期間に含まれる水平走査期間において第 1 の画像信号が供給され、且つ第 2 のサンプリング期間に含まれる水平走査期間において第 2 の画像信号が供給され、且つ第 3 のサンプリング期間に含まれる水平走査期間において第 3 の画像信号が供給され、

前記第 2 の信号線は、前記第 1 のサンプリング期間に含まれる水平走査期間において第 4 の画像信号が供給され、且つ前記第 2 のサンプリング期間に含まれる水平走査期間において第 5 の画像信号が供給され、且つ前記第 3 のサンプリング期間に含まれる水平走査期間において第 6 の画像信号が供給され、

第 3 の信号線は、前記第 1 のサンプリング期間に含まれる水平走査期間において第 7 の画像信号が供給され、且つ前記第 2 のサンプリング期間に含まれる水平走査期間において第 8 の画像信号が供給され、且つ前記第 3 のサンプリング期間に含まれる水平走査期間において第 9 の画像信号が供給され、

前記第 1 のサンプリング期間に含まれる水平走査期間において、前記第 1 の走査線、前記第 5 の走査線、及び前記第 9 の走査線に選択信号が供給され、且つ前記第 2 の走査線、前記第 3 の走査線、前記第 4 の走査線、前記第 6 の走査線、前記第 7 の走査線、及び前記第 8 の走査線に非選択信号が供給され、

前記第 2 のサンプリング期間に含まれる水平走査期間において、前記第 3 の走査線、前記第 4 の走査線、及び前記第 8 の走査線に選択信号が供給され、且つ前記第 1 の走査線、前記第 2 の走査線、前記第 5 の走査線、前記第 6 の走査線、前記第 7 の走査線、及び前記第 9 の走査線に非選択信号が供給され、

前記第 3 のサンプリング期間に含まれる水平走査期間において、前記第 2 の走査線、前記第 6 の走査線、及び前記第 7 の走査線に選択信号が供給され、且つ前記第 1 の走査線、前記第 3 の走査線、前記第 4 の走査線、前記第 5 の走査線、前記第 8 の走査線、及び前記第 9 の走査線に非選択信号が供給される液晶表示装置。

【請求項 3】

第 1 の信号線及び第 2 の信号線と、

第 1 の走査線及び第 2 の走査線と、

第 1 の画素及び第 2 の画素と、

前記第 1 の走査線に選択信号を供給する機能を有する第 1 のシフトレジスタ、及び前記第 2 の走査線に選択信号を供給する機能を有する第 2 のシフトレジスタと、を有し、

前記第 1 の画素は、ゲートが前記第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が前記第 1 の信号線に電氣的に接続された第 1 のトランジスタと、一方の電極が前記第 1 のトランジスタのソース及びドレインの他方に電氣的に接続された第 1 の液晶素子と、を有し、

10

20

30

40

50

前記第2の画素は、ゲートが前記第2の走査線に電氣的に接続され、ソース及びドレインの一方が前記第2の信号線に電氣的に接続された第2のトランジスタと、一方の電極が前記第2のトランジスタのソース及びドレインの他方に電氣的に接続された第2の液晶素子と、を有し、

前記第1の信号線は、第1のサンプリング期間に含まれる水平走査期間において第1の画像信号が供給され、且つ第2のサンプリング期間に含まれる水平走査期間において第2の画像信号が供給され、

前記第2の信号線は、前記第1のサンプリング期間に含まれる水平走査期間において第3の画像信号が供給され、且つ前記第2のサンプリング期間に含まれる水平走査期間において第4の画像信号が供給され、

前記第1のサンプリング期間に含まれる水平走査期間及び前記第2のサンプリング期間に含まれる水平走査期間において、前記第1の走査線及び前記第2の走査線に選択信号が供給される液晶表示装置。

【請求項4】

請求項1乃至請求項3のいずれか一項において、

前記第1のトランジスタ及び前記第2のトランジスタは、酸化物半導体によってチャンネル形成領域が構成される液晶表示装置。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記第1のシフトレジスタ及び前記第2のシフトレジスタが、酸化物半導体によってチャンネル形成領域が構成されるトランジスタを用いて構成される液晶表示装置。

【請求項6】

異なる色を呈する光を発光する複数の光源が順次発光し、且つ画素毎にそれぞれの色を呈する光の透過を制御することで画素部に画像を形成する液晶表示装置の駆動方法であって、

第1の走査線を起点として第 n の走査線（ n は、3以上の自然数）までに対して順次選択信号をシフトすることで1行目乃至 n 行目に配設された複数の画素に画像信号を入力し且つ第（ $n+1$ ）の走査線を起点として第 $2n$ の走査線までに対して順次選択信号をシフトすることで（ $n+1$ ）行目乃至 $2n$ 行目に配設された複数の画素に画像信号を入力するサンプリング期間内において、前記第1の走査線乃至第 k の走査線（ k は、2以上 n 未満の自然数）及び前記第（ $n+1$ ）の走査線乃至第（ $n+k$ ）の走査線に対する選択信号のシフトが終了した後に1行目乃至 k 行目用光源及び（ $n+1$ ）行目乃至（ $n+k$ ）行目用光源を発光させ、1行目乃至 k 行目に配設された複数の画素のそれぞれにおいて前記1行目乃至 k 行目用光源から発光される光の透過を制御し且つ（ $n+1$ ）行目乃至（ $n+k$ ）行目に配設された複数の画素のそれぞれにおいて前記（ $n+1$ ）行目乃至（ $n+k$ ）行目用光源から発光される光の透過を制御する液晶表示装置の駆動方法。

【請求項7】

酸化物半導体によってチャンネル形成領域が構成される第1のトランジスタ及び第2のトランジスタを有する画素がマトリクス状に配設された画素部に対して、異なる色を呈する光を発光する複数の光源が順次発光し、且つ前記画素毎にそれぞれの色を呈する光の透過を制御することで前記画素部に画像を形成する液晶表示装置の駆動方法であって、

第1の走査線を起点として第 n の走査線（ n は、3以上の自然数）までに対して順次選択信号をシフトすることで1行目乃至 n 行目に配設された複数の画素の各々に設けられた第1のトランジスタを介して前記1行目乃至 n 行目に配設された複数の画素の各々に画像信号を入力し且つ第（ $n+1$ ）の走査線を起点として第 $2n$ の走査線までに対して順次選択信号をシフトすることで（ $n+1$ ）行目乃至 $2n$ 行目に配設された複数の画素の各々に設けられた第2のトランジスタを介して前記（ $n+1$ ）行目乃至 $2n$ 行目に配設された複数の画素に画像信号を入力するサンプリング期間内において、前記第1の走査線乃至第 k の走査線（ k は、2以上 n 未満の自然数）及び前記第（ $n+1$ ）の走査線乃至第（ $n+k$ ）の走査線に対する選択信号のシフトが終了した後に1行目乃至 k 行目用光源及び（ $n+$

10

20

30

40

50

1) 行目乃至 $(n + k)$ 行目用光源を発光させ、1 行目乃至 k 行目に配設された複数の画素のそれぞれにおいて前記 1 行目乃至 k 行目用光源から発光される光の透過を制御し且つ $(n + 1)$ 行目乃至 $(n + k)$ 行目に配設された複数の画素のそれぞれにおいて前記 $(n + 1)$ 行目乃至 $(n + k)$ 行目用光源から発光される光の透過を制御する液晶表示装置の駆動方法。

【請求項 8】

前記サンプリング期間内において、前記 1 行目乃至 k 行目用光源が呈する光の色と、前記 $(n + 1)$ 行目乃至 $(n + k)$ 行目用光源が呈する光の色とが異なる請求項 6 又は請求項 7 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に関する。特に、フィールドシーケンシャル方式によって表示を行う液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

液晶表示装置の表示方法として、カラーフィルター方式及びフィールドシーケンシャル方式が知られている。前者によって表示を行う液晶表示装置では、各画素に、特定色を呈する波長の光のみを透過するカラーフィルター（例えば、R（赤）、G（緑）、B（青））を有する複数の副画素が設けられる。そして、副画素毎に白色光の透過を制御し、且つ画素毎に複数の色を混色することで所望の色を形成している。一方、後者によって表示を行う液晶表示装置では、それぞれが異なる色を呈する光を発光する複数の光源（例えば、R（赤）、G（緑）、B（青））が設けられる。そして、当該複数の光源が順次発光し、且つ画素毎にそれぞれの色を呈する光の透過を制御することで所望の色を形成している。すなわち、前者は、特定色を呈する光毎に一画素の面積を分割することで所望の色を形成する方式であり、後者は、特定色を呈する光毎に表示期間を時間分割することで所望の色を形成する方式である。

20

【0003】

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、カラーフィルター方式によって表示を行う液晶表示装置と比較し、以下の利点を有する。まず、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、各画素に副画素を設ける必要がない。そのため、開口率を向上させること又は画素数を増加させることが可能である。加えて、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、カラーフィルターを設ける必要がない。つまり、当該カラーフィルターにおける光吸収による光の損失がない。そのため、透過率を向上させること及び消費電力を低減することが可能である。

30

【0004】

特許文献 1 では、フィールドシーケンシャル方式によって表示を行う液晶表示装置が開示されている。具体的には、各画素に、画像信号の入力を制御するトランジスタと、該画像信号を保持する信号保持容量と、該信号保持容量から表示画素容量への電荷の移動を制御するトランジスタとが設けられた液晶表示装置が開示されている。当該構成を有する液晶表示装置は、信号保持容量に対する画像信号の書き込みと、表示画素容量が保持する電荷に応じた表示とを並行して行うことが可能である。

40

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2009-42405 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

50

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、各画素に対する画像信号の入力頻度を向上させる必要がある。例えば、R（赤）、G（緑）、B（青）のいずれか一を呈する光を発光する３種の光源を備えた液晶表示装置をフィールドシーケンシャル方式で表示させる場合は、カラーフィルタ方式によって表示を行う液晶表示装置と比較し、各画素に対する画像信号の入力頻度を少なくとも３倍にする必要がある。具体的に述べると、フレーム周波数が６０Ｈｚである場合、カラーフィルタ方式によって表示を行う液晶表示装置では各画素に対する画像信号の入力を１秒間に６０回行う必要があるのに対し、当該３種の光源を備えた液晶表示装置をフィールドシーケンシャル方式によって表示させる場合では各画素に対する画像信号の入力を１秒間に１８０回行う必要がある。

10

【０００７】

ただし、画像信号の入力頻度の向上に付随して、各画素に設けられる素子の高速応答性が要求される。具体的には、各画素に設けられるトランジスタの移動度の向上などが要求される。しかしながら、トランジスタなどの特性を向上させることは容易ではない。

【０００８】

そこで、本発明の一態様は、画像信号の入力頻度の向上を図ることを課題の一とする。

【課題を解決するための手段】

【０００９】

上述した課題は、液晶表示装置の画素部において、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することによって解決することができる。

20

【００１０】

すなわち、本発明の一態様は、第１の信号線及び第２の信号線と、第１の走査線、第２の走査線、第３の走査線、及び第４の走査線と、第１の画素及び第２の画素と、第１の走査線及び第３の走査線に選択信号を供給する機能を有する第１のシフトレジスタ、並びに第２の走査線及び第４の走査線に選択信号を供給する機能を有する第２のシフトレジスタと、を有し、第１の画素は、ゲートが第１の走査線に電氣的に接続され、ソース及びドレインの一方が第１の信号線に電氣的に接続された第１のトランジスタと、ゲートが第２の走査線に電氣的に接続され、ソース及びドレインの一方が第２の信号線に電氣的に接続された第２のトランジスタと、一方の電極が第１のトランジスタのソース及びドレインの他方並びに第２のトランジスタのソース及びドレインの他方に電氣的に接続された第１の液晶素子と、を有し、第２の画素は、ゲートが第３の走査線に電氣的に接続され、ソース及びドレインの一方が第１の信号線に電氣的に接続された第３のトランジスタと、ゲートが第４の走査線に電氣的に接続され、ソース及びドレインの一方が第２の信号線に電氣的に接続された第４のトランジスタと、一方の電極が第３のトランジスタのソース及びドレインの他方並びに第４のトランジスタのソース及びドレインの他方に電氣的に接続された第２の液晶素子と、を有する液晶表示装置である。さらに、第１の信号線には、第１のサンプリング期間に含まれる水平走査期間において第１の画像信号が供給され、第２のサンプリング期間に含まれる水平走査期間において第２の画像信号が供給されている。また、第２の信号線には、第１のサンプリング期間に含まれる水平走査期間において第３の画像信号が供給され、第２のサンプリング期間に含まれる水平走査期間において第４の画像信号が供給されている。さらに、第１のサンプリング期間に含まれる水平走査期間において、第１の走査線及び第４の走査線に選択信号が供給され、第２の走査線及び第３の走査線に非選択信号が供給されている。また、第２のサンプリング期間に含まれる水平走査期間において、第２の走査線及び第３の走査線に選択信号が供給され、第１の走査線及び第４の走査線に非選択信号が供給されている。

30

40

【００１１】

また、本発明の一態様は、第１の信号線、第２の信号線、及び第３の信号線と、第１の走査線、第２の走査線、第３の走査線、第４の走査線、第５の走査線、第６の走査線、第７の走査線、第８の走査線、及び第９の走査線と、第１の画素、第２の画素、及び第３の

50

画素と、第 1 の走査線、第 4 の走査線、及び第 7 の走査線に選択信号を供給する機能を有する第 1 のシフトレジスタ、第 2 の走査線、第 5 の走査線、及び第 8 の走査線に選択信号を供給する機能を有する第 2 のシフトレジスタ、並びに、第 3 の走査線、第 6 の走査線、及び第 9 の走査線に選択信号を供給する機能を有する第 3 のシフトレジスタと、を有し、第 1 の画素は、ゲートが第 1 の走査線に電氣的に接続され、ソース及びドレインの一方が第 1 の信号線に電氣的に接続された第 1 のトランジスタと、ゲートが第 2 の走査線に電氣的に接続され、ソース及びドレインの一方が第 2 の信号線に電氣的に接続された第 2 のトランジスタと、ゲートが第 3 の走査線に電氣的に接続され、ソース及びドレインの一方が第 3 の信号線に電氣的に接続された第 3 のトランジスタと、一方の電極が第 1 のトランジスタのソース及びドレインの他方、第 2 のトランジスタのソース及びドレインの他方、並びに第 3 のトランジスタのソース及びドレインの他方に電氣的に接続された第 1 の液晶素子と、を有し、第 2 の画素は、ゲートが第 4 の走査線に電氣的に接続され、ソース及びドレインの一方が第 1 の信号線に電氣的に接続された第 4 のトランジスタと、ゲートが第 5 の走査線に電氣的に接続され、ソース及びドレインの一方が第 2 の信号線に電氣的に接続された第 5 のトランジスタと、ゲートが第 6 の走査線に電氣的に接続され、ソース及びドレインの一方が第 3 の信号線に電氣的に接続された第 6 のトランジスタと、一方の電極が第 4 のトランジスタのソース及びドレインの他方、第 5 のトランジスタのソース及びドレインの他方、並びに第 6 のトランジスタのソース及びドレインの他方に電氣的に接続された第 2 の液晶素子と、を有し、第 3 の画素は、ゲートが第 7 の走査線に電氣的に接続され、ソース及びドレインの一方が第 1 の信号線に電氣的に接続された第 7 のトランジスタと、ゲートが第 8 の走査線に電氣的に接続され、ソース及びドレインの一方が第 2 の信号線に電氣的に接続された第 8 のトランジスタと、ゲートが第 9 の走査線に電氣的に接続され、ソース及びドレインの一方が第 3 の信号線に電氣的に接続された第 9 のトランジスタと、一方の電極が第 7 のトランジスタのソース及びドレインの他方、第 8 のトランジスタのソース及びドレインの他方、並びに第 9 のトランジスタのソース及びドレインの他方に電氣的に接続された第 3 の液晶素子と、を有する液晶表示装置である。さらに、第 1 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 1 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 2 の画像信号が供給され、第 3 のサンプリング期間に含まれる水平走査期間において第 3 の画像信号が供給されている。また、第 2 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 4 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 5 の画像信号が供給され、第 3 のサンプリング期間に含まれる水平走査期間において第 6 の画像信号が供給されている。また、第 3 の信号線には、第 1 のサンプリング期間に含まれる水平走査期間において第 7 の画像信号が供給され、第 2 のサンプリング期間に含まれる水平走査期間において第 8 の画像信号が供給され、第 3 のサンプリング期間に含まれる水平走査期間において第 9 の画像信号が供給されている。さらに、第 1 のサンプリング期間に含まれる水平走査期間において、第 1 の走査線、第 5 の走査線、及び第 9 の走査線に選択信号が供給され、第 2 の走査線、第 3 の走査線、第 4 の走査線、第 6 の走査線、第 7 の走査線、及び第 8 の走査線に非選択信号が供給されている。また、第 2 のサンプリング期間に含まれる水平走査期間において、第 3 の走査線、第 4 の走査線、及び第 8 の走査線に選択信号が供給され、第 1 の走査線、第 2 の走査線、第 5 の走査線、第 6 の走査線、第 7 の走査線、及び第 9 の走査線に非選択信号が供給されている。また、第 3 のサンプリング期間に含まれる水平走査期間において、第 2 の走査線、第 6 の走査線、及び第 7 の走査線に選択信号が供給され、第 1 の走査線、第 3 の走査線、第 4 の走査線、第 5 の走査線、第 8 の走査線、及び第 9 の走査線に非選択信号が供給されている。

【0012】

また、本発明の一態様は、第 1 の信号線及び第 2 の信号線と、第 1 の走査線及び第 2 の走査線と、第 1 の画素及び第 2 の画素と、第 1 の走査線に選択信号を供給する機能を有する第 1 のシフトレジスタ、及び第 2 の走査線に選択信号を供給する機能を有する第 2 のシフトレジスタと、を有し、第 1 の画素は、ゲートが第 1 の走査線に電氣的に接続され、ソ

ース及びドレインの一方が第1の信号線に電氣的に接続された第1のトランジスタと、一方の電極が第1のトランジスタのソース及びドレインの他方に電氣的に接続された第1の液晶素子と、を有し、第2の画素は、ゲートが第2の走査線に電氣的に接続され、ソース及びドレインの一方が第2の信号線に電氣的に接続された第2のトランジスタと、一方の電極が第2のトランジスタのソース及びドレインの他方に電氣的に接続された第2の液晶素子と、を有する液晶表示装置である。さらに、第1の信号線には、第1のサンプリング期間に含まれる水平走査期間において第1の画像信号が供給され、第2のサンプリング期間に含まれる水平走査期間において第2の画像信号が供給されている。また、第2の信号線には、第1のサンプリング期間に含まれる水平走査期間において第3の画像信号が供給され、第2のサンプリング期間に含まれる水平走査期間において第4の画像信号が供給されている。さらに、第1のサンプリング期間に含まれる水平走査期間において、第1の走査線及び第2の走査線に選択信号が供給されている。また、第2のサンプリング期間に含まれる水平走査期間において、第1の走査線及び第2の走査線に選択信号が供給されている。

10

【0013】

なお、液晶表示装置では、焼き付きと呼ばれる液晶の劣化を防ぐために、画素に設けられる液晶素子に交流の電圧を印加する。そのため、画素部に用いるトランジスタは、少なくとも10数V程度の耐圧性を有することが望ましい。また、液晶素子に保持されている電圧を維持するために、上記トランジスタにはオフ電流の低さも要求される。一方で、信号線駆動回路に用いるトランジスタは、液晶表示装置の表示画像の質の高さを確保するために、耐圧性の高さよりもむしろ高速動作の方が重要視される。

20

【0014】

そこで、本発明の一態様に係る液晶表示装置では、画素部において、酸化物半導体によってチャンネル形成領域が構成されるトランジスタを用いる。酸化物半導体のバンドギャップは3.0～3.5 eVと、シリコンの約3倍程度の大きなバンドギャップを有している。酸化物半導体有するバンドギャップが大きいという特性は、トランジスタの耐圧性向上に有利である。また、電子供与体（ドナー）となる水分または水素などの不純物が低減されて高純度化された酸化物半導体（purified OS）は、i型（真性半導体）又はi型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、耐圧性が高いという特性に加えて、オフ電流が著しく低いという特性を有する。

30

【0015】

そして、本発明の一態様に係る液晶表示装置では、信号線駆動回路などの画素部よりも高速動作が要求される駆動回路において、シリコンまたはゲルマニウムなどを有する、多結晶、単結晶などの結晶性半導体を有するトランジスタを用いる。上記半導体は、酸化物半導体よりも高い移動度を有している。よって、上記半導体をトランジスタに用いることで、信号線駆動回路の高速動作を実現することができる。

【0016】

このように、高速動作が要求される回路と、耐圧性の高さが要求される回路とで、異なる半導体、異なるプロセスを採用することで、それぞれの回路に要求される特性に合わせて、最適な構造の半導体素子を、プロセスの複雑化を伴うことなく作り分けることができる。

40

【0017】

なお、走査線駆動回路は、信号線駆動回路と同様に、多結晶、単結晶などの結晶性半導体を有するトランジスタを用いても良いし、画素部と同様に、酸化物半導体をチャンネル形成領域に含むトランジスタを用いても良い。

【0018】

シリコンまたはゲルマニウムなどを有する、多結晶、単結晶などの結晶性半導体を用いたトランジスタは、シリコンウェハ、SOI（Silicon on Insulator）基板、絶縁表面上に成膜された多結晶半導体膜などを用いて形成することができる。

【0019】

50

S O I 基板は、例えば、スマートカット（登録商標）に代表される U N I B O N D（登録商標）、E L T R A N（E p i t a x i a l L a y e r T r a n s f e r）（登録商標）、誘電体分離法、P A C E（P l a s m a A s s i s t e d C h e m i c a l E t c h i n g）法などの貼り合わせ方法や、S I M O X（S e p a r a t i o n b y I m p l a n t e d O x y g e n）法などを用いて作製することができる。

【0020】

絶縁表面を有する基板上に成膜されたシリコンの半導体膜は、公知の技術により結晶化したものであっても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950℃程度の高温アニール法を組み合わせた結晶法を用いても良い。

【発明の効果】

【0021】

本発明の一態様の液晶表示装置は、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することが可能である。これにより、当該液晶表示装置が有するトランジスタなどの応答速度を変化させることなく、各画素に対する画像信号の入力頻度を向上させることが可能になる。

【図面の簡単な説明】

【0022】

【図1】（A）液晶表示装置の構成例を示す図、（B）画素の構成例を示す図。

【図2】走査線駆動回路の構成例を示す図。

【図3】シフトレジスタの出力信号を示す図。

【図4】（A）信号線駆動回路の構成例を示す図、（B）バックライトの構成例を示す図。

【図5】液晶表示装置の動作例を説明する図。

【図6】（A）液晶表示装置の構成例を示す図、（B）～（D）画素の構成例を示す図。

【図7】（A）走査線駆動回路の構成例を示す図、（B）シフトレジスタの出力信号を示す図。

【図8】信号線駆動回路の構成例を示す図。

【図9】トランジスタの一例を示す断面図。

【図10】トランジスタの特性を示す図。

【図11】トランジスタの特性評価用回路図。

【図12】トランジスタの特性評価用タイミングチャート。

【図13】トランジスタの特性を示す図。

【図14】トランジスタの特性を示す図。

【図15】トランジスタの特性を示す図。

【図16】（A）～（C）トランジスタの一例を示す断面図。

【図17】画素の断面の具体例を示す図。

【図18】（A）～（C）端子間の接続の具体例を示す図。

【図19】（A）～（C）液晶表示装置の具体例を示す斜視図。

【図20】液晶表示装置の具体例を示す（A）上面図、及び（B）断面図。

【図21】液晶表示装置の具体例を示す斜視図。

【図22】（A）、（B）タッチパネルの具体例を示す図。

【図23】（A）、（B）タッチパネルの具体例を示す図。

【図24】（A）～（D）トランジスタの作製工程の具体例を示す断面図。

【図25】（A）～（F）電子機器の一例を示す図。

【発明を実施するための形態】

【0023】

10

20

30

40

50

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0024】

(実施の形態1)

本実施の形態では、フィールドシーケンシャル方式によって表示を行う液晶表示装置の一例について図1～図5を参照して説明する。

【0025】

<液晶表示装置の構成例>

図1(A)は、液晶表示装置の構成例を示す図である。図1(A)に示す液晶表示装置は、画素部10と、走査線駆動回路11と、信号線駆動回路12と、各々が平行又は略平行に配設され、且つ走査線駆動回路11によって電位が制御される、3n本(nは、2以上の自然数)の走査線131、3n本の走査線132、及び3n本の走査線133と、各々が平行又は略平行に配設され、且つ信号線駆動回路12によって電位が制御される、m本(mは、2以上の自然数)の信号線141、m本の信号線142、及びm本の信号線143と、を有する。

【0026】

さらに、画素部10は、マトリクス状(3n行m列)に配設された複数の画素15を有する。なお、各走査線131、132、133は、マトリクス状(3n行m列)に配設された複数の画素15のうち、いずれかの行に配設されたm個の画素15に電氣的に接続される。また、各信号線141、142、143は、マトリクス状(3n行m列)に配設された複数の画素15のうち、いずれかの列に配設された3n個の画素15に電氣的に接続される。

【0027】

なお、走査線駆動回路11には、外部から走査線駆動回路用スタート信号(GSP1～GSP3)、走査線駆動回路用クロック信号(GCK)、及び高電源電位(VDD)、低電源電位(VSS)などの駆動用電源が入力される。また、信号線駆動回路12には、外部から信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、画像信号(DATA1～DATA3)などの信号、及び高電源電位、低電源電位などの駆動用電源が入力される。

【0028】

図1(B)は、画素15の回路構成例を示す図である。図1(B)に示す画素15は、ゲートが走査線131に電氣的に接続され、ソース及びドレインの一方が信号線141に電氣的に接続されたトランジスタ151と、ゲートが走査線132に電氣的に接続され、ソース及びドレインの一方が信号線142に電氣的に接続されたトランジスタ152と、ゲートが走査線133に電氣的に接続され、ソース及びドレインの一方が信号線143に電氣的に接続されたトランジスタ153と、一方の電極がトランジスタ151～153のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線に電氣的に接続された容量素子154と、一方の電極がトランジスタ151～153のソース及びドレインの他方並びに容量素子154の一方の電極に電氣的に接続され、他方の電極が対向電位を供給する配線に電氣的に接続された液晶素子155と、を有する。

【0029】

<走査線駆動回路11の構成例>

図2は、図1(A)に示す液晶表示装置が有する走査線駆動回路11の構成例を示す図である。図2に示す走査線駆動回路11は、3n個の出力端子を有する3つのシフトレジスタ111～113を有する。なお、シフトレジスタ111が有する出力端子のそれぞれは、画素部10に配設された3n本の走査線131のいずれかに電氣的に接続され、シフトレジスタ112が有する出力端子のそれぞれは、画素部10に配設された3n本の走査線132のいずれかに電氣的に接続され、シフトレジスタ113が有する出力端子のそれ

それは、画素部 10 に配設された 3 n 本の走査線 1 3 3 のいずれかに電氣的に接続される。すなわち、シフトレジスタ 1 1 1 は、走査線 1 3 1 を駆動するシフトレジスタであり、シフトレジスタ 1 1 2 は、走査線 1 3 2 を駆動するシフトレジスタであり、シフトレジスタ 1 1 3 は、走査線 1 3 3 を駆動するシフトレジスタである。具体的には、シフトレジスタ 1 1 1 は、外部から入力される第 1 の走査線駆動回路用スタートパルス信号 (G S P 1) をきっかけとして、1 行目に配設された走査線 1 3 1 を起点として順次選択信号をシフト (走査線 1 3 1 を走査線駆動回路用クロック信号 (G C K) 1 / 2 周期毎に順次選択) する機能を有し、シフトレジスタ 1 1 2 は、外部から入力される第 2 の走査線駆動回路用スタートパルス信号 (G S P 2) をきっかけとして、1 行目に配設された走査線 1 3 2 を起点として順次選択信号をシフトする機能を有し、シフトレジスタ 1 1 3 は、外部から入力される第 3 の走査線駆動回路用スタートパルス信号 (G S P 3) をきっかけとして、1 行目に配設された走査線 1 3 3 を起点として順次選択信号をシフトする機能を有する。

10

【0030】

<走査線駆動回路 1 1 の動作例>

上述した走査線駆動回路 1 1 の動作例について図 3 を参照して説明する。なお、図 3 には、走査線駆動回路用クロック信号 (G C K)、シフトレジスタ 1 1 1 が有する 3 n 個の出力端子から出力される信号 (S R 1 1 1 o u t)、シフトレジスタ 1 1 2 が有する 3 n 個の出力端子から出力される信号 (S R 1 1 2 o u t)、及びシフトレジスタ 1 1 3 が有する 3 n 個の出力端子から出力される信号 (S R 1 1 3 o u t) を示している。ここで、サンプリング期間とは、全ての行 (1 行目乃至 3 n 行目) に配設された全ての画素に対して何らかの画像信号が入力されるのに要する期間である。

20

【0031】

サンプリング期間 (t 1) において、シフトレジスタ 1 1 1 では、1 行目に配設された走査線 1 3 1 を起点として n 行目に配設された走査線 1 3 1 までハイレベルの電位が 1 / 2 クロック周期 (水平走査期間) 毎に順次シフトし、シフトレジスタ 1 1 2 では、(n + 1) 行目に配設された走査線 1 3 2 を起点として 2 n 行目に配設された走査線 1 3 2 までハイレベルの電位が 1 / 2 クロック周期 (水平走査期間) 毎に順次シフトし、シフトレジスタ 1 1 3 では、(2 n + 1) 行目に配設された走査線 1 3 3 を起点として 3 n 行目に配設された走査線 1 3 3 までハイレベルの電位が 1 / 2 クロック周期 (水平走査期間) 毎に順次シフトする。そのため、走査線駆動回路 1 1 は、走査線 1 3 1 を介して 1 行目に配設された m 個の画素 1 5 から n 行目に配設された m 個の画素 1 5 を順次選択するとともに、走査線 1 3 2 を介して (n + 1) 行目に配設された m 個の画素 1 5 から 2 n 行目に配設された m 個の画素 1 5 を順次選択し、走査線 1 3 3 を介して (2 n + 1) 行目に配設された m 個の画素 1 5 から 3 n 行目に配設された m 個の画素 1 5 を順次選択することになる。すなわち、走査線駆動回路 1 1 は、水平走査期間毎に異なる 3 行に配設された 3 m 個の画素 1 5 に対して選択信号を供給することが可能である。

30

【0032】

サンプリング期間 (t 2) において、シフトレジスタ 1 1 1 ~ 1 1 3 のそれぞれの出力信号はサンプリング期間 (t 1) と異なるが、シフトレジスタ 1 1 1 ~ 1 1 3 のいずれか一 (サンプリング期間 (t 2) においては、シフトレジスタ 1 1 3) が 1 行目に配設された m 個の画素 1 5 から n 行目に配設された m 個の画素 1 5 を順次選択し、前述のシフトレジスタ 1 1 1 ~ 1 1 3 のいずれか一と異なるシフトレジスタ 1 1 1 ~ 1 1 3 のいずれか一 (サンプリング期間 (t 2) においては、シフトレジスタ 1 1 1) が (n + 1) 行目に配設された m 個の画素 1 5 から 2 n 行目に配設された m 個の画素 1 5 を順次選択し、シフトレジスタ 1 1 1 ~ 1 1 3 のうち前述の 2 つと異なる一 (サンプリング期間 (t 2) においては、シフトレジスタ 1 1 2) が (2 n + 1) 行目に配設された m 個の画素 1 5 から 3 n 行目に配設された m 個の画素 1 5 を順次選択する点は、同じである。すなわち、走査線駆動回路 1 1 は、サンプリング期間 (t 1) と同様に、水平走査期間毎に特定の 3 行に配設された 3 m 個の画素 1 5 に対して選択信号を供給することが可能である。

40

【0033】

50

＜信号線駆動回路 1 2 の構成例＞

図 4 (A) は、図 1 (A) に示す液晶表示装置が有する信号線駆動回路 1 2 の構成例を示す図である。図 4 (A) に示す信号線駆動回路 1 2 は、 m 個の出力端子を有するシフトレジスタ 1 2 0 と、 m 個のトランジスタ 1 2 1 と、 m 個のトランジスタ 1 2 2 と、 m 個のトランジスタ 1 2 3 と、を有する。なお、トランジスタ 1 2 1 のゲートは、シフトレジスタ 1 2 0 が有する j 番目 (j は、1 以上 m 以下の自然数) の出力端子に電氣的に接続され、ソース及びドレインの一方が第 1 の画像信号 (DATA 1) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 1 0 において j 列目に配設された信号線 1 4 1 に電氣的に接続される。また、トランジスタ 1 2 2 のゲートは、シフトレジスタ 1 2 0 が有する j 番目 (j は、1 以上 m 以下の自然数) の出力端子に電氣的に接続され、ソース及びドレインの一方が第 2 の画像信号 (DATA 2) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 1 0 において j 列目に配設された信号線 1 4 2 に電氣的に接続される。また、トランジスタ 1 2 3 のゲートは、シフトレジスタ 1 2 0 が有する j 番目 (j は、1 以上 m 以下の自然数) の出力端子に電氣的に接続され、ソース及びドレインの一方が第 3 の画像信号 (DATA 3) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 1 0 において j 列目に配設された信号線 1 4 3 に電氣的に接続される。

【0034】

なお、ここでは、第 1 の画像信号 (DATA 1) は、赤 (R) の画像信号 (赤 (R) を呈する光の透過を制御するための画像信号) を信号線 1 4 1 に供給し、第 2 の画像信号 (DATA 2) は、青 (B) の画像信号 (青 (B) を呈する光の透過を制御するための画像信号) を信号線 1 4 2 に供給し、第 3 の画像信号 (DATA 3) は、緑 (G) の画像信号 (緑 (G) を呈する光の透過を制御するための画像信号) を信号線 1 4 3 に供給することとする。

【0035】

＜バックライトの構成例＞

図 4 (B) は、図 1 (A) に示す液晶表示装置の画素部 1 0 の後方に設けられるバックライトの構成例を示す図である。図 4 (B) に示すバックライトは、赤 (R)、緑 (G)、青 (B) の 3 色を呈する光源を備えたバックライトユニット 1 6 を複数有する。なお、複数のバックライトユニット 1 6 は、マトリクス状に配設されており、且つ特定の領域毎に点灯を制御することが可能である。ここでは、 $3n$ 行 m 列に配設された複数の画素 1 5 に対するバックライトとして、少なくとも k 行 m 列毎 (ここでは、 k は、 $n/4$ とする) にバックライトユニット群が設けられ、それらのバックライトユニット群の点滅を独立に制御できることとする。すなわち、当該バックライトが、少なくとも 1 行目乃至 k 行目用バックライトユニット群 ~ ($3n - k + 1$) 行目乃至 $3n$ 行目用バックライトユニット群を有し、それぞれのバックライトユニット群の点滅を独立に制御できることとする。

【0036】

＜液晶表示装置の動作例＞

図 5 は、上述した液晶表示装置において、バックライトが有する 1 行目乃至 k 行目用バックライトユニット群 ~ ($3n - k + 1$) 行目乃至 $3n$ 行目用バックライトユニット群において点灯される光のタイミング、及び画素部 1 0 において 1 行目に配設された m 個の画素乃至 $3n$ 行目に配設された m 個の画素に対する画像信号の供給が行われるタイミングを示す図である。具体的には、図 5 において、1 乃至 $3n$ は、行数を表し、実線は、該当する行において画像信号が入力されるタイミングを表している。当該液晶表示装置は、サンプリング期間 (t_1) において、1 行目に配設された m 個の画素 1 5 から n 行目に配設された m 個の画素 1 5 を順次選択し、且つ ($n + 1$) 行目に配設された m 個の画素 1 5 から $2n$ 行目に配設された m 個の画素 1 5 を順次選択し、且つ ($2n + 1$) 行目に配設された m 個の画素 1 5 から $3n$ 行目に配設された m 個の画素 1 5 を順次選択することで、各画素に画像信号を入力することが可能である。具体的に述べると、当該液晶表示装置は、サンプリング期間 (t_1) において、走査線 1 3 1 を介して 1 行目に配設された m 個の画素 1

5が有するトランジスタ151から n 行目に配設された m 個の画素15が有するトランジスタ151を順次オン状態とすることで、信号線141を介して赤(R)の画像信号を各画素に順次入力することが可能であり、走査線132を介して $(n+1)$ 行目に配設された m 個の画素15が有するトランジスタ152から $2n$ 行目に配設された m 個の画素15が有するトランジスタ152を順次オン状態とすることで、信号線142を介して青(B)の画像信号を各画素に順次入力することが可能であり、走査線133を介して $(2n+1)$ 行目に配設された m 個の画素15が有するトランジスタ153から $3n$ 行目に配設された m 個の画素15が有するトランジスタ153を順次オン状態とすることで、信号線143を介して緑(G)の画像信号を各画素に順次入力することが可能である。

【0037】

さらに、当該液晶表示装置では、サンプリング期間(t_1)内において、1行目に配設された m 個の画素15から k 行目に配設された m 個の画素15に対して赤(R)の画像信号の入力が終了した後に1行目乃至 k 行目用バックライトユニット群において赤(R)を点灯させ、且つ $(n+1)$ 行目に配設された m 個の画素15から $(n+k)$ 行目に配設された m 個の画素15に対して青(B)の画像信号の入力が終了した後に $(n+1)$ 行目乃至 $(n+k)$ 行目用バックライトユニット群において青(B)を点灯させ、且つ $(2n+1)$ 行目に配設された m 個の画素15から $(2n+k)$ 行目に配設された m 個の画素15に対して緑(G)の画像信号の入力が終了した後に $(2n+1)$ 行目乃至 $(2n+k)$ 行目用バックライトユニット群において緑(G)を点灯させることが可能である。すなわち、当該液晶表示装置では、領域(1行目乃至 n 行目、 $(n+1)$ 行目乃至 $2n$ 行目、及び $(2n+1)$ 行目乃至 $3n$ 行目)毎に、選択信号の供給と、特定色を呈する光の供給とを並行して行うことが可能である。

【0038】

＜本明細書で開示される液晶表示装置について＞

本明細書で開示される液晶表示装置は、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することが可能である。これにより、当該液晶表示装置が有するトランジスタなどの応答速度を変化させることなく、各画素に対する画像信号の入力頻度を向上させることが可能になる。具体的に述べると、上述した液晶表示装置では、走査線駆動回路のクロック周波数などを変化させることなく、各画素に対する画像信号の入力頻度を3倍にすることが可能である。すなわち、当該液晶表示装置は、フィールドシーケンシャル方式によって表示を行う液晶表示装置、又は倍速駆動を行う液晶表示装置として好適である。

【0039】

さらに、フィールドシーケンシャル方式によって表示を行う液晶表示装置として本明細書で開示される液晶表示装置を適用することは、以下の点で好ましい。上述したように、フィールドシーケンシャル方式によって表示を行う液晶表示装置では特定色を呈する光毎に表示期間が時間分割される。そのため、利用者の瞬きなど短時間の表示の遮りに起因して特定の表示情報が欠落することによって、当該利用者に視認される表示が本来の表示情報に基づく表示から変化(劣化)すること(カラーブレイク、色割れともいう)がある。ここで、カラーブレイクの抑制には、フレーム周波数を高くすることが効果的である。一方、フィールドシーケンシャル方式によって表示を行うためには、フレーム周波数よりも高い頻度で各画素に対して画像信号を入力する必要がある。そのため、従来の液晶表示装置においてフィールドシーケンシャル方式且つ高フレーム周波数駆動によって表示を行う場合、当該液晶表示装置を構成する素子の性能(高速応答性)に対する要求が非常に厳しくなる。これに対し、本明細書で開示される液晶表示装置は、素子の特性に制約されることなく各画素に対する画像信号の入力頻度を向上させることが可能である。そのため、フィールドシーケンシャル方式によって表示を行う液晶表示装置におけるカラーブレイクの抑制を容易に行うことが可能である。

【0040】

加えて、フィールドシーケンシャル方式によって表示を行う場合、図5に示すように領

域毎に異なる色を呈するバックライトユニット群を同時に点灯することは、以下の点で好ましい。全画面共通で同一の光を供給する場合、特定の瞬間において画素部には特定の色に関する色情報のみが存在することになる。そのため、利用者の瞬きなどによる特定の期間の表示情報の欠落が特定の色情報の欠落とイコールになる。これに対し、領域毎に異なる色を呈するバックライトユニットを点灯する場合、特定の瞬間において画素部にはそれぞれの色に関する色情報が存在することになる。そのため、利用者の瞬きなどによる特定の期間の表示情報の欠落が特定の色情報の欠落とイコールにはならない。つまり、領域毎に異なる色を呈するバックライトユニットを点灯することで、カラーブレイクを軽減することが可能である。さらに、図5に示すようにバックライトユニット群を点灯する場合、隣接するバックライトユニット群が異なる色を呈することがない。具体的には、サンプリング期間（ t_1 ）内において、 $(n+1)$ 行目に配設された m 個の画素15から $(n+k)$ 行目に配設された m 個の画素15に対して青（B）の画像信号の入力が終了した後に $(n+1)$ 行目乃至 $(n+k)$ 行目用バックライトユニット群において青（B）を点灯させる際に、 $(3k+1)$ 行目乃至 n 行目用バックライトユニット群及び $(n+k+1)$ 行目乃至 $(n+2k)$ 行目用バックライトユニット群においては、青（B）が点灯される又は点灯自体が行われな（赤（R）、緑（G）が点灯されることがない）。そのため、特定の色の画像情報が入力された画素を、当該特定の色と異なる色を呈する光が透過する確率を低減することが可能である。

10

【0041】

<変形例>

20

上述した構成を有する液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

【0042】

例えば、上述した液晶表示装置においては、画素部10の特定の3行に配設された $3m$ 個の画素に対して同時に画像信号を供給する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、画素部10の特定の複数行に配設された複数の画素に対して同時に画像信号を供給する構成とすることが可能である。なお、自明ではあるが、当該行数を変化させる場合、当該行数と同数のシフトレジスタなどを設ける必要があることを付記する。

【0043】

30

また、上述した液晶表示装置においては、等間隔に配設された特定の3行に配設された画素に対して並行して画像信号を供給する構成（画像信号が供給される行の間隔が、画素 n 行分）について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置は、非等間隔に配設された特定の3行に配設された画素に対して並行して画像信号を供給する構成とすることが可能である。具体的には、1行目に配設された m 個の画素、 $(a+1)$ 行目（ a は、自然数）に配設された m 個の画素、及び $(a+b+1)$ 行目（ b は、 a と異なる自然数）に配設された m 個の画素に同時に画像信号を供給する構成とすることが可能である。

【0044】

また、上述した液晶表示装置においては、走査線駆動回路がシフトレジスタを用いて構成される液晶表示装置について示したが、当該シフトレジスタを同等の機能を有する回路に置換することが可能である。例えば、当該シフトレジスタをデコーダに置換することが可能である。

40

【0045】

また、上述した液晶表示装置においては、バックライトとして赤（R）、緑（G）、青（B）のいずれかを呈する光を発光する3種の光源を用いる構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、任意の色を呈する光を発光する光源を組み合わせる用いることが可能である。例えば、赤（R）、緑（G）、青（B）、白（W）の4種の光源を組み合わせる用いること、又はシアン、マゼンタ、イエローの3種の光源を組み合わせる用いることなどが可能である。

50

さらに、淡色の赤（R）、緑（G）、及び青（B）、並びに濃色の赤（R）、緑（G）、及び青（B）の6種の光源を組み合わせて用いること、又は赤（R）、緑（G）、青（B）、シアン、マゼンタ、イエローの6種の光源を組み合わせて用いることなども可能である。このように、より多種の色を呈する光を組み合わせることで、当該液晶表示装置において表現できる色域を拡大し、画質を向上させることが可能である。

【0046】

また、上述した液晶表示装置においては、液晶素子に印加される電圧を保持するための容量素子が設けられる構成（図1（B）参照）について示したが、当該容量素子を設けない構成とすることも可能である。

【0047】

また、上述した液晶表示装置においては、バックライトユニットとして赤（R）、緑（G）、青（B）の3種の光源を横に直線的に並べる構成（図4（B）参照）について示したが、バックライトユニットの構成は、当該構成に限定されない。例えば、当該3種の光源を3角配置しても良いし、当該3種の光源を縦に直線的に並べてもよいし、赤（R）の光源、緑（G）の光源、及び青（B）の光源を別途設けても良い。また、上述した液晶表示装置においては、バックライトとして直下型方式のバックライトを適用する構成（図4（B）参照）について示したが、当該バックライトとしてエッジライト方式のバックライトを適用することも可能である。

【0048】

（実施の形態2）

本実施の形態では、実施の形態1とは異なる構成を有する、フィールドシーケンシャル方式によって表示を行う液晶表示装置の一例について図6～図8を参照して説明する。

【0049】

<液晶表示装置の構成例>

図6（A）は、液晶表示装置の構成例を示す図である。図6（A）に示す液晶表示装置は、画素部30と、走査線駆動回路31と、信号線駆動回路32と、各々が平行又は略平行に配設され、且つ走査線駆動回路31によって電位が制御される3n本（nは、2以上の自然数）の走査線33と、各々が平行又は略平行に配設され、且つ信号線駆動回路32によって電位が制御される、m本（mは、2以上の自然数）の信号線341、m本の信号線342、及びm本の信号線343と、を有する。

【0050】

さらに、画素部30は、3つの領域（領域301～領域303）に分割され、領域毎にマトリクス状（n行m列）に配設された複数の画素を有する。なお、各走査線33は、画素部30においてマトリクス状（3n行m列）に配設された複数の画素のうち、いずれかの行に配設されたm個の画素に電氣的に接続される。また、各信号線341は、領域301においてマトリクス状（n行m列）に配設された複数の画素のうち、いずれかの列に配設されたn個の画素に電氣的に接続される。また、各信号線342は、領域302においてマトリクス状（n行m列）に配設された複数の画素のうち、いずれかの列に配設されたn個の画素に電氣的に接続される。また、各信号線343は、領域303においてマトリクス状（n行m列）に配設された複数の画素のうち、いずれかの列に配設されたn個の画素に電氣的に接続される。

【0051】

なお、走査線駆動回路31には、外部から走査線駆動回路用スタート信号（GSP）、走査線駆動回路用クロック信号（GCK）、及び高電源電位、低電源電位などの駆動用電源が入力される。また、信号線駆動回路32には、外部から信号線駆動回路用スタート信号（SSP）、信号線駆動回路用クロック信号（SCK）、画像信号（data1～data3）などの信号、及び高電源電位、低電源電位などの駆動用電源が入力される。

【0052】

図6（B）～（D）は、画素の回路構成例を示す図である。具体的には、図6（B）は、領域301に配設された画素351の回路構成例を示す図であり、図6（C）は、領域

302に配設された画素352の回路構成例を示す図であり、図6(D)は、領域303に配設された画素353の回路構成例を示す図である。図6(B)に示す画素351は、ゲートが走査線33に電氣的に接続され、ソース及びドレインの一方が信号線341に電氣的に接続されたトランジスタ3511と、一方の電極がトランジスタ3511のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線に電氣的に接続された容量素子3512と、一方の電極がトランジスタ3511のソース及びドレインの他方並びに容量素子3512の一方の電極に電氣的に接続され、他方の電極が対向電位を供給する配線に電氣的に接続された液晶素子3514と、を有する。

【0053】

図6(C)に示す画素352及び図6(D)に示す画素353も回路構成自体は、図6(B)に示す画素351と同一である。ただし、図6(C)に示す画素352では、トランジスタ3521のソース及びドレインの一方が信号線341ではなく信号線342に電氣的に接続される点が図6(B)に示す画素351と異なり、図6(D)に示す画素353では、トランジスタ3531のソース及びドレインの一方が信号線341ではなく信号線343に電氣的に接続される点が図6(B)に示す画素351と異なる。

【0054】

<走査線駆動回路31の構成例>

図7(A)は、図6(A)に示す液晶表示装置が有する走査線駆動回路31の構成例を示す図である。図7(A)に示す走査線駆動回路31は、 n 個の出力端子を有するシフトレジスタ311～313を有する。なお、シフトレジスタ311が有する出力端子のそれぞれは、領域301に配設された n 本の走査線33のいずれかに電氣的に接続され、シフトレジスタ312が有する出力端子のそれぞれは、領域302に配設された n 本の走査線33のいずれかに電氣的に接続され、シフトレジスタ313が有する出力端子のそれぞれは、領域303に配設された n 本の走査線33のいずれかに電氣的に接続される。すなわち、シフトレジスタ311は、領域301において選択信号を供給するシフトレジスタであり、シフトレジスタ312は、領域302において選択信号を供給するシフトレジスタであり、シフトレジスタ313は、領域303において選択信号を供給するシフトレジスタである。具体的には、シフトレジスタ311は、外部から入力される走査線駆動回路用スタート信号(GSP)をきっかけとして、1行目に配設された走査線33を起点として順次選択信号をシフト(走査線33を走査線駆動回路用クロック信号(GCK)1/2周期毎に順次選択)する機能を有し、シフトレジスタ312は、外部から入力される走査線駆動回路用スタート信号(GSP)をきっかけとして、 $(n+1)$ 行目に配設された走査線33を起点として順次選択信号をシフトする機能を有し、シフトレジスタ313は、外部から入力される走査線駆動回路用スタート信号(GSP)をきっかけとして、 $(2n+1)$ 行目に配設された走査線33を起点として順次選択信号をシフトする機能を有する。

【0055】

<走査線駆動回路31の動作例>

上述した走査線駆動回路31の動作例について図7(B)を参照して説明する。なお、図7(B)には、走査線駆動回路用クロック信号(GCK)、シフトレジスタ311が有する n 個の出力端子から出力される信号(SR311out)、シフトレジスタ312が有する n 個の出力端子から出力される信号(SR312out)、及びシフトレジスタ313が有する n 個の出力端子から出力される信号(SR313out)を示している。

【0056】

サンプリング期間(T1)において、シフトレジスタ311では、1行目に配設された走査線33を起点として n 行目に配設された走査線33までハイレベルの電位が1/2クロック周期(水平走査期間)毎に順次シフトし、シフトレジスタ312では、 $(n+1)$ 行目に配設された走査線33を起点として $2n$ 行目に配設された走査線33までハイレベルの電位が1/2クロック周期(水平走査期間)毎に順次シフトし、シフトレジスタ313では、 $(2n+1)$ 行目に配設された走査線33を起点として $3n$ 行目に配設された走査線33までハイレベルの電位が1/2クロック周期(水平走査期間)毎に順次シフトす

10

20

30

40

50

る。そのため、走査線駆動回路 3 1 は、走査線 3 3 を介して、1 行目に配設された m 個の画素 3 5 1 から n 行目に配設された m 個の画素 3 5 1 を順次選択するとともに、 $(n + 1)$ 行目に配設された m 個の画素 3 5 2 から $2n$ 行目に配設された m 個の画素 3 5 2 を順次選択し、 $(2n + 1)$ 行目に配設された m 個の画素 3 5 3 から $3n$ 行目に配設された m 個の画素 3 5 3 を順次選択することになる。すなわち、走査線駆動回路 3 1 は、水平走査期間毎に異なる 3 行に配設された $3m$ 個の画素に対して選択信号を供給することが可能である。

【0057】

サンプリング期間 (T_2) 及びサンプリング期間 (T_3) において、シフトレジスタ 3 1 1 ~ 3 1 3 の動作は、サンプリング期間 (T_1) と同じである。すなわち、走査線駆動回路 3 1 は、サンプリング期間 (T_1) と同様に、水平走査期間毎に特定の 3 行に配設された $3m$ 個の画素に対して選択信号を供給することが可能である。

【0058】

<信号線駆動回路 3 2 の構成例>

図 8 は、図 6 (A) に示す液晶表示装置が有する信号線駆動回路 3 2 の構成例を示す図である。図 8 に示す信号線駆動回路 3 2 は、 m 個の出力端子を有するシフトレジスタ 3 2 0 と、 m 個のトランジスタ 3 2 1 と、 m 個のトランジスタ 3 2 2 と、 m 個のトランジスタ 3 2 3 と、を有する。なお、トランジスタ 3 2 1 のゲートは、シフトレジスタ 3 2 0 が有する j 番目 (j は、1 以上 m 以下の自然数) の出力端子に電氣的に接続され、ソース及びドレインの一方が第 1 の画像信号 ($data1$) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 3 0 において j 列目に配設された信号線 3 4 1 に電氣的に接続される。また、トランジスタ 3 2 2 のゲートは、シフトレジスタ 3 2 0 が有する j 番目の出力端子に電氣的に接続され、ソース及びドレインの一方が第 2 の画像信号 ($data2$) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 3 0 において j 列目に配設された信号線 3 4 2 に電氣的に接続される。また、トランジスタ 3 2 3 のゲートは、シフトレジスタ 3 2 0 が有する j 番目の出力端子に電氣的に接続され、ソース及びドレインの一方が第 3 の画像信号 ($data3$) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部 3 0 において j 列目に配設された信号線 3 4 3 に電氣的に接続される。

【0059】

なお、ここでは、第 1 の画像信号 ($data1$) として、サンプリング期間 (T_1) において、赤 (R) の画像信号 (赤 (R) を呈する光の透過を制御するための画像信号) を信号線 3 4 1 に供給し、サンプリング期間 (T_2) において、緑 (G) の画像信号 (緑 (G) を呈する光の透過を制御するための画像信号) を信号線 3 4 1 に供給し、サンプリング期間 (T_3) において、青 (B) の画像信号 (青 (B) を呈する光の透過を制御するための画像信号) を信号線 3 4 1 に供給することとする。また、第 2 の画像信号 ($data2$) として、サンプリング期間 (T_1) において、青 (B) の画像信号を信号線 3 4 2 に供給し、サンプリング期間 (T_2) において、赤 (R) の画像信号を信号線 3 4 2 に供給し、サンプリング期間 (T_3) において、緑 (G) の画像信号を信号線 3 4 2 に供給することとする。また、第 3 の画像信号 ($data3$) として、サンプリング期間 (T_1) において、緑 (G) の画像信号を信号線 3 4 3 に供給し、サンプリング期間 (T_2) において、青 (B) の画像信号を信号線 3 4 3 に供給し、サンプリング期間 (T_3) において、赤 (R) の画像信号を信号線 3 4 3 に供給することとする。

【0060】

<バックライトの構成例>

本実施の形態の液晶表示装置のバックライトとして、実施の形態 1 に示したバックライトを適用することが可能である。そのため、ここでは前述の説明を援用することとする。

【0061】

<液晶表示装置の動作例>

本実施の形態の液晶表示装置は、実施の形態 1 に示した液晶表示装置と同様の動作 (図

10

20

30

40

50

5 参照)を行うことが可能である。すなわち、本実施の形態の液晶表示装置は、サンプリング期間 (T_1) において、1 行目に配設された m 個の画素 351 から n 行目に配設された m 個の画素 351 を順次選択し、且つ ($n+1$) 行目に配設された m 個の画素 352 から $2n$ 行目に配設された m 個の画素 352 を順次選択し、且つ ($2n+1$) 行目に配設された m 個の画素 353 から $3n$ 行目に配設された m 個の画素 353 を順次選択することで、各画素に画像信号を入力することが可能である。

【0062】

また、本実施の形態の液晶表示装置では、実施の形態 1 に示した液晶表示装置と同様に、領域 (1 行目乃至 n 行目、($n+1$) 行目乃至 $2n$ 行目、及び ($2n+1$) 行目乃至 $3n$ 行目) 毎に、選択信号の供給と、特定色を呈する光の供給とを並行して行うことが可能である。

10

【0063】

<本実施の形態の液晶表示装置について>

本実施の形態の液晶表示装置は、実施の形態 1 に示した液晶表示装置と同様の作用を有する液晶表示装置である。さらに、本実施の形態の液晶表示装置は、実施の形態 1 に示した液晶表示装置と比較して、画素部に配設される走査線の本数及び各画素に設けられるトランジスタの数を低減することで、開口率を向上させることが可能である。また、画素部に配設される走査線の本数を低減することで信号線と走査線とが重畳することによって生じる寄生容量を低減することができるため、信号線を高速駆動することが可能である。また、走査線駆動回路の回路面積を縮小すること、及び走査線駆動回路の動作に必要とされる信号を低減すること (異なる走査線駆動回路用スタート信号を複数のシフトレジスタに供給する必要がない) が可能である。

20

【0064】

<変形例>

本実施の形態の液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。例えば、本実施の形態の液晶表示装置の構成を、実施の形態 1 の変形例に示した構成に変更することが可能である。具体的には、本実施の形態の液晶表示装置が有するシフトレジスタを同等の機能を有する回路 (デコーダなど) に置換することなどが可能である。

【0065】

また、本実施の形態の液晶表示装置においては、画素部 30 を 3 つの領域に分割する構成について示したが、本実施の形態の液晶表示装置は、当該構成に限定されない。すなわち、本実施の形態の液晶表示装置では、画素部 30 を任意の複数領域に分割する構成とすることが可能である。なお、自明ではあるが、当該領域数を変化させる場合、当該領域数と同数のシフトレジスタなどを設ける必要があることを付記する。

30

【0066】

また、本実施の形態の液晶表示装置においては、3 つの領域に含まれる画素数が同一である構成 (全ての領域において n 行 m 列の画素が含まれる構成) について示したが、本実施の形態の液晶表示装置では、領域毎に含まれる画素数を変化させることが可能である。具体的には、第 1 の領域には c 行 m 列 (c は、自然数) の画素が含まれ、第 2 の領域には d 行 m 列 (d は、 c と異なる自然数) の画素が含まれる構成とすることが可能である。

40

【0067】

(実施の形態 3)

本実施の形態では、実施の形態 1 又は 2 に示した液晶表示装置の具体的な構成について、説明する。

【0068】

<画素に設けられるトランジスタの一例>

実施の形態 1 に示した液晶表示装置においては、各画素に複数のトランジスタが設けられる。そして、該複数のトランジスタを順次用いて、当該画素に対する画像信号の入力を制御する。これにより、複数の行に配設された画素に対する画像信号の供給を同時に行う

50

ことを可能にしている。ただし、これに付随して、当該液晶表示装置においては、画素に保持される画像信号のリークが当該画素に設けられるトランジスタの個数に応じて増加する。そのため、当該液晶表示装置においては、各画素に設けられるトランジスタとして、オフ特性に優れる（オフ電流が少ない）トランジスタが好ましい。以下では、当該トランジスタとして好ましいトランジスタの一例について図9を参照して説明する。具体的には、チャンネル形成領域が酸化物半導体によって構成されるトランジスタについて説明する。当該トランジスタは、当該酸化物半導体を高純度化することで、オフ電流を極めて少なくすることが可能である（以下に詳述する）。また、当該トランジスタを用いて、走査線駆動回路を構成することもできる。その場合、製造プロセス数の低減によるコストの低減及び歩留まりの向上が図れる。

10

【0069】

なお、酸化物半導体のバンドギャップは3.0～3.5 eVである。一方、炭化シリコンのバンドギャップは3.26 eV、窒化ガリウムのバンドギャップは3.39 eVと、ともにシリコンの約3倍程度の大きなバンドギャップを有している。よって、これら炭化シリコンや窒化ガリウムなどの化合物半導体は、ワイドギャップ半導体という点において、酸化物半導体と共通であり、バンドギャップが大きいという特性が、信号処理回路の耐圧向上、電力損失の低減などに有利である。

【0070】

ところが、炭化シリコンや窒化ガリウムなどの化合物半導体は単結晶であることが必須で、単結晶材料を得るためには、酸化物半導体のプロセス温度よりも著しく高い温度による結晶成長であるとか、特殊な基板上的エピタキシャル成長が必要であるとか、作製条件が厳しく、いずれも入手が容易なシリコンウェハや耐熱温度の低いガラス基板上への成膜は不可能である。よって、安価な基板を利用できない上に、基板の大型化には対応できないため、炭化シリコンや窒化ガリウムなどの化合物半導体を用いた信号処理回路は量産性が低い。一方、酸化物半導体は、300～850℃の熱処理で成膜することが可能であり、ガラス基板上への成膜が可能である。また、集積回路上に、酸化物半導体による半導体素子を積層させることも可能である。

20

【0071】

図9に示すトランジスタ211は、絶縁表面を有する基板220上に設けられたゲート層221と、ゲート層221上に設けられたゲート絶縁層222と、ゲート絶縁層222上に設けられた酸化物半導体層223と、酸化物半導体層223上に設けられたソース層224a及びドレイン層224bとを有する。また、図9においては、トランジスタ211を覆い、酸化物半導体層223に接する絶縁層225と、絶縁層225上に設けられた保護絶縁層226とが図示されている。

30

【0072】

図9に示すトランジスタ211は、上記の通り、半導体層として酸化物半導体層223を具備する。酸化物半導体層223に用いる酸化物半導体としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、二元系金属酸化物であるIn-Ga-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系、または単元系金属酸化物であるIn-O系、Sn-O系、Zn-O系などを用いることができる。また、上記酸化物半導体にSiO₂を含んでもよい。ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、少なくともInとGaとZnを含む酸化物であり、その組成比に特に制限はない。また、InとGaとZn以外の元素を含んでもよい。

40

【0073】

また、酸化物半導体層223は、化学式InMO₃(ZnO)_m(m>0)で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、

50

またはGa及びCoなどを選択することができる。

【0074】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In}:\text{Zn}=50:1\sim1:2$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=25:1\sim1:4$ ）、好ましくは $\text{In}:\text{Zn}=20:1\sim1:1$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=10:1\sim1:2$ ）、さらに好ましくは $\text{In}:\text{Zn}=1.5:1\sim15:1$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=3:4\sim15:2$ ）とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In}:\text{Zn}:\text{O}=X:Y:Z$ のとき、 $Z>1.5X+Y$ とする。

【0075】

上述した酸化物半導体は、電気的特性変動を抑止するため、変動要因となる水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を意図的に排除することで高純度化し、電氣的にI型（真性）化された酸化物半導体である。

【0076】

よって酸化物半導体中の水素は少なければ少ないほどよい。また、高純度化された酸化物半導体層中には水素や酸素欠損等に由来するキャリアが極めて少なく（ゼロに近い）、キャリア密度は $1\times10^{12}/\text{cm}^3$ 未満、好ましくは $1\times10^{11}/\text{cm}^3$ 未満である。即ち、酸化物半導体層の水素や酸素欠損等に由来するキャリア密度を限りなくゼロに近くする。酸化物半導体層中に水素や酸素欠損等に由来するキャリアが極めて少ないため、トランジスタがオフ状態のときのリーク電流（オフ電流）を少なくすることができる。また、水素や酸素欠損等に由来する不純物準位が少ないことにより、光照射、温度変化、バイアス印加等による電気特性の変動及び劣化を少なくすることができる。なお、オフ電流は少なければ少ないほど好ましい。上記酸化物半導体を半導体層として用いたトランジスタは、チャンネル幅（w） $1\mu\text{m}$ あたりの電流値が 100zA （zeptoアンペア）以下、好ましくは 10zA 以下、更に好ましくは 1zA 以下である。さらに、pn接合がなく、ホットキャリア劣化がないため、トランジスタの電気的特性がこれら要因の影響を受けない。

【0077】

このように酸化物半導体層に含まれる水素を徹底的に除去することにより高純度化された酸化物半導体をチャンネル形成領域に用いたトランジスタは、オフ電流を極めて小さくすることができる。つまり、トランジスタのオフ状態において、酸化物半導体層は絶縁体とみなせて回路設計を行うことができる。一方で、酸化物半導体層は、トランジスタのオン状態においては、非晶質シリコンで形成される半導体層よりも高い電流供給能力を見込むことができる。

【0078】

絶縁表面を有する基板220として、例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

【0079】

トランジスタ211において、下地膜となる絶縁膜を基板220とゲート層221の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0080】

ゲート層221の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

【0081】

ゲート絶縁層222は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化

10

20

30

40

50

ハフニウム層を単層又は積層して形成することができる。例えば、第1のゲート絶縁層としてプラズマCVD法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を積層することができる。

【0082】

ソース層224a、ドレイン層224bに用いる導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にTi、Mo、Wなどの高融点金属層を積層させた構成としても良い。また、Al膜に生ずるヒロックやウィスカーの発生を防止する元素(Si、Nd、Scなど)が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

【0083】

また、ソース層224a、ドレイン層224b(これらと同じ層で形成される配線層を含む)となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0084】

絶縁層225は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。

【0085】

保護絶縁層226は、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。

【0086】

また、保護絶縁層226上にトランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low- ϵ 材料)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0087】

<トランジスタのオフ電流について>

次いで、高純度化された酸化物半導体層を具備するトランジスタのオフ電流を求めた結果について説明する。

【0088】

まず、高純度化された酸化物半導体層を具備するトランジスタのオフ電流が十分に小さいことを考慮して、チャネル幅Wが1 μm と十分に大きいトランジスタを用意してオフ電流の測定を行った。チャネル幅Wが1 μm のトランジスタのオフ電流を測定した結果を図10に示す。図10において、横軸はゲート電圧 V_G 、縦軸はドレイン電流 I_D である。ドレイン電圧 V_D が+1Vまたは+10Vの場合、ゲート電圧 V_G が-5Vから-20Vの範囲では、トランジスタのオフ電流は、検出限界である 1×10^{-12} A以下であることがわかった。また、トランジスタのオフ電流(ここでは、チャネル幅1 μm あたりの値)は1aA/ μm (1×10^{-18} A/ μm)以下となることがわかった。

【0089】

次に、高純度化された酸化物半導体層を具備するトランジスタのオフ電流をさらに正確に求めた結果について説明する。上述したように、高純度化された酸化物半導体層を具備するトランジスタのオフ電流は、測定器の検出限界である 1×10^{-12} A以下であることがわかった。そこで、特性評価用素子を作製し、より正確なオフ電流の値(上記測定における測定器の検出限界以下の値)を求めた結果について説明する。

【0090】

はじめに、電流測定方法に用いた特性評価用素子について、図11を参照して説明する。

【0091】

図11に示す特性評価用素子は、測定系1800が3つ並列に接続されている。測定系1800は、容量素子1802、トランジスタ1804、トランジスタ1805、トランジスタ1806、トランジスタ1808を有する。トランジスタ1804、トランジスタ1808には、高純度化された酸化物半導体層を具備するトランジスタを適用した。

【0092】

測定系1800において、トランジスタ1804のソース及びドレインの一方と、容量素子1802の一方の端子と、トランジスタ1805のソース及びドレインの一方は、電源（V2を与える電源）に接続されている。また、トランジスタ1804のソース及びドレインの他方と、トランジスタ1808のソース及びドレインの一方と、容量素子1802の他方の端子と、トランジスタ1805のゲートとは、電氣的に接続されている。また、トランジスタ1808のソース及びドレインの他方と、トランジスタ1806のソース及びドレインの一方と、トランジスタ1806のゲートとは、電源（V1を与える電源）に電氣的に接続されている。また、トランジスタ1805のソース及びドレインの他方と、トランジスタ1806のソース及びドレインの他方とは、出力端子に電氣的に接続されている。

【0093】

なお、トランジスタ1804のゲートには、トランジスタ1804のオン状態と、オフ状態を制御する電位Vext__b2が供給され、トランジスタ1808のゲートには、トランジスタ1808のオン状態と、オフ状態を制御する電位Vext__b1が供給される。また、出力端子からは電位Voutが出力される。

【0094】

次に、上記の特性評価用素子を用いた電流測定方法について図12を用いて説明する。測定は、初期期間と測定期間という2つの期間を経てなされる。

【0095】

まず、初期期間では、ノードA（つまり、トランジスタ1808のソース及びドレインの一方、容量素子1802の他方の端子、及びトランジスタ1805のゲートに電氣的に接続されるノード）を高電位とする。そのために、V1の電位を高電位（VDD）、V2の電位を低電位（VSS）とする。

【0096】

そして、Vext__b2を、トランジスタ1804がオン状態となるような電位（高電位）とする。これによって、ノードAの電位はV2すなわち低電位（VSS）となる。なお、ノードAに低電位（VSS）を与えるのは必須ではない。その後、Vext__b2を、トランジスタ1804がオフ状態となるような電位（低電位）として、トランジスタ1804をオフ状態とする。そして、次に、Vext__b1を、トランジスタ1808がオン状態となるような電位（高電位）とする。これによって、ノードAの電位はV1、すなわち高電位（VDD）となる。その後、Vext__b1を、トランジスタ1808がオフ状態となるような電位とする。これによって、ノードAは高電位となったままフローティング状態となり、初期期間が終了する。

【0097】

その後の測定期間においては、電位V1及び電位V2を、ノードAに電荷が流れ込む、またはノードAから電荷が流れ出すような電位とする。ここでは、電位V1及び電位V2をともに低電位とする。ただし、出力電位Voutを測定するタイミングにおいては、出力回路を動作させる必要が生じるため、一時的にV1を高電位とする。なお、V1を高電位とする期間は、測定に影響を与えない程度の短期間とする。

【0098】

測定期間においては、トランジスタ1804およびトランジスタ1808のオフ電流に

より、ノードAからV1が与えられる配線あるいはV2が与えられる配線に電荷が移動する。すなわち、時間の経過と共にノードAに保持される電荷量に変動し、これに従ってノードAの電位に変動する。これは、トランジスタ1805のゲートの電位に変動することを意味する。

【0099】

電荷の測定は、定期的かつ一時的にVext__b1の電位を、高電位として、Voutを測定することによりおこなわれる。トランジスタ1805及びトランジスタ1806で構成される回路はインバータである。もし、ノードAが高電位であれば、Voutは低電位となり、ノードAが低電位であれば、Voutは高電位となる。当初、高電位であったノードAも電荷の減少により、徐々に電位が低下する。その結果、Voutの電位も変動する。インバータの増幅作用により、ノードAの電位は増幅されてVoutとして出力されるため、Voutを測定することによってノードAの電位の微少な変動値を測定することが可能となる。

10

【0100】

得られた出力電位Voutから、オフ電流を算出する方法について、以下に説明する。

【0101】

オフ電流の算出に先だって、ノードAの電位V_Aと、出力電位Voutとの関係をお求めしておく。これにより、出力電位VoutからノードAの電位V_Aを求めることができる。上述の関係から、ノードAの電位V_Aは、出力電位Voutの関数として次式のように表すことができる。

20

【0102】

【数1】

$$V_A = F(V_{out})$$

【0103】

また、ノードAの電荷Q_Aは、ノードAの電位V_A、ノードAに接続される容量C_A、定数(const)を用いて、次式のように表される。ここで、ノードAに接続される容量C_Aは、容量素子1802の容量と他の容量の和である。

【0104】

【数2】

$$Q_A = C_A V_A + const$$

30

【0105】

ノードAでの電流I_Aは、ノードAに接続される容量に流れ込む電荷（またはノードAに接続される容量から流れ出す電荷）の時間微分であるから、ノードAでの電流I_Aは次式のように表される。

【0106】

【数3】

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

40

【0107】

このように、ノードAに接続される容量C_Aと、出力端子の出力電位Voutから、ノードAの電流I_Aを求めることができる。

【0108】

以上に示す方法により、オフ状態においてトランジスタのソースとドレイン間を流れるリーク電流（オフ電流）を測定することができる。

【0109】

ここでは、チャネル長L=10μm、チャネル幅W=50μmの、高純度化された酸化物半導体層を具備するトランジスタ1804、高純度化された酸化物半導体層を具備する

50

トランジスタ 1808 を作製した。また、並列された各測定系 1800 において、容量素子 1802 の各容量値を、100 fF、1 pF、3 pF とした。

【0110】

なお、上述した測定では、 $VDD = 5V$ 、 $VSS = 0V$ とした。また、測定期間においては、電位 $V1$ を原則として VSS とし、10～300 sec ごとに、100 msec の期間だけ VDD として $Vout$ を測定した。また、素子に流れる電流 I の算出に用いられる Δt は、約 30000 sec とした。

【0111】

図 13 に、上記電流測定に係る経過時間 $Time$ と、出力電位 $Vout$ との関係を示す。図 13 より、時間の経過にしたがって、電位が変化している様子が確認できる。

10

【0112】

図 14 には、上記電流測定によって算出された室温 (25℃) におけるオフ電流を示す。なお、図 14 は、トランジスタ 1804 又はトランジスタ 1808 のソースドレイン電圧 V と、オフ電流 I との関係を表すものである。図 14 から、ソースドレイン電圧が 4 V の条件において、オフ電流は約 $40 \text{ zA} / \mu\text{m}$ であることが分かった。また、ソースドレイン電圧が 3.1 V の条件において、オフ電流は $10 \text{ zA} / \mu\text{m}$ 以下であることが分かった。なお、1 zA は 10^{-21} A を表す。

【0113】

さらに、上記電流測定によって算出された 85℃ の温度環境下におけるオフ電流について図 15 に示す。図 15 は、85℃ の温度環境下におけるトランジスタ 1804 又はトランジスタ 1808 のソースドレイン電圧 V と、オフ電流 I との関係を表すものである。図 15 から、ソースドレイン電圧が 3.1 V の条件において、オフ電流は $100 \text{ zA} / \mu\text{m}$ 以下であることが分かった。

20

【0114】

以上により、高純度化された酸化物半導体層を具備するトランジスタでは、オフ電流が十分に小さくなることが確認された。

【0115】

<トランジスタの変形例>

また、上述した説明においては、画素に設けられるトランジスタとして、チャネルエッチ型と呼ばれるボトムゲート構造のトランジスタ 211 を適用する構成 (図 9 参照) について示したが、トランジスタは当該構成に限定されない。例えば、図 16 (A)～(C) に示すトランジスタを適用することが可能である。

30

【0116】

図 16 (A) に示すトランジスタ 510 は、チャネル保護型 (チャネルストップ型ともいう) と呼ばれるボトムゲート構造の一つである。

【0117】

トランジスタ 510 は、絶縁表面を有する基板 220 上に、ゲート層 221、ゲート絶縁層 222、酸化物半導体層 223、酸化物半導体層 223 のチャネル形成領域を覆うチャネル保護層として機能する絶縁層 511、ソース層 224 a、及びドレイン層 224 b を含む。また、ソース層 224 a、ドレイン層 224 b、及び絶縁層 511 を覆う保護絶縁層 226 が形成されている。

40

【0118】

なお、絶縁層 511 としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタルなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0119】

図 16 (B) に示すトランジスタ 520 はボトムゲート型のトランジスタであり、絶縁表面を有する基板である基板 220 上に、ゲート層 221、ゲート絶縁層 222、ソース層 224 a、ドレイン層 224 b、及び酸化物半導体層 223 を含む。また、ソース層 224 a 及びドレイン層 224 b を覆い、酸化物半導体層 223 に接する絶縁層 225 が設け

50

られている。絶縁層 225 上にはさらに保護絶縁層 226 が形成されている。

【0120】

トランジスタ 520 においては、ゲート絶縁層 222 は基板 220 及びゲート層 221 上に接して設けられ、ゲート絶縁層 222 上にソース層 224a、ドレイン層 224b が接して設けられている。そして、ゲート絶縁層 222、及びソース層 224a、ドレイン層 224b 上に酸化物半導体層 223 が設けられている。

【0121】

図 16 (C) に示すトランジスタ 530 は、トップゲート構造のトランジスタの一つである。トランジスタ 530 は、絶縁表面を有する基板 220 上に、絶縁層 531、酸化物半導体層 223、ソース層 224a、及びドレイン層 224b、ゲート絶縁層 222、ゲート層 221 を含み、ソース層 224a、ドレイン層 224b にそれぞれ配線層 532a、配線層 532b が接して設けられ電氣的に接続している。

10

【0122】

なお、絶縁層 531 としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタルなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0123】

また、配線層 532a、配線層 532b としては、アルミニウム (Al)、銅 (Cu)、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

20

【0124】

<画素の断面の具体例>

本発明の一態様に係る液晶表示装置は、画素部にオフ電流が低く、なおかつ信頼性の高いトランジスタを用いているので、高い視認性、高い信頼性を得ることができる。

【0125】

図 17 に、本発明の一態様に係る液晶表示装置の、画素の断面図を一例として示す。図 17 に示すトランジスタ 1401 は、絶縁表面上に形成されたゲート層 1402 と、ゲート層 1402 上のゲート絶縁層 1403 と、ゲート絶縁層 1403 上においてゲート層 1402 と重なっている酸化物半導体層 1404 と、酸化物半導体層 1404 上に積層するように形成され、ソース層またはドレイン層として機能する導電膜 1405 及び導電膜 1406 とを有する。さらに、トランジスタ 1401 は、酸化物半導体層 1404 上に形成された絶縁層 1407 を、その構成要素に含めても良い。絶縁層 1407 は、ゲート層 1402 と、ゲート絶縁層 1403 と、酸化物半導体層 1404 と、導電膜 1405 及び導電膜 1406 とを覆うように形成されている。

30

【0126】

絶縁層 1407 上には絶縁層 1408 が形成されている。絶縁層 1407、絶縁層 1408 の一部には開口部が設けられており、該開口部において導電膜 1406 と接するように、画素電極 1410 が形成されている。

40

【0127】

また、絶縁層 1408 上には、液晶素子のセルギャップを制御するためのスペーサ 1417 が形成されている。スペーサ 1417 は絶縁層を所望の形状にエッチングすることで形成することが可能であるが、球状スペーサを絶縁層 1408 上に散布することでセルギャップを制御するようにしても良い。

【0128】

そして、画素電極 1410 上には、配向膜 1411 が形成されている。また、対向基板 1420 には、画素電極 1410 と対峙する対向電極 1413 が設けられており、対向電極 1413 の画素電極 1410 に近い側には配向膜 1414 が形成されている。配向膜 1411、配向膜 1414 は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて

50

形成することができ、その表面には、液晶分子を一定方向に配列させるためのラビングなどの配向処理が施されている。ラビングは、配向膜に接して、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜の表面を一定方向に擦ることで行うことができる。なお、酸化珪素などの無機材料を用い、配向処理を施すことなく蒸着法で配向特性を有する配向膜 1411、配向膜 1414 を直接形成することも可能である。

【0129】

そして、画素電極 1410 と、対向電極 1413 の間においてシール材 1416 に囲まれた領域には、液晶 1415 が設けられている。液晶 1415 の注入は、ディスペンサ式（滴下式）を用いても良いし、ディップ式（汲み上げ式）を用いても良い。なお、シール材 1416 にはフィラーが混入されていても良い。

10

【0130】

また、画素間における液晶 1415 の配向の乱れに起因するディスクリネーションが視認されるのを防ぐために、画素間に、光を遮蔽することができる遮蔽膜を形成しても良い。遮蔽膜には、カーボンブラック、低次酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。または、クロムを用いた膜で、遮蔽膜を形成することも可能である。

【0131】

画素電極 1410 と対向電極 1413 は、例えば、酸化珪素を含む酸化インジウムスズ（ITO）、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）などの透明導電材料を用いることができる。

20

【0132】

なお、ここでは、液晶表示装置として、TN（Twisted Nematic）型を示したが、VA（Vertical Alignment）型、OCB（Optically Compensated Birefringence）型、IPS（In-Plane Switching）型、MVA（Multi-domain Vertical Alignment）型等の、その他の液晶表示装置であっても良い。

【0133】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。具体的には、5重量%以上のカイラル剤を混合させた液晶組成物を液晶 1415 に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答時間が $10\mu\text{sec}$ 以上 $100\mu\text{sec}$ 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。このような特性を有する液晶は、上述した液晶表示装置（画像を形成するために複数回の画像信号を各画素に入力することが必要な液晶表示装置）が有する液晶として特に好ましい。

30

【0134】

なお、図 17 では、画素電極 1410 と対向電極 1413 の間に液晶 1415 が挟まれている構造を有する液晶素子を例に挙げて説明したが、本発明の一態様に係る液晶表示装置はこの構成に限定されない。IPS 型の液晶素子やブルー相を用いた液晶素子のように、一対の電極が共に一の基板に形成されていても良い。

40

【0135】

<画素部と駆動回路間の接続の具体例>

次いで、画素部の形成された基板に、駆動回路が形成された基板を直接実装する場合の、端子間の接続の仕方について説明する。

【0136】

図 18（A）に、ワイヤボンディング法を用いた場合の、駆動回路が形成された基板 900 と、画素部が形成された基板 901 の接続部分の断面図を示す。基板 900 は基板 901 上に、接着剤 903 により貼り付けられている。基板 900 には、駆動回路を構成するトランジスタ 906 が設けられている。そして、トランジスタ 906 は、基板 900 に

50

において表面に露出するように形成された、端子として機能するパッド907と電氣的に接続されている。そして、図18(A)に示す基板901上には端子904が形成されており、ワイヤ905によってパッド907と端子904とが接続されている。

【0137】

次に、図18(B)に、フリップチップ法を用いた場合の、画素部の形成された基板911と、駆動回路が形成された基板910の、接続部分の断面図を示す。図18(B)では、基板910において表面に露出するよう形成されたパッド912に、溶剤ボール913が接続されている。よって、基板910に形成された駆動回路を構成するトランジスタ914は、パッド912を介して溶剤ボール913と電氣的に接続されている。そして、溶剤ボール913は、基板911上に形成された端子916と接続されている。

10

【0138】

なお、溶剤ボール913と、端子916との接続は、熱圧着や、超音波による振動を加えた熱圧着等様々な方法を用いることができる。なお、基板910と基板911との間にアンダーフィルを設け、圧着後の溶剤ボール間の隙間を埋めるようにし、接続部分の機械的強度や、基板911において発生した熱の拡散などの効率を高めるようにしても良い。アンダーフィルは必ずしも用いる必要はないが、基板910と基板911の熱膨張係数のミスマッチから生ずる応力により、接続不良が起こるのを防ぐことができる。超音波を加えて圧着する場合、単に熱圧着する場合に比べて接続不良を抑えることができる。

20

【0139】

フリップチップ法の場合、接続するべきパッドの数が増加しても、ワイヤボンディング法に比べて、比較的パッド間のピッチを広く確保することができるので、端子数の多い場合の接続に向いている。

【0140】

なお、溶剤ボールの形成に、金属のナノ粒子が分散された分散液を吐出する液滴吐出法を用いても良い。

【0141】

次に、図18(C)に、異方性の導電性樹脂を用いた場合の、画素部の形成された基板921と、駆動回路が形成された基板920の、接続部分の断面図を示す。図18(C)では、基板920において表面に露出するよう形成されたパッド922が、基板920に形成された駆動回路を構成するトランジスタ924と電氣的に接続されている。そして、パッド922は、基板921上に形成された端子926と、異方性の導電性樹脂927を介して接続されている。

30

【0142】

なお、接続方法は図18に示した方法に限定されない。ワイヤボンディング法とフリップチップ法を組み合わせ、接続を行うようにしても良い。

【0143】

<画素部を有する基板に実装される駆動回路の具体例>

次いで、駆動回路を有する基板の実装方法について説明する。本発明の一態様に係る液晶表示装置は、酸化物半導体によってチャネル形成領域が構成されるトランジスタを用いているため、画素部と共に駆動回路の一部を、一の基板に作り込むことができる。

40

【0144】

図19(A)に示す液晶表示装置は、基板6001に、画素部6002と、走査線駆動回路6003とが形成されている。対向基板6006は、画素部6002と走査線駆動回路6003を覆うように、基板6001と重なっている。そして、信号線駆動回路が形成されている基板6004が、基板6001に直接実装されている。具体的には、基板6004に形成された信号線駆動回路が、基板6001に貼り合わされ、画素部6002と電氣的に接続されている。また、画素部6002と、走査線駆動回路6003と、基板6004に形成された信号線駆動回路とには、それぞれ電源電位、各種信号等が、FPC60

50

05を介して供給される。

【0145】

図19(B)に示す液晶表示装置は、基板6101に、画素部6102と、走査線駆動回路6103とが形成されている。対向基板6106は、画素部6102と走査線駆動回路6103を覆うように、基板6101と重なっている。そして、信号線駆動回路が形成された基板6104は、基板6101に接続されたFPC6105に実装されている。また、画素部6102と、走査線駆動回路6103と、基板6104に形成された信号線駆動回路とに、それぞれ電源電位、各種信号等が、FPC6105を介して供給される。

【0146】

図19(C)に示す液晶表示装置は、基板6201に、画素部6202と、走査線駆動回路6203と、信号線駆動回路の一部6207が形成されている。対向基板6206は、画素部6202、走査線駆動回路6203、及び信号線駆動回路の一部6207を覆うように、基板6201と重なっている。そして、信号線駆動回路の別の一部が形成された基板6204は、基板6201に直接実装されている。具体的には、基板6204に形成された信号線駆動回路の別の一部が、基板6201に貼り合わされ、信号線駆動回路の一部6207と電氣的に接続されている。また、画素部6202と、走査線駆動回路6203と、信号線駆動回路の一部6207と、基板6204に形成された信号線駆動回路の別の一部とに、それぞれ電源電位、各種信号等が、FPC6205を介して供給される。

【0147】

基板の実装方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法などを用いることができる。また、ICチップを実装する位置は、電氣的な接続が可能であるならば、図19に示した位置に限定されない。また、コントローラ、CPU、メモリ等をICチップで形成し、画素部の形成された基板に実装するようにしても良い。

【0148】

<液晶表示装置の具体例>

次いで、本発明の一態様に係る液晶表示装置のパネルの外観について、図20を用いて説明する。図20(A)は、基板4001と対向基板4006とをシール材4005によって接着させたパネルの上面図であり、図20(B)は、図20(A)の破線A-A'における断面図に相当する。

【0149】

基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むように、シール材4005が設けられている。また、画素部4002、走査線駆動回路4004の上に対向基板4006が設けられている。よって、画素部4002と走査線駆動回路4004は、基板4001とシール材4005と対向基板4006とによって、液晶4007と共に封止されている。

【0150】

また、基板4001上のシール材4005によって囲まれている領域とは異なる領域に、信号線駆動回路4003が形成された基板4021が、実装されている。図20では、信号線駆動回路4003に含まれるトランジスタ4009を例示している。

【0151】

また、基板4001上に設けられた画素部4002、走査線駆動回路4004は、トランジスタを複数有している。図20(B)では、画素部4002に含まれるトランジスタ4010、トランジスタ4022を例示している。トランジスタ4010、トランジスタ4022は、酸化物半導体によってチャネル形成領域が構成される。

【0152】

また、液晶素子4011が有する画素電極4030は、トランジスタ4010と電氣的に接続されている。そして、液晶素子4011の対向電極4031は、対向基板4006に形成されている。画素電極4030と対向電極4031と液晶4007とが重なっている部分が、液晶素子4011に相当する。

10

20

30

40

50

【0153】

また、スペーサ4035が、画素電極4030と対向電極4031との間の距離（セルギャップ）を制御するために設けられている。なお、図20（B）では、スペーサ4035が、絶縁膜をパターンニングすることで形成されている場合を例示しているが、球状スペーサを用いていても良い。

【0154】

また、信号線駆動回路4003、走査線駆動回路4004、画素部4002に与えられる各種信号及び電位は、引き回し配線4014及び引き回し配線4015を介して、接続端子4016から供給されている。接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

10

【0155】

なお、基板4001、対向基板4006、基板4021には、ガラス、セラミックス、プラスチックを用いることができる。プラスチックには、FRP（Fiber glass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムなどが含まれる。

【0156】

但し、液晶素子4011を透過した光の取り出し方向に位置する基板には、ガラス板、プラスチック、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0157】

図21は、本発明の一態様に係る液晶表示装置の構造を示す、斜視図の一例である。図21に示す液晶表示装置は、画素部を有するパネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、バックライトパネル1607と、回路基板1608と、信号線駆動回路の形成された基板1611とを有している。

20

【0158】

パネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、バックライトパネル1607とは、順に積層されている。バックライトパネル1607は、複数のバックライトユニットで構成されたバックライト1612を有している。導光板1605内部に拡散されたバックライト1612からの光は、第1の拡散板1602、プリズムシート1603及び第2の拡散板1604によって、パネル1601に照射される。

30

【0159】

なお、ここでは、第1の拡散板1602と第2の拡散板1604とを用いているが、拡散板の数はこれに限定されず、単数であっても3以上であっても良い。そして、拡散板は導光板1605とパネル1601の間に設けられていれば良い。よって、プリズムシート1603よりもパネル1601に近い側にのみ拡散板が設けられていても良いし、プリズムシート1603よりも導光板1605に近い側にのみ拡散板が設けられていても良い。

【0160】

また、プリズムシート1603は、図21に示した断面が鋸歯状の形状に限定されず、導光板1605からの光をパネル1601側に集光できる形状を有していても良い。

40

【0161】

回路基板1608には、パネル1601に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして、図21では、回路基板1608とパネル1601とが、COFテープ1609を介して接続されている。また、信号線駆動回路の形成された基板1611が、COF（Chip On Film）法を用いてCOFテープ1609に接続されている。

【0162】

図21では、バックライト1612の駆動を制御する制御系の回路が回路基板1608に設けられており、該制御系の回路とバックライトパネル1607とがFPC1610を

50

介して接続されている例を示している。ただし、上記制御系の回路はパネル１６０１に形成されていても良く、この場合はパネル１６０１とバックライトパネル１６０７とがＦＰＣなどにより接続されるようにする。

【０１６３】

＜タッチパネルを用いた液晶表示装置の具体例＞

本発明の一態様に係る液晶表示装置は、タッチパネルと呼ばれる位置入力装置を有していても良い。図２２（Ａ）に、タッチパネル１６２０と、パネル１６２１とを重ね合わせている様子を示す。

【０１６４】

タッチパネル１６２０は、透光性を有する位置検出部１６２２において、指またはスタイラスなどが触れた位置を検出し、その位置情報を含む信号を生成することができる。よって、位置検出部１６２２がパネル１６２１の画素部１６２３に重なるようにタッチパネル１６２０を設けることで、液晶表示装置のユーザーが画素部１６２３のどの位置を指し示したかを情報として得ることができる。

【０１６５】

位置検出部１６２２における位置の検出は、抵抗膜方式、静電容量方式など、様々な方式を用いて行うことができる。図２２（Ｂ）に、抵抗膜方式を用いた位置検出部１６２２の斜視図を示す。抵抗膜方式の位置検出部１６２２は、複数の第１電極１６３０と複数の第２電極１６３１とが、間隔をおいて対峙するように設けられている。指などで複数の第１電極１６３０のいずれかに押圧が加えられると、当該第１電極１６３０が複数の第２電極１６３１のいずれかに接触する。そして、複数の各第１電極１６３０の両端の電圧の値と、複数の各第２電極１６３１の両端の電圧の値とをモニターすると、いずれの第１電極１６３０と第２電極１６３１が接触したのかを特定することができるので、指が触れた位置を検出することができる。

【０１６６】

第１電極１６３０と第２電極１６３１は、透光性を有する導電材料、例えば、酸化珪素を含む酸化インジウムスズ（ＩＴＳＯ）、酸化インジウムスズ（ＩＴＯ）、酸化亜鉛（ＺｎＯ）、酸化インジウム亜鉛（ＩＺＯ）、ガリウムを添加した酸化亜鉛（ＧＺＯ）などで、形成することができる。

【０１６７】

また、図２３（Ａ）に、静電容量方式のうち、投影静電容量方式を用いた位置検出部１６２２の斜視図を示す。投影静電容量方式の位置検出部１６２２は、複数の第１電極１６４０と複数の第２電極１６４１とが重なるように設けられている。各第１電極１６４０は、矩形状の導電膜１６４２が複数接続された構成を有しており、各第２電極１６４１は、矩形状の導電膜１６４３が複数接続された構成を有している。なお、第１電極１６４０と第２電極１６４１の形状はこの構成に限定されない。

【０１６８】

また、図２３（Ａ）では、複数の第１電極１６４０と複数の第２電極１６４１の上に、誘電体として機能する絶縁層１６４４が重なっている。図２３（Ｂ）に、図２３（Ａ）に示した複数の第１電極１６４０と、複数の第２電極１６４１と、絶縁層１６４４とが重なり合っている様子を示す。図２３（Ｂ）に示すように、複数の第１電極１６４０と複数の第２電極１６４１は、矩形状の導電膜１６４２と矩形状の導電膜１６４３の位置が互にずれるように、重なり合っている。

【０１６９】

絶縁層１６４４に指などが接触すると、複数の第１電極１６４０のいずれかと、指との間に容量が形成される。また、複数の第２電極１６４１のいずれかと、指との間にも容量が形成される。よって、静電容量の変化をモニターすることで、いずれの第１電極１６４０と第２電極１６４１に指が最も近づいたのかを特定することができるので、指が触れた位置を検出することができる。

【０１７０】

<トランジスタの作製方法の一例>

次いで、トランジスタの作製方法の一例について説明する。

【0171】

まず、図24(A)に示すように、絶縁表面を有する基板800上に、ゲート層801、電極層802を形成する。

【0172】

ゲート層801、電極層802の材料は、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えるのであれば、上記金属材料としてアルミニウム、銅を用いることもできる。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

【0173】

例えば、二層の積層構造を有するゲート層801、電極層802として、アルミニウム膜上にモリブデン膜が積層された二層の積層構造、銅膜上にモリブデン膜を積層した二層構造、銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、または、窒化チタン膜とモリブデン膜とを積層した二層構造とすることが好ましい。3層の積層構造を有するゲート層801、電極層802としては、アルミニウム膜、アルミニウムとシリコンの合金膜、アルミニウムとチタンの合金膜またはアルミニウムとネオジムの合金膜を中間層とし、タングステン膜、窒化タングステン膜、窒化チタン膜またはチタン膜を上下層として積層した構造とすることが好ましい。

【0174】

また、ゲート層801、電極層802に酸化インジウム、酸化インジウム酸化スズ合金、酸化インジウム酸化亜鉛合金、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【0175】

ゲート層801、電極層802の膜厚は、10nm~400nm、好ましくは100nm~200nmとする。ここでは、タングステントargetを用いたスパッタ法により150nmのゲート層用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工（パターニング）することで、ゲート層801、電極層802を形成する。なお、形成されたゲート層の端部がテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0176】

次いで、図24(B)に示すように、ゲート層801、電極層802上に、ゲート絶縁層803を形成する。ゲート絶縁層803は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタル膜を単層又は積層させて形成することができる。ゲート絶縁層803は、水分や、水素、酸素などの不純物を極力含まないことが望ましい。スパッタリング法により酸化珪素膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

【0177】

不純物を除去することによりi型化又は実質的にi型化された酸化物半導体（高純度化された酸化物半導体）は界面準位、界面電荷に対して極めて敏感であるため、高純度化された酸化物半導体とゲート絶縁層803との界面は重要である。そのため高純度化された

酸化物半導体に接するゲート絶縁層（G I）は、高品質化が要求される。

【0178】

例えば、 μ 波（周波数2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとするができるからである。

【0179】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、ゲート絶縁層と酸化物半導体との界面特性が改善される絶縁層であっても良い。いずれにしても、ゲート絶縁層としての膜質が良好であることは勿論のこと、ゲート絶縁層と酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0180】

バリア性の高い材料を用いた絶縁層と、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁層とを積層させた構造を有するゲート絶縁層803を形成しても良い。この場合、酸化珪素膜、酸化窒化珪素膜などの絶縁層は、バリア性の高い絶縁層と酸化物半導体層の間に形成する。バリア性の高い絶縁層として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア性の高い絶縁層を用いることで、水分または水素などの雰囲気中の不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体層内、ゲート絶縁層803内、或いは、酸化物半導体層と他の絶縁層の界面とその近傍に入り込むのを防ぐことができる。また、酸化物半導体層に接するように窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁層を形成することで、バリア性の高い絶縁層が直接酸化物半導体層に接するのを防ぐことができる。

【0181】

例えば、第1のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化珪素膜（ SiN_y （ $y > 0$ ））を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化珪素膜（ SiO_x （ $x > 0$ ））を積層して、膜厚100nmのゲート絶縁層803としても良い。ゲート絶縁層803の膜厚は、トランジスタに要求される特性によって適宜設定すればよく350nm乃至400nm程度でもよい。

【0182】

ここでは、スパッタ法で形成された膜厚50nmの窒化珪素膜上に、スパッタ法で形成された膜厚100nmの酸化珪素膜を積層させた構造を有する、ゲート絶縁層803を形成する。

【0183】

なお、ゲート絶縁層803に水素、水酸基及び水分がなるべく含まれないようにするためには、成膜の前処理として、スパッタリング装置の予備加熱室でゲート層801、電極層802が形成された基板800を予備加熱し、基板800に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100℃以上400℃以下、好ましくは150℃以上300℃以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0184】

次いで、ゲート絶縁層803上に膜厚2nm以上200nm以下、好ましくは膜厚3nm以上50nm以下、さらに好ましくは膜厚3nm以上20nm以下の酸化物半導体層を形成する。酸化物半導体層は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体層は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成す

10

20

30

40

50

ることができる。

【0185】

なお、酸化物半導体層をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層803の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板付近にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0186】

酸化物半導体層は、上述したように、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Ga-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系、または単元系金属酸化物であるIn-O系、Sn-O系、Zn-O系などの酸化物半導体を用いることができる。また、上記酸化物半導体に珪素を含んでもよい。

【0187】

また、酸化物半導体層は、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。

【0188】

ここでは、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含む金属酸化物ターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn-O系非単結晶膜を、酸化物半導体層として用いる。上記ターゲットとして、例えば、各金属の組成比がIn:Ga:Zn=1:1:0.5、In:Ga:Zn=1:1:1、またはIn:Ga:Zn=1:1:2である金属酸化物ターゲットを用いることができる。また、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行ってもよい。また、In、Ga、及びZnを含む金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上100%以下である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体層は緻密な膜となる。

【0189】

ここでは、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板800上に酸化物半導体層を成膜する。成膜時に、基板温度を100℃以上600℃以下、好ましくは200℃以上400℃以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて処理室を排気すると、例えば、水素原子、水(H_2O)など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該処理室で成膜した酸化物半導体層に含まれる不純物の濃度を低減できる。

【0190】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素（酸素流量比率100%）雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、成膜時に発生するパーティクルと呼ばれる塵埃が軽減でき、膜厚分布も均一となるために好ましい。

10

20

30

40

50

【0191】

なお、酸化物半導体層に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート絶縁層803までが形成された基板800を予備加熱し、基板800に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100℃以上400℃以下、好ましくは150℃以上300℃以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層808の成膜前に、ソース層805及びドレイン層806、電極層807まで形成した基板800にも同様に行ってもよい。

【0192】

次いで、図24(B)に示すように、酸化物半導体層をエッチングなどにより所望の形状に加工（パターニング）し、ゲート絶縁層803上のゲート層801と重なる位置に、島状の酸化物半導体層804を形成する。

【0193】

島状の酸化物半導体層804を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトリソ法を使用しないため、製造コストを低減できる。

【0194】

なお、島状の酸化物半導体層804を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

【0195】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

【0196】

ウェットエッチングに用いるエッチング液としては、ITO07N（関東化学社製）を用いる。また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化を図ることができる。

【0197】

なお、次工程の導電膜を形成する前に逆スパッタを行い、島状の酸化物半導体層804及びゲート絶縁層803の表面に付着しているレジスト残渣などを除去することが好ましい。

【0198】

次いで、窒素、酸素、超乾燥空気（水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）、または希ガス（アルゴン、ヘリウムなど）の雰囲気下において、酸化物半導体層804に加熱処理を施す。酸化物半導体層804に加熱処理を施すことで、酸化物半導体層804中の水分または水素を脱離させることができる。具体的には、300℃以上850℃以下（若しくはガラス基板の歪点以下の温度）、好ましくは550℃以上750℃以下で加熱処理を行えば良い。例えば、600℃、3分

10

20

30

40

50

間以上6分間以下程度で行えばよい。RTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。或いは、基板温度が450℃に達した状態で、1時間程度、加熱処理を行うようにしても良い。

【0199】

ここでは、加熱処理装置の一つである電気炉を用い、酸化物半導体層804に対して、窒素雰囲気下において、加熱処理を行う。

【0200】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0201】

例えば、加熱処理として、650℃~700℃の高温に加熱した不活性ガス中に基板を移動させて、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0202】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分または水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

【0203】

水分または水素などの不純物が酸化物半導体に添加されていると、ゲートバイアス・熱ストレス試験(BT試験、試験条件は例えば、85℃、 2×10^6 V/cm、12時間)において、不純物と酸化物半導体の主成分との結合手が、強電界(B:バイアス)と高温(T:温度)により切断され、生成された未結合手がしきい値電圧(V_{th})のドリフトを誘発することとなる。しかし、上述したように、ゲート絶縁層と酸化物半導体層との界面特性を良好にし、なおかつ、酸化物半導体層中の不純物、特に水分または水素等を極力除去することにより、BT試験に対しても安定なトランジスタが得られる。

【0204】

以上の工程により酸化物半導体層804中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体層の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、キャリア密度が極端に少なく、バンドギャップの広い酸化物半導体層を形成することができる。このため、大面積基板を用いてトランジスタを作製することができるため、量産性を高めることができる。また、当該水素濃度が低減され高純度化された酸化物半導体層を用いることで、耐圧性が高く、ショートチャネル効果が低く、オンオフ比の高いトランジスタを作製することができる。

【0205】

なお、酸化物半導体層を加熱する場合、酸化物半導体層の材料や加熱条件にもよるが、その上表面に板状結晶が形成されることがある。板状結晶は、酸化物半導体層の表面に対して略垂直にc軸配向した単結晶であることが好ましい。また、単結晶でなくともチャネル形成領域で各結晶のab面が一致するか、a軸、或いは、b軸が全てにおいて一致し、かつ、酸化物半導体層の表面に対して略垂直にc軸配向した多結晶又は単結晶であることが好ましい。なお、酸化物半導体層下に存在する層の表面に凹凸がある場合、板状結晶は

多結晶となる。したがって、酸化物半導体層下に存在する層の表面は可能な限り平坦であることが望まれる。

【0206】

次に、酸化物半導体層804上に、ソース層またはドレイン層（これと同じ層で形成される配線を含む）として用いる導電膜を、スパッタ法や真空蒸着法で形成したあと、エッチング等により該導電膜をパターニングすることで、図24（C）に示すように、酸化物半導体層804上のソース層805及びドレイン層806と、ゲート絶縁層803を間に挟んで電極層802と重なる電極層807とを、それぞれ形成する。

【0207】

ソース層805、ドレイン層806、及び電極層807（これと同じ層で形成される配線を含む）となる導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、Al、Cuなどの金属膜の下側もしくは上側にCr、Ta、Ti、Mo、Wなどの高融点金属膜を積層させた構成としても良い。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウィスカの発生を防止する元素が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。

【0208】

また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。

【0209】

また、ソース層805、ドレイン層806、及び電極層807（これと同じ層で形成される配線を含む）となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム（ In_2O_3 ）、酸化スズ（ SnO_2 ）、酸化亜鉛（ ZnO ）、酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3-\text{ZnO}$ ）または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【0210】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0211】

なお、導電膜のエッチングの際に、酸化物半導体層804がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、島状の酸化物半導体層804の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【0212】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0213】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

10

20

30

40

50

【0214】

なお、プラズマ処理を行った後、図24(D)に示すように、ソース層805及びドレイン層806と、電極層807と、酸化物半導体層804とを覆うように、絶縁層808を形成する。絶縁層808は、水分や、水素、酸素などの不純物を極力含まないことが望ましく、単層の絶縁層であっても良いし、積層された複数の絶縁層で構成されていても良い。絶縁層808に水素が含まれると、その水素が酸化物半導体層へ侵入し、又は水素が酸化物半導体層中の酸素を引き抜き、酸化物半導体層のバックチャネル部が低抵抗化(n型化)してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁層808はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記絶縁層808には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁層として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁層を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁層を、上記バリア性の高い絶縁層よりも、酸化物半導体層804に近い側に形成する。そして、窒素の含有比率が低い絶縁層を間に挟んで、ソース層805及びドレイン層806及び酸化物半導体層804と重なるように、バリア性の高い絶縁層を形成する。バリア性の高い絶縁層を用いることで、酸化物半導体層804内、ゲート絶縁層803内、或いは、酸化物半導体層804と他の絶縁層の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体層804に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁層を形成することで、バリア性の高い材料を用いた絶縁層が直接酸化物半導体層804に接するのを防ぐことができる。

【0215】

ここでは、スパッタ法で形成された膜厚200nmの酸化珪素膜上に、スパッタ法で形成された膜厚100nmの窒化珪素膜を積層させた構造を有する、絶縁層808を形成する。成膜時の基板温度は、室温以上300℃以下とすればよく、ここでは100℃とする。

【0216】

なお、絶縁層808を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、酸素、超乾燥空気(水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)、または希ガス(アルゴン、ヘリウムなど)の雰囲気下において、好ましくは200℃以上400℃以下、例えば250℃以上350℃以下)で行う。ここでは、例えば、窒素雰囲気下で250℃、1時間の加熱処理を行う。或いは、ソース層805及びドレイン層806と、電極層807とを形成する前に、酸化物半導体層に対して行った先の加熱処理と同様に、高温短時間のRTA処理を行っても良い。酸化物半導体層に対して行った先の加熱処理により、酸化物半導体層804に酸素欠損が発生していたとしても、ソース層805とドレイン層806の間に設けられた酸化物半導体層804の露出領域に接して、酸素を含む絶縁層808が設けられた後に、加熱処理が施されることによって、酸化物半導体層804に酸素が供与される。そのため、酸化物半導体層804の絶縁層808と接する領域に酸素が供与されることで、ドナーとなる酸素欠損を低減し、化学量論比を満たすことが可能である。その結果、酸化物半導体層804をi型化または実質的にi型化にすることができ、トランジスタの電気特性の向上および、電気特性のばらつきを軽減することができる。この加熱処理を行うタイミングは、絶縁層808の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透明導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、酸化物半導体層804をi型化または実質的にi型化にすることができる。

【0217】

次いで、絶縁層808上に導電膜を形成した後、該導電膜をパターニングすることで、酸化物半導体層804と重なる位置にバックゲート層を形成しても良い。バックゲート層を形成する場合、バックゲート層を覆うように絶縁層を形成する。バックゲート層は、ゲート層801、電極層802、或いはソース層805及びドレイン層806、電極層80

7と同様の材料、構造を用いて形成することが可能である。

【0218】

バックゲート層の膜厚は、10nm～400nm、好ましくは100nm～200nmとする。ここでは、チタン膜、アルミニウム膜、チタン膜が積層された構造を有する導電膜を形成した後、フォトリソグラフィ法などによりレジストマスクを形成し、エッチングにより不要な部分を除去して、該導電膜を所望の形状に加工（パターニング）することで、バックゲート層を形成する。

【0219】

絶縁層は、雰囲気中の水分、水素、酸素などがトランジスタの特性に影響を与えるのを防ぐことができる、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁層として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを、プラズマCVD法又はスパッタリング法等により単層又は積層させて形成することができる。バリア性の効果を得るには、絶縁層は、例えば厚さ15nm～400nmの膜厚で形成することが好ましい。

【0220】

ここでは、プラズマCVD法により300nmの絶縁層を形成する。成膜条件は、シランガスの流量を4sccmとし、一酸化二窒素（N₂O）の流量を800sccmとし、基板温度を400℃とする。

【0221】

以上の工程により、トランジスタ809と、容量素子810が形成される。なお、容量素子810は、電極層802と電極層807とが、ゲート絶縁層803を間に挟んで重なり合っている領域に形成される。

【0222】

トランジスタ809は、ゲート層801と、ゲート層801上のゲート絶縁層803と、ゲート絶縁層803上においてゲート層801と重なっている酸化物半導体層804と、酸化物半導体層804上に形成された一対のソース層805またはドレイン層806とを有する。さらに、トランジスタ809は、酸化物半導体層804上に形成された絶縁層808を、その構成要素に含めても良い。図24（D）に示すトランジスタ809は、ソース層805とドレイン層806の間において、酸化物半導体層804の一部がエッチングされたチャンネルエッチ構造である。

【0223】

なお、トランジスタ809はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート層801を有することで、チャンネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【0224】

<液晶表示装置を搭載した各種電子機器について>

以下では、本明細書で開示される液晶表示装置を搭載した電子機器の例について図25を参照して説明する。

【0225】

図25（A）は、ノート型のパーソナルコンピュータを示す図であり、本体2201、筐体2202、表示部2203、キーボード2204などによって構成されている。

【0226】

図25（B）は、携帯情報端末（PDA）を示す図であり、本体2211には表示部2213と、外部インターフェイス2215と、操作ボタン2214等が設けられている。また、操作用の付属品としてスタイラス2212がある。

【0227】

図25（C）は、電子ペーパーの一例として、電子書籍2220を示す図である。電子書籍2220は、筐体2221および筐体2223の2つの筐体で構成されている。筐体2221および筐体2223は、軸部2237により一体とされており、該軸部2237を軸として開閉動作を行うことができる。このような構成により、電子書籍2220は、

10

20

30

40

50

紙の書籍のように用いることが可能である。

【0228】

筐体2221には表示部2225が組み込まれ、筐体2223には表示部2227が組み込まれている。表示部2225および表示部2227は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図25（C）では表示部2225）に文章を表示し、左側の表示部（図25（C）では表示部2227）に画像を表示することができる。

【0229】

また、図25（C）では、筐体2221に操作部などを備えた例を示している。例えば、筐体2221は、電源ボタン2231、操作キー2233、スピーカー2235などを備えている。操作キー2233により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2220は、電子辞書としての機能を持たせた構成としてもよい。

【0230】

また、電子書籍2220は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0231】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

【0232】

図25（D）は、携帯電話機を示す図である。当該携帯電話機は、筐体2240および筐体2241の二つの筐体で構成されている。筐体2241は、表示パネル2242、スピーカー2243、マイクロフォン2244、ポインティングデバイス2246、カメラ用レンズ2247、外部接続端子2248などを備えている。また、筐体2240は、当該携帯電話機の充電を行う太陽電池セル2249、外部メモリスロット2250などを備えている。また、アンテナは筐体2241内部に内蔵されている。

【0233】

表示パネル2242はタッチパネル機能を備えており、図25（D）には映像表示されている複数の操作キー2245を点線で示している。なお、当該携帯電話は、太陽電池セル2249から出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵した構成とすることもできる。

【0234】

表示パネル2242は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル2242と同一面上にカメラ用レンズ2247を備えているため、テレビ電話が可能である。スピーカー2243およびマイクロフォン2244は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体2240と筐体2241はスライドし、図25（D）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0235】

外部接続端子2248はACアダプタやUSBケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット2250に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0236】

図 2 5 (E) は、デジタルカメラを示す図である。当該デジタルカメラは、本体 2 2 6 1、表示部 2 2 6 7、接眼部 2 2 6 3、操作スイッチ 2 2 6 4、表示部 2 2 6 5、バッテリー 2 2 6 6 などによって構成されている。

【 0 2 3 7 】

図 2 5 (F) は、テレビジョン装置を示す図である。テレビジョン装置 2 2 7 0 では、筐体 2 2 7 1 に表示部 2 2 7 3 が組み込まれている。表示部 2 2 7 3 により、映像を表示することが可能である。なお、ここでは、スタンド 2 2 7 5 により筐体 2 2 7 1 を支持した構成を示している。

【 0 2 3 8 】

テレビジョン装置 2 2 7 0 の操作は、筐体 2 2 7 1 が備える操作スイッチや、別体のリモコン操作機 2 2 8 0 により行うことができる。リモコン操作機 2 2 8 0 が備える操作キー 2 2 7 9 により、チャンネルや音量の操作を行うことができ、表示部 2 2 7 3 に表示される映像を操作することができる。また、リモコン操作機 2 2 8 0 に、当該リモコン操作機 2 2 8 0 から出力する情報を表示する表示部 2 2 7 7 を設ける構成としてもよい。

【 0 2 3 9 】

なお、テレビジョン装置 2 2 7 0 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことが可能である。

【符号の説明】

【 0 2 4 0 】

1 0	画素部
1 1	走査線駆動回路
1 2	信号線駆動回路
1 5	画素
1 6	バックライトユニット
3 0	画素部
3 1	走査線駆動回路
3 2	信号線駆動回路
3 3	走査線
1 1 1	シフトレジスタ
1 1 2	シフトレジスタ
1 1 3	シフトレジスタ
1 2 0	シフトレジスタ
1 2 1	トランジスタ
1 2 2	トランジスタ
1 2 3	トランジスタ
1 3 1	走査線
1 3 2	走査線
1 3 3	走査線
1 4 1	信号線
1 4 2	信号線
1 4 3	信号線
1 5 1	トランジスタ
1 5 2	トランジスタ
1 5 3	トランジスタ
1 5 4	容量素子
1 5 5	液晶素子
2 1 1	トランジスタ

10

20

30

40

50

2 2 0	基板	
2 2 1	ゲート層	
2 2 2	ゲート絶縁層	
2 2 3	酸化物半導体層	
2 2 4 a	ソース層	
2 2 4 b	ドレイン層	
2 2 5	絶縁層	
2 2 6	保護絶縁層	
3 0 1	領域	
3 0 2	領域	10
3 0 3	領域	
3 1 1	シフトレジスタ	
3 1 2	シフトレジスタ	
3 1 3	シフトレジスタ	
3 2 0	シフトレジスタ	
3 2 1	トランジスタ	
3 2 2	トランジスタ	
3 2 3	トランジスタ	
3 4 1	信号線	
3 4 2	信号線	20
3 4 3	信号線	
3 5 1	画素	
3 5 2	画素	
3 5 3	画素	
5 1 0	トランジスタ	
5 1 1	絶縁層	
5 2 0	トランジスタ	
5 3 0	トランジスタ	
5 3 1	絶縁層	
5 3 2 a	配線層	30
5 3 2 b	配線層	
8 0 0	基板	
8 0 1	ゲート層	
8 0 2	電極層	
8 0 3	ゲート絶縁層	
8 0 4	酸化物半導体層	
8 0 5	ソース層	
8 0 6	ドレイン層	
8 0 7	電極層	
8 0 8	絶縁層	40
8 0 9	トランジスタ	
8 1 0	容量素子	
9 0 0	基板	
9 0 1	基板	
9 0 3	接着剤	
9 0 4	端子	
9 0 5	ワイヤ	
9 0 6	トランジスタ	
9 0 7	パッド	
9 1 0	基板	50

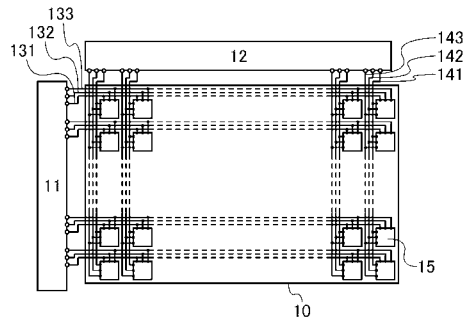
9 1 1	基板	
9 1 2	パッド	
9 1 3	ソルダーボール	
9 1 4	トランジスタ	
9 1 6	端子	
9 2 0	基板	
9 2 1	基板	
9 2 2	パッド	
9 2 4	トランジスタ	
9 2 6	端子	10
9 2 7	導電性樹脂	
1 4 0 1	トランジスタ	
1 4 0 2	ゲート層	
1 4 0 3	ゲート絶縁層	
1 4 0 4	酸化物半導体層	
1 4 0 5	導電膜	
1 4 0 6	導電膜	
1 4 0 7	絶縁層	
1 4 0 8	絶縁層	
1 4 1 0	画素電極	20
1 4 1 1	配向膜	
1 4 1 3	対向電極	
1 4 1 4	配向膜	
1 4 1 5	液晶	
1 4 1 6	シール材	
1 4 1 7	スペーサ	
1 4 2 0	対向基板	
1 6 0 1	パネル	
1 6 0 2	拡散板	
1 6 0 3	プリズムシート	30
1 6 0 4	拡散板	
1 6 0 5	導光板	
1 6 0 7	バックライトパネル	
1 6 0 8	回路基板	
1 6 0 9	C O F テープ	
1 6 1 0	F P C	
1 6 1 1	基板	
1 6 1 2	バックライト	
1 6 2 0	タッチパネル	
1 6 2 1	パネル	40
1 6 2 2	位置検出部	
1 6 2 3	画素部	
1 6 3 0	第 1 電極	
1 6 3 1	第 2 電極	
1 6 4 0	第 1 電極	
1 6 4 1	第 2 電極	
1 6 4 2	導電膜	
1 6 4 3	導電膜	
1 6 4 4	絶縁層	
1 8 0 0	測定系	50

1 8 0 2	容量素子	
1 8 0 4	トランジスタ	
1 8 0 5	トランジスタ	
1 8 0 6	トランジスタ	
1 8 0 8	トランジスタ	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 1 1	本体	10
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	
2 2 2 5	表示部	
2 2 2 7	表示部	
2 2 3 1	電源ボタン	20
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	
2 2 4 6	ポインティングデバイス	30
2 2 4 7	カメラ用レンズ	
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	
2 2 5 0	外部メモリスロット	
2 2 6 1	本体	
2 2 6 3	接眼部	
2 2 6 4	操作スイッチ	
2 2 6 5	表示部	
2 2 6 6	バッテリー	
2 2 6 7	表示部	40
2 2 7 0	テレビジョン装置	
2 2 7 1	筐体	
2 2 7 3	表示部	
2 2 7 5	スタンド	
2 2 7 7	表示部	
2 2 7 9	操作キー	
2 2 8 0	リモコン操作機	
3 5 1 1	トランジスタ	
3 5 1 2	容量素子	
3 5 1 4	液晶素子	50

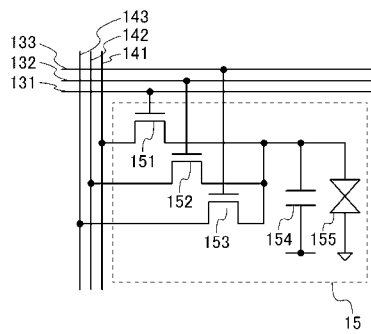
3 5 2 1	トランジスタ	
3 5 3 1	トランジスタ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	対向基板	
4 0 0 7	液晶	
4 0 0 9	トランジスタ	10
4 0 1 0	トランジスタ	
4 0 1 1	液晶素子	
4 0 1 4	引き回し配線	
4 0 1 5	引き回し配線	
4 0 1 6	接続端子	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 1	基板	
4 0 2 2	トランジスタ	
4 0 3 0	画素電極	20
4 0 3 1	対向電極	
4 0 3 5	スペーサ	
6 0 0 1	基板	
6 0 0 2	画素部	
6 0 0 3	走査線駆動回路	
6 0 0 4	基板	
6 0 0 5	F P C	
6 0 0 6	対向基板	
6 1 0 1	基板	
6 1 0 2	画素部	30
6 1 0 3	走査線駆動回路	
6 1 0 4	基板	
6 1 0 5	F P C	
6 1 0 6	対向基板	
6 2 0 1	基板	
6 2 0 2	画素部	
6 2 0 3	走査線駆動回路	
6 2 0 4	基板	
6 2 0 5	F P C	
6 2 0 6	対向基板	40
6 2 0 7	信号線駆動回路の一部	

【図 1】

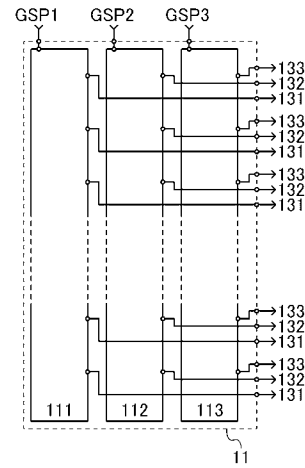
(A)



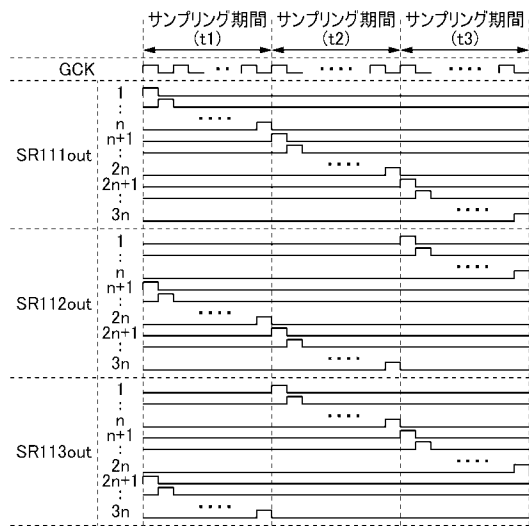
(B)



【図 2】

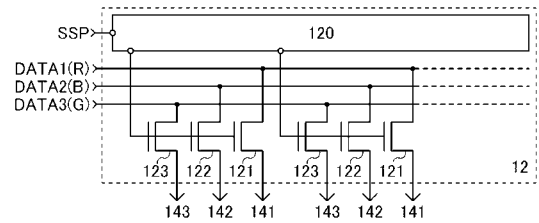


【図 3】

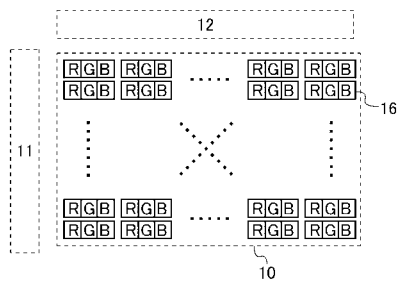


【図 4】

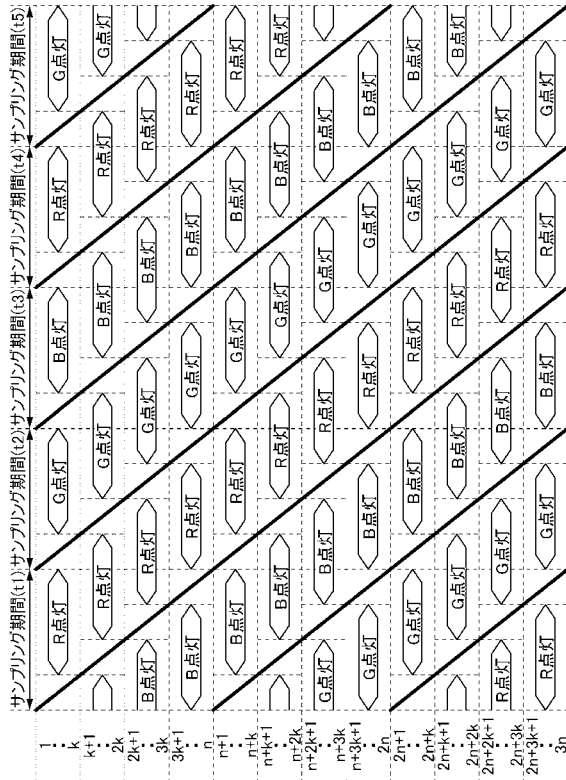
(A)



(B)

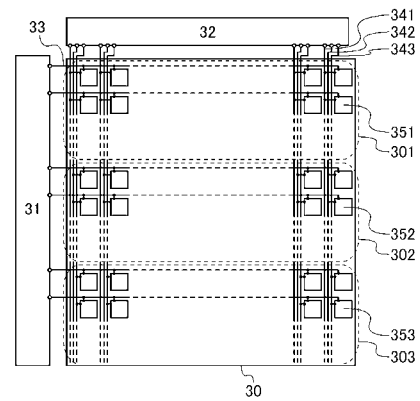


【図 5】

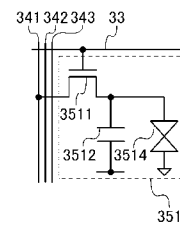


【図 6】

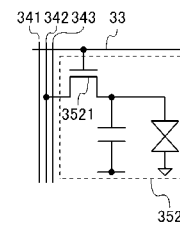
(A)



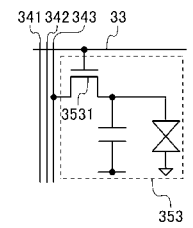
(B)



(C)

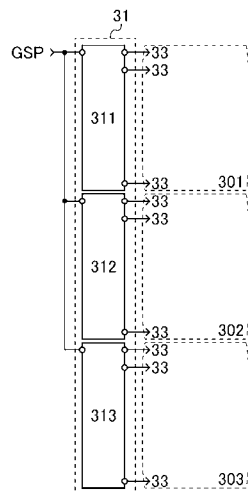


(D)

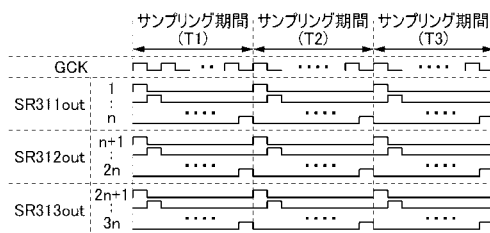


【図 7】

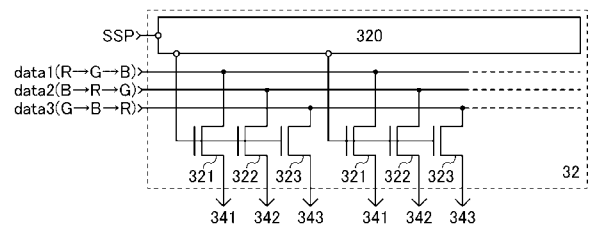
(A)



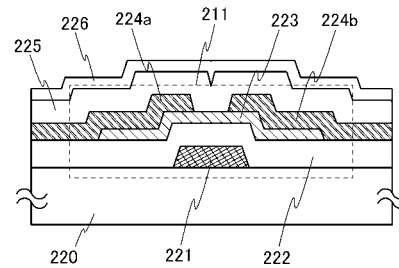
(B)



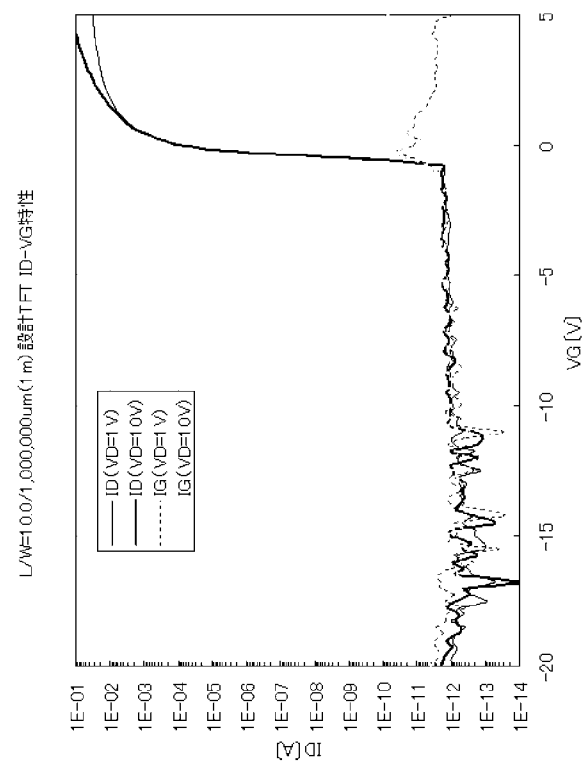
【図 8】



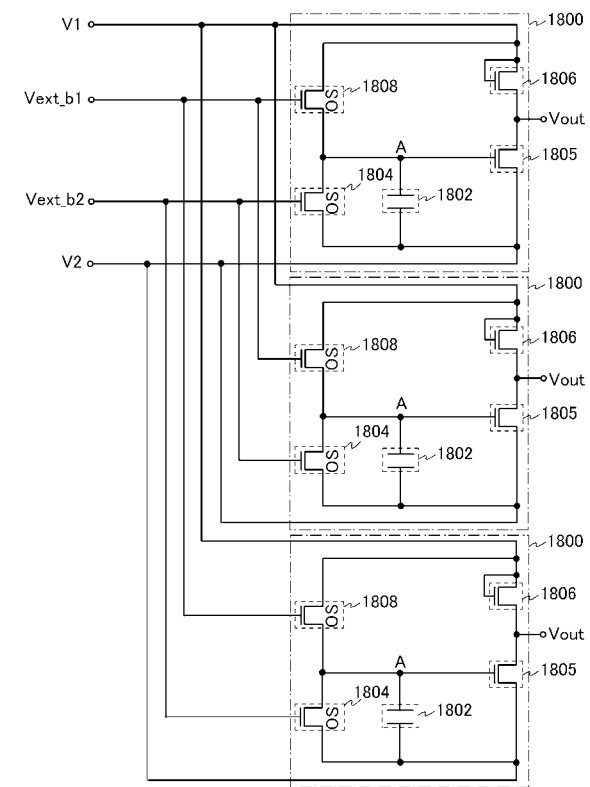
【図 9】



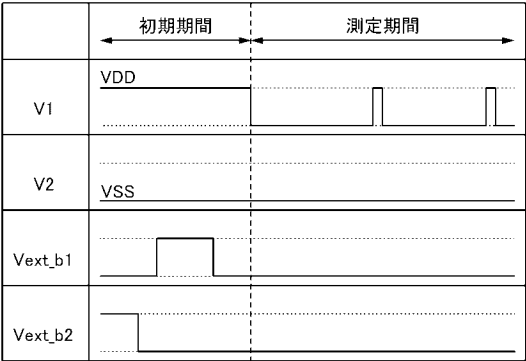
【図 1 0】



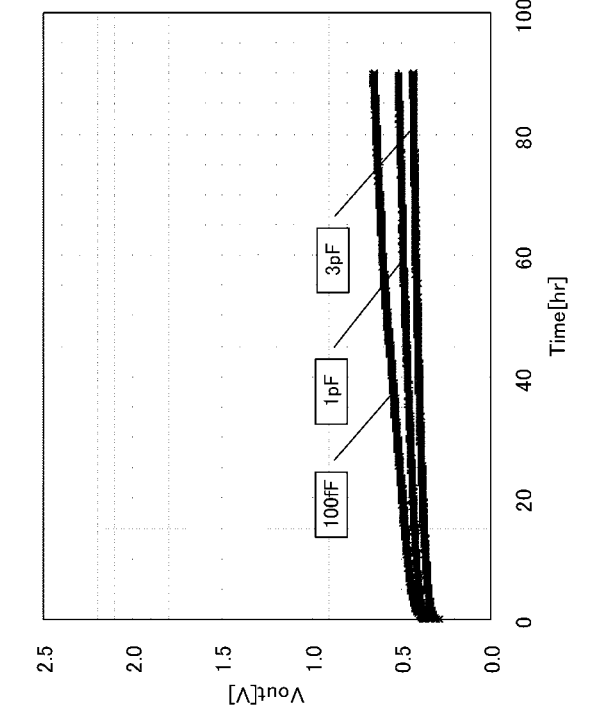
【図 1 1】



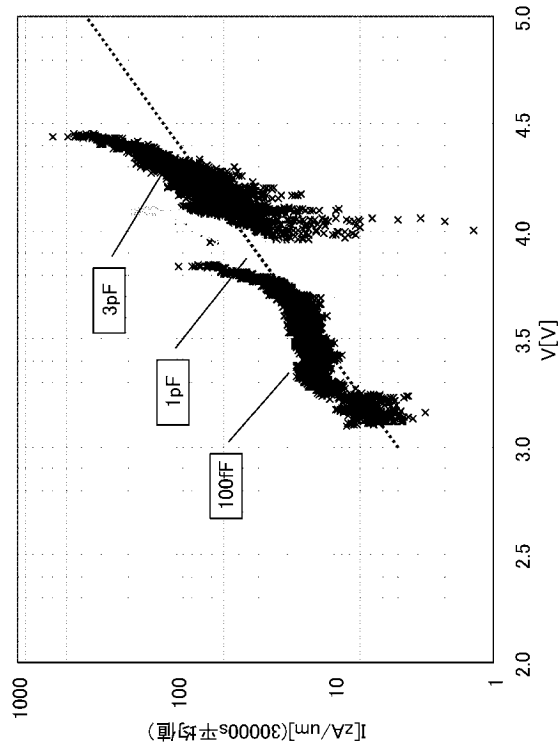
【図 1 2】



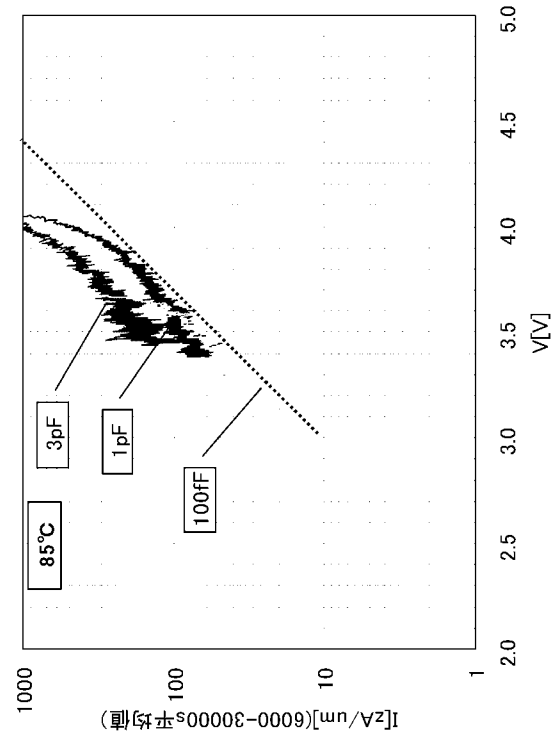
【図 1 3】



【図 14】

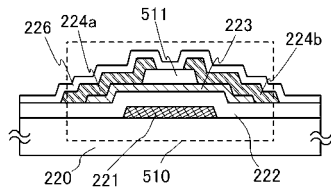


【図 15】

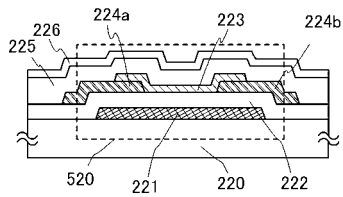


【図 16】

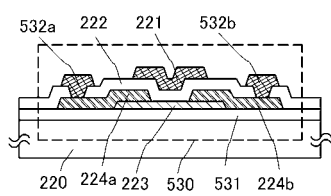
(A)



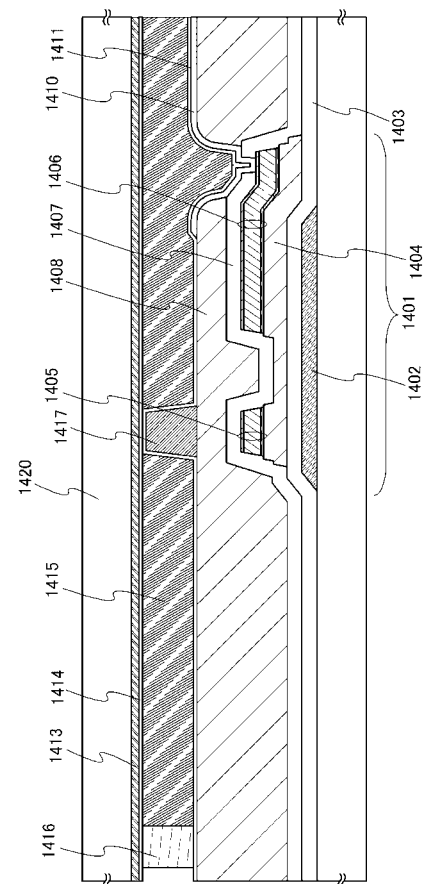
(B)



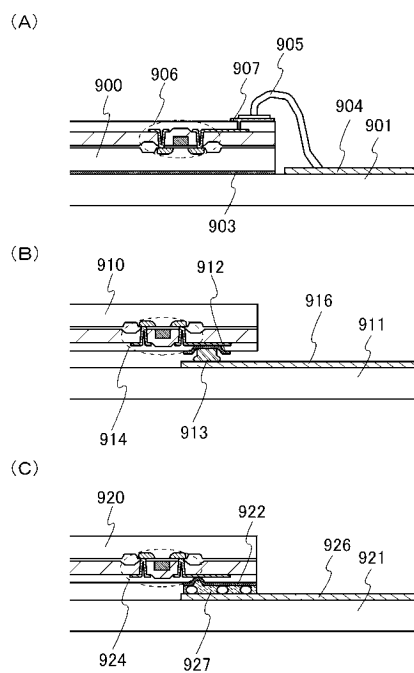
(C)



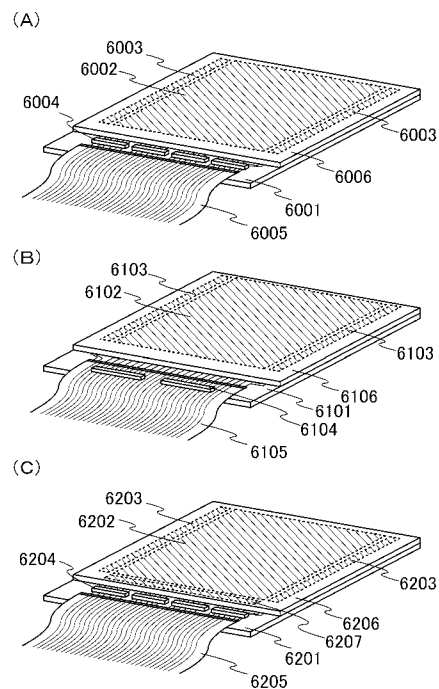
【図 17】



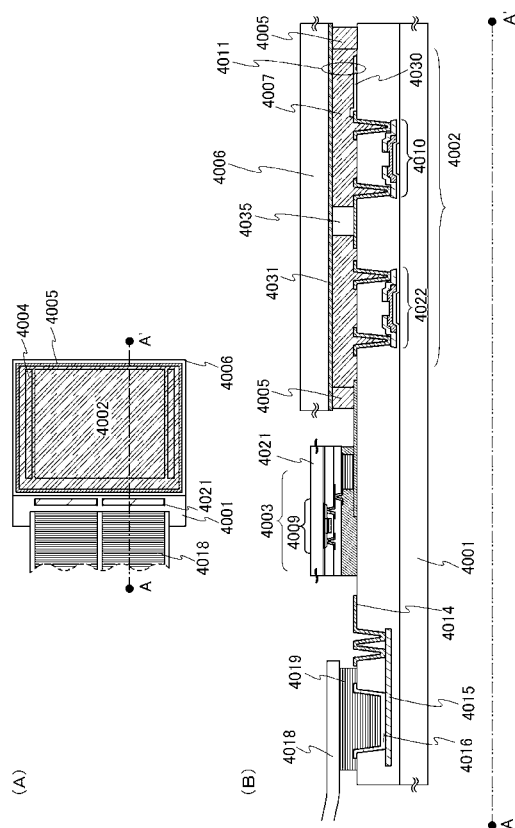
【図 18】



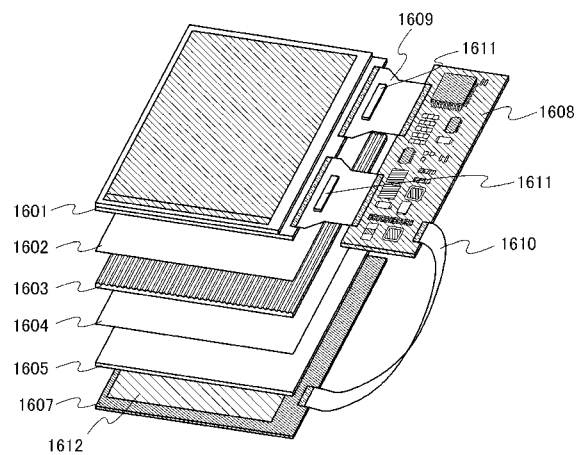
【図 19】



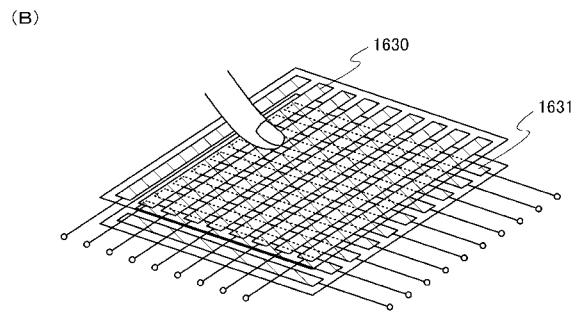
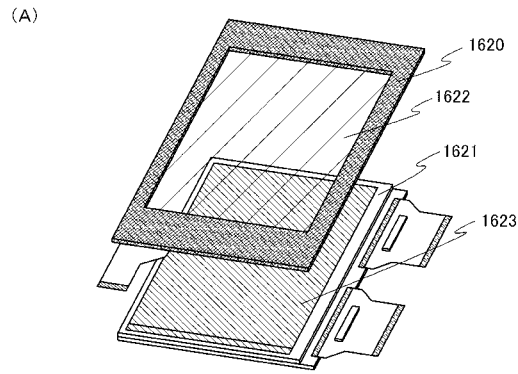
【図 20】



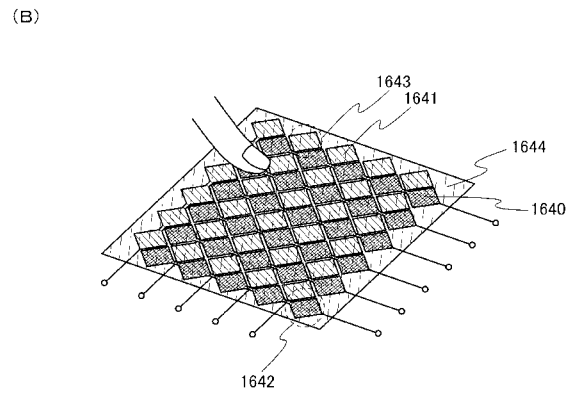
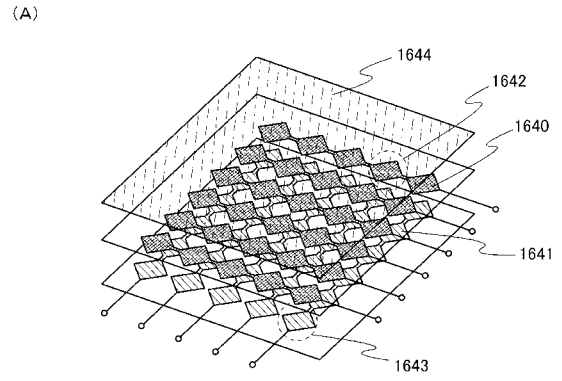
【図 2 1】



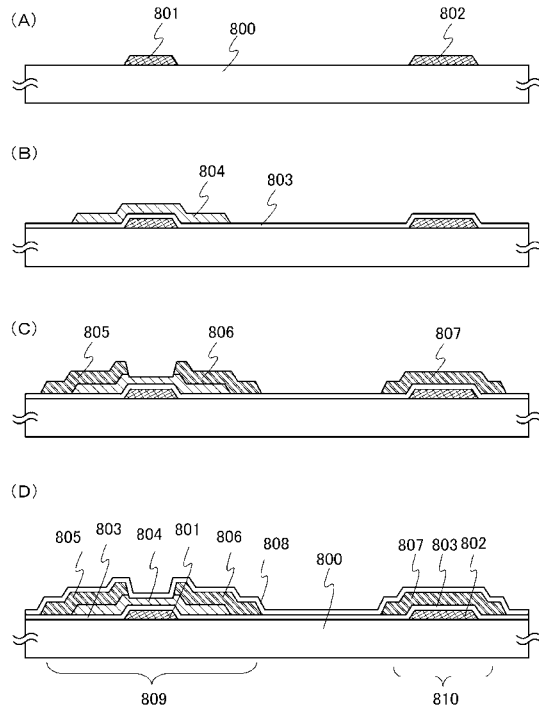
【図 2 2】



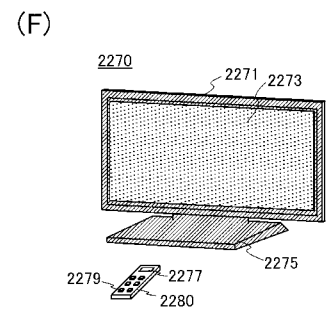
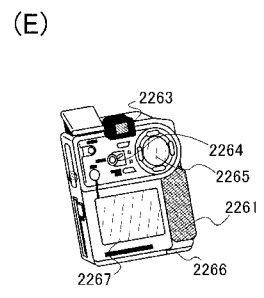
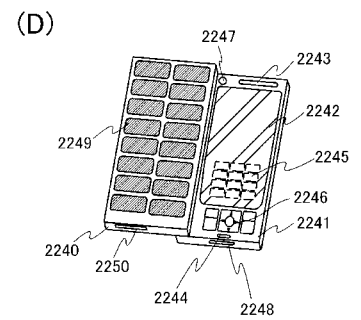
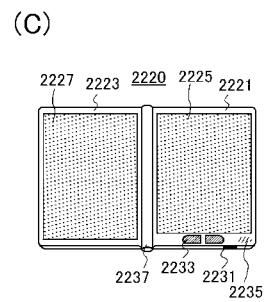
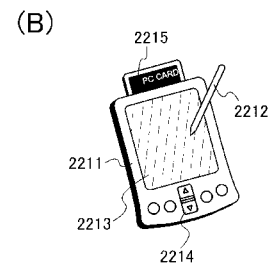
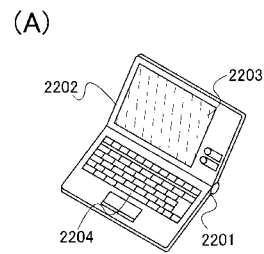
【図 2 3】



【図 2 4】



【図 2 5】



フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)		
G 0 2 F 1/133 (2006.01)	G 0 9 G	3/20	6 2 1 F			
G 0 2 F 1/1368 (2006.01)	G 0 9 G	3/20	6 4 1 E			
	G 0 9 G	3/34	J			
	G 0 9 F	9/30	3 3 8			
	G 0 9 F	9/35				
	G 0 2 F	1/133	5 5 0			
	G 0 2 F	1/133	5 1 0			
	G 0 2 F	1/1368				

F ターム (参考)	2H092	GA48	GA50	GA55	JA26	JA33	JA35	JA39	JA46	JB56	JB69
		KA08	KA12	KA19	KB05	KB14	KB24	KB25	MA05	MA08	MA13
		NA25	PA06	PA13	QA07	QA09					
	2H193	ZA04	ZA07	ZB02	ZB03	ZC25	ZF22	ZF35	ZF36	ZF42	ZG03
		ZG04	ZG14	ZG27	ZG34	ZG44	ZQ06	ZQ11	ZQ14	ZQ16	ZQ19
	5C006	AA16	AA22	AC21	AC22	AC23	AC26	AF42	BB16	BB29	BC03
		BC06	BC13	BC16	BF03	BF11	BF31	EA01	EB01	FA15	FA29
		FA33	FA36	FA47							
	5C080	AA10	BB05	CC03	DD01	DD08	DD15	DD18	DD19	DD26	DD28
		EE29	EE30	FF09	FF11	FF12	JJ02	JJ03	JJ04	JJ05	JJ06
	5C094	AA08	AA53	BA03	BA43	CA19	GA10	HA08	HA10		

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2012003238A	公开(公告)日	2012-01-05
申请号	JP2011083272	申请日	2011-04-05
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山潤 三宅博之 山崎舜平		
发明人	小山 潤 三宅 博之 山崎 舜平		
IPC分类号	G09G3/36 G09G3/20 G09G3/34 G09F9/30 G09F9/35 G02F1/133 G02F1/1368		
CPC分类号	G02F1/13624 G02F1/136286 G06F3/0412 G06F3/044 G06F3/045 G09G3/006 G09G3/3413 G09G3/3426 G09G3/3648 G09G2300/0408 G09G2300/0426 G09G2310/0235 G09G3/36 G09G3/3655 G09G3/3674 G09G3/3696 G09G2310/0286 G09G2320/041 G09G2320/103 G09G2330/021 G09G2340/0435 G11C19/28 G09G5/18 G09G2300/08		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.624.B G09G3/20.623.D G09G3/20.621.E G09G3/20.621.F G09G3/20.641.E G09G3/34.J G09F9/30.338 G09F9/35 G02F1/133.550 G02F1/133.510 G02F1/1368		
F-TERM分类号	2H092/GA48 2H092/GA50 2H092/GA55 2H092/JA26 2H092/JA33 2H092/JA35 2H092/JA39 2H092/JA46 2H092/JB56 2H092/JB69 2H092/KA08 2H092/KA12 2H092/KA19 2H092/KB05 2H092/KB14 2H092/KB24 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA13 2H092/NA25 2H092/PA06 2H092/PA13 2H092/QA07 2H092/QA09 2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZC25 2H193/ZF22 2H193/ZF35 2H193/ZF36 2H193/ZF42 2H193/ZG03 2H193/ZG04 2H193/ZG14 2H193/ZG27 2H193/ZG34 2H193/ZG44 2H193/ZQ06 2H193/ZQ11 2H193/ZQ14 2H193/ZQ16 2H193/ZQ19 5C006/AA16 5C006/AA22 5C006/AC21 5C006/AC22 5C006/AC23 5C006/AC26 5C006/AF42 5C006/B016 5C006/B029 5C006/BC03 5C006/BC06 5C006/BC13 5C006/BC16 5C006/BF03 5C006/BF11 5C006/BF31 5C006/EA01 5C006/EB01 5C006/FA15 5C006/FA29 5C006/FA33 5C006/FA36 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD08 5C080/DD15 5C080/DD18 5C080/DD19 5C080/DD26 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF09 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C094/AA08 5C094/AA53 5C094/BA03 5C094/BA43 5C094/CA19 5C094/GA10 5C094/HA08 5C094/HA10 2H192/AA24 2H192/CB02 2H192/CB05 2H192/CB06 2H192/CB22 2H192/CB37 2H192/CC24 2H192/CC64 2H192/DA12 2H192/FB03 2H192/GB71 2H192/GD61 2H192/JA06 2H192/JA64 2H193/ZA19		
优先权	2010090935 2010-04-09 JP 2010114435 2010-05-18 JP		
其他公开文献	JP5719215B2 JP2012003238A5		
外部链接	Espacenet		

摘要(译)

解决的问题：从设计的观点来看，在通过场序系统进行显示的液晶显示装置等中，增加输入图像信号的频率。在液晶显示装置的像素部中，将图像信号同时提供给以矩阵状排列的像素中的以多行排列的像素。因此，可以在不改变液晶显示装置中包括的晶体管等的响应速度的情况下增加向每个像素输入图像信号的频率。 [选型图]图1

