

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-203748

(P2011-203748A)

(43) 公開日 平成23年10月13日(2011. 10. 13)

(51) Int.Cl.	F 1	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	

審査請求 有 請求項の数 2 O L (全 24 頁)

(21) 出願番号 特願2011-122034 (P2011-122034) (22) 出願日 平成23年5月31日 (2011. 5. 31) (62) 分割の表示 特願2006-345416 (P2006-345416) の分割 原出願日 平成18年12月22日 (2006. 12. 22) (31) 優先権主張番号 10-2006-0034847 (32) 優先日 平成18年4月18日 (2006. 4. 18) (33) 優先権主張国 韓国 (KR)	(71) 出願人 501426046 エルジー ディスプレイ カンパニー リ ミテッド 大韓民国 ソウル, ヨンドゥンポーク, ヨ イドードン 20 (74) 代理人 100094112 弁理士 岡部 譲 (74) 代理人 100064447 弁理士 岡部 正夫 (74) 代理人 100104352 弁理士 朝日 伸光 (72) 発明者 イ ジョンウン 大韓民国 121-880 ソウル マポ グ チャンジョンドン 6-77 (20 5ホ) 最終頁に続く
--	---

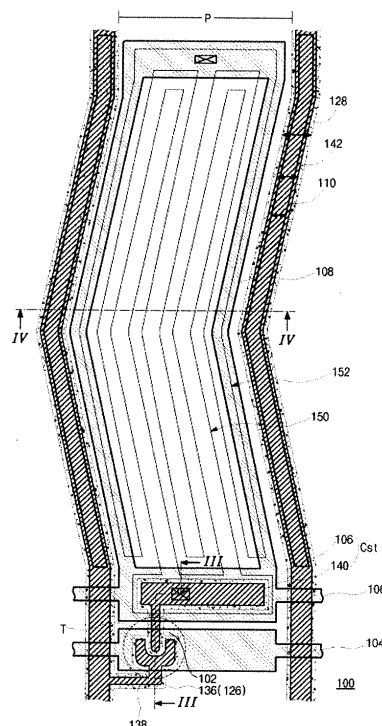
(54) 【発明の名称】 横電界方式の液晶表示装置用アレイ基板とその製造方法

(57) 【要約】 (修正有)

【課題】波状ノイズの発生を抑制することの出来る、高画質を具現する横電界方式の液晶表示装置用アレイ基板とその製造方法を提供する。

【解決手段】横電界方式の液晶表示装置用アレイ基板は、4マスク工程によって製作されデータ配線の両側に半導体層が露出する構造において、半導体層の下部に光を遮断する第1遮断パターンを構成して、データ配線の上部に、これと接触しながら半導体層による影響を遮断する第2遮断パターンを構成する。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

基板と；

前記基板上に第 1 方向のゲート配線と；

前記ゲート配線と交差して画素領域を定義する第 2 方向のデータ配線と；

前記ゲート配線及びデータ配線に連結される薄膜トランジスタと；

前記薄膜トランジスタに連結される画素領域の画素電極と；

前記画素電極と交互に配置される画素領域の共通電極と；

前記データ配線の両側で部分的に露出される前記データ配線の下部の半導体層と；

前記半導体層の下部に位置して不透明物質で形成された第 1 遮断パターンと；

前記第 1 方向に沿って前記画素領域の両側に位置する第 1 共通配線と第 2 共通配線をさらに含み、

前記画素電極と前記共通電極は、同一層内に同一物質で形成され、

前記共通電極は、前記第 2 共通配線とコンタクトホールを通じて接触し、

前記第 1 共通配線は、前記薄膜トランジスタのドレイン電極と共にストレージキャパシターを形成し、

前記第 1 遮断パターンは前記半導体層と同じか、または広い幅を有することを特徴とする横電界方式の液晶表示装置用アレイ基板。

【請求項 2】

第 1 マスク工程によって、基板上にゲート配線及びゲート電極と遮断パターンを形成する段階と；

前記ゲート配線とゲート電極及び遮断パターンを含む前記基板上にゲート絶縁膜、純粋非晶質シリコン層、不純物非晶質シリコン層及び導電体層を形成する段階と；

第 2 マスク工程によって、前記導電体層と不純物非晶質シリコン層及び純粋非晶質シリコン層をパターニングして、前記ゲート配線と交差して画素領域を定義するデータ配線と、

第 1 半導体層、ソース電極及びドレイン電極、前記データ配線の両側で部分的に露出されて、前記遮断パターンの上部に位置する第 2 半導体層を形成する段階と；

第 3 マスク工程によって、前記ドレイン電極を露出する第 1 コンタクトホールを有する保護層を形成する段階と；

第 4 マスク工程によって、前記第 1 コンタクトホールを通じて前記ドレイン電極と接触する画素電極と、前記画素電極と交互に配置される共通電極を形成する段階とを含み、

前記第 1 マスク工程は、前記ゲート配線と平行であって、前記画素領域の両側に位置する第 1 及び第 2 共通配線を形成する段階をさらに含み、

前記共通電極は、前記第 2 共通配線とコンタクトホールを通じて接触し、

前記遮断パターンは前記第 2 半導体層と同じか、または広い幅を有することを特徴とする横電界方式の液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置に係り、特に、高画質を具現する横電界方式の液晶表示装置用アレイ基板とその製造方法に関する。

【背景技術】**【0002】**

一般の液晶表示装置は、液体と固体の中間状の液晶の電気-光学的性質を表示装置に応用している。すなわち、液晶は、液体のような流動性を有する有機分子である液晶が結晶のように規則的に配列された状態であって、この分子配列が外部電界によって変化する性質を利用している。

従って、液晶の分子配列方向を任意に調節すると、光学的異方性によって液晶の分子配列方向に光が屈折して画像情報を表現する。

10

20

30

40

50

【 0 0 0 3 】

現在は、能動行列液晶表示装置(A M - L C D、以下、液晶表示装置と称する)が解像度及び動画像の具現能力が優れていて最も注目を浴びている。

液晶表示装置は、共通電極が形成されたカラーフィルタ基板(上部基板)と画素電極が形成されたアレイ基板(下部基板)と、両基板間に充填された液晶とで構成されるが、このような液晶表示装置は、共通電極と画素電極が上下に印加される電場によって液晶を駆動する方式であって、透過率と開口率等の特性が優れる。

【 0 0 0 4 】

ところが、上下に印加される電場による液晶駆動は、視野角特性が優れない短所がある。従って、このような短所を克服するために、新しい技術が提案されている。後述する液晶表示装置は、横電界による液晶駆動方法であって、視野角特性が優れる長所がある。

10

【 0 0 0 5 】

以下、図 1 を参照して、一般の横電界方式の液晶表示装置を詳しく説明する。

図 1 は、従来の第 1 例による横電界方式の液晶表示装置の概略的な構成を示した断面図である。

図 1 に示したように、従来の第 1 例による横電界方式の液晶表示装置は、下部基板 1 0 と上部基板 4 0 が一定間隔を置いて向かい合っており、下部基板 1 0 と上部基板 4 0 間には、液晶層 L C が位置する。

【 0 0 0 6 】

下部基板 1 0 に定義された多数の画素 P ごとに薄膜トランジスタ T と、共通電極 3 0 及び画素電極 3 2 が構成される。

20

【 0 0 0 7 】

薄膜トランジスタ T は、ゲート電極 1 2 と、ゲート電極 1 2 の上部に絶縁膜 1 4 を間に積層されたアクティブ層 1 6 a 及びオーミックコンタクト層 1 6 b で構成された半導体層 1 6 と、半導体層 1 6 の上部に相互に離隔して構成されたソース電極 2 0 及びドレイン電極 2 2 とを含む。

【 0 0 0 8 】

画素 P の一側に沿って延長されたゲート配線(図示せず)と、これとは垂直な方向に延長されたデータ配線(図示せず)が構成されて、共通電極 3 0 に電圧を印加する共通配線(図示せず)が構成される。

30

【 0 0 0 9 】

上部基板 4 0 の内側面には、ゲート配線(図示せず)及びデータ配線(図示せず)と薄膜トランジスタ T に対応する部分にブラックマトリックス 4 2 が形成されて、画素 P に対応してカラーフィルタ層 4 4 が形成される。

【 0 0 1 0 】

液晶層 L C の液晶分子は、共通電極 3 0 と画素電極 3 2 の水平電界 5 0 によって動作される。

【 0 0 1 1 】

薄膜トランジスタ T と共通電極 3 0 及び画素電極 3 2 を含む下部基板 1 0 は、アレイ基板と称されて、ブラックマトリックス 4 2 とカラーフィルタ層 4 4 を含む上部基板 4 0 は、カラーフィルタ基板と称される。

40

【 0 0 1 2 】

このようなアレイ基板は、5 枚のマスキを利用した 5 マスク工程によって製造される。すなわち、第 1 マスク工程によってゲート電極及びゲート配線を形成して、第 2 マスク工程によってアクティブ層及びオーミックコンタクト層に積層された半導体層を形成し、第 3 マスク工程によってソース電極及びドレイン電極とデータ配線を形成して、第 4 マスク工程によって保護膜及びコンタクトホールを形成し、第 5 マスク工程によって共通電極及び画素電極を形成する。

【 0 0 1 3 】

前述したように、横電界方式の液晶表示装置は、共通電極 3 0 と画素電極 3 2 を同一な

50

基板 10 に形成するために、下部の光源(図示せず)から照射される光の相当の量が電極によって遮断される。従って、横電界方式の液晶表示装置は、輝度に対して、非常に脆弱な構造である。

【0014】

このような脆弱点を克服するために、共通電極 30 と画素電極 32 を透明に構成する構造が提案されている。

【0015】

実際、二つの電極を透明に構成するとしても、電極のすべての面に対して光が透過されるのではない。すなわち、二つの電極間に発生した電界が及ぶ範囲内で、これを開口領域として使用することができる。

10

【0016】

二つの電極を透明な物質で使用するによって確保される輝度が大きくないようだが、液晶パネル全体から見ると、得る輝度は、相当であって、輝度を大幅に上昇させる長所がある。

【0017】

一方、前述したような構成は、5 マスク工程を必要とするが、マスク工程は、薄膜の上部にフォトリソの塗布、露光及び現像、薄膜のエッチング、また、フォトリソの除去のような多くの段階を含む。従って、製造費用及び時間を減少するために、マスク数を減少してアレイ基板を製造する方法が開発されて、輝度改善と同時に工程を短縮する方法として 4 マスク工程が提案された。

20

【0018】

前述したような断面構成を 4 マスク工程によって製作するために提案された方法は、ハーフトーンまたはスリットマスクを利用して、アクティブ層とソース電極及びドレイン電極を同時に形成する。

【0019】

以下、図面を参照して、従来による 4 マスク工程によって製作された横電界方式の液晶表示装置の構成を説明する。

【0020】

図 2 は、従来の第 2 例による横電界方式の液晶表示装置用アレイ基板の断面図であって、薄膜トランジスタと画素領域の断面図である。

30

図 2 に示したように、4 マスク工程によって製作された横電界方式の液晶表示装置は、下部基板 50 と上部基板 80 が対向して構成されて、両基板間には、液晶層 LC が介される。

【0021】

下部基板 50 に定義された多数の画素 P ごとに薄膜トランジスタ T と、画素電極 70 及び共通電極 72 が構成される。

【0022】

薄膜トランジスタ T は、ゲート電極 52 と、ゲート電極 52 の上部に絶縁膜 54 を間に積層されたアクティブ層 56a 及びオーミックコンタクト層 56b で構成された半導体層 56 と、半導体層 56 の上部に相互に離隔して構成されたソース電極 62 及びドレイン電極 64 とを含む。

40

【0023】

前述した構成で、画素電極 70 及び共通電極 72 は、画素 P に透明なインジウム - スズ - オキサイド (ITO) で形成される。

【0024】

画素 P の一側に沿って延長されたゲート配線(図示せず)と、これとは垂直な方向に延長されたデータ配線 66 が構成されて、共通電極 72 に電圧を印加する共通配線(図示せず)が構成される。

【0025】

上部基板 80 の内側面には、ゲート配線(図示せず)及びデータ配線 66 と薄膜トランジ

50

スタ T に対応する部分に形成されたブラックマトリックス 8 2 と、画素 P に対応して形成されたカラーフィルター層 8 4 を含む。

【 0 0 2 6 】

前述した構成は、示したように、ソース電極 6 2 及びドレイン電極 6 4 とデータ配線 6 6 の下部に形成された半導体層 5 6、5 8 がソース電極 6 2 及びドレイン電極 6 4 とデータ配線 6 6 の両側に露出される形態であることを特徴とする。

【 0 0 2 7 】

このような構造によって半導体層 5 8 は、下部基板 5 0 の背面に位置する光源から照射された光によって水素 H が励起して電流成分が発生して、このような電流成分は、下部の光源であるディミング周波数(dimming frequency)によって変化され、これによって、上部のデータ配線 1 4 6 と、ここに近接した共通電極 7 2 及び画素電極 7 0 間の信号干渉によってカップリングキャパシタンスが生ずる。

10

【 0 0 2 8 】

従って、カップリングキャパシタンスによって画面に波状ノイズが発生して画質が低下する問題がある。

【 0 0 2 9 】

これをより詳しく説明すると、液晶パネルの下部に一般のバックライトと言う光源を構成する。バックライトは、一般的に、線形的に動作するが、映像を表現するにおいて、明らかな明暗対比のような効果を得るために、ディミング周波数で駆動する。この時、周波数のローとハイ状態によってバックライトは、観察者の目に観察されない速い速度でオン/オフ動作をする。

20

【 0 0 3 0 】

これによって、微細に光の照射される状態が異なり、このような光が照射されるアクティブ層は、オン/オフ動作をするように反応する。

【 0 0 3 1 】

従って、このようなアクティブ層の特性の差によって上部のデータ配線と、これに近接した共通電極間のキャップ差が発生して、画面が一方向に微細に震える波縞雑音の原因になる。

【 0 0 3 2 】

波状ノイズは、前述した 4 マスクパターンで一般的に現われるために、従来の第 2 例による横電界方式の液晶表示装置用アレイ基板は、工程を単純化することはできるが、画質の面では、優れない問題がある。

30

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 3 3 】

本発明は、前述したような問題を解決するために提案されており、波状ノイズが発生しないで高画質を具現する横電界方式の液晶表示装置を製作することを目的とする。

【 課題を解決するための手段 】

【 0 0 3 4 】

本発明は、前述したような目的を達成するために、基板と；前記基板上に第 1 方向のゲート配線と；前記ゲート配線と交差して画素領域を定義する第 2 方向のデータ配線；前記ゲート配線及びデータ配線に連結される薄膜トランジスタ；前記薄膜トランジスタに連結される画素領域の画素電極；前記画素電極と交互に配置される画素領域の共通電極；前記データ配線の両側で部分的に露出される前記データ配線の下部の半導体層；前記半導体層の下部に位置して不透明物質で形成された第 1 遮断パターンとを含むことを特徴とする横電界方式の液晶表示装置用アレイ基板を提供する。

40

【 0 0 3 5 】

前記第 1 遮断パターンは、前記ゲート配線と同一物質、同一層内に形成される。

【 0 0 3 6 】

前記アレイ基板は、前記第 1 方向の共通配線をさらに含み、前記画素領域の端側に沿っ

50

て形成されて、前記共通配線に連結され閉ループを形成する共通パターンをさらに含む。

【0037】

前記第1遮断パターンは、前記半導体層より幅が狭くて、前記半導体層の40%以上を遮る。

【0038】

前記共通電極は、前記共通パターンと接触する。

【0039】

前記アレイ基板は、前記第1方向に沿って前記画素領域の両側に位置する第1共通配線と第2共通配線をさらに含む。

【0040】

前記第1遮断パターンは、前記半導体層と同じか、または広い幅を有して、前記共通電極は、前記第2共通配線と接触する。

【0041】

前記アレイ基板は、前記データ配線の上部に、前記データ配線と接触して前記半導体層を覆う第2遮断パターンをさらに含み、前記第2遮断パターンは、前記共通電極及び前記画素電極と同一物質、同一層内に形成される。

【0042】

前記半導体層は、純粋非晶質シリコン層と不純物非晶質シリコン層を含み、前記純粋非晶質シリコン層は、前記データ配線の両側で部分的に露出される。

【0043】

本発明の他の例によるアレイ基板は、基板と；前記基板の上部のゲート配線と；前記ゲート配線と交差して画素領域を定義するデータ配線と；前記ゲート配線及びデータ配線に連結される薄膜トランジスタと；前記画素領域に位置して、前記薄膜トランジスタに連結される画素電極と；前記画素領域に位置して、前記画素電極と交互に配置される共通電極と；前記データ配線の下部に位置して、前記データ配線の両側で部分的に露出される半導体層と；前記データ配線の上部に位置して、前記半導体層を覆う第1遮断パターンとを含むことを特徴とする。

【0044】

前記第1遮断パターンは、前記データ配線と接触する。

【0045】

前記アレイ基板は、前記半導体層の下部に位置して、前記ゲート配線と同一物質、同一層内に形成される第2遮断パターンをさらに含む。

【0046】

本発明の他の例による横電界方式の液晶表示装置は、離隔されている第1及び第2基板と；前記第1基板の内側面に形成されるゲート配線と；前記ゲート配線と交差して画素領域を定義するデータ配線と；前記ゲート配線及びデータ配線の交差点に位置する薄膜トランジスタと；前記画素領域に位置して、前記薄膜トランジスタに連結される画素電極と；前記画素領域に位置して、前記画素電極と交互に配置された共通電極と；前記データ配線の下部に位置して、前記データ配線の両側で部分的に露出される半導体層と；前記半導体層の下部に不透明物質で形成された遮断パターンと；前記第2基板の内側面に形成されるブラックマトリックスと；前記第2基板の内側面に形成されるカラーフィルター層とを含むことを特徴とする。

【0047】

また、本発明の他の例による横電界方式の液晶表示装置は、離隔されている第1及び第2基板と；前記第1基板の内側面に形成されるゲート配線と；前記ゲート配線と交差して画素領域を定義するデータ配線と；前記ゲート配線及びデータ配線の交差点に位置する薄膜トランジスタと；前記画素領域に位置して、前記薄膜トランジスタに連結される画素電極と；前記画素領域に位置して、前記画素電極と交互に配置された共通電極と；前記データ配線の下部に位置して、前記データ配線の両側で部分的に露出される半導体層と；前記半導体層の下部に不透明物質に形成された第1遮断パターンと；前記データ配線の上部に

10

20

30

40

50

位置して、前記半導体層を覆う第2遮断パターンと；前記第2基板の内側面に形成されるブラックマトリックスと；前記第2基板の内側面に形成されるカラーフィルター層とを含むことを特徴とする。

【0048】

本発明の他の例による横電界方式の液晶表示装置用アレイ基板の製造方法は、第1マスク工程によって、基板上にゲート配線とゲート電極及び第1遮断パターンを形成する段階と；前記ゲート配線及びゲート電極と第1遮断パターンを含む前記基板上にゲート絶縁膜、純粋非晶質シリコン層、不純物非晶質シリコン層及び導電体層を形成する段階と；第2マスク工程によって、前記導電体層と不純物非晶質シリコン層及び純粋非晶質シリコン層をパターンニングして、前記ゲート配線と交差して画素領域を定義するデータ配線と、第1半導体層、ソース電極及びドレイン電極、前記データ配線の両側で部分的に露出されて、前記第1遮断パターンの上部に位置する第2半導体層を形成する段階；第3マスク工程によって、前記ドレイン電極を露出する第1コンタクトホールを有する保護層を形成する段階；第4マスク工程によって、前記第1コンタクトホールを通じて前記ドレイン電極と接触する画素電極と、前記画素電極と交互に配置される共通電極を形成する段階とを含むことを特徴とする。

10

【0049】

前記第1遮断パターンは、前記第2半導体層より狭い幅を有して、前記第2半導体層の40%以上を遮る。

【0050】

前記第1マスク工程は、前記ゲート配線と平行な共通配線及び前記共通配線と共に閉ルーフを形成する共通パターンを形成する段階をさらに含み、前記共通電極は、前記共通パターンと接触する。

20

【0051】

また、前記第1マスク工程は、前記ゲート配線と平行であって、前記画素領域の両側に位置する第1及び第2共通配線を形成する段階をさらに含む。

【0052】

前記第1遮断パターンは、前記第2半導体層と同じか、または広い幅を有して、前記共通電極は、前記第2共通配線と接触する。

【0053】

前記第3マスク工程は、前記データ配線を露出する第2コンタクトホールを形成する段階をさらに含み、前記第4マスク工程は、前記データ配線の上部に、前記第2半導体層を覆って前記第2コンタクトホールを通じて前記データ配線と接触する第2遮断パターンを形成する段階をさらに含む。

30

【0054】

前記第2マスク工程は、前記導電体層上にフォトレジスト層を形成する段階と；前記フォトレジスト層の上部に、透過部と遮断部及び半透過部を含むマスクを配置して、前記フォトレジスト層を露光する段階と；前記フォトレジスト層を現像して、前記ソース及びドレイン電極に対応する第1部分と、前記ソース及びドレイン電極間のゲート電極に対応して前記第1部分より薄い厚さの第2部分を含む第1フォトレジストパターン及び前記データ配線に対応する第2フォトレジストパターンを形成する段階と；前記第1及び第2フォトレジストパターンをエッチングマスクとして、前記導電体層と不純物非晶質シリコン層及び純粋非晶質シリコン層をパターンニングして金属パターンと半導体パターンを形成する段階と；前記第1及び第2フォトレジストパターンをアッシングして前記第1フォトレジストパターンの第2部分を除去して、前記半導体パターンの不純物非晶質シリコン層を露出する段階と；前記露出した半導体パターンの不純物非晶質シリコン層を除去する段階；及び前記第1フォトレジストパターンの第1部分と前記第2フォトレジストパターンを除去する段階とを含む。

40

【0055】

また、本発明の他の例による横電界方式の液晶表示装置用アレイ基板の製造方法は、第

50

1 マスク工程によって、基板上にゲート配線とゲート電極を形成する段階と；前記ゲート配線とゲート電極を含む基板上に、ゲート絶縁膜、純粋非晶質シリコン層、不純物非晶質シリコン層及び導電体層を形成する段階と；第2マスク工程によって、前記導電体層と不純物非晶質シリコン層及び純粋非晶質シリコン層をパターンングして、第1半導体層と、ソース及びドレイン電極、データ配線、前記データ配線の両側で部分的に露出される第2半導体層を形成する段階と；第3マスク工程によって、前記ドレイン電極を露出する第1コンタクトホールと前記データ配線を露出する第2コンタクトホールを有する保護層を形成する段階と；第4マスク工程によって、前記第1コンタクトホールを通じてドレイン電極と接触する画素電極と、前記画素電極と交互に配置される共通電極及び前記データ配線と接触して前記第2半導体層を覆う第1遮断パターンを形成する段階とを含むことを特徴とする。

10

【0056】

前記第2半導体層は、純粋非晶質シリコン層と不純物非晶質シリコン層を含み、前記純粋非晶質シリコン層は、前記データ配線の両側で部分的に露出される。

【0057】

前記第1マスク工程は、前記第2半導体層の下部に、不透明物質で第2遮断パターンを形成する段階をさらに含む。

【0058】

以下、添付した図を参照して、本発明の望ましい実施例を説明する。

【発明の効果】

20

【0059】

本発明による横電界方式の液晶表示装置用アレイ基板は、データ配線と同時にパターンされて、データ配線の下部で両側が露出された半導体層を光から遮蔽するための遮断パターンを構成することによって、液晶パネルの画面に発生する波縞雑音を防いで高画質を具現する。

【0060】

また、データ配線の一部に構成した遮蔽手段は、データ配線に連結されて、データ配線が短絡された時、これを修理する機能を同時に行うために、不良率を減少させ製品の生産収率を改善する。

【図面の簡単な説明】

30

【0061】

【図1】従来の第1例による横電界方式の液晶表示装置の一部を概略的に示した断面図である。

【図2】従来の第2例による横電界方式の液晶表示装置を示した断面図である。

【図3】本発明の実施例1による横電界方式の液晶表示装置用アレイ基板の画素を拡大した平面図である。

【図4A】本発明の実施例1による横電界方式の液晶表示装置用アレイ基板を示した断面図である。

【図4B】本発明の実施例1による横電界方式の液晶表示装置用アレイ基板を示した断面図である。

40

【図5A】本発明による横電界方式の液晶表示装置用アレイ基板を製造する工程において、アレイ基板を示した平面図である。

【図5B】図5Aに続く製造工程を示す断面図である。

【図5C】図5Bに続く製造工程を示す断面図である。

【図5D】図5Cに続く製造工程を示す断面図である。

【図5E】図5Dに続く製造工程を示す断面図である。

【図5F】図5Eに続く製造工程を示す断面図である。

【図5G】図5Fに続く製造工程を示す断面図である。

【図5H】図5Gに続く製造工程を示す断面図である。

【図6A】本発明による横電界方式の液晶表示装置用アレイ基板を製造する工程において

50

、アレイ基板を示した平面図である。

【図 6 B】図 6 A に続く製造工程を示す断面図である。

【図 6 C】図 6 B に続く製造工程を示す断面図である。

【図 6 D】図 6 C に続く製造工程を示す断面図である。

【図 6 E】図 6 D に続く製造工程を示す断面図である。

【図 6 F】図 6 E に続く製造工程を示す断面図である。

【図 6 G】図 6 F に続く製造工程を示す断面図である。

【図 6 H】図 6 G に続く製造工程を示す断面図である。

【図 7】本発明の実施例 2 による横電界方式の液晶表示装置用アレイ基板の一画素を拡大した平面図である。

10

【図 8 A】本発明の実施例 2 による横電界方式の液晶表示装置の断面図である。

【図 8 B】本発明の実施例 2 による横電界方式の液晶表示装置の断面図である。

【図 9 A】本発明の実施例 3 による横電界方式の液晶表示装置の断面図である。

【図 9 B】本発明の実施例 3 による横電界方式の液晶表示装置の断面図である。

【図 10 A】本発明の実施例 4 による横電界方式の液晶表示装置の断面図である。

【図 10 B】本発明の実施例 4 による横電界方式の液晶表示装置の断面図である。

【実施例 1】

【0062】

本発明の実施例 1 は、データ配線の下部に位置する半導体層の下部に光を遮断する遮断パターンを構成することを特徴とする。

20

【0063】

図 3 は、本発明の実施例 1 による横電界方式の液晶表示装置用アレイ基板の一画素を拡大した平面図である。

【0064】

本発明の実施例 1 による横電界方式の液晶表示装置用アレイ基板は、透明な絶縁基板 100 上に、第 1 方向に延長されたゲート配線 104 と共通配線 106 を構成する。ゲート配線 104 と共通配線 106 は、平行である。

【0065】

第 2 方向にデータ配線 142 を構成して、データ配線 142 は、ゲート配線 104 が交差して画素領域 P を定義する。

30

【0066】

ゲート配線 104 とデータ配線 142 の交差点または交差点の近くに薄膜トランジスタ T を構成するが、薄膜トランジスタ T は、ゲート配線 104 の一部であるゲート電極 102 と、ゲート電極 102 の上部に位置してアクティブ層 136 を含む第 1 半導体層 126 と、第 1 半導体層 126 の上部で離隔されているソース電極 138 とドレイン電極 140 と含む。

【0067】

一方、データ配線 142 の下部には、第 1 半導体層 126 から延長されて、データ配線 142 の両側に一定面積露出された第 2 半導体層 128 が構成される。

【0068】

画素領域 P には、透明な材質で形成した棒状の共通電極 152 と画素電極 150 を構成して、画素領域 P の周りには、共通電極 152 と同一な信号が流れるが、これとは異なる層に位置すると同時に、データ配線 142 を流れる信号が画素領域 P に及ぶのを遮断するための閉ループ状の共通パターン 108 を共通配線 106 から延長して形成する

40

【0069】

一方、ドレイン電極 140 は、共通配線 106 の上部まで延長され、共通配線 106 と重なって、画素電極 150 に連結される。従って、共通配線 106 とドレイン電極 140 は、ゲート絶縁膜 (図示せず) を間にストレージキャパシタ C_{st} を構成する。

【0070】

前述したようなアレイ基板は、第 2 半導体層 128 の下部に対応して遮断パターン 11

50

0を構成することを特徴とする。

【0071】

以下、図4A及び図4Bを参照して、遮断パターンを含む本発明による横電界方式の液晶表示装置の断面構成を説明する。

図4A及び図4Bは、図3のIII-III線とIV-IV線に沿って切断して、これを参照して示した本発明の実施例1による横電界方式の液晶表示装置の断面図である。

【0072】

図4A及び図4Bに示したように、本発明の実施例1による横電界方式の液晶表示装置は、液晶層LCを間に第1基板100と第2基板300を合着して形成する。

【0073】

第2基板300の内側面には、ブラックマトリックス302とカラーフィルター層304が形成される。ブラックマトリックス302は、ゲート配線104及びデータ配線142と薄膜トランジスタTの上部で形成されて、カラーフィルター層304は、画素領域Pで形成される。

【0074】

第1基板100の内側面には、画素領域Pに透明な棒状で構成された共通電極152と画素電極150と、スイッチング領域Sに構成された薄膜トランジスタTと、各画素領域Pの周りに形成した共通パターン108とを構成する。共通電極152と画素電極150は、平行であって、交互に配置される。

【0075】

薄膜トランジスタTは、ゲート電極102、ゲート絶縁膜112、第1半導体層126、ソース電極138及びドレイン電極140を積層して構成する。第1半導体層126は、アクティブ層134とオーミックコンタクト層136を含む。

【0076】

画素領域Pの両側には、データ配線142が位置して、データ配線142の下部には、第1半導体層126から延長された第2半導体層128が位置する。第2半導体層128は、純粋非晶質シリコン層114と不純物非晶質シリコン層116を含む。第2半導体層128の純粋非晶質シリコン層114は、データ配線142の両側に露出される。

【0077】

一方、第1基板100の上部には、ゲート配線104が形成されており、ゲート配線104の一部は、ゲート電極102の役割をする。図面には示していない、ゲート配線104は、データ配線142と交差して画素領域Pを定義する。共通配線106がゲート配線104と離隔され第1基板100上に形成される。共通配線106は、ドレイン電極140と重なる。

【0078】

遮断パターン110がデータ配線142の下部に形成される。遮断パターン110は、ゲート配線104と共通配線106及び共通パターン108と同一物質、同一層内に形成される。遮断パターン110は、第1基板100の下部に位置するバックライトから照射される光が第2半導体層128に到達するのを遮断して、ディミング周波数によってオン/オフ(on/off)駆動するバックライトの光に影響を受けないようにする。従って、画面で現われる波状ノイズが除去できるので、高画質の横電界方式の液晶表示装置を製作することができる。

【0079】

前述したように、共通パターン108と遮断パターン110は、同一層に構成される。従って、二つの構成要素間の短絡を防ぐために、遮断パターン110の幅を第2半導体層128の幅より狭く構成した。

【0080】

ところが、遮断パターン110が第2半導体層128を部分的に遮っても、波状ノイズは、遮れる。すなわち、第2半導体層128の遮断面積が40%以上の場合は、波状ノイズが発生しないために、これに合わせて遮断パターン110を設計すれば良い。

10

20

30

40

50

【 0 0 8 1 】

以下、工程図を参照して、本発明の実施例 1 による横電界方式の液晶表示装置用アレイ基板の製造工程を説明する。

【 0 0 8 2 】

図 5 A ないし図 5 H と図 6 A ないし図 6 H は、図 3 の I I I - I I I 線及び I V - I V 線に沿って切断して、本発明の工程順に示した工程断面図である。

【 0 0 8 3 】

図 5 A と図 6 A は、第 1 マスク工程を示した図であって、多数の画素領域 P とスイッチング領域 S が定義された基板 1 0 0 上に、導電性金属を蒸着して第 1 マスク工程によってパターンして、画素領域 P の一側に沿って延長されたゲート配線 1 0 4 と、ゲート配線 1 0 4 の一部であるゲート電極 1 0 2 と、ゲート配線 1 0 4 と平行に離隔された共通配線 1 0 6 と、共通配線 1 0 6 から画素領域 P の周りに延長された閉ループ状の共通パターン 1 0 8 を形成して、ゲート配線 1 0 4 と垂直な方向の画素領域 P の両側に、長さの方向に延長された遮断パターン 1 1 0 を形成する。遮断パターン 1 1 0 は、画素領域 P ごとに形成される。

【 0 0 8 4 】

この時、導電性金属は、アルミニウム A l 、アルミニウム合金 A l N d 、タンゲステン W 、銅 C u 、クロム C r 、モリブデン M o 等を含む導電性金属グループのうちから選択された一つまたはそれ以上の金属物質である。

【 0 0 8 5 】

以下、図 5 B ないし図 5 F と図 6 B ないし図 6 F は、第 2 マスク工程を示した図である。

【 0 0 8 6 】

図 5 B と図 6 B に示したように、ゲート配線 1 0 4 と共通配線 1 0 6 、共通パターン 1 0 8 及び遮断パターン 1 1 0 が形成された基板 1 0 0 全面に、窒化シリコン S i N _x と酸化シリコン S i O ₂ を含む無機絶縁物質グループのうちから選択された一つを蒸着して、ゲート絶縁膜 1 1 2 を形成する。

【 0 0 8 7 】

ゲート絶縁膜 1 1 2 の上部には、純粋非晶質シリコン (a - S i : H) を蒸着して、不純物非晶質シリコン (n + a - S i : H) を蒸着して純粋非晶質シリコン層 1 1 4 と不純物非晶質シリコン層 1 1 6 を形成する。

【 0 0 8 8 】

不純物非晶質シリコン層 1 1 6 が形成された基板 1 0 0 全面には、導電性金属グループのうちから選択された一つまたはそれ以上の物質を蒸着して導電性金属層 1 1 8 を形成して、導電性金属層 1 1 8 の上部にフォトリジストを塗布して感光層 1 2 0 を形成する。

【 0 0 8 9 】

感光層 1 2 0 の上部に、透過部 B 1 と遮断部 B 2 及び半透過部 B 3 が構成されたマスク M を位置させる。

この時、半透過部 B 3 は、スイッチング領域 S のゲート電極 1 0 2 に対応して、遮断部 B 2 は、スイッチング領域 S の他の部分及び遮断パターン 1 1 0 に対応して、透過部 B 1 は、画素領域 P に対応する。

【 0 0 9 0 】

マスク M の上部に光を照射する工程を行う。この時、マスク M の透過部 B 1 及び半透過部 B 3 を通じて照射された光は、下部の感光層 1 2 0 を露光して、特に、半透過部 B 3 に対応する部分は、透過部 B 1 に対応する部分とは異なり、部分的に露光される。

露光された感光層 1 2 0 を現像する工程を行う。

【 0 0 9 1 】

図 5 C と図 6 C に示したように、現像工程が完了すると、スイッチング領域 S に対応して高さが異なる二つの部分を有する第 1 感光パターン 1 2 4 a と、第 1 感光パターン 1 2 4 a から画素領域 P の一側に延長された第 2 感光パターン 1 2 4 b が形成される。一方、

第 1 感光パターン 1 2 4 a 及び第 2 感光パターン 1 2 4 b の周辺に導電性金属層 1 1 8 が露出された状態である。

【 0 0 9 2 】

図 5 D と図 6 D に示したように、露出された導電性金属層 1 1 8 と下部の不純物非晶質シリコン層 1 1 6 及び純粋非晶質シリコン層 1 1 4 を除去する工程を行う。従って、第 1 感光パターン 1 2 4 a 及び第 2 感光パターン 1 2 4 b の周辺にゲート絶縁膜 1 1 2 が露出された状態になる。

【 0 0 9 3 】

この時、一般的に、不純物非晶質シリコン層 1 1 6 と純粋非晶質シリコン層 1 1 4 は、乾式エッチングによって除去されるために、導電性金属層 1 1 8 が乾式エッチングが可能な場合は、二つの層と同一な工程によって除去されて、または、湿式エッチング及び乾式エッチングによって各々を別途に除去する工程を行う。

【 0 0 9 4 】

また、第 1 感光パターン 1 2 4 a の下部には、パターンされた不純物非晶質シリコン層 1 1 6 と純粋非晶質シリコン層 1 1 4 で構成された第 1 半導体層 1 2 6 と第 1 金属パターン 1 3 0 が積層された状態であって、第 2 感光パターン 1 2 4 b の下部には、第 1 半導体層 1 2 6 から延長された第 2 半導体層 1 2 8 と、第 1 金属パターン 1 3 0 から延長された第 2 金属パターン 1 3 2 が積層された状態である。

【 0 0 9 5 】

図 5 E と図 6 E に示したように、第 1 感光パターン 1 2 4 a 及び第 2 感光パターン 1 2 4 b をアッシングする工程を行い、スイッチング領域 S に対応する第 1 感光パターン 1 2 4 a の低い高さ部分 D を完全に除去して、ゲート電極 1 0 2 に対応する第 1 金属パターン 1 3 0 の一部を露出する。

【 0 0 9 6 】

アッシング工程を行う際に、第 1 感光パターン 1 2 4 a 及び第 2 感光パターン 1 2 4 b の厚さ及び周辺が同時に除去されて、厚さが縮まって下部の第 1 金属パターン 1 3 0 と第 2 金属パターン 1 3 2 の一部を露出する。

【 0 0 9 7 】

このような現象は、図面には示めてないが、第 1 感光パターン 1 2 4 a 及び第 2 感光パターン 1 2 4 b の上部面が半円の折曲された形態だからである。すなわち、第 1 感光パターン 1 2 4 a 及び第 2 感光パターン 1 2 4 b は、中心から周辺に行くほど厚さが薄くなる形態で形成される。従って、アッシング工程の際に、第 1 感光パターン 1 2 4 a 及び第 2 感光パターン 1 2 4 b の周辺部が完全に除去され下部の第 1 金属パターン 1 3 0 及び第 2 金属パターン 1 3 2 が露出される現象が発生する。

【 0 0 9 8 】

図 5 F と図 6 F に示したように、ゲート電極 1 0 2 に対応して露出した第 1 金属パターン (図 5 E の 1 3 0) を除去する工程を行う。除去工程が完了すると、スイッチング領域 S にソース電極 1 3 8 と、これとは離隔されるドレイン電極 1 4 0 が形成されると同時に、ソース電極 1 3 8 から延長された第 2 金属パターンは、データ配線 1 4 2 になる。

【 0 0 9 9 】

ソース電極 1 3 8 及びドレイン電極 1 4 0 間に露出された不純物非晶質シリコン層 (図 5 E の 1 1 6) を除去する工程を行い、第 1 及び第 2 感光パターン (図 5 E と図 6 E の 1 2 4 a、1 2 4 b) を除去する工程を行う。

【 0 1 0 0 】

ソース電極 1 3 8 及びドレイン電極 1 4 0 の下部に残留された不純物非晶質シリコン層は、抵抗性接触機能をするので、オーミックコンタクト層 1 3 6 として、その下部の純粋非晶質シリコン層は、チャンネルが発生する層であるので、アクティブ層 1 3 4 とする。

【 0 1 0 1 】

この時、第 1 金属パターン (図 5 E の 1 3 0) と下部の不純物非晶質シリコン層 (図 5 E の 1 1 6) を除去する工程で、第 1 及び第 2 感光パターン (図 5 E と図 6 E の 1 2 4 a、1

10

20

30

40

50

24b)の周辺には、第1金属パターン130及び第2金属パターン132と、その下部の不純物非晶質シリコン層116が露出される。

【0102】

結果的に、示したように、ソース電極138及びドレイン電極140とデータ配線142の周辺に、下部の純粋非晶質シリコン層134、114が露出された状態でパターニングされる。

【0103】

図5Gと図6Gは、第3マスク工程を示した図であって、ソース電極138及びドレイン電極140とデータ配線142が形成された基板100全面に、前述した無機絶縁物質グループのうちから選択された一つまたはそれ以上の物質を蒸着するか、場合によっては、ベンゾシクロブテンBCBとアクリル系樹脂のような有機絶縁物質グループのうちから選択された一つを塗布して保護膜146を形成する。

【0104】

第3マスク工程によって保護膜146をパターニングして、ドレイン電極140の一部を露出するドレインコンタクトホール148を形成すると同時に、図面には示していないが、共通パターンの一部を露出する共通パターンコンタクトホール(図示せず)を形成する。

【0105】

図5Hと図6Hは、第4マスク工程を示した図であって、保護膜146が形成された基板100全面に、インジウム-スズ-オキサイドITOとインジウム-ジnk-オキサイドIZOを含む透明導電性金属グループのうちから選択された一つを蒸着して第4マスク工程によってパターニングして、露出したドレイン電極140と接触しながら画素領域Pに多数の棒状に画素電極150を形成すると同時に、共通パターンコンタクトホール(図示せず)を通じて下部の共通パターン108と接触しながら画素領域Pに棒状に形成されて、棒状の画素電極150間ごとに離隔して位置した共通電極152を形成する。

【0106】

この時、ドレイン電極140は、ゲート配線104から、ここに近接した共通配線106の上部に延長して構成して、共通配線106を第1電極として、延長されたドレイン電極142を第2電極とするストレージキャパシタースtを形成する

【0107】

以上、前述した工程によって本発明の実施例1による横電界方式の液晶表示装置用アレイ基板を製作することができる。

【実施例2】

【0108】

本発明の実施例2は、第2半導体層の下部に構成する遮断パターンが第2半導体層と同じか、または大きい幅を有することを特徴とする。

【0109】

図7は、本発明の実施例2による横電界方式の液晶表示装置用アレイ基板の一画素を示した平面図である。

【0110】

本発明の実施例2による横電界方式の液晶表示装置用アレイ基板は、透明な絶縁基板200上に、一方向に延長されたゲート配線204と、これに平行な方向に画素領域の上部と下部に第1共通配線206aと第2共通配線206bを構成する。

【0111】

ゲート配線204と第1共通配線206a及び第2共通配線206bと垂直に交差するデータ配線242を構成して、データ配線242とゲート配線204が交差して画素領域Pを定義する。

【0112】

ゲート配線204とデータ配線242の交差点または交差点に隣接した部分には、ゲート配線204及びデータ配線242に連結される薄膜トランジスタTを構成する。薄膜トランジスタTは、ゲート配線204の一部であるゲート電極202と、ゲート電極202

10

20

30

40

50

の上部に位置した第 1 半導体層 2 2 6 と、第 1 半導体層 2 2 6 の上部に積層されたソース電極 2 3 8 及びドレイン電極 2 4 0 とを含む。

【 0 1 1 3 】

データ配線 2 4 2 の下部には、第 1 半導体層 2 2 6 から延長されてデータ配線 2 4 2 の両側に一定面積露出された第 2 半導体層 2 2 8 が構成される。

【 0 1 1 4 】

画素領域 P には、透明な材質で形成した棒状の共通電極 2 5 2 と画素電極 2 5 0 を構成する。画素電極 2 5 0 は、ドレイン電極 2 4 0 と接触するように構成して、共通電極 2 5 2 は、第 2 共通配線 2 0 6 b と接触するように構成する。共通電極 2 5 2 と画素電極 2 5 0 は、真ん中の部分が曲がっている。

10

【 0 1 1 5 】

一方、ドレイン電極 2 4 0 は、これに近接した第 1 共通配線 2 0 6 a の上部に延長して構成し、第 1 共通配線 2 0 6 a を第 1 電極として、ドレイン電極 2 4 0 を第 2 電極とするストレージキャパシタ C s t が形成される。

【 0 1 1 6 】

前述した構成は、第 2 半導体層 2 8 0 の下部に第 2 半導体層 2 8 0 と同じか、または大きい幅を有する遮断パターン 2 1 0 を構成することを特徴とする。

【 0 1 1 7 】

従って、実施例 2 は、遮断パターン 2 1 0 との短絡(short)を防ぐために、画素領域 P の両側に構成した実施例 1 の共通パターン(図 3 の 1 0 8)を省略する。その代わり、データ配線 2 4 2 に近接するように位置した共通電極 2 5 2 の幅を広く構成することによって共通パターンの機能を交替することができる。

20

【 0 1 1 8 】

以下、図 8 A と図 8 B を参照して、前述した平面構成の断面構成を説明する。図 8 A と図 8 B は、図 7 の V I I - V I I 線及び V I I I - V I I I 線に沿って切断して、これを参照に示した本発明の実施例 2 による横電界方式の液晶表示装置の断面図である。

【 0 1 1 9 】

図 8 A 及び図 8 B に示したように、本発明の実施例 2 による横電界方式の液晶表示装置は、透明な第 1 基板 2 0 0 と第 2 基板 4 0 0 を含み、両基板間には、液晶層 L C が位置する。

30

【 0 1 2 0 】

第 1 基板 2 0 0 の上部の画素領域 P には、透明な棒状で構成された共通電極 2 5 2 と画素電極 2 5 0 が形成されて、スイッチング領域 S には、薄膜トランジスタ T が形成される。共通電極 2 5 2 と画素電極 2 5 0 は、交互に配置されている。薄膜トランジスタ T は、ゲート電極 2 0 2 とゲート絶縁膜 2 1 2 と、第 1 半導体層 2 2 6 とソース電極 2 3 8 及びドレイン電極 2 4 0 とを積層して構成する。第 1 半導体層 2 2 6 は、アクティブ層 2 3 4 とオーミックコンタクト層 2 3 6 で構成される。

【 0 1 2 1 】

画素領域 P の一側に沿ってデータ配線 2 4 2 が位置して、データ配線 2 4 2 の下部には、第 1 半導体層 2 2 6 から延長されて、データ配線 2 4 2 の両側に露出された第 2 半導体層 2 2 8 が位置する。第 2 半導体層 2 2 8 は、純粋非晶質シリコン層 2 1 6 と不純物非晶質シリコン層 2 1 8 を含む。第 2 半導体層 2 2 8 の純粋非晶質シリコン層 2 1 6 は、データ配線 2 4 2 の両側に露出される。

40

【 0 1 2 2 】

ゲート配線 2 0 4 が画素領域 P の他側に沿って形成されており、図面には示していないが、ゲート配線 2 0 4 は、データ配線 2 4 2 と交差して画素領域 P を定義する。ゲート配線 2 0 4 の一部は、ゲート電極 2 0 4 の役割をする。また、第 1 基板 2 0 0 の上部には、ゲート配線 2 0 4 と離隔され第 1 共通配線(図 7 の 2 0 6 a)と第 2 共通配線(図 7 の 2 0 6 b)が形成される。

【 0 1 2 3 】

50

データ配線 242 の下部に対応して、第 2 半導体層 228 と同じか、または広い幅の遮断パターン 210 を構成する。遮断パターン 210 は、ゲート配線 204 とゲート電極 202、第 1 共通配線 206a 及び第 2 共通配線 206b と同一物質、同一層内に形成される。前述したように、遮断パターン 210 は、下部の光源(図示せず)から照射された光が第 2 半導体層 228 に到達するのを遮断して、光が照射された時、第 2 半導体層 228 で発生する電流成分によって液晶パネルの画面に波縞雑音が発生するのが防げる長所がある。

【0124】

一方、ブラックマトリクス 402 とカラーフィルター層 404 が第 2 基板 400 の内側面に形成される。ブラックマトリクス 402 は、ゲート配線 204 及びデータ配線 242 と薄膜トランジスタ T 上に位置する。カラーフィルター層 404 は、画素領域 P に位置する。

10

【0125】

本発明の実施例 2 による横電界方式の液晶表示装置用アレイ基板の製造工程は、実施例 1 と同一であって、これに対する説明は、省略する。

【0126】

実施例 1 及び 2 は、第 2 半導体層の下部に遮断パターンを構成して、光を源泉遮断する構成を提案しているが、他の例として、第 2 半導体層に光が照射されたとしても、第 2 半導体層で発生する電流の影響を遮断する構造を導入して波縞雑音を防ぐ構成を、以下、実施例 3 で説明する。

20

【実施例 3】

【0127】

本発明の実施例 3 は、データ配線 242 の上部に修理機能及び遮蔽機能を同時にする遮断パターンを幅広く構成することを特徴とする。

【0128】

図 9A と図 9B は、本発明の実施例 3 による横電界方式の液晶表示装置の構成を概略的に示した断面図である。

図 9A 及び図 9B に示したように、本発明の実施例 3 による横電界方式の液晶表示装置は、透明な第 1 基板 200 及び第 2 基板 400 を含み、両基板間には、液晶層 LC が位置する。

30

【0129】

第 1 基板 200 の画素領域 P に透明な棒状で構成された共通電極 250 と画素電極 252 と、スイッチング領域 S に薄膜トランジスタ T と、各画素領域 P の周りに共通パターン 208 とを構成する。

【0130】

薄膜トランジスタ T は、ゲート電極 202 とゲート絶縁膜 212 と、第 1 半導体層 226 とソース電極(238)及びドレイン電極 240 とを積層して構成する。

【0131】

画素領域 P の両側には、データ配線 242 が位置して、データ配線 242 の下部には、第 1 半導体層 226 から延長されて、データ配線 242 の両側に露出された第 2 半導体層 228 が位置する。

40

【0132】

前述した構成は、データ配線 242 の上部に、共通電極 252 及び画素電極 250 と同一層、同一物質で形成した遮断パターン 256 を構成して、遮断パターン 256 は、データ配線 242 の上部に構成され、データ配線 242 の外側に露出された第 2 半導体層 228 を覆うほどの面積で構成することを特徴とする。

【0133】

この時、遮断パターン 256 は、保護膜 246 に構成した複数のコンタクトホール CH を通じて下部のデータ配線 242 とランダム(random)に接触するように構成する。

【0134】

50

一方、ブラックマトリックス 402 とカラーフィルター層 404 が第 2 基板 400 の内側面に形成される。ブラックマトリックス 402 は、ゲート配線 204 及びデータ配線 242 と薄膜トランジスタ T 上に位置する。カラーフィルター層 404 は、画素領域 P に位置する。

【0135】

遮断パターン 256 をデータ配線 242 の両側に露出した第 2 半導体層 228 を完全に覆う構造で構成するために、第 2 半導体層 228 に下部光源の光が照射され電流が発生したとしても、これによる影響を完全に遮蔽することができて、近接した画素電極 250 及び共通電極 252 と第 2 半導体層 228 間にカップリング(coupling)が発生するのを最小化する。

10

従って、液晶パネルの画面に波縞雑音の発生が最小化される。

【0136】

また、遮断パターン 256 が下部のデータ配線 242 と接触する構造であるために、工程の際、データ配線 242 に断線が発生したとしても、これを遮断パターン 256 に交替することができる。従って、遮断パターン 256 は、修理機能が同時にできる。

【0137】

本発明の実施例 3 による横電界方式の液晶表示装置用アレイ基板の製造方法は、実施例 1 の製造工程と同一であるが、ただ、第 1 工程で遮蔽パターンを形成しないで、第 3 マスク工程の際にドレインコンタクトホールを形成しながら追加的に、データ配線 242 を部分的に露出するコンタクトホールを形成して、第 4 マスク工程で共通電極 252 と画素電極 250 を形成しながらデータ配線 242 の上部に長さの方向に沿って遮断パターン 256 をパターニングする工程を行う。

20

【0138】

本発明の実施例 3 は、データ配線 242 の上部に遮断パターン 256 を構成したが、遮断パターン 256 に対向する第 2 半導体層 258 の下部に遮断パターンをさらに構成して波縞雑音を防ぐ効果を極大化する。

【0139】

以下、実施例 4 によって説明する。

【実施例 4】

【0140】

本発明の実施例 4 は、データ配線の下部と上部に同時に波縞雑音を防ぐための遮断パターンを構成することを特徴とする。

30

【0141】

図 10A と図 10B は、本発明の実施例 4 による横電界方式の液晶表示装置の構成を概略的に示した断面図である。

図 10A 及び図 10B に示したように、本発明の実施例 4 による横電界方式の液晶表示装置は、第 1 基板 200 及び第 2 基板 400 を含み、両基板間には、液晶層 LC が位置する。

【0142】

第 1 基板 200 の上部には、画素領域 P に透明な棒状で構成された共通電極 252 と画素電極 250 と、スイッチング領域 S に薄膜トランジスタ T と、画素領域 P ごとに画素領域 P の周りに共通パターン 208 とを構成する。

40

【0143】

薄膜トランジスタ T は、ゲート電極 202 とゲート絶縁膜 212 と、第 1 半導体層 226 とソース電極 238 及びドレイン電極 240 とを積層して構成する。

【0144】

画素領域 P の一側に沿ってデータ配線 242 が位置して、データ配線 242 の下部には、第 1 半導体層 226 から延長されてデータ配線 242 の両側に露出された第 2 半導体層 228 が位置する。

【0145】

50

前述した構成は、データ配線 2 4 2 の下部に、第 1 遮断パターン 2 1 0 を構成して、データ配線 2 4 2 の上部に、共通電極 2 5 2 及び画素電極 2 5 0 と同一層、同一物質で形成した第 2 遮断パターン 2 5 6 を構成して、第 2 遮断パターン 2 5 6 は、データ配線 2 4 2 の上部に構成されて、データ配線 2 4 2 の外側に露出した第 2 半導体層 2 2 8 より大きい面積で構成することを特徴とする。

【 0 1 4 6 】

この時、第 2 遮断パターン 2 5 6 は、保護膜 (2 4 6) に構成した複数のコンタクトホール C H を通じて下部のデータ配線 2 4 2 とランダムに接触するように構成する。

【 0 1 4 7 】

また、設計パターンによって第 1 遮断パターン 2 1 0 の幅は、第 2 半導体層 2 2 8 の幅より狭く構成したり、第 2 半導体層 2 2 8 の幅と同じか、または広く構成したりする。

【 0 1 4 8 】

第 1 遮断パターン 2 1 0 と第 2 遮断パターン 2 5 6 を同時に構成するのは、第 1 遮断パターン 2 1 0 が第 2 半導体層より狭い幅で構成される時、さらに効果的である。

【 0 1 4 9 】

それは、第 1 遮断パターン 2 1 0 と上部の第 2 半導体層 2 2 8 及びデータ配線 2 4 2 とのライン誤差によって、第 1 遮断パターン 2 1 0 の外部に第 2 半導体層が露出される面積が一側に偏ることがある。この場合、第 2 半導体層 2 2 8 の露出面積を超えるので、波縞雑音が発生する。これによって、近接した共通電極 2 5 2 または画素電極 2 5 0 と第 2 半導体層間にカップリングキャパシタンス (coupling capacitance) が発生するが、これを第 2 遮断パターン 2 5 6 が遮蔽する。

従って、上部と下部に構成された波縞雑音防止パターンによって液晶パネルの画面に波縞雑音が発生するのを防ぐ。

【 0 1 5 0 】

また、前述した構成は、第 2 遮断パターン 2 5 6 が下部のデータ配線 2 4 2 と接触する構造であるために、工程の際、データ配線 2 4 2 に断線が発生したとしても、第 2 遮断パターン 2 5 6 を通じて信号を供給する。従って、第 2 遮断パターン 2 5 6 は、修理機能が同時にできる。

【 0 1 5 1 】

本発明の実施例 4 による横電界方式の液晶表示装置用アレイ基板の製造方法は、実施例 1 の製造工程と同一であるが、ただ、第 3 マスク工程の際にドレインコンタクトホールを形成しながら追加的に、データ配線 2 4 2 を部分的に露出するコンタクトホールを形成して、第 4 マスク工程で共通電極 2 5 2 と画素電極 2 5 0 を形成しながらデータ配線 2 4 2 の上部に長さの方向に沿って透明な第 2 遮断パターン 2 5 6 をパターンニングする工程を行う。

【 0 1 5 2 】

以上、本発明による実施例 1 ないし 4 による横電界方式の液晶表示装置用アレイ基板を製作することができる。

【 符号の説明 】

【 0 1 5 3 】

- 1 0 0 : 基板
- 1 0 2 : ゲート電極
- 1 0 4 : ゲート配線
- 1 0 6 : 共通配線
- 1 0 8 : 共通パターン
- 1 1 0 : 遮断パターン
- 1 2 6 : 第 1 半導体層
- 1 2 8 : 第 2 半導体層
- 1 3 6 : アクティブ層
- 1 3 8 : ソース電極

10

20

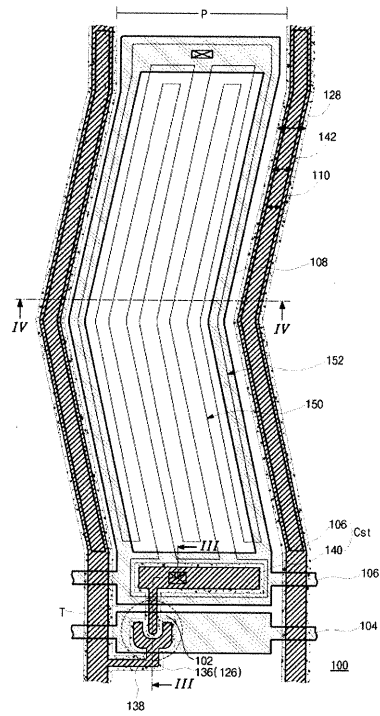
30

40

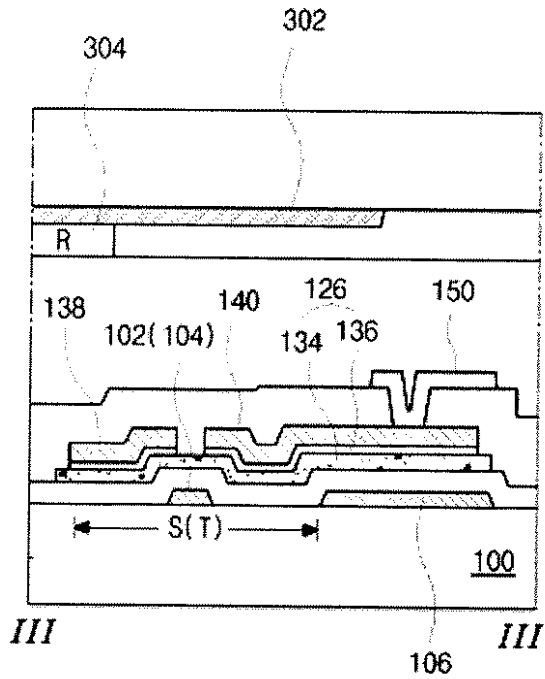
50

1 5 2 : 共通電極

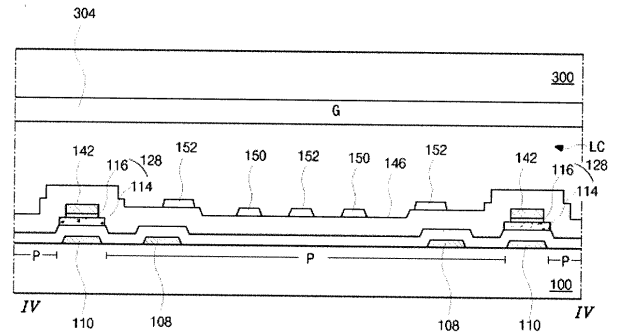
【 図 3 】



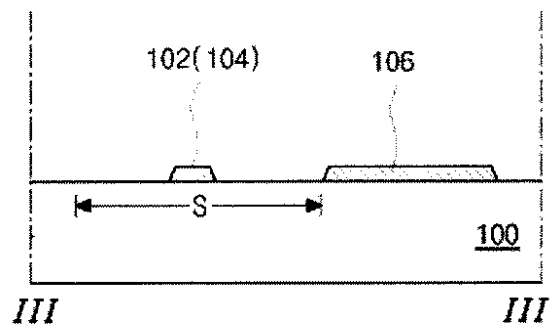
【図 4 A】



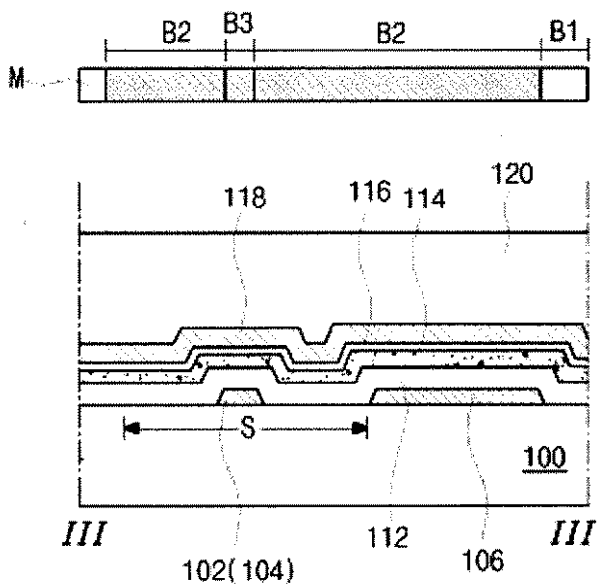
【図 4 B】



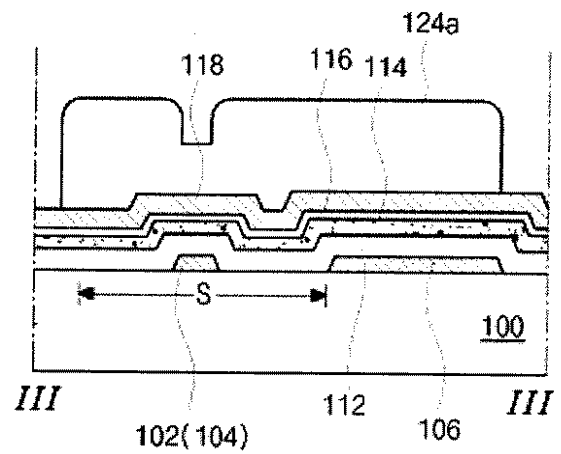
【図 5 A】



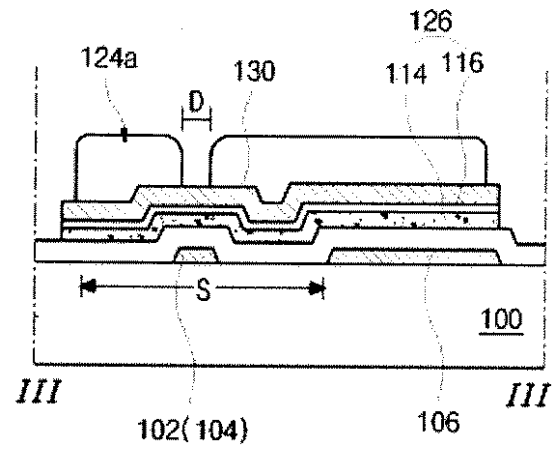
【図 5 B】



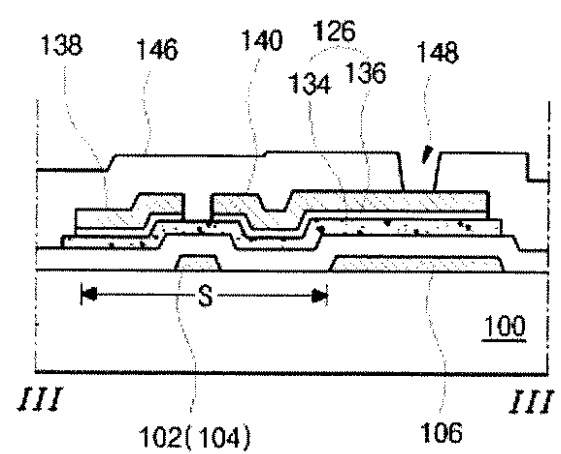
【図 5 C】



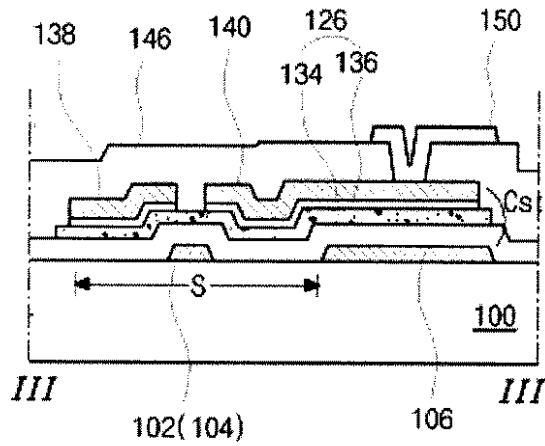
【 図 5 E 】



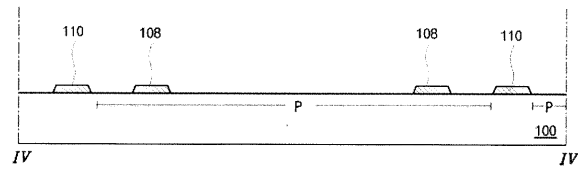
【 図 5 G 】



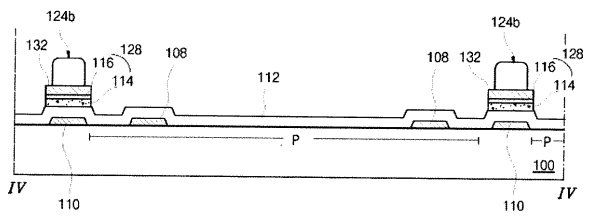
【図 5 H】



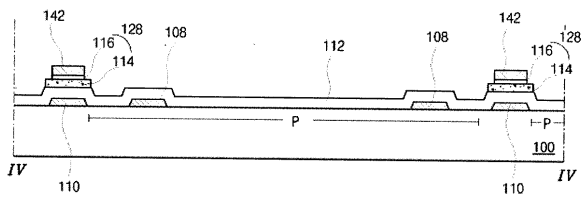
【図 6 A】



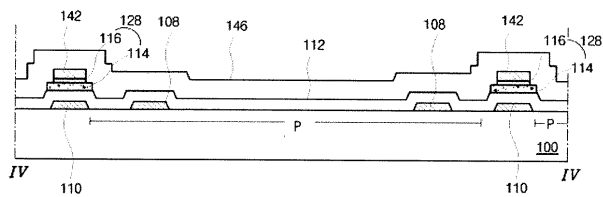
【図 6 E】



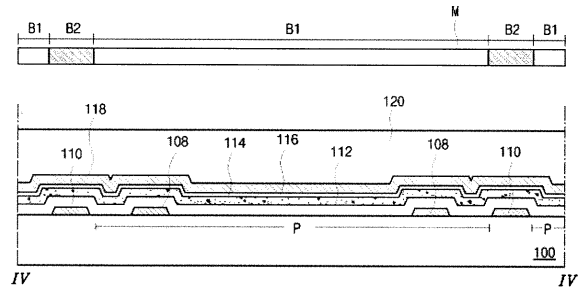
【図 6 F】



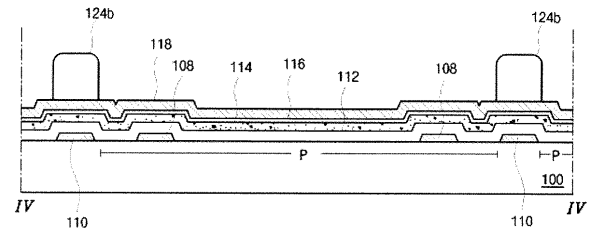
【図 6 G】



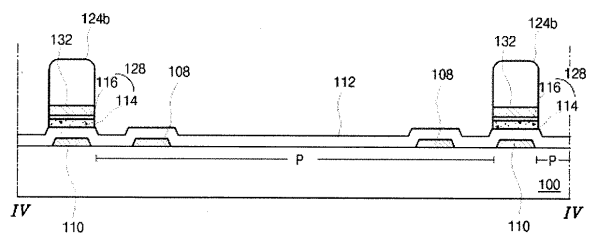
【図 6 B】



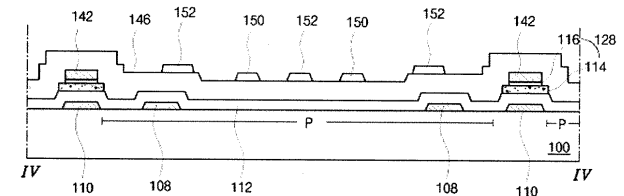
【図 6 C】



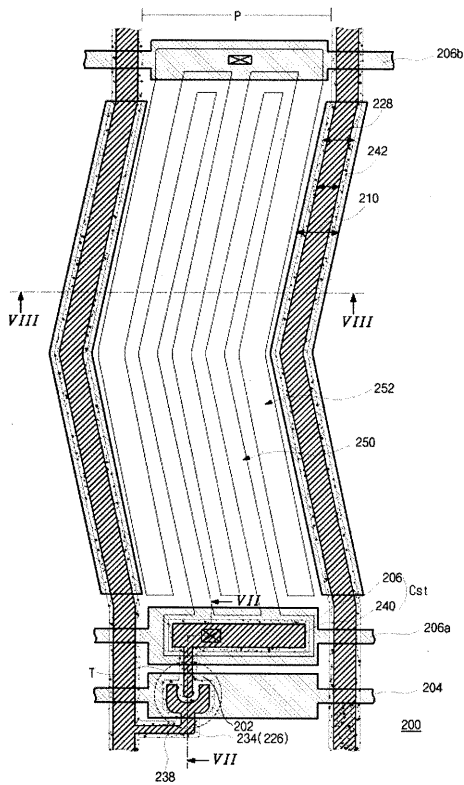
【図 6 D】



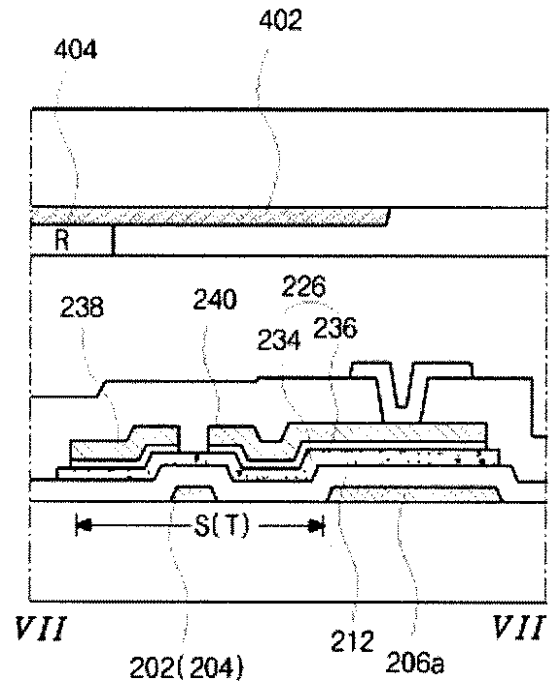
【図 6 H】



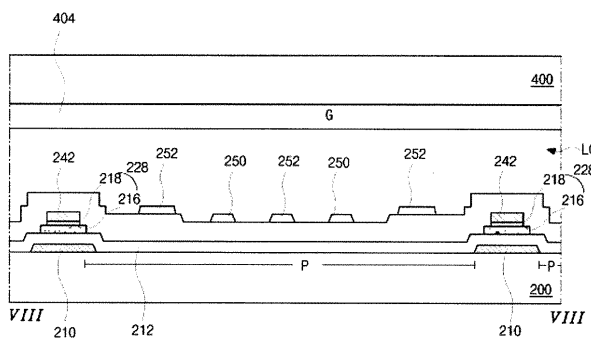
【図 7】



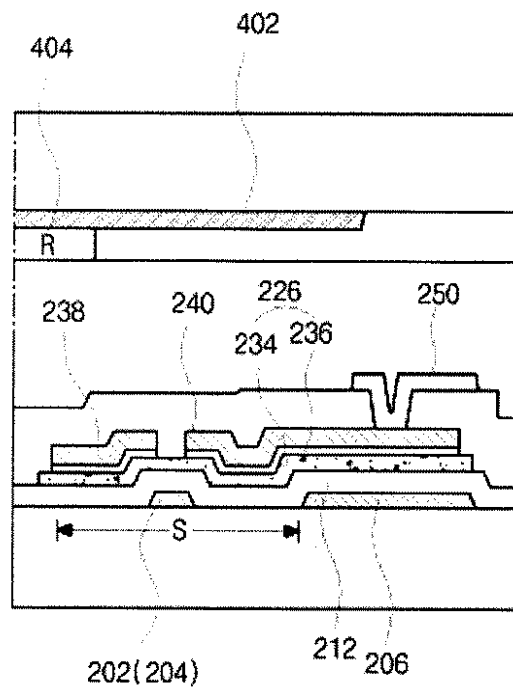
【図 8 A】



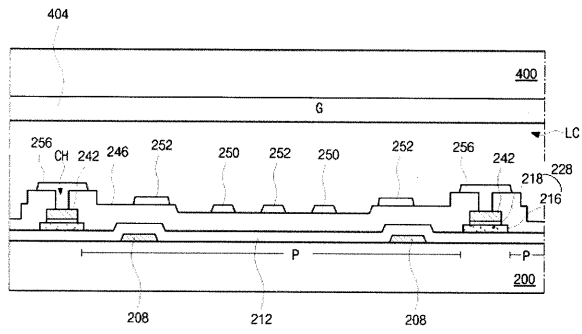
【図 8 B】



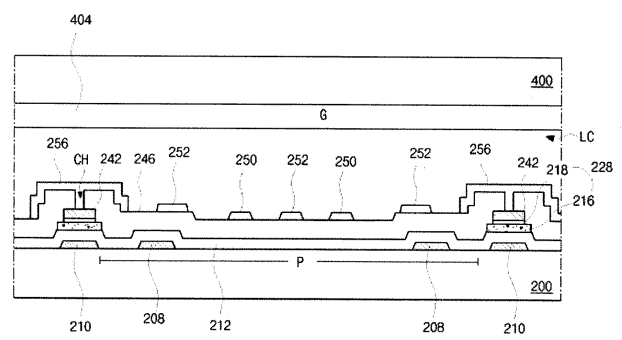
【図 9 A】



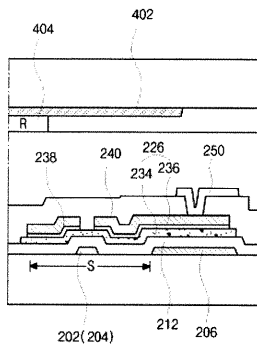
【図 9 B】



【図 10 B】



【図 10 A】



フロントページの続き

(72)発明者 イ ジェキュン

大韓民国 435 - 040 キョンギド クンポシ サンボンドン ウルクチョン アパート 7
07 / 1701

(72)発明者 ソン ムヒョン

大韓民国 702 - 807 デグ ブック クアンドン 787 - 3 プヨン3ダンジ 303 /
1602

(72)発明者 チェ スンチャン

大韓民国 712 - 842 キョンプク キョンサンシ ワチョンミョン キョダンリ 266ボ
ンジ

Fターム(参考) 2H092 GA14 JA24 JA46 JB05 JB11 JB21 JB51 JB64 JB69 JB73
KA05 KA07 MA04 MA13 MA17 NA01 NA29 PA09

专利名称(译)	用于横向电场型液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP2011203748A	公开(公告)日	2011-10-13
申请号	JP2011122034	申请日	2011-05-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	イジョンウン イジェキュン ソンムヒョン チェスンチャン		
发明人	イジョンウン イジェキュン ソンムヒョン チェスンチャン		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	H01L33/0041 G02F1/134363 G02F1/136209		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/JA24 2H092/JA46 2H092/JB05 2H092/JB11 2H092/JB21 2H092/JB51 2H092/JB64 2H092/JB69 2H092/JB73 2H092/KA05 2H092/KA07 2H092/MA04 2H092/MA13 2H092/MA17 2H092/NA01 2H092/NA29 2H092/PA09 2H192/AA24 2H192/BB03 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CB35 2H192/CB46 2H192/CC04 2H192/CC42 2H192/DA12 2H192/DA43 2H192/DA72 2H192/EA04 2H192/GA42 2H192/HA44 2H192/HB37 2H192/HB49 2H192/JA32		
代理人(译)	朝日 伸光		
优先权	1020060034847 2006-04-18 KR		
其他公开文献	JP5314085B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种用于水平电场型液晶显示装置的阵列基板及其制造方法，该阵列基板能够抑制波形噪声的产生并实现高图像质量。用于横向电场型液晶显示装置的阵列基板具有以下结构：通过四掩模工艺在数据线的两侧上暴露半导体层，并且在半导体层下方形成用于阻挡光的第一阻挡图案。然后，在与数据线接触的同时，在数据线上形成用于阻挡半导体层的影响的第二阻挡图案。[选择图]图3

