

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-118398
(P2011-118398A)

(43) 公開日 平成23年6月16日(2011.6.16)

| (51) Int.Cl. | F I | テーマコード (参考) |
|-----------------------------|----------------|-------------|
| G09G 3/36 (2006.01) | G09G 3/36 | 2H193 |
| G09G 3/20 (2006.01) | G09G 3/20 621B | 5C006 |
| G02F 1/133 (2006.01) | G09G 3/20 623W | 5C080 |
| | G09G 3/20 624B | |
| | G09G 3/20 642A | |

審査請求 有 請求項の数 19 O L (全 53 頁) 最終頁に続く

(21) 出願番号 特願2010-270088 (P2010-270088)
 (22) 出願日 平成22年12月3日 (2010.12.3)
 (31) 優先権主張番号 10-2009-0119398
 (32) 優先日 平成21年12月3日 (2009.12.3)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドンポーク, ヨ
 イドードン 20
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100104352
 弁理士 朝日 伸光
 (74) 代理人 100128657
 弁理士 三山 勝巳

最終頁に続く

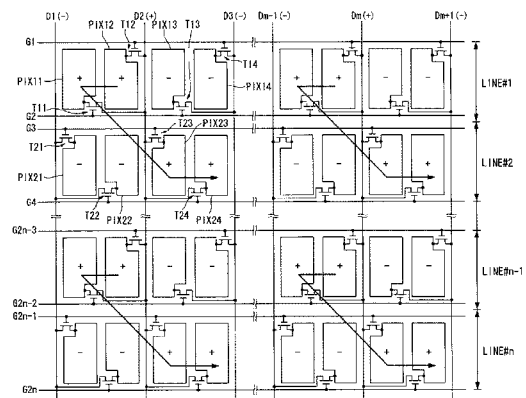
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】本発明は液晶表示装置を提供する。

【解決手段】本発明の液晶表示装置は複数のデータライン、前記データラインと交差される複数のゲートライン、マトリクス形態に配置された液晶セル、及び前記データラインと前記ゲートラインの交差部に形成されるTFTを含む表示パネルと、前記データラインにカラムインバージョン形態に極性が反転されるデータ電圧を供給するソースドライブICと、前記ゲートラインにゲートパルスを順次に供給するためのゲート駆動回路を備える。前記表示パネルの液晶セルに充電されるデータ電圧の極性はドットインバージョン形態に反転される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

複数のデータラインと前記データラインと交差される複数のゲートライン、マトリックス形態に配置された液晶セル、及び前記データラインと前記ゲートラインの交差部に形成される TFT を含む表示パネルと、

前記データラインにカラムインバージョン形態に極性が反転されるデータ電圧を供給するソースドライブ IC と、

前記ゲートラインにゲートパルスを順次に供給するためのゲート駆動回路を備え、

前記表示パネルの液晶セルに充電されるデータ電圧の極性はドットインバージョン形態に反転され、

10

前記表示パネルの少なくとも一部は、

第 m (m は正の整数) 奇数水平表示ラインで隣合うデータラインの間に存在する二つの液晶セルから対角線に離隔されるように第 $m+1$ 偶数水平表示ラインで隣合うデータラインの間に配置される二つの液晶セルを含み、

前記第 m 奇数水平表示ラインに形成された二つの液晶セルと前記第 $m+1$ 偶数水平表示ラインに形成された二つの液晶セルは同一であるデータラインから供給される同一極性のデータ電圧を順次に充電することを特徴とする液晶表示装置。

【請求項 2】

前記液晶セルの少なくとも一部は、

前記表示パネルの第 m 奇数水平表示ラインそれぞれで第 i (i は正の整数) データラインと第 $i+1$ データラインの間に存在する第 m 奇数水平表示ラインの第 1 及び第 2 液晶セルと、

20

前記第 m 奇数水平表示ラインそれぞれで前記第 $i+1$ データラインと第 $i+2$ データラインの間に存在する第 m 奇数水平表示ラインの第 3 及び第 4 液晶セルと、

前記表示パネルの第 $m+1$ 偶数水平表示ラインそれぞれで前記第 i データラインと第 $i+1$ データラインの間に存在する前記第 $m+1$ 偶数水平表示ラインの第 1 及び第 2 液晶セルと、

前記第 $m+1$ 偶数水平表示ラインそれぞれで前記第 $i+1$ データラインと第 $i+2$ データラインの間に存在する前記第 $m+1$ 偶数水平表示ラインの第 3 及び第 4 液晶セルを含み、

30

前記第 m 奇数水平表示ラインの第 1 及び第 2 液晶セルと、前記第 $m+1$ 偶数水平表示ラインの第 3 及び第 4 液晶セルは前記第 $i+1$ データラインから順次に供給される第 1 極性のデータ電圧を充電し、

前記第 $m+1$ 偶数水平表示ラインの第 1 及び第 2 液晶セルは前記第 i データラインから順次に供給される第 2 極性のデータ電圧を充電し、

前記第 m 奇数水平表示ラインの第 3 及び第 4 液晶セルは前記第 $i+2$ データラインから順次に供給される第 2 極性のデータ電圧を充電することを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 3】

前記ゲート駆動回路は第 j (j は正の整数)乃至第 $j+3$ ゲートラインに順次にゲートパルスを出し、

40

前記 TFT は、

第 $j+1$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i+1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する奇数水平ラインの第 1 TFT と、

第 j ゲートラインからのゲートパルスにตอบสนองして前記第 $i+1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極に供給する奇数水平ラインの第 2 TFT と、

前記第 $j+1$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i+2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供

50

給する奇数水平ラインの第 3 T F T と、

前記第 j ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する奇数水平ラインの第 4 T F T と、

第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する偶数水平ラインの第 1 T F T と、

第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記偶数水平表示ラインの前記第 2 液晶セルに形成された第 2 画素電極に供給する偶数水平ラインの第 2 T F T と、

前記第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する偶数水平ラインの第 3 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する偶数水平ラインの第 4 T F T を備えることを特徴とする液晶表示装置。

【請求項 4】

前記液晶セルの少なくとも一部は、

前記表示パネルの奇数水平表示ラインそれぞれで第 i (i は正の整数) データラインと第 $i + 1$ データラインの間に存在する奇数水平表示ラインの第 1 及び第 2 液晶セルと、

前記奇数水平表示ラインそれぞれで前記第 $i + 1$ データラインと第 $i + 2$ データラインの間に存在する奇数水平表示ラインの第 3 及び第 4 液晶セルと、

前記表示パネルの偶数水平表示ラインそれぞれで前記第 i データラインと第 $i + 1$ データラインの間に存在する偶数水平表示ラインの第 1 及び第 2 液晶セルと、

前記偶数水平表示ラインそれぞれで前記第 $i + 1$ データラインと第 $i + 2$ データラインの間に存在する偶数水平表示ラインの第 3 及び第 4 液晶セルを含み、

前記奇数水平表示ラインの第 1 及び第 2 液晶セルは前記第 i データラインから順次に供給される第 1 極性のデータ電圧を充電し、

前記奇数水平表示ラインの第 3 及び第 4 液晶セルと、前記偶数水平表示ラインの第 1 及び第 2 液晶セルは前記第 $i + 1$ データラインから順次に供給される第 2 極性のデータ電圧を充電し、

前記偶数水平表示ラインの第 3 及び第 4 液晶セルは前記第 $i + 2$ データラインから順次に供給される第 1 極性のデータ電圧を充電することを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 5】

前記ゲート駆動回路は第 j (j は正の整数) 乃至第 $j + 3$ ゲートラインに順次にゲートパルスを出力し、

前記 T F T は、

第 $j + 1$ ゲートラインからのゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する奇数水平ラインの第 1 T F T と、

第 j ゲートラインからのゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極に供給する奇数水平ラインの第 2 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する奇数水平ラインの第 3 T F T と、

前記第 j ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する奇数水平ラインの第 4 T F T と、

10

20

30

40

50

第 $j + 2$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する偶数水平ラインの第 1 T F T と、

第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの前記第 2 液晶セルに形成された第 2 画素電極に供給する偶数水平ラインの第 2 T F T と、

前記 $j + 2$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する偶数水平ラインの第 3 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する偶数水平ラインの第 4 T F T を備えることを特徴とする、請求項 4 記載の液晶表示装置。

10

【請求項 6】

前記ゲート駆動回路は第 j (j は正の整数) 乃至第 $j + 3$ ゲートラインに順次にゲートパルスを出し、

前記 T F T は、

第 j ゲートラインからのゲートパルスに応答して前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する奇数水平ラインの第 1 T F T と、

20

第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極に供給する奇数水平ラインの第 2 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する奇数水平ラインの第 3 T F T と、

前記第 j ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する奇数水平ラインの第 4 T F T と、

第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する偶数水平ラインの第 1 T F T と、

30

第 $j + 2$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの前記第 2 液晶セルに形成された第 2 画素電極に供給する偶数水平ラインの第 2 T F T と、

前記第 $j + 2$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する偶数水平ラインの第 3 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する偶数水平ラインの第 4 T F T を備えることを特徴とする、請求項 4 記載の液晶表示装置。

40

【請求項 7】

前記液晶セルの少なくとも一部は、

前記奇数水平表示ラインそれぞれで前記第 $i + 2$ データラインと第 $i + 3$ データラインの間に存在する奇数水平表示ラインの第 5 及び第 6 液晶セルと、

前記偶数水平表示ラインそれぞれで前記第 $i + 2$ データラインと第 $i + 3$ データラインの間に存在する偶数水平表示ラインの第 5 及び第 6 液晶セルをさらに含み、

前記奇数水平表示ラインの第 5 及び第 6 液晶セルは前記第 $i + 2$ データラインから順次に供給される第 1 極性のデータ電圧を充電し、

50

前記偶数水平表示ラインの第 5 及び第 6 液晶セルは前記第 $i + 3$ データラインから順次に供給される第 2 極性のデータ電圧を充電することを特徴とする、請求項 4 記載の液晶表示装置。

【請求項 8】

前記ゲート駆動回路は第 j (j は正の整数)乃至第 $j + 3$ ゲートラインに順次にゲートパルスを出力し、

前記 T F T は、

第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する奇数水平ラインの第 1 T F T と、

第 j ゲートラインからの第 1 ゲートパルスに応答して前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極に供給する奇数水平ラインの第 2 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する奇数水平ラインの第 3 T F T と、

前記第 j ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する奇数水平ラインの第 4 T F T と、

前記第 j ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 5 液晶セルに形成された第 5 画素電極に供給する奇数水平ラインの第 5 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 6 液晶セルに形成された第 6 画素電極に供給する奇数水平ラインの第 6 T F T と、

前記第 $j + 2$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する偶数水平ラインの第 1 T F T と、

第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの前記第 2 液晶セルに形成された第 2 画素電極に供給する偶数水平ラインの第 2 T F T と、

前記第 $j + 2$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する偶数水平ラインの第 3 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する偶数水平ラインの第 4 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 3$ データラインからのデータ電圧を前記偶数水平表示ラインの第 5 液晶セルに形成された第 5 画素電極に供給する偶数水平ラインの第 5 T F T と、

前記第 $j + 2$ ゲートラインからのゲートパルスに応答して前記第 $i + 3$ データラインからのデータ電圧を前記偶数水平表示ラインの第 6 液晶セルに形成された第 6 画素電極に供給する偶数水平ラインの第 6 T F T を備えることを特徴とする、請求項 7 記載の液晶表示装置。

【請求項 9】

前記液晶セルの少なくとも一部は、

前記表示パネルの奇数水平表示ラインそれぞれで第 i (i は正の整数) データラインと第 $i + 1$ データラインの間に存在する奇数水平表示ラインの第 1 及び第 2 液晶セルと、

前記奇数水平表示ラインそれぞれで前記第 $i + 1$ データラインと第 $i + 2$ データラインの間に存在する奇数水平表示ラインの第 3 及び第 4 液晶セルと、

10

20

30

40

50

前記表示パネルの偶数水平表示ラインそれぞれで前記第 i データラインと第 $i + 1$ データラインの間に存在する偶数水平表示ラインの第 1 及び第 2 液晶セルと、

前記偶数水平表示ラインそれぞれで前記第 $i + 1$ データラインと第 $i + 2$ データラインの間に存在する偶数水平表示ラインの第 3 及び第 4 液晶セルを含み、

前記奇数水平表示ラインの第 1 液晶セルは前記第 i データラインから供給される第 1 極性のデータ電圧を充電し、前記奇数水平表示ラインの第 2 液晶セルは前記第 $i + 1$ データラインから供給される第 2 極性のデータ電圧を充電し、

前記偶数水平表示ラインの第 1 液晶セルは前記第 $i + 1$ データラインから供給される第 2 極性のデータ電圧を充電し、前記偶数水平表示ラインの第 2 液晶セルは前記第 i データラインから供給される第 1 極性のデータ電圧を充電し、

前記奇数水平表示ラインの第 3 液晶セルは前記第 $i + 1$ データラインから供給される第 2 極性のデータ電圧を充電し、前記奇数水平表示ラインの第 4 液晶セルは前記第 $i + 2$ データラインから供給される第 1 極性のデータ電圧を充電し、

前記偶数水平表示ラインの第 3 液晶セルは前記第 $i + 2$ データラインから供給される第 1 極性のデータ電圧を充電し、前記偶数水平表示ラインの第 4 液晶セルは前記第 $i + 1$ データラインから供給される第 2 極性のデータ電圧を充電することを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 10】

前記ゲート駆動回路は第 j (j は正の整数)乃至第 $j + 3$ ゲートラインに順次にゲートパルスを出し、

前記 T F T は、

第 $j + 1$ ゲートラインからのゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する奇数水平ラインの第 1 T F T と、

第 j ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極に供給する奇数水平ラインの第 2 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する奇数水平ラインの第 3 T F T と、

前記第 j ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する奇数水平ラインの第 4 T F T と、

第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する偶数水平ラインの第 1 T F T と、

第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記偶数水平表示ラインの前記第 2 液晶セルに形成された第 2 画素電極に供給する偶数水平ラインの第 2 T F T と、

前記第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する偶数水平ラインの第 3 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する偶数水平ラインの第 4 T F T を備えることを特徴とする、請求項 9 記載の液晶表示装置。

【請求項 11】

前記ゲート駆動回路は第 j (j は正の整数)乃至第 $j + 3$ ゲートラインに順次にゲートパルスを出し、

前記 T F T は、

第 j ゲートラインからのゲートパルスに応答して前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する奇数水平ラインの第 1 T F T と、

第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極に供給する奇数水平ラインの第 2 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する奇数水平ラインの第 3 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する奇数水平ラインの第 4 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する偶数水平ラインの第 1 T F T と、

第 $j + 2$ ゲートラインからのゲートパルスに応答して前記第 i データラインからのデータ電圧を前記偶数水平表示ラインの前記第 2 液晶セルに形成された第 2 画素電極に供給する偶数水平ラインの第 2 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する偶数水平ラインの第 3 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する偶数水平ラインの第 4 T F T を備えることを特徴とする、請求項 9 記載の液晶表示装置。

【請求項 1 2】

前記ゲート駆動回路は第 j (j は正の整数) 乃至第 $j + 3$ ゲートラインに順次にゲートパルスを出し、

前記 T F T は、

第 j ゲートラインからのゲートパルスに応答して前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する奇数水平ラインの第 1 T F T と、

前記第 j ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極に供給する奇数水平ラインの第 2 T F T と、

第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する奇数水平ラインの第 3 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する奇数水平ラインの第 4 T F T と、

第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する偶数水平ラインの第 1 T F T と、

第 $j + 2$ ゲートラインからのゲートパルスに応答して前記第 i データラインからのデータ電圧を前記偶数水平表示ラインの前記第 2 液晶セルに形成された第 2 画素電極に供給する偶数水平ラインの第 2 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する偶数水平ラインの第 3 T F T と、

10

20

30

40

50

前記第 $j + 2$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する偶数水平ラインの第 4 T F T を備えることを特徴とする、請求項 9 記載の液晶表示装置。

【請求項 13】

前記液晶セルの少なくとも一部は、

前記奇数水平表示ラインそれぞれで前記第 $i + 2$ データラインと第 $i + 3$ データラインの間に存在する奇数水平表示ラインの第 5 及び第 6 液晶セルと、

前記偶数水平表示ラインそれぞれで前記第 $i + 2$ データラインと第 $i + 3$ データラインの間に存在する偶数水平表示ラインの第 5 及び第 6 液晶セルをさらに含み、

前記奇数水平表示ラインの第 5 液晶セルは前記第 $i + 3$ データラインから供給される第 2 極性のデータ電圧を充電し、前記奇数水平表示ラインの第 6 液晶セルは前記第 $i + 2$ データラインから供給される第 1 極性のデータ電圧を充電し、

前記偶数水平表示ラインの第 5 液晶セルは前記第 $i + 2$ データラインから供給される第 1 極性のデータ電圧を充電し、前記偶数水平表示ラインの第 6 液晶セルは前記第 $i + 3$ データラインから供給される第 2 極性のデータ電圧を充電することを特徴とする、請求項 9 記載の液晶表示装置。

【請求項 14】

前記ゲート駆動回路は第 j (j は正の整数)乃至第 $j + 3$ ゲートラインに順次にゲートパルスを出し、

前記 T F T は、

第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する奇数水平ラインの第 1 T F T と、

第 j ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極に供給する奇数水平ラインの第 2 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する奇数水平ラインの第 3 T F T と、

前記第 j ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する奇数水平ラインの第 4 T F T と、

前記第 j ゲートラインからのゲートパルスに応答して前記第 $i + 3$ データラインからのデータ電圧を前記奇数水平表示ラインの第 5 液晶セルに形成された第 5 画素電極に供給する奇数水平ラインの第 5 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 6 液晶セルに形成された第 6 画素電極に供給する奇数水平ラインの第 6 T F T と、

第 $j + 2$ ゲートラインからの第 3 ゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する偶数水平ラインの第 1 T F T と、

第 $j + 3$ ゲートラインからの第 4 ゲートパルスに応答して前記第 i データラインからのデータ電圧を前記偶数水平表示ラインの前記第 2 液晶セルに形成された第 2 画素電極に供給する偶数水平ラインの第 2 T F T と、

前記第 $j + 2$ ゲートラインからのゲートパルスに応答して前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する偶数水平ラインの第 3 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスに応答して前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供

10

20

30

40

50

給する偶数水平ラインの第 4 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 5 液晶セルに形成された第 5 画素電極に供給する偶数水平ラインの第 5 T F T と、

前記第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 3$ データラインからのデータ電圧を前記偶数水平表示ラインの第 6 液晶セルに形成された第 6 画素電極に供給する偶数水平ラインの第 6 T F T を備えることを特徴とする、請求項 13 記載の液晶表示装置。

【請求項 15】

前記ゲート駆動回路は第 j (j は正の整数)乃至第 $j + 3$ ゲートラインに順次にゲートパルスを出し、

前記 T F T は、

第 j ゲートラインからのゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する奇数水平ラインの第 1 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極に供給する奇数水平ラインの第 2 T F T と、

前記第 j ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する奇数水平ラインの第 3 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する奇数水平ラインの第 4 T F T と、

前記第 $j + 1$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 3$ データラインからのデータ電圧を前記奇数水平表示ラインの第 5 液晶セルに形成された第 5 画素電極に供給する奇数水平ラインの第 5 T F T と、

前記第 j ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 6 液晶セルに形成された第 6 画素電極に供給する奇数水平ラインの第 6 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する偶数水平ラインの第 1 T F T と、

第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記偶数水平表示ラインの前記第 2 液晶セルに形成された第 2 画素電極に供給する偶数水平ラインの第 2 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する偶数水平ラインの第 3 T F T と、

前記第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する偶数水平ラインの第 4 T F T と、

前記第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 5 液晶セルに形成された第 5 画素電極に供給する偶数水平ラインの第 5 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 3$ データラインからのデータ電圧を前記偶数水平表示ラインの第 6 液晶セルに形成された第 6 画素電極に供給する偶数水平ラインの第 6 T F T を備えることを特徴とする、請求項 13 記載の液晶表示装置。

【請求項 16】

10

20

30

40

50

前記液晶セルの少なくとも一部は、

前記表示パネルの奇数水平表示ラインそれぞれで第 i (i は正の整数) データラインと第 $i + 1$ データラインの間に存在する奇数水平表示ラインの第 1 及び第 2 液晶セルと、

前記奇数水平表示ラインそれぞれで前記第 $i + 1$ データラインと第 $i + 2$ データラインの間に存在する奇数水平表示ラインの第 3 及び第 4 液晶セルと、

前記表示パネルの偶数水平表示ラインそれぞれで前記第 i データラインと第 $i + 1$ データラインの間に存在する偶数水平表示ラインの第 1 及び第 2 液晶セルと、

前記偶数水平表示ラインそれぞれで前記第 $i + 1$ データラインと第 $i + 2$ データラインの間に存在する偶数水平表示ラインの第 3 及び第 4 液晶セルを含み、

前記奇数水平表示ラインの第 1 液晶セルは前記第 $i + 1$ データラインから供給される第 1 極性のデータ電圧を充電し、前記奇数水平表示ラインの第 2 液晶セルは前記第 i データラインから供給される第 2 極性のデータ電圧を充電し、

前記偶数水平表示ラインの第 1 液晶セルは前記第 i データラインから供給される第 2 極性のデータ電圧を充電し、前記偶数水平表示ラインの第 2 液晶セルは前記第 $i + 1$ データラインから供給される第 1 極性のデータ電圧を充電し、

前記奇数水平表示ラインの第 3 液晶セルは前記第 $i + 1$ データラインから供給される第 1 極性のデータ電圧を充電し、前記奇数水平表示ラインの第 4 液晶セルは前記第 $i + 2$ データラインから供給される第 2 極性のデータ電圧を充電し、

前記偶数水平表示ラインの第 3 液晶セルは前記第 $i + 2$ データラインから供給される第 2 極性のデータ電圧を充電し、前記偶数水平表示ラインの第 4 液晶セルは前記第 $i + 1$ データラインから供給される第 1 極性のデータ電圧を充電することを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 17】

前記ゲート駆動回路は第 j (j は正の整数) 乃至第 $j + 3$ ゲートラインに順次にゲートパルスを出し、

前記 T F T は、

第 j ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する奇数水平ラインの第 1 T F T と、

前記第 $j + 1$ ゲートラインからの、第 2 ゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極に供給する奇数水平ラインの第 2 T F T と、

前記第 $j + 1$ ゲートラインからの、ゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する奇数水平ラインの第 3 T F T と、

前記第 j ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する奇数水平ラインの第 4 T F T と、

第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する偶数水平ラインの第 1 T F T と、

第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの前記第 2 液晶セルに形成された第 2 画素電極に供給する偶数水平ラインの第 2 T F T と、

前記第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する偶数水平ラインの第 3 T F T と、

前記第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する偶数水平ラインの第 4 T F T を備えることを特徴とする、請求項 16 記載の液晶表

10

20

30

40

50

示装置。

【請求項 18】

前記液晶セルの少なくとも一部は、

前記表示パネルの奇数水平表示ラインそれぞれで第 i (i は正の整数) データラインと第 $i + 1$ データラインの間に存在する奇数水平表示ラインの第 1 及び第 2 液晶セルと、

前記奇数水平表示ラインそれぞれで前記第 $i + 1$ データラインと第 $i + 2$ データラインの間に存在する奇数水平表示ラインの第 3 及び第 4 液晶セルと、

前記表示パネルの偶数水平表示ラインそれぞれで前記第 i データラインと第 $i + 1$ データラインの間に存在する偶数水平表示ラインの第 1 及び第 2 液晶セルと、

前記偶数水平表示ラインそれぞれで前記第 $i + 1$ データラインと第 $i + 2$ データラインの間に存在する偶数水平表示ラインの第 3 及び第 4 液晶セルを含み、

前記奇数水平表示ラインの第 1 液晶セルは前記第 i データラインから供給される第 1 極性のデータ電圧を充電し、前記奇数水平表示ラインの第 2 液晶セルは前記第 $i + 1$ データラインから供給される第 2 極性のデータ電圧を充電し、

前記偶数水平表示ラインの第 1 液晶セルは前記第 i データラインから供給される第 1 極性のデータ電圧を充電し、前記偶数水平表示ラインの第 2 液晶セルは前記第 $i + 1$ データラインから供給される第 2 極性のデータ電圧を充電し、

前記奇数水平表示ラインの第 3 液晶セルは前記第 $i + 2$ データラインから供給される第 1 極性のデータ電圧を充電し、前記奇数水平表示ラインの第 4 液晶セルは前記第 $i + 1$ データラインから供給される第 2 極性のデータ電圧を充電し、

前記偶数水平表示ラインの第 3 液晶セルは前記第 $i + 2$ データラインから供給される第 1 極性のデータ電圧を充電し、前記偶数水平表示ラインの第 4 液晶セルは前記第 $i + 1$ データラインから供給される第 2 極性のデータ電圧を充電することを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 19】

前記ゲート駆動回路は第 j (j は正の整数) 乃至第 $j + 3$ ゲートラインに順次にゲートパルスを出し、

前記 TFT は、

第 $j + 1$ ゲートラインからのゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する奇数水平ラインの第 1 TFT と、

第 1 ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極に供給する奇数水平ラインの第 2 TFT と、

前記第 $j + 1$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する奇数水平ラインの第 3 TFT と、

前記第 j ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極に供給する奇数水平ラインの第 4 TFT と、

第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 i データラインからのデータ電圧を前記偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極に供給する偶数水平ラインの第 1 TFT と、

第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインからのデータ電圧を前記偶数水平表示ラインの前記第 2 液晶セルに形成された第 2 画素電極に供給する偶数水平ラインの第 2 TFT と、

前記第 $j + 3$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 2$ データラインからのデータ電圧を前記偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極に供給する偶数水平ラインの第 3 TFT と、

前記第 $j + 2$ ゲートラインからのゲートパルスにตอบสนองして前記第 $i + 1$ データラインか

10

20

30

40

50

らのデータ電圧を前記偶数水平表示ラインの第4液晶セルに形成された第4画素電極に供給する偶数水平ラインの第4TFTを備えることを特徴とする、請求項18記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はカラムインバージョンに極性が反転されるデータ電圧を出力するソースドライブ集積回路を利用して液晶表示パネルをドットインバージョンに駆動する液晶表示装置に関する。

【背景技術】

【0002】

アクティブマトリクス駆動方式の液晶表示装置はスイッチング素子として薄膜トランジスタ-(以下“TFT”とする)を利用して動画を表示している。液晶表示装置は陰極選管(CRT)に比べて小型化が可能でポータブル情報機器、事務機器、コンピューターなどで標示器に応用されることは勿論、テレビにも応用されて陰極選管を速く取り替えている。

【0003】

液晶表示装置は液晶表示パネル、液晶表示パネルに光を照射するバックライトユニット、液晶表示パネルのデータラインにデータ電圧を供給するためのソースドライブ集積回路(IC)、液晶表示パネルのゲートライン(またはスキャンライン)にゲートパルス(またはスキャンパルス)を供給するためのゲートドライブIC、及び前記ICを制御する制御回路、バックライトユニットの光源を駆動するための光源駆動回路などを備える。

【0004】

液晶表示装置の工程技術と駆動技術の飛躍的な発展に負って、液晶表示装置の製造費用は低くなり、画質が大きく向上している。低消費電力と低費用を情報端末機の要求に合うように、液晶表示装置の消費電力、画質、及び製造費用をさらに改善する必要がある。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、既存のインバージョン方法で招来されるデータ充電量のばらつきによって招来される輝度ばらつき、色歪曲などの画質低下を防止することができる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

前記課題を解決するために、本発明の液晶表示装置は複数のデータライン、前記データラインと交差される複数のゲートライン、マトリクス形態に配置された液晶セル、及び前記データラインと前記ゲートラインの交差部に形成されるTFTを含む液晶表示パネルと、前記データラインにカラムインバージョン形態に極性が反転されるデータ電圧を供給するソースドライブICと、前記ゲートラインにゲートパルスを順次に供給するためのゲート駆動回路を備える。

【0007】

前記液晶表示パネルの液晶セルに充電されるデータ電圧の極性はドットインバージョン形態に反転される。

【0008】

前記液晶表示パネルの少なくとも一部は第 m (m は正の整数)水平表示ラインで隣合うデータラインの間に存在する二つの液晶セルから対角線で離隔されるように第 $m+1$ 水平表示ラインで隣合うデータラインの間に配置される二つの液晶セルを含む。

【0009】

前記第 m 水平表示ラインに形成された二つの液晶セルと前記第 $m+1$ 水平表示ラインに形成された二つの液晶セルは同一であるデータラインから供給される同一極性のデータ電

10

20

30

40

50

圧を順次に充電する。

【発明の効果】

【0010】

前述のように、本発明は一つのデータラインに接続された液晶セルに充電されるデータ電圧の極性を同一に制御し液晶セルのデータ充電量を均一にできてソースドライバICの消費電力を減らすことができる。したがって、本発明は既存のインバージョン方法で招来されるデータ充電量のばらつきによって招来される輝度ばらつき、色歪曲などの画質低下を防止することができるし、データ電圧の極性反転回数を減らしソースドライバICの消費電力を減らすことができる。また、本発明は左右に隣接する液晶セルが一つのデータラインを共有するTFT接続関係を利用してデータラインの個数とソースドライバICのチャンネル数を減らすことができる。

10

【図面の簡単な説明】

【0011】

【図1】本発明の実施の形態に係る液晶表示装置を示すブロック図である。

【図2】図1に示された画素アレイの第1実施の形態を詳しく示す回路図である。

【図3】第1データラインと第m+1データラインの接続例を示す図である。

【図4】図3のような液晶表示装置でデータラインに供給されるデータ電圧の波形を示す波形図である。

【図5】第m+1データラインがソースドライバICの出力チャンネルに接続された例を示す図である。

20

【図6】図5のような液晶表示装置でデータラインに供給されるデータ電圧の波形を示す波形図である。

【図7】図1に示された画素アレイの第2実施の形態を詳しく示す回路図である。

【図8】図1に示された画素アレイの第3実施の形態を詳しく示す回路図である。

【図9】図1に示された画素アレイの第4実施の形態を詳しく示す回路図である。

【図10】図1に示された画素アレイの第5実施の形態を詳しく示す回路図である。

【図11】図1に示された画素アレイの第6実施の形態を詳しく示す回路図である。

【図12】図1に示された画素アレイの第7実施の形態を詳しく示す回路図である。

【図13】図1に示された画素アレイの第8実施の形態を詳しく示す回路図である。

【図14】図1に示された画素アレイの第9実施の形態を詳しく示す回路図である。

30

【図15】図1に示された画素アレイの第10実施の形態を詳しく示す回路図である。ある。

【図16】図1に示された画素アレイの第11実施の形態を詳しく示す回路図である。

【発明を実施するための形態】

【0012】

以下添付された図面を参照し本発明に係る望ましい実施の形態を詳しく説明する。明細書全体にかけて同一である参照番号は実質的に同一である構成要素を意味する。以下の説明で、本発明と係わる公知機能あるいは構成に対する具体的な説明が本発明の要旨を不必要に不明確にすると判断される場合、その詳細な説明を省略する。

【0013】

以下の説明で使われる構成要素名称は明細書作成の容易さを考慮し選択されたものであり、実際製品の部品名称とは相異することがある。

40

【0014】

図1を参照すれば、本発明の実施の形態に係る液晶表示装置は画素アレイ10が形成された液晶表示パネル、ソースドライバIC12、ゲート駆動回路13及びタイミングコントローラ11を備える。液晶表示パネルの下には液晶表示パネルに光を均一に照射するためのバックライトユニットが配置されることができる。

【0015】

液晶表示パネルは液晶層を間に置いて対向する上部ガラス基板と下部ガラス基板を含む。液晶表示パネルには画素アレイ10が形成される。画素アレイ10はデータラインとゲ

50

ートラインの交差構造によってマトリクス形態に配列される液晶セルを含みビデオデータを表示する。画素アレイ10の下部ガラス基板にはデータライン、ゲートライン、TFT、TFTに接続された液晶セルの画素電極、及び液晶セルの画素電極に接続されたストレージキャパシター(Cst)などを含む。画素アレイ10の液晶セルそれぞれはTFTを通じてデータ電圧を充電する画素電極と共通電圧が印加される共通電極の電圧差によって駆動されて光の透過量を調整することでビデオデータの画像を表示する。画素アレイ10の具体的な構造に対しては以下の図面を参照して詳しく説明する。

【0016】

液晶表示パネルの上部ガラス基板にはブラックマトリクス、カラーフィルター及び共通電極が形成される。共通電極はTN(ツイストネマティック)モードとVA(垂直アラインメント)モードのような垂直電界駆動方式の場合に上部ガラス基板上に形成され、IPS(In-Plane Switching水平配列型)モードとFFS(Fringe Field Switching)モードのような水平電界駆動方式の場合に画素電極とともに下部ガラス基板上に形成される。

10

【0017】

液晶表示パネルの上部ガラス基板と下部ガラス基板それぞれには偏光版が附着し液晶のプレチルト角を設定するための配向膜が形成される。

【0018】

本発明の液晶表示装置はTNモード、VAモード、IPSモード、FFSモードだけではなくいずれの液晶モードでも具現されることができる。本発明の液晶表示装置は透過型液晶表示装置、半透過型液晶表示装置、反射型液晶表示装置などいずれの形態でも具現されることができる。透過型液晶表示装置と半透過型液晶表示装置ではバックライトユニットが必要である。バックライトユニットは直下型バックライトユニットまたは、エッジ型バックライトユニットに具現されることができる。

20

【0019】

ソースドライブIC12はTCP(Tape Carrier Package、15)上に実装されTAB(Tape Auto Mated Bonding)工程によって液晶表示パネルの下部ガラス基板に接合され、ソースPCB(Printed Circuit Board)14に接続される。ソースドライブIC12はCOG(Chip On Glass)工程によって液晶表示パネルの下部ガラス基板上に接着されることもできる。ソースドライブIC12それぞれのデータ出力チャンネルは画素アレイ10のデータラインに1:1に接続される。ソースドライブIC12の出力チャンネルの総個数はデータラインの総個数の大体1/2である。

30

【0020】

ソースドライブIC12それぞれはタイミングコントローラ11からデジタルビデオデータを入力受ける。ソースドライブIC12はタイミングコントローラ11からのソースタイミング制御信号に応答してデジタルビデオデータを正極性/負極性データ電圧で変換し出力チャンネルを通じて画素アレイ10のデータラインに供給する。ソースドライブIC12はタイミングコントローラ11の制御の下に隣合うデータラインに互いに相反した極性のデータ電圧を供給し、それぞれのデータラインに供給されるデータ電圧の極性を1フレーム期間の間同一に維持する。したがって、ソースドライブIC12は図4及び図6のように極性がカラムインバージョン形態に反転されるデータ電圧を出力する。

40

【0021】

ゲート駆動回路13はタイミングコントローラ11からのゲートタイミング制御信号に
応答して画素アレイのゲートラインにゲートパルス(またはスキャンパルス)を順次に供給する。ゲート駆動回路13はTCP上に実装されTAB工程によって液晶表示パネルの下部ガラス基板に接合されるとか、GIP(Gate In Panel)工程によって画素アレイ10と同時に下部ガラス基板上に直接形成されることができる。ゲート駆動回路13は図2のように画素アレイ10の両側に配置されるとか画素アレイ10の一侧に配置されることができる。

【0022】

50

タイミングコントローラ 11 は外部のシステムボードから入力されるデジタルビデオデータをソースドライブ IC 12 に供給する。そしてタイミングコントローラ 11 はソースドライブ IC 12 の動作タイミングを制御するためのソースタイミング制御信号とゲート駆動回路 13 の動作タイミングを制御するためのゲートタイミング制御信号を発生する。タイミングコントローラ 11 はコントロール PCB 16 上に実装される。コントロール PCB 16 とソース PCB 14 は FFC (flexible flat cable) や FPC (flexible printed circuit) のような軟性回路基板 17 を通じて接続される。

【0023】

図 2 は画素アレイ 10 の第 1 実施の形態を示す回路図である。

【0024】

図 2 を参照すれば、画素アレイ 10 は m (m は正の整数) + 1 個のデータライン ($D_1 \sim D_{m+1}$)、データライン ($D_1 \sim D_{m+1}$) と交差されるゲートライン ($G_1 \sim G_{2n}$) (n は正の整数)、及びゲートパルスに応答して液晶セルの画素電極 ($PIX_{11} \sim PIX_{14}$ 、 $PIX_{21} \sim PIX_{24}$) とデータライン ($D_1 \sim D_{m+1}$) の間の電流パスをスイッチングするための TFT ($T_{11} \sim T_{14}$ 、 $T_{21} \sim T_{24}$) を備える。この画素アレイの 1 水平表示ラインに配置された液晶セルの個数は $2m$ 個である。

【0025】

カラムインバージョン方式で極性が反転されるデータ電圧と、図 2 の画素アレイ構造によって液晶セルに充電されるデータ電圧はその極性が水平 2 ドット及び垂直 1 ドットインバージョンに反転される。図 2 で矢印は液晶セルのデータ電圧充電手順を示す。

【0026】

ソースドライブ IC 12 はカラムインバージョン形態に極性が反転されるデータ電圧をデータライン ($D_1 \sim D_{m+1}$) に出力する。ゲート駆動回路 13 は第 1 乃至 $2n$ ゲートライン ($G_1 \sim G_{2n}$) にゲートパルスを順次に供給する。第 1 ゲートライン (G_1) に第 1 ゲートパルスが供給された後に第 2 乃至第 $2n$ ゲートライン ($G_1 \sim G_{2n}$) に順次に第 2 ないし第 $2n$ ゲートパルスが供給される。

【0027】

第 N (N は正の整数) フレーム期間の間、ソースドライブ IC 12 は奇数データライン (D_1 、 D_3 . . . D_{m-1} 、 D_{m+1}) に負極性データ電圧のみを供給し、偶数データライン (D_2 、 D_4 . . . D_m) に正極性データ電圧のみを供給する。第 $N+1$ フレーム期間の間、ソースドライブ IC 12 は奇数データライン (D_1 、 D_3 . . . D_{m-1} 、 D_{m+1}) に正極性データ電圧のみを供給し、偶数データライン (D_2 、 D_4 . . . D_m) に負極性データ電圧のみを供給する。

【0028】

奇数水平表示ライン ($LINE \# 1$ 、 $LINE \# 3$ 、. . . $LINE \# n-1$) それぞれで第 i (i は m 以下の正の整数) データラインと第 $i+1$ データラインの間に存在する奇数水平表示ラインの第 1 及び第 2 液晶セルは第 N フレーム期間の間第 $i+1$ データラインから供給される正極性データ電圧を充電した後、第 $N+1$ フレーム期間の間第 $i+1$ データラインから供給される負極性データ電圧を充電する。図 2 で図面符号 ' PIX_{11} ' は奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極であり、' PIX_{12} ' は奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極である。また偶数水平表示ライン ($LINE \# 2$ 、 $LINE \# 4$ 、. . . $LINE \# n$) それぞれで第 $i+1$ データラインと第 $i+2$ データラインの間に存在する偶数水平ラインの第 3 及び第 4 液晶セルは第 N フレーム期間の間第 $i+1$ データラインから供給される正極性データ電圧を充電した後、第 $N+1$ フレーム期間の間第 $i+1$ データラインから供給される負極性データ電圧を充電する。図 2 で図面符号 ' PIX_{23} ' は偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、' PIX_{24} ' は偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。したがって、奇数水平表示ラインの第 1 及び第 2 液晶セルと、偶数水平ラインの第 3 及び第 4 液晶セルは第 $i+1$ データラインから供給される同一である極性のデータ電圧を充電する。

10

20

30

40

50

【 0 0 2 9 】

奇数水平表示ライン（LINE # 1、LINE # 3、．．．LINE # n - 1）それぞれで第 $i + 1$ データラインと第 $i + 2$ データラインの間に存在する奇数水平表示ラインの第 3 及び第 4 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電する。図 2 で図面符号 ' P I X 1 3 ' は奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、' P I X 1 4 ' は奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。また、偶数水平表示ライン（LINE # 2、LINE # 4、．．．LINE # n）それぞれで第 $i + 2$ データラインと第 $i + 3$ データラインの間に存在する偶数水平ラインの第 5 及び第 6 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電する。図 2 で偶数水平表示ラインの第 5 及び第 6 液晶セルは省略されたし、その構造は偶数水平ラインの第 1 及び第 2 液晶セルと実質的に同一である。したがって、奇数水平表示ラインの第 3 及び第 4 液晶セルと、偶数水平ラインの第 5 及び第 6 液晶セルは第 $i + 2$ データラインから供給される同一である極性のデータ電圧を充電する。一方、偶数水平表示ラインの第 1 及び第 2 液晶セルは第 1 データラインから供給される同一である極性のデータ電圧を充電する。

10

【 0 0 3 0 】

図 2 に示された画素アレイ 1 0 から T F T、画素電極及びデータラインの接続関係を第 1 水平表示ライン（LINE # 1）の第 1 乃至第 4 液晶セルと、第 2 水平表示ライン（LINE # 2）の第 1 乃至第 4 液晶セルを例をあげて説明する。

20

【 0 0 3 1 】

第 1 水平表示ライン（LINE # 1）で第 1 データライン（D 1）と第 2 データライン（D 2）の間に存在する第 1 及び第 2 液晶セルは第 2 データライン（D 2）から順次に供給されるデータ電圧を充電する。第 1 水平表示ラインの第 1 T F T（T 1 1）は第 2 ゲートライン（G 2）からの第 2 ゲートパルスに応答して第 2 データライン（D 2）からのデータ電圧を第 1 画素電極（P I X 1 1）に供給する。第 1 画素電極（P I X 1 1）は大体 1 / 2 水平期間の間データ電圧を充電する。第 1 T F T（T 1 1）のゲート電極は第 2 ゲートライン（G 2）に接続される。第 1 T F T（T 1 1）のドレーン電極は第 2 データライン（D 2）に接続され、そのソース電極は第 1 画素電極（P I X 1 1）に接続される。第 1 水平表示ラインの第 2 T F T（T 1 2）は第 1 ゲートライン（G 1）からの第 1 ゲートパルスに応答し第 2 データライン（D 2）からのデータ電圧を第 2 画素電極（P I X 1 2）に供給する。第 2 画素電極（P I X 1 2）は大体 1 / 2 水平期間の間データ電圧を充電する。第 2 T F T（T 1 2）のゲート電極は第 1 ゲートライン（G 1）に接続される。第 2 T F T（T 1 2）のドレーン電極は第 2 データライン（D 2）に接続され、そのソース電極は第 2 画素電極（P I X 1 2）に接続される。

30

【 0 0 3 2 】

第 1 水平表示ライン（LINE # 1）で第 2 データライン（D 2）と第 3 データライン（D 3）の間に存在する第 3 及び第 4 液晶セルは第 3 データライン（D 3）から順次に供給されるデータ電圧を充電する。第 1 水平表示ラインの第 3 T F T（T 1 3）は第 2 ゲートライン（G 2）からの第 2 ゲートパルスに応答して第 3 データライン（D 3）からのデータ電圧を第 3 画素電極（P I X 1 3）に供給する。第 3 画素電極（P I X 1 3）は大体 1 / 2 水平期間の間データ電圧を充電する。第 3 T F T（T 1 3）のゲート電極は第 2 ゲートライン（G 2）に接続される。第 3 T F T（T 1 3）のドレーン電極は第 3 データライン（D 3）に接続され、そのソース電極は第 3 画素電極（P I X 1 3）に接続される。第 1 水平表示ラインの第 4 T F T（T 1 4）は第 1 ゲートライン（G 1）からの第 1 ゲートパルスに応答して第 3 データライン（D 3）からのデータ電圧を第 4 画素電極（P I X 1 4）に供給する。第 4 画素電極（P I X 1 4）は大体 1 / 2 水平期間の間データ電圧を充電する。第 4 T F T（T 1 4）のゲート電極は第 1 ゲートライン（G 1）に接続される。

40

50

第4 TFT (T14) のドレイン電極は第3データライン (D3) に接続され、そのソース電極は第4画素電極 (PIX14) に接続される。

【0033】

第2水平表示ライン (LINE#2) で第1データライン (D1) と第2データライン (D2) の間に存在する第1及び第2液晶セルは第1データライン (D1) から順次に供給されるデータ電圧を充電する。第2水平表示ラインの第1 TFT (T21) は第3ゲートライン (G3) からの第3ゲートパルスに 응답し第1データライン (D1) からのデータ電圧を第1画素電極 (PIX21) に供給する。第1画素電極 (PIX21) は大体1/2水平期間の間データ電圧を充電する。第1 TFT (T21) のゲート電極は第3ゲートライン (G3) に接続される。第1 TFT (T21) のドレイン電極は第1データライン (D1) に接続され、そのソース電極は第1画素電極 (PIX21) に接続される。第2水平表示ラインの第2 TFT (T22) は第4ゲートライン (G4) からの第4ゲートパルスに 응답して第1データライン (D1) からのデータ電圧を第2画素電極 (PIX22) に供給する。第2画素電極 (PIX22) は大体1/2水平期間の間データ電圧を充電する。第2 TFT (T22) のゲート電極は第4ゲートライン (G4) に接続される。第2 TFT (T22) のドレイン電極は第1データライン (D1) に接続されて、そのソース電極は第2画素電極 (PIX22) に接続される。

10

【0034】

第2水平表示ライン (LINE#2) で第2データライン (D2) と第3データライン (D3) の間に存在する第3及び第4液晶セルは第2データライン (D2) から順次に供給されるデータ電圧を充電する。第2水平表示ライン (LINE#2) の第3及び第4液晶セルは対角線方向に沿って第1水平表示ライン (LINE#1) の第1及び第2液晶セルから離隔され、第1水平表示ライン (LINE#1) の第1及び第2液晶セルとともに第2データライン (D2) を共有する。したがって、第1水平表示ライン (LINE#1) の第1及び第2液晶セルと、第2水平表示ライン (LINE#2) の第3及び第4液晶セルは第2データライン (D2) を通じて連続に供給される同一極性のデータ電圧を順次に充電する。

20

【0035】

第2水平表示ラインの第3 TFT (T23) は第3ゲートライン (G3) からの第3ゲートパルスに 응답して第2データライン (D2) からのデータ電圧を第3画素電極 (PIX23) に供給する。第3画素電極 (PIX23) は大体1/2水平期間の間データ電圧を充電する。第3 TFT (T23) のゲート電極は第3ゲートライン (G3) に接続される。第3 TFT (T23) のドレイン電極は第2データライン (D2) に接続され、そのソース電極は第3画素電極 (PIX23) に接続される。第2水平表示ラインの第4 TFT (T24) は第4ゲートライン (G4) からの第4ゲートパルスに 응답して第2データライン (D2) からのデータ電圧を第4画素電極 (PIX24) に供給する。第4画素電極 (PIX24) は大体1/2水平期間の間データ電圧を充電する。第4 TFT (T24) のゲート電極は第4ゲートライン (G4) に接続される。第4 TFT (T24) のドレイン電極は第2データライン (D2) に接続され、そのソース電極は第4画素電極 (PIX24) に接続される。

30

40

【0036】

本発明の液晶表示装置は一つのデータラインに接続された液晶セルに充電されるデータ電圧の極性が同一であるのでソースドライブICの消費電力を減らすことができることは勿論、液晶セルそれぞれのデータ充電量が均一にできる。したがって、本発明は既存のインバージョン方法で招来されるデータ充電量のばらつきによって招来される輝度ばらつき、色歪曲などの画質低下を防止することができる。また、本発明は左右に隣接する液晶セルが一つのデータラインを共有する TFT 接続関係を利用してデータラインの個数とソースドライブICのチャンネル数を減らすことができるしさらに、液晶表示装置の製造費用を減らすことができる。

【0037】

50

画素アレイ 10 は図 2 に限定されない。例えば、画素アレイ 10 は図 7 乃至図 16 のように変形可能である。図 7 乃至図 16 の実施の形態でもデータラインの個数は大体 1/2 で減り、ソースドライブ IC 12 の出力はカラムインバージョンデータ電圧であり、画素アレイ 10 の液晶セルはドットインバージョンに駆動される。

【0038】

画素アレイ 10 の右側端に配置された第 $m+1$ データライン (D_{m+1}) は図 3 のように画素アレイ 10 の左側端に配置された第 1 データライン (D_1) と接続されることができ、図 4 は図 3 のような液晶表示装置でデータライン ($D_1 \sim D_{m+1}$) に供給されるデータ電圧の波形を示す波形図である。

【0039】

図 3 及び図 4 を参照すれば、液晶表示装置は T C P 15 とソース PCB 14 を経由する接続ライン 111 をさらに備える。

【0040】

接続ライン 111 の一側端は第 1 データライン (D_1) に接続され、接続ライン 111 の他側端は第 $m+1$ データライン (D_{m+1}) に接続される。ソースドライブ IC 12 中で画素アレイの左側上端に配置された第 1 ソースドライブ IC 12 の出力チャンネルは第 1 データライン (D_1) と第 M データライン (D_{m+1}) にデータ電圧を供給する。

【0041】

画素アレイ 10 の右側端に配置された第 $M+1$ データライン (D_{m+1}) は図 5 のように第 1 データライン (D_1) に接続されないでソースドライブ IC 12 の出力チャンネルに接続されることができ、図 6 は図 5 のような液晶表示装置でデータラインに供給されるデータ電圧の波形を示す波形図である。

【0042】

図 5 及び図 6 を参照すれば、液晶表示パネルの上端右側に配置されるソースドライブ IC 12 は第 $M+1$ データライン (D_{m+1}) に接続される出力チャンネルをさらに含む。したがって、第 $m+1$ データライン (D_{m+1}) はソースドライブ IC 12 の中で画素アレイ 10 の右側上端に配置された最後のソースドライブ IC 12 から直接データ電圧を供給受ける。

【0043】

図 7 は画素アレイ 10 の第 2 実施の形態を示す回路図である。

【0044】

図 7 を参照すれば、画素アレイ 10 はデータライン ($D_1 \sim D_{m+1}$)、データライン ($D_1 \sim D_{m+1}$) と交差されるゲートライン ($G_1 \sim G_{2n}$)、及びゲートパルスにตอบสนองして液晶セルの画素電極 ($P I X 1 1 \sim P I X 1 4$ 、 $P I X 2 1 \sim P I X 2 4$) とデータライン ($D_1 \sim D_{m+1}$) の間の電流パスをスイッチングするための T F T ($T 1 1 \sim T 1 4$ 、 $T 2 1 \sim T 2 4$) を備える。カラムインバージョン方式で極性が反転されるデータ電圧と、図 7 の画素アレイ構造によって液晶セルに充電されるデータ電圧はその極性が水平 2 ドット及び垂直 1 ドットインバージョンに反転される。

【0045】

ソースドライブ IC 12 はカラムインバージョン形態に極性が反転されるデータ電圧をデータライン ($D_1 \sim D_{m+1}$) に出力する。ゲート駆動回路 13 は第 1 乃至 $2n$ ゲートライン ($G_1 \sim G_{2n}$) にゲートパルスを順次に供給する。第 1 ゲートライン (G_1) に第 1 ゲートパルスが供給された後に第 2 乃至第 $2n$ ゲートライン ($G_1 \sim G_{2n}$) に順次に第 2 乃至第 $2n$ ゲートパルスが供給される。

【0046】

第 N フレーム期間の間、ソースドライブ IC 12 は奇数データライン (D_1 、 $D_3 \dots D_{m-1}$ 、 D_{m+1}) に正極性データ電圧のみを供給し、偶数データライン (D_2 、 $D_4 \dots D_m$) に負極性データ電圧のみを供給する。第 $N+1$ フレーム期間の間、ソースドライブ IC 12 は奇数データライン (D_1 、 $D_3 \dots D_{m-1}$ 、 D_{m+1}) に負極性データ電圧のみを供給して、偶数データライン (D_2 、 $D_4 \dots D_m$) に正極

10

20

30

40

50

性データ電圧のみを供給する。

【0047】

奇数水平表示ライン(LINE#1、LINE#3、...LINE#n-1)それぞれで第iデータラインと第i+1データラインの間に存在する奇数水平表示ラインの第1及び第2液晶セルは第Nフレーム期間の間第iデータラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第iデータラインから供給される負極性データ電圧を充電する。図7で図面符号'PIX11'は奇数水平表示ラインの第1液晶セルに形成された第1画素電極であり、'PIX12'は奇数水平表示ラインの第2液晶セルに形成された第2画素電極である。

【0048】

奇数水平表示ライン(LINE#1、LINE#3、...LINE#n-1)それぞれで第i+1データラインと第i+2データラインの間に存在する奇数水平表示ラインの第3及び第4液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。図7で図面符号'PIX13'は奇数水平表示ラインの第3液晶セルに形成された第3画素電極であり、'PIX14'は奇数水平表示ラインの第4液晶セルに形成された第4画素電極である。偶数水平表示ライン(LINE#2、LINE#4、...LINE#n)それぞれで第iデータラインと第i+1データラインの間に存在する偶数水平ラインの第1及び第2液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。図7で図面符号'PIX21'は偶数水平表示ラインの第1液晶セルに形成された第1画素電極であり、'PIX22'は偶数水平表示ラインの第2液晶セルに形成された第2画素電極である。

したがって、奇数水平表示ラインの第3及び第4液晶セルと、偶数水平ラインの第1及び第2液晶セルは第i+1データラインから供給される同一である極性のデータ電圧を充電する。

【0049】

偶数水平表示ライン(LINE#2、LINE#4、...LINE#n)それぞれで第i+1データラインと第i+2データラインの間に存在する偶数水平ラインの第3及び第4液晶セルは第Nフレーム期間の間第i+2データラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第i+2データラインから供給される負極性データ電圧を充電する。図7で図面符号'PIX23'は偶数水平表示ラインの第3液晶セルに形成された第3画素電極であり、'PIX24'は偶数水平表示ラインの第4液晶セルに形成された第4画素電極である。

【0050】

図7に示された画素アレイ10からTFT、画素電極及びデータラインの接続関係を第1水平表示ライン(LINE#1)の第1乃至第4液晶セルと、第2水平表示ライン(LINE#2)の第1乃至第4液晶セルを例をあげて説明する。

【0051】

第1水平表示ライン(LINE#1)で第1データライン(D1)と第2データライン(D2)の間に存在する第1及び第2液晶セルは第1データライン(D1)から順次に供給されるデータ電圧を充電する。第1水平表示ラインの第1TFT(T11)は第2ゲートライン(G2)からの第2ゲートパルスに应答して第1データライン(D1)からのデータ電圧を第1画素電極(PIX11)に供給する。第1画素電極(PIX11)は大体1/2水平期間の間データ電圧を充電する。第1TFT(T11)のゲート電極は第2ゲートライン(G2)に接続される。第1TFT(T11)のドレーン電極は第1データライン(D1)に接続され、そのソース電極は第1画素電極(PIX11)に接続される。第1水平表示ラインの第2TFT(T12)は第1ゲートライン(G1)からの第1ゲートパルスに应答して第1データライン(D1)からのデータ電圧を第2画素電極(PIX12)に供給する。第2画素電極(PIX12)は大体1/2水平期間の間データ電圧

10

20

30

40

50

を充電する。第2 TFT (T12) のゲート電極は第1ゲートライン (G1) に接続される。第2 TFT (T12) のドレーン電極は第1データライン (D1) に接続され、そのソース電極は第2画素電極 (PIX12) に接続される。

【0052】

第1水平表示ライン (LINE#1) で第2データライン (D2) と第3データライン (D3) の間に存在する第3及び第4液晶セルは第2データライン (D2) から順次に供給されるデータ電圧を充電する。第1水平表示ラインの第3 TFT (T13) は第2ゲートライン (G2) からの第2ゲートパルスに应答して第2データライン (D2) からのデータ電圧を第3画素電極 (PIX13) に供給する。第3画素電極 (PIX13) は大体1/2水平期間の間データ電圧を充電する。第3 TFT (T13) のゲート電極は第2ゲートライン (G2) に接続される。第3 TFT (T13) のドレーン電極は第2データライン (D2) に接続され、そのソース電極は第3画素電極 (PIX13) に接続される。第1水平表示ラインの第4 TFT (T14) は第1ゲートライン (G1) からの第1ゲートパルスに应答して第2データライン (D2) からのデータ電圧を第4画素電極 (PIX14) に供給する。第4画素電極 (PIX14) は大体1/2水平期間の間データ電圧を充電する。第4 TFT (T14) のゲート電極は第1ゲートライン (G1) に接続される。第4 TFT (T14) のドレーン電極は第2データライン (D2) に接続され、そのソース電極は第4画素電極 (PIX14) に接続される。

10

【0053】

第2水平表示ライン (LINE#2) で第1データライン (D1) と第2データライン (D2) の間に存在する第1及び第2液晶セルは第2データライン (D2) から順次に供給されるデータ電圧を充電する。第2水平表示ラインの第1 TFT (T21) は第3ゲートライン (G3) からの第3ゲートパルスに应答し第2データライン (D2) からのデータ電圧を第1画素電極 (PIX21) に供給する。第1画素電極 (PIX21) は大体1/2水平期間の間データ電圧を充電する。第1 TFT (T21) のゲート電極は第3ゲートライン (G3) に接続される。第1 TFT (T21) のドレーン電極は第2データライン (D2) に接続され、そのソース電極は第1画素電極 (PIX21) に接続される。第2水平表示ラインの第2 TFT (T22) は第4ゲートライン (G4) からの第4ゲートパルスに应答して第2データライン (D2) からのデータ電圧を第2画素電極 (PIX22) に供給する。第2画素電極 (PIX22) は大体1/2水平期間の間データ電圧を充電する。第2 TFT (T22) のゲート電極は第4ゲートライン (G4) に接続される。第2 TFT (T22) のドレーン電極は第2データライン (D2) に接続され、そのソース電極は第2画素電極 (PIX22) に接続される。

20

30

【0054】

第2水平表示ライン (LINE#2) で第2データライン (D2) と第3データライン (D3) の間に存在する第3及び第4液晶セルは第3データライン (D3) から順次に供給されるデータ電圧を充電する。第2水平表示ラインの第3 TFT (T23) は第3ゲートライン (G3) からの第3ゲートパルスに应答して第3データライン (D3) からのデータ電圧を第3画素電極 (PIX23) に供給する。第3画素電極 (PIX23) は大体1/2水平期間の間データ電圧を充電する。第3 TFT (T23) のゲート電極は第3ゲートライン (G3) に接続される。第3 TFT (T23) のドレーン電極は第3データライン (D3) に接続され、そのソース電極は第3画素電極 (PIX23) に接続される。第2水平表示ラインの第4 TFT (T24) は第4ゲートライン (G4) からの第4ゲートパルスに应答して第3データライン (D3) からのデータ電圧を第4画素電極 (PIX24) に供給する。第4画素電極 (PIX24) は大体1/2水平期間の間データ電圧を充電する。第4 TFT (T24) のゲート電極は第4ゲートライン (G4) に接続される。第4 TFT (T24) のドレーン電極は第3データライン (D3) に接続され、そのソース電極は第4画素電極 (PIX24) に接続される。

40

【0055】

図8は画素アレイ10の第3実施の形態を示す回路図である。

50

【 0 0 5 6 】

図 8 を参照すれば、画素アレイ 1 0 はデータライン (D 1 ~ D m + 1)、データライン (D 1 ~ D m + 1) と交差されるゲートライン (G 1 ~ G 2 n)、及びゲートパルスにตอบสนองして液晶セルの画素電極 (P I X 1 1 ~ P I X 1 4、P I X 2 1 ~ P I X 2 4) とデータライン (D 1 ~ D m + 1) の間の電流パスをスイッチングするための T F T (T 1 1 ~ T 1 4、T 2 1 ~ T 2 4) を備える。カラムインバージョン方式で極性が反転されるデータ電圧と、図 8 の画素アレイ構造によって液晶セルに充電されるデータ電圧はその極性が水平 2 ドット及び垂直 1 ドットインバージョンに反転される。

【 0 0 5 7 】

ソースドライブ I C 1 2 はカラムインバージョン形態に極性が反転されるデータ電圧をデータライン (D 1 ~ D m + 1) に出力する。ゲート駆動回路 1 3 は第 1 乃至 2 n ゲートライン (G 1 ~ G 2 n) にゲートパルスを順次に供給する。第 1 ゲートライン (G 1) に第 1 ゲートパルスが供給された後に第 2 乃至第 2 n ゲートライン (G 1 ~ G 2 n) に順次に第 2 乃至第 2 n ゲートパルスが供給される。

10

【 0 0 5 8 】

第 N フレーム期間の間、ソースドライブ I C 1 2 は奇数データライン (D 1、D 3 . . . D m - 1、D m + 1) に正極性データ電圧のみを供給し、偶数データライン (D 2、D 4 . . . D m) に負極性データ電圧のみを供給する。第 N + 1 フレーム期間の間、ソースドライブ I C 1 2 は奇数データライン (D 1、D 3 . . . D m - 1、D m + 1) に負極性データ電圧のみを供給し、偶数データライン (D 2、D 4 . . . D m) に正極性

20

【 0 0 5 9 】

奇数水平表示ライン (L I N E # 1、L I N E # 3、. . . L I N E # n - 1) それぞれで第 i データラインと第 i + 1 データラインの間に存在する奇数水平表示ラインの第 1 及び第 2 液晶セルは第 N フレーム期間の間第 i データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 i データラインから供給される負極性データ電圧を充電する。図 8 で図面符号 ' P I X 1 1 ' は奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極であり、' P I X 1 2 ' は奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極である。

【 0 0 6 0 】

奇数水平表示ライン (L I N E # 1、L I N E # 3、. . . L I N E # n - 1) それぞれで第 i + 1 データラインと第 i + 2 データラインの間に存在する奇数水平表示ラインの第 3 及び第 4 液晶セルは第 N フレーム期間の間第 i + 1 データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 i + 1 データラインから供給される正極性データ電圧を充電する。図 8 で図面符号 ' P I X 1 3 ' は奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、' P I X 1 4 ' は奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。偶数水平表示ライン (L I N E # 2、L I N E # 4、. . . L I N E # n) それぞれで第 i データラインと第 i + 1 データラインの間に存在する偶数水平ラインの第 1 及び第 2 液晶セルは第 N フレーム期間の間第 i + 1 データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 i + 1 データラインから供給される正極性データ電圧を充電する。図 8 で図面符号 ' P I X 2 1 ' は偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極であり、' P I X 2 2 ' は偶数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極である。したがって、奇数水平表示ラインの第 3 及び第 4 液晶セルと、偶数水平ラインの第 1 及び第 2 液晶セルは第 i + 1 データラインから供給される同一である極性のデータ電圧を充電する。

30

40

【 0 0 6 1 】

偶数水平表示ライン (L I N E # 2、L I N E # 4、. . . L I N E # n) それぞれで第 i + 1 データラインと第 i + 2 データラインの間に存在する偶数水平ラインの第 3 及び第 4 液晶セルは第 N フレーム期間の間第 i + 2 データラインから供給される正極性デー

50

タ電圧を充電した後、第 $N + 1$ フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。図 8 で図面符号 ' P I X 2 3 ' は偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、' P I X 2 4 ' は偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。

【 0 0 6 2 】

図 8 に示された画素アレイ 1 0 から T F T、画素電極及びデータラインの接続関係を第 1 水平表示ライン (L I N E # 1) の第 1 乃至第 4 液晶セルと、第 2 水平表示ライン (L I N E # 2) の第 1 乃至第 4 液晶セルを例をあげて説明する。

【 0 0 6 3 】

第 1 水平表示ライン (L I N E # 1) で第 1 データライン (D 1) と第 2 データライン (D 2) の間に存在する第 1 及び第 2 液晶セルは第 1 データライン (D 1) から順次に供給されるデータ電圧を充電する。第 1 水平表示ラインの第 1 T F T (T 1 1) は第 1 ゲートライン (G 1) からの第 1 ゲートパルスに応答して第 1 データライン (D 1) からのデータ電圧を第 1 画素電極 (P I X 1 1) に供給する。第 1 画素電極 (P I X 1 1) は大体 1 / 2 水平期間の間データ電圧を充電する。第 1 T F T (T 1 1) のゲート電極は第 1 ゲートライン (G 1) に接続される。第 1 T F T (T 1 1) のドレーン電極は第 1 データライン (D 1) に接続され、そのソース電極は第 1 画素電極 (P I X 1 1) に接続される。第 1 水平表示ラインの第 2 T F T (T 1 2) は第 2 ゲートライン (G 2) からの第 2 ゲートパルスに応答して第 1 データライン (D 1) からのデータ電圧を第 2 画素電極 (P I X 1 2) に供給する。第 2 画素電極 (P I X 1 2) は大体 1 / 2 水平期間の間データ電圧を充電する。第 2 T F T (T 1 2) のゲート電極は第 2 ゲートライン (G 2) に接続される。第 2 T F T (T 1 2) のドレーン電極は第 1 データライン (D 1) に接続され、そのソース電極は第 2 画素電極 (P I X 1 2) に接続される。

10

20

【 0 0 6 4 】

第 1 水平表示ライン (L I N E # 1) で第 2 データライン (D 2) と第 3 データライン (D 3) の間に存在する第 3 及び第 4 液晶セルは第 2 データライン (D 2) から順次に供給されるデータ電圧を充電する。第 1 水平表示ラインの第 3 T F T (T 1 3) は第 2 ゲートライン (G 2) からの第 2 ゲートパルスに応答して第 2 データライン (D 2) からのデータ電圧を第 3 画素電極 (P I X 1 3) に供給する。第 3 画素電極 (P I X 1 3) は大体 1 / 2 水平期間の間データ電圧を充電する。第 3 T F T (T 1 3) のゲート電極は第 2 ゲートライン (G 2) に接続される。第 3 T F T (T 1 3) のドレーン電極は第 2 データライン (D 2) に接続され、そのソース電極は第 3 画素電極 (P I X 1 3) に接続される。第 1 水平表示ラインの第 4 T F T (T 1 4) は第 1 ゲートライン (G 1) からの第 1 ゲートパルスに応答して第 2 データライン (D 2) からのデータ電圧を第 4 画素電極 (P I X 1 4) に供給する。第 4 画素電極 (P I X 1 4) は大体 1 / 2 水平期間の間データ電圧を充電する。第 4 T F T (T 1 4) のゲート電極は第 1 ゲートライン (G 1) に接続される。第 4 T F T (T 1 4) のドレーン電極は第 2 データライン (D 2) に接続され、そのソース電極は第 4 画素電極 (P I X 1 4) に接続される。

30

【 0 0 6 5 】

第 2 水平表示ライン (L I N E # 2) で第 1 データライン (D 1) と第 2 データライン (D 2) の間に存在する第 1 及び第 2 液晶セルは第 2 データライン (D 2) から順次に供給されるデータ電圧を充電する。第 2 水平表示ラインの第 1 T F T (T 2 1) は第 4 ゲートライン (G 4) からの第 4 ゲートパルスに応答して第 2 データライン (D 2) からのデータ電圧を第 1 画素電極 (P I X 2 1) に供給する。第 1 画素電極 (P I X 2 1) は大体 1 / 2 水平期間の間データ電圧を充電する。第 1 T F T (T 2 1) のゲート電極は第 4 ゲートライン (G 4) に接続される。第 1 T F T (T 2 1) のドレーン電極は第 2 データライン (D 2) に接続され、そのソース電極は第 1 画素電極 (P I X 2 1) に接続される。第 2 水平表示ラインの第 2 T F T (T 2 2) は第 3 ゲートライン (G 3) からの第 3 ゲートパルスに応答して第 2 データライン (D 2) からのデータ電圧を第 2 画素電極 (P I X 2 2) に供給する。第 2 画素電極 (P I X 2 2) は大体 1 / 2 水平期間の間データ電圧を

40

50

充電する。第2 TFT (T22) のゲート電極は第3 ゲートライン (G3) に接続される。第2 TFT (T22) のドレーン電極は第2 データライン (D2) に接続され、そのソース電極は第2 画素電極 (PIX22) に接続される。

【0066】

第2 水平表示ライン (LINE # 2) で第2 データライン (D2) と第3 データライン (D3) の間に存在する第3 及び第4 液晶セルは第3 データライン (D3) から順次に供給されるデータ電圧を充電する。第2 水平表示ラインの第3 TFT (T23) は第3 ゲートライン (G3) からの第3 ゲートパルスに応答して第3 データライン (D3) からのデータ電圧を第3 画素電極 (PIX23) に供給する。第3 画素電極 (PIX23) は大体 1/2 水平期間の間データ電圧を充電する。第3 TFT (T23) のゲート電極は第3 ゲートライン (G3) に接続される。第3 TFT (T23) のドレーン電極は第3 データライン (D3) に接続され、そのソース電極は第3 画素電極 (PIX23) に接続される。

10

第2 水平表示ラインの第4 TFT (T24) は第4 ゲートライン (G4) からの第4 ゲートパルスに応答して第3 データライン (D3) からのデータ電圧を第4 画素電極 (PIX24) に供給する。第4 画素電極 (PIX24) は大体 1/2 水平期間の間データ電圧を充電する。第4 TFT (T24) のゲート電極は第4 ゲートライン (G4) に接続される。第4 TFT (T24) のドレーン電極は第3 データライン (D3) に接続され、そのソース電極は第4 画素電極 (PIX24) に接続される。

【0067】

図9は画素アレイ10の第4実施の形態を示す回路図である。

20

【0068】

図9を参照すれば、画素アレイ10はデータライン (D1 ~ Dm+1)、データライン (D1 ~ Dm+1) と交差されるゲートライン (G1 ~ G2n)、及びゲートパルスに응答して液晶セルの画素電極 (PIX11 ~ PIX16、PIX21 ~ PIX26) とデータライン (D1 ~ Dm+1) の間の電流パスをスイッチングするための TFT (T11 ~ T16、T21 ~ T26) を備える。カラムインバージョン方式で極性が反転されるデータ電圧と、図9の画素アレイ構造によって液晶セルに充電されるデータ電圧はその極性が水平2ドット及び垂直1ドットインバージョンに反転される。

【0069】

ソースドライブIC12はカラムインバージョン形態に極性が反転されるデータ電圧をデータライン (D1 ~ Dm+1) に出力する。ゲート駆動回路13は第1乃至2nゲートライン (G1 ~ G2n) にゲートパルスを順次に供給する。第1ゲートライン (G1) に第1ゲートパルスが供給された後に第2乃至第2nゲートライン (G1 ~ G2n) に順次に第2乃至第2nゲートパルスが供給される。

30

【0070】

第Nフレーム期間の間、ソースドライブIC12は奇数データライン (D1、D3... Dm-1、Dm+1) に正極性データ電圧のみを供給し、偶数データライン (D2、D4... Dm) に負極性データ電圧のみを供給する。第N+1フレーム期間の間、ソースドライブIC12は奇数データライン (D1、D3... Dm-1、Dm+1) に負極性データ電圧のみを供給し、偶数データライン (D2、D4... Dm) に正極性データ電圧のみを供給する。

40

【0071】

奇数水平表示ライン (LINE # 1、LINE # 3、... LINE # n-1) それぞれで第iデータラインと第i+1データラインの間に存在する奇数水平表示ラインの第1及び第2液晶セルは第Nフレーム期間の間第iデータラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第iデータラインから供給される負極性データ電圧を充電する。図9で図面符号 'PIX11' は奇数水平表示ラインの第1液晶セルに形成された第1画素電極であり、'PIX12' は奇数水平表示ラインの第2液晶セルに形成された第2画素電極である。

【0072】

50

奇数水平表示ライン (LINE # 1、LINE # 3、... LINE # n - 1) それぞれで第 $i + 1$ データラインと第 $i + 2$ データラインの間に存在する奇数水平表示ラインの第 3 及び第 4 液晶セルは第 N フレーム期間の間第 $i + 1$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。図 9 で図面符号 'PIX13' は奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、'PIX14' は奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。偶数水平表示ライン (LINE # 2、LINE # 4、... LINE # n) それぞれで第 i データラインと第 $i + 1$ データラインの間に存在する偶数水平ラインの第 1 及び第 2 液晶セルは第 N フレーム期間の間第 $i + 1$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。図 9 で図面符号 'PIX21' は偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極であり、'PIX22' は偶数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極である。したがって、奇数水平表示ラインの第 3 及び第 4 液晶セルと、偶数水平ラインの第 1 及び第 2 液晶セルは第 $i + 1$ データラインから供給される同一である極性のデータ電圧を充電する。

10

【0073】

奇数水平表示ライン (LINE # 1、LINE # 3、... LINE # n - 1) それぞれで第 $i + 2$ データラインと第 $i + 3$ データラインの間に存在する奇数水平表示ラインの第 5 及び第 6 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。図 9 で図面符号 'PIX15' は奇数水平表示ラインの第 5 液晶セルに形成された第 5 画素電極であり、'PIX16' は奇数水平表示ラインの第 6 液晶セルに形成された第 6 画素電極である。偶数水平表示ライン (LINE # 2、LINE # 4、... LINE # n) それぞれで第 $i + 1$ データラインと第 $i + 2$ データラインの間に存在する偶数水平ラインの第 3 及び第 4 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。図 9 で図面符号 'PIX23' は偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、'PIX24' は偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。

20

30

したがって、奇数水平表示ラインの第 5 及び第 6 液晶セルと、偶数水平ラインの第 3 及び第 4 液晶セルは第 $i + 2$ データラインから供給される同一である極性のデータ電圧を充電する。

【0074】

偶数水平表示ライン (LINE # 2、LINE # 4、... LINE # n) それぞれで第 $i + 2$ データラインと第 $i + 3$ データラインの間に存在する偶数水平ラインの第 5 及び第 6 液晶セルは第 N フレーム期間の間第 $i + 3$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 3$ データラインから供給される正極性データ電圧を充電する。図 9 で図面符号 'PIX25' は偶数水平表示ラインの第 5 液晶セルに形成された第 5 画素電極であり、'PIX26' は偶数水平表示ラインの第 6 液晶セルに形成された第 6 画素電極である。

40

【0075】

図 9 に示された画素アレイ 10 から TFT、画素電極及びデータラインの接続関係を第 1 水平表示ライン (LINE # 1) の第 1 乃至第 6 液晶セルと、第 2 水平表示ライン (LINE # 2) の第 1 乃至第 6 液晶セルを例をあげて説明する。

【0076】

第 1 水平表示ライン (LINE # 1) で第 1 データライン (D1) と第 2 データライン (D2) の間に存在する第 1 及び第 2 液晶セルは第 1 データライン (D1) から順次に供給されるデータ電圧を充電する。第 1 水平表示ラインの第 1 TFT (T11) は第 2 ゲー

50

トライン (G 2) からの第 2 ゲートパルスに应答して第 1 データライン (D 1) からのデータ電圧を第 1 画素電極 (PIX 1 1) に供給する。第 1 画素電極 (PIX 1 1) は大体 1 / 2 水平期間の間データ電圧を充電する。第 1 TFT (T 1 1) のゲート電極は第 2 ゲートライン (G 2) に接続される。第 1 TFT (T 1 1) のドレイン電極は第 1 データライン (D 1) に接続され、そのソース電極は第 1 画素電極 (PIX 1 1) に接続される。第 1 水平表示ラインの第 2 TFT (T 1 2) は第 1 ゲートライン (G 1) からの第 1 ゲートパルスに应答して第 1 データライン (D 1) からのデータ電圧を第 2 画素電極 (PIX 1 2) に供給する。第 2 画素電極 (PIX 1 2) は大体 1 / 2 水平期間の間データ電圧を充電する。第 2 TFT (T 1 2) のゲート電極は第 1 ゲートライン (G 1) に接続される。第 2 TFT (T 1 2) のドレイン電極は第 1 データライン (D 1) に接続されて、そのソース電極は第 2 画素電極 (PIX 1 2) に接続される。

10

【 0 0 7 7 】

第 1 水平表示ライン (LINE # 1) で第 2 データライン (D 2) と第 3 データライン (D 3) の間に存在する第 3 及び第 4 液晶セルは第 2 データライン (D 2) から順次に供給されるデータ電圧を充電する。第 1 水平表示ラインの第 3 TFT (T 1 3) は第 2 ゲートライン (G 2) からの第 2 ゲートパルスに应答して第 2 データライン (D 2) からのデータ電圧を第 3 画素電極 (PIX 1 3) に供給する。第 3 画素電極 (PIX 1 3) は大体 1 / 2 水平期間の間データ電圧を充電する。第 3 TFT (T 1 3) のゲート電極は第 2 ゲートライン (G 2) に接続される。第 3 TFT (T 1 3) のドレイン電極は第 2 データライン (D 2) に接続され、そのソース電極は第 3 画素電極 (PIX 1 3) に接続される。第 1 水平表示ラインの第 4 TFT (T 1 4) は第 1 ゲートライン (G 1) からの第 1 ゲートパルスに应答して第 2 データライン (D 2) からのデータ電圧を第 4 画素電極 (PIX 1 4) に供給する。第 4 画素電極 (PIX 1 4) は大体 1 / 2 水平期間の間データ電圧を充電する。第 4 TFT (T 1 4) のゲート電極は第 1 ゲートライン (G 1) に接続される。第 4 TFT (T 1 4) のドレイン電極は第 2 データライン (D 2) に接続され、そのソース電極は第 4 画素電極 (PIX 1 4) に接続される。

20

【 0 0 7 8 】

第 1 水平表示ライン (LINE # 1) で第 3 データライン (D 3) と第 4 データライン (D 4) の間に存在する第 5 及び第 6 液晶セルは第 3 データライン (D 3) から順次に供給されるデータ電圧を充電する。第 1 水平表示ラインの第 5 TFT (T 1 5) は第 1 ゲートライン (G 1) からの第 1 ゲートパルスに应答して第 3 データライン (D 3) からのデータ電圧を第 5 画素電極 (PIX 1 5) に供給する。第 5 画素電極 (PIX 1 5) は大体 1 / 2 水平期間の間データ電圧を充電する。第 5 TFT (T 1 5) のゲート電極は第 1 ゲートライン (G 1) に接続される。第 5 TFT (T 1 5) のドレイン電極は第 3 データライン (D 3) に接続され、そのソース電極は第 5 画素電極 (PIX 1 5) に接続される。第 1 水平表示ラインの第 6 TFT (T 1 6) は第 2 ゲートライン (G 2) からの第 2 ゲートパルスに应答して第 3 データライン (D 3) からのデータ電圧を第 6 画素電極 (PIX 1 6) に供給する。第 6 画素電極 (PIX 1 6) は大体 1 / 2 水平期間の間データ電圧を充電する。第 6 TFT (T 1 6) のゲート電極は第 2 ゲートライン (G 2) に接続される。第 6 TFT (T 1 6) のドレイン電極は第 3 データライン (D 3) に接続され、そのソース電極は第 6 画素電極 (PIX 1 6) に接続される。

30

40

【 0 0 7 9 】

第 2 水平表示ライン (LINE # 2) で第 1 データライン (D 1) と第 2 データライン (D 2) の間に存在する第 1 及び第 2 液晶セルは第 2 データライン (D 2) から順次に供給されるデータ電圧を充電する。第 2 水平表示ラインの第 1 TFT (T 2 1) は第 3 ゲートライン (G 3) からの第 3 ゲートパルスに应答して第 2 データライン (D 2) からのデータ電圧を第 1 画素電極 (PIX 2 1) に供給する。第 1 画素電極 (PIX 2 1) は大体 1 / 2 水平期間の間データ電圧を充電する。第 1 TFT (T 2 1) のゲート電極は第 3 ゲートライン (G 3) に接続される。第 1 TFT (T 2 1) のドレイン電極は第 2 データライン (D 2) に接続され、そのソース電極は第 1 画素電極 (PIX 2 1) に接続される。

50

第2水平表示ラインの第2TFT(T22)は第4ゲートライン(G4)からの第4ゲートパルスに 응답して第2データライン(D2)からのデータ電圧を第2画素電極(PIX22)に供給する。第2画素電極(PIX22)は大体1/2水平期間の間データ電圧を充電する。第2TFT(T22)のゲート電極は第4ゲートライン(G4)に接続される。第2TFT(T22)のドレイン電極は第2データライン(D2)に接続され、そのソース電極は第2画素電極(PIX22)に接続される。

【0080】

第2水平表示ライン(LINE#2)で第2データライン(D2)と第3データライン(D3)の間に存在する第3及び第4液晶セルは第3データライン(D3)から順次に供給されるデータ電圧を充電する。第2水平表示ラインの第3TFT(T23)は第3ゲートライン(G3)からの第3ゲートパルスに 응답して第3データライン(D3)からのデータ電圧を第3画素電極(PIX23)に供給する。第3画素電極(PIX23)は大体1/2水平期間の間データ電圧を充電する。第3TFT(T23)のゲート電極は第3ゲートライン(G3)に接続される。第3TFT(T23)のドレイン電極は第3データライン(D3)に接続され、そのソース電極は第3画素電極(PIX23)に接続される。第2水平表示ラインの第4TFT(T24)は第4ゲートライン(G4)からの第4ゲートパルスに 응답して第3データライン(D3)からのデータ電圧を第4画素電極(PIX24)に供給する。第4画素電極(PIX24)は大体1/2水平期間の間データ電圧を充電する。第4TFT(T24)のゲート電極は第4ゲートライン(G4)に接続される。第4TFT(T24)のドレイン電極は第3データライン(D3)に接続され、そのソース電極は第4画素電極(PIX24)に接続される。

10

20

【0081】

第2水平表示ライン(LINE#2)で第3データライン(D3)と第4データライン(D4)の間に存在する第5及び第6液晶セルは第4データライン(D4)から順次に供給されるデータ電圧を充電する。第2水平表示ラインの第5TFT(T25)は第4ゲートライン(G4)からの第4ゲートパルスに 응답して第4データライン(D4)からのデータ電圧を第5画素電極(PIX25)に供給する。第5画素電極(PIX25)は大体1/2水平期間の間データ電圧を充電する。第5TFT(T25)のゲート電極は第4ゲートライン(G4)に接続される。第5TFT(T25)のドレイン電極は第4データライン(D4)に接続され、そのソース電極は第5画素電極(PIX25)に接続される。第2水平表示ラインの第6TFT(T26)は第3ゲートライン(G3)からの第3ゲートパルスに 응답して第4データライン(D4)からのデータ電圧を第6画素電極(PIX26)に供給する。第6画素電極(PIX26)は大体1/2水平期間の間データ電圧を充電する。第6TFT(T26)のゲート電極は第3ゲートライン(G3)に接続される。第6TFT(T26)のドレイン電極は第4データライン(D4)に接続され、そのソース電極は第6画素電極(PIX26)に接続される。

30

【0082】

図10は画素アレイ10の第5実施の形態を示す回路図である。

【0083】

図10を参照すれば、画素アレイ10はデータライン(D1~Dm+1)、データライン(D1~Dm+1)と交差されるゲートライン(G1~G2n)、及びゲートパルスに 응답して液晶セルの画素電極(PIX11~PIX14、PIX21~PIX24)とデータライン(D1~Dm+1)の間の電流パスをスイッチングするためのTFT(T11~T14、T21~T24)を備える。カラムインバージョン方式で極性が反転されるデータ電圧と、図10の画素アレイ構造によって液晶セルに充電されるデータ電圧はその極性が水平2ドット及び垂直1ドットインバージョンに反転される。

40

【0084】

ソースドライブIC12はカラムインバージョン形態に極性が反転されるデータ電圧をデータライン(D1~Dm+1)に出力する。ゲート駆動回路13は第1乃至2nゲートライン(G1~G2n)にゲートパルスを順次に供給する。第1ゲートライン(G1)に

50

第1ゲートパルスが供給された後に第2乃至第2nゲートライン(G1~G2n)に順次に第2乃至第2nゲートパルスが供給される。

【0085】

第Nフレーム期間の間、ソースドライブIC12は奇数データライン(D1、D3... Dm-1、Dm+1)に正極性データ電圧のみを供給し、偶数データライン(D2、D4... Dm)に負極性データ電圧のみを供給する。第N+1フレーム期間の間、ソースドライブIC12は奇数データライン(D1、D3... Dm-1、Dm+1)に負極性データ電圧のみを供給し、偶数データライン(D2、D4... Dm)に正極性データ電圧のみを供給する。

【0086】

奇数水平表示ライン(LINE#1、LINE#3、... LINE#n-1)それぞれで第iデータラインと第i+1データラインの間には奇数水平表示ラインの第1及び第2液晶セルが存在する。奇数水平表示ラインの第1液晶セルは第Nフレーム期間の間第iデータラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第iデータラインから供給される負極性データ電圧を充電する。奇数水平表示ラインの第2液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。図10で図面符号'PIX11'は奇数水平表示ラインの第1液晶セルに形成された第1画素電極であり、'PIX12'は奇数水平表示ラインの第2液晶セルに形成された第2画素電極である。

10

20

【0087】

奇数水平表示ライン(LINE#1、LINE#3、... LINE#n-1)それぞれで第i+1データラインと第i+2データラインの間には奇数水平表示ラインの第3及び第4液晶セルが存在する。奇数水平表示ラインの第3液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。奇数水平表示ラインの第4液晶セルは第Nフレーム期間の間第i+2データラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第i+2データラインから供給される負極性データ電圧を充電する。図10で図面符号'PIX13'は奇数水平表示ラインの第3液晶セルに形成された第3画素電極であり、'PIX14'は奇数水平表示ラインの第4液晶セルに形成された第4画素電極である。

30

40

【0088】

偶数水平表示ライン(LINE#2、LINE#4、... LINE#n)それぞれで第iデータラインと第i+1データラインの間には偶数水平ラインの第1及び第2液晶セルが存在する。偶数水平ラインの第1液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。偶数水平ラインの第2液晶セルは第Nフレーム期間の間第iデータラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第iデータラインから供給される負極性データ電圧を充電する。図10で図面符号'PIX21'は偶数水平表示ラインの第1液晶セルに形成された第1画素電極であり、'PIX22'は偶数水平表示ラインの第2液晶セルに形成された第2画素電極である。

【0089】

偶数水平表示ライン(LINE#2、LINE#4、... LINE#n)それぞれで第i+1データラインと第i+2データラインの間には偶数水平ラインの第3及び第4液晶セルが存在する。偶数水平ラインの第3液晶セルは第Nフレーム期間の間第i+2データラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第i+2データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第4液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性デ

50

ータ電圧を充電する。図10で図面符号‘PIX23’は偶数水平表示ラインの第3液晶セルに形成された第3画素電極であり、‘PIX24’は偶数水平表示ラインの第4液晶セルに形成された第4画素電極である。

【0090】

図10に示されるように、奇数水平表示ラインの第2及び第3液晶セルと、偶数水平ラインの第1及び第4液晶セルは第*i*+1データラインから供給される同一である極性のデータ電圧を充電する。奇数水平表示ラインの第2及び第3液晶セルと、偶数水平ラインの第1及び第4液晶セルに充電されるデータ電圧の極性は奇数水平表示ラインの第1及び第4液晶セルと、偶数水平ラインの第2及び第3液晶セルに充電されるデータ電圧の極性とは相反する。

10

【0091】

図10に示された画素アレイ10からTFT、画素電極及びデータラインの接続関係を第1水平表示ライン(LINE#1)の第1乃至第4液晶セルと、第2水平表示ライン(LINE#2)の第1乃至第4液晶セルを例をあげて説明する。

【0092】

第1水平表示ライン(LINE#1)の第2液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。続いて、第1水平表示ライン(LINE#1)の第1液晶セルは第1データライン(D1)から供給されるデータ電圧を充電する。第1水平表示ラインの第1TFT(T11)は第2ゲートライン(G2)からの第2ゲートパルスに応答して第1データライン(D1)からのデータ電圧を第1画素電極(PIX11)に供給する。第1画素電極(PIX11)は大体1/2水平期間の間データ電圧を充電する。第1TFT(T11)のゲート電極は第2ゲートライン(G2)に接続される。第1TFT(T11)のドレーン電極は第1データライン(D1)に接続され、そのソース電極は第1画素電極(PIX11)に接続される。第1水平表示ラインの第2TFT(T12)は第1ゲートライン(G1)からの第1ゲートパルスに応答して第2データライン(D2)からのデータ電圧を第2画素電極(PIX12)に供給する。第2画素電極(PIX12)は大体1/2水平期間の間データ電圧を充電する。第2TFT(T12)のゲート電極は第1ゲートライン(G1)に接続される。第2TFT(T12)のドレーン電極は第2データライン(D2)に接続され、そのソース電極は第2画素電極(PIX12)に接続される。

20

30

【0093】

第1水平表示ライン(LINE#1)の第4液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。引き継いで、第1水平表示ライン(LINE#1)の第3液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。第1水平表示ラインの第3TFT(T13)は第2ゲートライン(G2)からの第2ゲートパルスに応答して第2データライン(D2)からのデータ電圧を第3画素電極(PIX13)に供給する。第3画素電極(PIX13)は大体1/2水平期間の間データ電圧を充電する。第3TFT(T13)のゲート電極は第2ゲートライン(G2)に接続される。第3TFT(T13)のドレーン電極は第2データライン(D2)に接続され、そのソース電極は第3画素電極(PIX13)に接続される。第1水平表示ラインの第4TFT(T14)は第1ゲートライン(G1)からの第1ゲートパルスに応答して第3データライン(D3)からのデータ電圧を第4画素電極(PIX14)に供給する。第4画素電極(PIX14)は大体1/2水平期間の間データ電圧を充電する。第4TFT(T14)のゲート電極は第1ゲートライン(G1)に接続される。第4TFT(T14)のドレーン電極は第3データライン(D3)に接続され、そのソース電極は第4画素電極(PIX14)に接続される。

40

【0094】

第2水平表示ライン(LINE#2)の第1液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(LINE#2)の第2液晶セルは第1データライン(D1)から供給されるデータ電圧を充電する。第2水

50

平表示ラインの第1 TFT (T21) は第3 ゲートライン (G3) からの第3 ゲートパルスに
 応答して第2 データライン (D2) からのデータ電圧を第1 画素電極 (PIX21)
 に供給する。第1 画素電極 (PIX21) は大体 1/2 水平期間の間データ電圧を充電す
 る。第1 TFT (T21) のゲート電極は第3 ゲートライン (G3) に接続される。第1
 TFT (T21) のドレイン電極は第2 データライン (D2) に接続され、そのソース電
 極は第1 画素電極 (PIX21) に接続される。第2 水平表示ラインの第2 TFT (T2
 2) は第4 ゲートライン (G4) からの第4 ゲートパルスに
 応答して第1 データライン (D1) からのデータ電圧を第2 画素電極 (PIX22) に供給する。第2 画素電極 (PIX
 22) は大体 1/2 水平期間の間データ電圧を充電する。第2 TFT (T22) のゲート
 電極は第4 ゲートライン (G4) に接続される。第2 TFT (T22) のドレイン電極
 は第1 データライン (D1) に接続され、そのソース電極は第2 画素電極 (PIX22)
 に接続される。

10

【0095】

第2 水平表示ライン (LINE#2) の第3 液晶セルは第3 データライン (D3) から
 供給されるデータ電圧を充電する。引き継いで、第2 水平表示ライン (LINE#2) の
 第4 液晶セルは第2 データライン (D2) から供給されるデータ電圧を充電する。第2 水
 平表示ラインの第3 TFT (T23) は第3 ゲートライン (G3) からの第3 ゲートパル
 スに
 応答して第3 データライン (D3) からのデータ電圧を第3 画素電極 (PIX23)
 に供給する。第3 画素電極 (PIX23) は大体 1/2 水平期間の間データ電圧を充電す
 る。第3 TFT (T23) のゲート電極は第3 ゲートライン (G3) に接続される。
 第3 TFT (T23) のドレイン電極は第3 データライン (D3) に接続され、そのソー
 ス電極は第3 画素電極 (PIX23) に接続される。第2 水平表示ラインの第4 TFT (T
 24) は第4 ゲートライン (G4) からの第4 ゲートパルスに
 応答して第2 データライ
 ン (D2) からのデータ電圧を第4 画素電極 (PIX24) に供給する。第4 画素電極 (PIX
 24) は大体 1/2 水平期間の間データ電圧を充電する。第4 TFT (T24) の
 ゲート電極は第4 ゲートライン (G4) に接続される。第4 TFT (T24) のドレイン
 電極は第2 データライン (D2) に接続され、そのソース電極は第4 画素電極 (PIX2
 4) に接続される。

20

【0096】

図11は画素アレイ10の第6実施の形態を示す回路図である。

30

【0097】

図11を参照すれば、画素アレイ10はデータライン (D1 ~ Dm+1)、データライ
 ン (D1 ~ Dm+1) と交差されるゲートライン (G1 ~ G2n)、及びゲートパルスに
 応答して液晶セルの画素電極 (PIX11 ~ PIX14、PIX21 ~ PIX24) とデー
 タライン (D1 ~ Dm+1) の間の電流パスをスイッチングするためのTFT (T11
 ~ T14、T21 ~ T24) を備える。カラムインバージョン方式で極性が反転されるデー
 タ電圧と、図11の画素アレイ構造によって液晶セルに充電されるデータ電圧はその極
 性が水平2ドット及び垂直1ドットインバージョンに反転される。

【0098】

ソースドライブIC12はカラムインバージョン形態に極性が反転されるデータ電圧を
 データライン (D1 ~ Dm+1) に出力する。ゲート駆動回路13は第1乃至2nゲート
 ライン (G1 ~ G2n) にゲートパルスを順次に供給する。第1ゲートライン (G1) に
 第1ゲートパルスが供給された後に第2乃至第2nゲートライン (G1 ~ G2n) に順次
 に第2乃至第2nゲートパルス (G1 ~ G2n) が供給される。

40

【0099】

第Nフレーム期間の間、ソースドライブIC12は奇数データライン (D1、D3 . . .
 . Dm-1、Dm+1) に正極性データ電圧のみを供給し、偶数データライン (D2、
 D4 . . . Dm) に負極性データ電圧のみを供給する。第N+1フレーム期間の間、ソ
 ースドライブIC12は奇数データライン (D1、D3 . . . Dm-1、Dm+1) に
 負極性データ電圧のみを供給し、偶数データライン (D2、D4 . . . Dm) に正極性デ

50

ータ電圧のみを供給する。

【0100】

奇数水平表示ライン(LINE#1、LINE#3、...LINE#n-1)それぞれで第iデータラインと第i+1データラインの間には奇数水平表示ラインの第1及び第2液晶セルが存在する。奇数水平表示ラインの第1液晶セルは第Nフレーム期間の間第iデータラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第iデータラインから供給される負極性データ電圧を充電する。奇数水平表示ラインの第2液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。図11で図面符号'PIX11'は奇数水平表示ラインの第1液晶セルに形成された第1画素電極であり、'PIX12'は奇数水平表示ラインの第2液晶セルに形成された第2画素電極である。

10

【0101】

奇数水平表示ライン(LINE#1、LINE#3、...LINE#n-1)それぞれで第i+1データラインと第i+2データラインの間には奇数水平表示ラインの第3及び第4液晶セルが存在する。奇数水平表示ラインの第3液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。奇数水平表示ラインの第4液晶セルは第Nフレーム期間の間第i+2データラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第i+2データラインから供給される負極性データ電圧を充電する。図11で図面符号'PIX13'は奇数水平表示ラインの第3液晶セルに形成された第3画素電極であり、'PIX14'は奇数水平表示ラインの第4液晶セルに形成された第4画素電極である。

20

【0102】

偶数水平表示ライン(LINE#2、LINE#4、...LINE#n)それぞれで第iデータラインと第i+1データラインの間には偶数水平ラインの第1及び第2液晶セルが存在する。偶数水平ラインの第1液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。偶数水平ラインの第2液晶セルは第Nフレーム期間の間第iデータラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第iデータラインから供給される負極性データ電圧を充電する。図11で図面符号'PIX21'は偶数水平表示ラインの第1液晶セルに形成された第1画素電極であり、'PIX22'は偶数水平表示ラインの第2液晶セルに形成された第2画素電極である。

30

【0103】

偶数水平表示ライン(LINE#2、LINE#4、...LINE#n)それぞれで第i+1データラインと第i+2データラインの間には偶数水平ラインの第3及び第4液晶セルが存在する。偶数水平ラインの第3液晶セルは第Nフレーム期間の間第i+2データラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第i+2データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第4液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。図11で図面符号'PIX23'は偶数水平表示ラインの第3液晶セルに形成された第3画素電極であり、'PIX24'は偶数水平表示ラインの第4液晶セルに形成された第4画素電極である。

40

【0104】

図11に示されるように、奇数水平表示ラインの第2及び第3液晶セルと、偶数水平ラインの第1及び第4液晶セルは第i+1データラインから供給される同一である極性のデータ電圧を充電する。奇数水平表示ラインの第2及び第3液晶セルと、偶数水平ラインの第1及び第4液晶セルに充電されるデータ電圧の極性は奇数水平表示ラインの第1及び第

50

4 液晶セルと、偶数水平ラインの第 2 及び第 3 液晶セルに充電されるデータ電圧の極性と
は相反する。

【0105】

図 11 に示された画素アレイ 10 から TFT、画素電極及びデータラインの接続関係を第 1 水平表示ライン (LINE # 1) の第 1 乃至第 4 液晶セルと、第 2 水平表示ライン (LINE # 2) の第 1 乃至第 4 液晶セルを例をあげて説明する。

【0106】

第 1 水平表示ライン (LINE # 1) の第 1 液晶セルは第 1 データライン (D1) から供給されるデータ電圧を充電する。引き継いで、第 1 水平表示ライン (LINE # 1) の第 2 液晶セルは第 2 データライン (D2) から供給されるデータ電圧を充電する。第 1 水平表示ラインの第 1 TFT (T11) は第 1 ゲートライン (G1) からの第 1 ゲートパルスに
10 応答して第 1 データライン (D1) からのデータ電圧を第 1 画素電極 (PIX11) に供給する。第 1 画素電極 (PIX11) は大体 1/2 水平期間の間データ電圧を充電する。第 1 TFT (T11) のゲート電極は第 1 ゲートライン (G1) に接続される。第 1 TFT (T11) のドレイン電極は第 1 データライン (D1) に接続され、そのソース電極は第 1 画素電極 (PIX11) に接続される。第 1 水平表示ラインの第 2 TFT (T12) は第 2 ゲートライン (G2) からの第 2 ゲートパルスに
20 応答して第 2 データライン (D2) からのデータ電圧を第 2 画素電極 (PIX12) に供給する。第 2 画素電極 (PIX12) は大体 1/2 水平期間の間データ電圧を充電する。第 2 TFT (T12) のゲート電極は第 2 ゲートライン (G2) に接続される。第 2 TFT (T12) のドレイン電極は第 2 データライン (D2) に接続され、そのソース電極は第 2 画素電極 (PIX12) に接続される。

【0107】

第 1 水平表示ライン (LINE # 1) の第 3 液晶セルは第 2 データライン (D2) から供給されるデータ電圧を充電する。引き継いで、第 1 水平表示ライン (LINE # 1) の第 4 液晶セルは第 3 データライン (D3) から供給されるデータ電圧を充電する。第 1 水平表示ラインの第 3 TFT (T13) は第 1 ゲートライン (G1) からの第 1 ゲートパルスに
30 応答して第 2 データライン (D2) からのデータ電圧を第 3 画素電極 (PIX13) に供給する。第 3 画素電極 (PIX13) は大体 1/2 水平期間の間データ電圧を充電する。第 3 TFT (T13) のゲート電極は第 1 ゲートライン (G1) に接続される。第 3 TFT (T13) のドレイン電極は第 2 データライン (D2) に接続され、そのソース電極は第 3 画素電極 (PIX13) に接続される。第 1 水平表示ラインの第 4 TFT (T14) は第 2 ゲートライン (G2) からの第 2 ゲートパルスに
40 応答して第 3 データライン (D3) からのデータ電圧を第 4 画素電極 (PIX14) に供給する。第 4 画素電極 (PIX14) は大体 1/2 水平期間の間データ電圧を充電する。第 4 TFT (T14) のゲート電極は第 2 ゲートライン (G2) に接続される。第 4 TFT (T14) のドレイン電極は第 3 データライン (D3) に接続され、そのソース電極は第 4 画素電極 (PIX14) に接続される。

【0108】

第 2 水平表示ライン (LINE # 2) の第 2 液晶セルは第 1 データライン (D1) から供給されるデータ電圧を充電する。引き継いで、第 2 水平表示ライン (LINE # 2) の第 1 液晶セルは第 2 データライン (D2) から供給されるデータ電圧を充電する。第 2 水平表示ラインの第 1 TFT (T21) は第 4 ゲートライン (G4) からの第 4 ゲートパルスに
40 応答して第 2 データライン (D2) からのデータ電圧を第 1 画素電極 (PIX21) に供給する。第 1 画素電極 (PIX21) は大体 1/2 水平期間の間データ電圧を充電する。第 1 TFT (T21) のゲート電極は第 4 ゲートライン (G4) に接続される。第 1 TFT (T21) のドレイン電極は第 2 データライン (D2) に接続され、そのソース電極は第 1 画素電極 (PIX21) に接続される。第 2 水平表示ラインの第 2 TFT (T22) は第 3 ゲートライン (G3) からの第 3 ゲートパルスに
50 応答して第 1 データライン (D1) からのデータ電圧を第 2 画素電極 (PIX22) に供給する。第 2 画素電極 (PIX22) は大体 1/2 水平期間の間データ電圧を充電する。第 2 TFT (T22) のゲート電極は第 3 ゲートライン (G3) に接続される。第 2 TFT (T22) のドレイン電極は第 1 データライン (D1) に接続され、そのソース電極は第 2 画素電極 (PIX22) に接続される。

X 2 2) は大体 1 / 2 水平期間の間データ電圧を充電する。第 2 T F T (T 2 2) のゲート電極は第 3 ゲートライン (G 3) に接続される。第 2 T F T (T 2 2) のドレーン電極は第 1 データライン (D 1) に接続され、そのソース電極は第 2 画素電極 (P I X 2 2) に接続される。

【 0 1 0 9 】

第 2 水平表示ライン (L I N E # 2) の第 4 液晶セルは第 2 データライン (D 2) から供給されるデータ電圧を充電する。引き継いで、第 2 水平表示ライン (L I N E # 2) の第 3 液晶セルは第 3 データライン (D 3) から供給されるデータ電圧を充電する。第 2 水平表示ラインの第 3 T F T (T 2 3) は第 4 ゲートライン (G 4) からの第 4 ゲートパルスにตอบสนองして第 3 データライン (D 3) からのデータ電圧を第 3 画素電極 (P I X 2 3) に供給する。第 3 画素電極 (P I X 2 3) は大体 1 / 2 水平期間の間データ電圧を充電する。第 3 T F T (T 2 3) のゲート電極は第 4 ゲートライン (G 4) に接続される。第 3 T F T (T 2 3) のドレーン電極は第 3 データライン (D 3) に接続され、そのソース電極は第 3 画素電極 (P I X 2 3) に接続される。第 2 水平表示ラインの第 4 T F T (T 2 4) は第 3 ゲートライン (G 3) からの第 3 ゲートパルスにตอบสนองして第 2 データライン (D 2) からのデータ電圧を第 4 画素電極 (P I X 2 4) に供給する。第 4 画素電極 (P I X 2 4) は大体 1 / 2 水平期間の間データ電圧を充電する。第 4 T F T (T 2 4) のゲート電極は第 3 ゲートライン (G 3) に接続される。第 4 T F T (T 2 4) のドレーン電極は第 2 データライン (D 2) に接続され、そのソース電極は第 4 画素電極 (P I X 2 4) に接続される。

10

20

【 0 1 1 0 】

図 1 2 は画素アレイ 1 0 の第 7 実施の形態を示す回路図である。

【 0 1 1 1 】

図 1 2 を参照すれば、画素アレイ 1 0 はデータライン (D 1 ~ D m + 1)、データライン (D 1 ~ D m + 1) と交差されるゲートライン (G 1 ~ G 2 n)、及びゲートパルスにตอบสนองして液晶セルの画素電極 (P I X 1 1 ~ P I X 1 6、P I X 2 1 ~ P I X 2 6) とデータライン (D 1 ~ D m + 1) の間の電流パスをスイッチングするための T F T (T 1 1 ~ T 1 6、T 2 1 ~ T 2 6) を備える。カラムインバージョン方式で極性が反転されるデータ電圧と、図 1 2 の画素アレイ構造によって液晶セルに充電されるデータ電圧はその極性が水平 2 ドット及び垂直 1 ドットインバージョンに反転される。

30

【 0 1 1 2 】

ソースドライブ I C 1 2 はカラムインバージョン形態に極性が反転されるデータ電圧をデータライン (D 1 ~ D m + 1) に出力する。ゲート駆動回路 1 3 は第 1 乃至 2 n ゲートライン (G 1 ~ G 2 n) にゲートパルスを順次に供給する。第 1 ゲートライン (G 1) に第 1 ゲートパルスが供給された後に第 2 乃至第 2 n ゲートライン (G 1 ~ G 2 n) に順次に第 2 乃至第 2 n ゲートパルス (G 1 ~ G 2 n) が供給される。

【 0 1 1 3 】

第 N フレーム期間の間、ソースドライブ I C 1 2 は奇数データライン (D 1、D 3 . . . D m - 1、D m + 1) に正極性データ電圧のみを供給し、偶数データライン (D 2、D 4 . . . D m) に負極性データ電圧のみを供給する。第 N + 1 フレーム期間の間、ソースドライブ I C 1 2 は奇数データライン (D 1、D 3 . . . D m - 1、D m + 1) に負極性データ電圧のみを供給し、偶数データライン (D 2、D 4 . . . D m) に正極性データ電圧のみを供給する。

40

【 0 1 1 4 】

奇数水平表示ライン (L I N E # 1、L I N E # 3、. . . L I N E # n - 1) それぞれで第 i データラインと第 i + 1 データラインの間には奇数水平表示ラインの第 1 及び第 2 液晶セルが存在する。奇数水平表示ラインの第 1 液晶セルは第 N フレーム期間の間第 i データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 i データラインから供給される負極性データ電圧を充電する。奇数水平表示ラインの第 2 液晶セルは第 N フレーム期間の間第 i + 1 データラインから供給される負極性データ電

50

圧を充電した後、第 $N + 1$ フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。図 12 で図面符号 ' P I X 1 1 ' は奇数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極であり、' P I X 1 2 ' は奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極である。

【 0 1 1 5 】

奇数水平表示ライン (L I N E # 1、L I N E # 3、. . . L I N E # n - 1) それぞれで第 $i + 1$ データラインと第 $i + 2$ データラインの間には奇数水平表示ラインの第 3 及び第 4 液晶セルが存在する。奇数水平表示ラインの第 3 液晶セルは第 N フレーム期間の間第 $i + 1$ データラインから供給される負極性データ電圧を充電した後、第 $N + 1$ フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。奇数水平表示ラインの第 4 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第 $N + 1$ フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。図 12 で図面符号 ' P I X 1 3 ' は奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、' P I X 1 4 ' は奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。

10

【 0 1 1 6 】

偶数水平表示ライン (L I N E # 2、L I N E # 4、. . . L I N E # n) それぞれで第 i データラインと第 $i + 1$ データラインの間には偶数水平ラインの第 1 及び第 2 液晶セルが存在する。偶数水平ラインの第 1 液晶セルは第 N フレーム期間の間第 $i + 1$ データラインから供給される負極性データ電圧を充電した後、第 $N + 1$ フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。偶数水平ラインの第 2 液晶セルは第 N フレーム期間の間第 i データラインから供給される正極性データ電圧を充電した後、第 $N + 1$ フレーム期間の間第 i データラインから供給される負極性データ電圧を充電する。図 12 で図面符号 ' P I X 2 1 ' は偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極であり、' P I X 2 2 ' は偶数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極である。

20

【 0 1 1 7 】

偶数水平表示ライン (L I N E # 2、L I N E # 4、. . . L I N E # n) それぞれで第 $i + 1$ データラインと第 $i + 2$ データラインの間には偶数水平ラインの第 3 及び第 4 液晶セルが存在する。偶数水平ラインの第 3 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第 $N + 1$ フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第 4 液晶セルは第 N フレーム期間の間第 $i + 1$ データラインから供給される負極性データ電圧を充電した後、第 $N + 1$ フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。図 12 で図面符号 ' P I X 2 3 ' は偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、' P I X 2 4 ' は偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。

30

【 0 1 1 8 】

図 12 に示されるように、奇数水平表示ラインの第 2 及び第 3 液晶セルと、偶数水平ラインの第 1 及び第 4 液晶セルは第 $i + 1$ データラインから供給される同一である極性のデータ電圧を充電する。奇数水平表示ラインの第 2 及び第 3 液晶セルと、偶数水平ラインの第 1 及び第 4 液晶セルに充電されるデータ電圧の極性は奇数水平表示ラインの第 1 及び第 4 液晶セルと、偶数水平ラインの第 2 及び第 3 液晶セルに充電されるデータ電圧の極性とは相反する。

40

【 0 1 1 9 】

図 12 に示された画素アレイ 10 から T F T、画素電極及びデータラインの接続関係を第 1 水平表示ライン (L I N E # 1) の第 1 乃至第 4 液晶セルと、第 2 水平表示ライン (L I N E # 2) の第 1 乃至第 4 液晶セルを例をあげて説明する。

【 0 1 2 0 】

第 1 水平表示ライン (L I N E # 1) の第 1 液晶セルは第 1 データライン (D 1) から

50

供給されるデータ電圧を充電する。これと同時に、第1水平表示ライン(LINE#1)の第2液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。第1水平表示ラインの第1TFT(T11)は第1ゲートライン(G1)からの第1ゲートパルスに应答して第1データライン(D1)からのデータ電圧を第1画素電極(PIX11)に供給する。第1画素電極(PIX11)は大体1/2水平期間の間データ電圧を充電する。第1TFT(T11)のゲート電極は第1ゲートライン(G1)に接続される。第1TFT(T11)のドレーン電極は第1データライン(D1)に接続され、そのソース電極は第1画素電極(PIX11)に接続される。第1水平表示ラインの第2TFT(T12)は第1ゲートライン(G1)からの第1ゲートパルスに应答して第2データライン(D2)からのデータ電圧を第2画素電極(PIX12)に供給する。第2画素電極(PIX12)は大体1/2水平期間の間データ電圧を充電する。第2TFT(T12)のゲート電極は第1ゲートライン(G1)に接続される。第2TFT(T12)のドレーン電極は第2データライン(D2)に接続され、そのソース電極は第2画素電極(PIX12)に接続される。

10

【0121】

第1水平表示ライン(LINE#1)の第3液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。これと共に、第1水平表示ライン(LINE#1)の第4液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。第1水平表示ラインの第3TFT(T13)は第2ゲートライン(G2)からの第2ゲートパルスに应答して第2データライン(D2)からのデータ電圧を第3画素電極(PIX13)に供給する。第3画素電極(PIX13)は大体1/2水平期間の間データ電圧を充電する。第3TFT(T13)のゲート電極は第2ゲートライン(G2)に接続される。第3TFT(T13)のドレーン電極は第2データライン(D2)に接続され、そのソース電極は第3画素電極(PIX13)に接続される。第1水平表示ラインの第4TFT(T14)は第2ゲートライン(G2)からの第2ゲートパルスに应答して第3データライン(D3)からのデータ電圧を第4画素電極(PIX14)に供給する。第4画素電極(PIX14)は大体1/2水平期間の間データ電圧を充電する。第4TFT(T14)のゲート電極は第2ゲートライン(G2)に接続される。第4TFT(T14)のドレーン電極は第3データライン(D3)に接続され、そのソース電極は第4画素電極(PIX14)に接続される。

20

30

【0122】

第2水平表示ライン(LINE#2)の第2液晶セルは第1データライン(D1)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(LINE#2)の第1液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。第2水平表示ラインの第1TFT(T21)は第4ゲートライン(G4)からの第4ゲートパルスに应答して第2データライン(D2)からのデータ電圧を第1画素電極(PIX21)に供給する。第1画素電極(PIX21)は大体1/2水平期間の間データ電圧を充電する。第1TFT(T21)のゲート電極は第4ゲートライン(G4)に接続される。第1TFT(T21)のドレーン電極は第2データライン(D2)に接続され、そのソース電極は第1画素電極(PIX21)に接続される。第2水平表示ラインの第2TFT(T22)は第3ゲートライン(G3)からの第3ゲートパルスに应答して第1データライン(D1)からのデータ電圧を第2画素電極(PIX22)に供給する。第2画素電極(PIX22)は大体1/2水平期間の間データ電圧を充電する。第2TFT(T22)のゲート電極は第3ゲートライン(G3)に接続される。第2TFT(T22)のドレーン電極は第1データライン(D1)に接続され、そのソース電極は第2画素電極(PIX22)に接続される。

40

【0123】

第2水平表示ライン(LINE#2)の第4液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(LINE#2)の第3液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。第2水

50

平表示ラインの第3 TFT (T23) は第4 ゲートライン (G4) からの第4 ゲートパルスに
 応答して第3 データライン (D3) からのデータ電圧を第3 画素電極 (PIX23) に供給する。
 第3 画素電極 (PIX23) は大体 1/2 水平期間の間データ電圧を充電する。第3 TFT (T23) の
 ゲート電極は第4 ゲートライン (G4) に接続される。第3 TFT (T23) のドレイン電極は第3
 データライン (D3) に接続され、そのソース電極は第3 画素電極 (PIX23) に接続される。
 第2 水平表示ラインの第4 TFT (T24) は第3 ゲートライン (G3) からの第3 ゲートパルスに
 応答して第2 データライン (D2) からのデータ電圧を第4 画素電極 (PIX24) に供給する。
 第4 画素電極 (PIX24) は大体 1/2 水平期間の間データ電圧を充電する。第4 TFT (T24) の
 ゲート電極は第3 ゲートライン (G3) に接続される。第4 TFT (T24) のドレイン電極は第2
 データライン (D2) に接続され、そのソース電極は第4 画素電極 (PIX24) に接続される。

10

【0124】

図13は画素アレイ10の第8実施の形態を示す回路図である。

【0125】

図13を参照すれば、画素アレイ10はデータライン (D1 ~ Dm+1)、データライン (D1 ~ Dm+1) と交差されるゲートライン (G1 ~ G2n)、及びゲートパルスに
 応答して液晶セルの画素電極 (PIX11 ~ PIX16、PIX21 ~ PIX26) とデータライン (D1 ~ Dm+1) の間の電流パスをスイッチングするための TFT (T11 ~ T16、T21 ~ T26) を備える。カラムインバージョン方式で極性が反転される
 データ電圧と、図13の画素アレイ構造によって液晶セルに充電されるデータ電圧はその極性が水平2ドット及び垂直1ドットインバージョンに反転される。また、図13の画素アレイ10の一部液晶セルに充電されるデータ電圧は水平1ドット及び垂直1ドットインバージョンに反転される。したがって、図13の画素アレイには水平2ドット及び垂直1ドットインバージョン形態に極性が反転される液晶セルと、水平1ドット及び垂直1ドットインバージョン形態に極性の反転される液晶セルが混在される。

20

【0126】

ソースドライブIC12はカラムインバージョン形態に極性が反転されるデータ電圧をデータライン (D1 ~ Dm+1) に出力する。ゲート駆動回路13は第1乃至2nゲートライン (G1 ~ G2n) にゲートパルスを順次に供給する。第1ゲートライン (G1) に
 第1ゲートパルスが供給された後に第2乃至第2nゲートライン (G1 ~ G2n) に順次に第2乃至第2nゲートパルス (G1 ~ G2n) が供給される。

30

【0127】

第Nフレーム期間の間、ソースドライブIC12は奇数データライン (D1、D3 . . . Dm-1、Dm+1) に正極性データ電圧のみを供給し、偶数データライン (D2、D4 . . . Dm) に負極性データ電圧のみを供給する。第N+1フレーム期間の間、ソースドライブIC12は奇数データライン (D1、D3 . . . Dm-1、Dm+1) に負極性データ電圧のみを供給し、偶数データライン (D2、D4 . . . Dm) に正極性データ電圧のみを供給する。

【0128】

奇数水平表示ライン (LINE#1、LINE#3、. . . LINE#n-1) それぞれで第iデータラインと第i+1データラインの間には奇数水平表示ラインの第1及び第2液晶セルが存在する。奇数水平表示ラインの第1液晶セルは第Nフレーム期間の間第iデータラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第iデータラインから供給される負極性データ電圧を充電する。奇数水平表示ラインの第2液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。図13で図面符号 'PIX11' は奇数水平表示ラインの第1液晶セルに形成された第1画素電極であり、'PIX12' は奇数水平表示ラインの第2液晶セルに形成された第2画素電極である。

40

50

【 0 1 2 9 】

奇数水平表示ライン (L I N E # 1、L I N E # 3、. . . L I N E # n - 1) それぞれで第 $i + 1$ データラインと第 $i + 2$ データラインの間には奇数水平表示ラインの第 3 及び第 4 液晶セルが存在する。奇数水平表示ラインの第 3 液晶セルは第 N フレーム期間の間第 $i + 1$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。奇数水平表示ラインの第 4 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。図 1 3 で図面符号 ' P I X 1 3 ' は奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、' P I X 1 4 ' は奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。

10

【 0 1 3 0 】

奇数水平表示ライン (L I N E # 1、L I N E # 3、. . . L I N E # n - 1) それぞれで第 $i + 2$ データラインと第 $i + 3$ データラインの間には奇数水平表示ラインの第 5 及び第 6 液晶セルが存在する。奇数水平表示ラインの第 5 液晶セルは第 N フレーム期間の間第 $i + 3$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 3$ データラインから供給される正極性データ電圧を充電する。奇数水平表示ラインの第 6 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。図 1 3 で図面符号 ' P I X 1 5 ' は奇数水平表示ラインの第 5 液晶セルに形成された第 5 画素電極であり、' P I X 1 6 ' は奇数水平表示ラインの第 6 液晶セルに形成された第 6 画素電極である。

20

【 0 1 3 1 】

偶数水平表示ライン (L I N E # 2、L I N E # 4、. . . L I N E # n) それぞれで第 i データラインと第 $i + 1$ データラインの間には偶数水平ラインの第 1 及び第 2 液晶セルが存在する。偶数水平ラインの第 1 液晶セルは第 N フレーム期間の間第 $i + 1$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。偶数水平ラインの第 2 液晶セルは第 N フレーム期間の間第 i データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 i データラインから供給される負極性データ電圧を充電する。図 1 3 で図面符号 ' P I X 2 1 ' は偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極であり、' P I X 2 2 ' は偶数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極である。

30

【 0 1 3 2 】

偶数水平表示ライン (L I N E # 2、L I N E # 4、. . . L I N E # n) それぞれで第 $i + 1$ データラインと第 $i + 2$ データラインの間には偶数水平ラインの第 3 及び第 4 液晶セルが存在する。偶数水平ラインの第 3 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第 4 液晶セルは第 N フレーム期間の間第 $i + 1$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。図 1 3 で図面符号 ' P I X 2 3 ' は偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、' P I X 2 4 ' は偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。

40

【 0 1 3 3 】

偶数水平表示ライン (L I N E # 2、L I N E # 4、. . . L I N E # n) それぞれで第 $i + 2$ データラインと第 $i + 3$ データラインの間には偶数水平ラインの第 5 及び第 6 液晶セルが存在する。偶数水平ラインの第 5 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第 6 液

50

晶セルは第 N フレーム期間の間第 $i + 3$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 3$ データラインから供給される正極性データ電圧を充電する。図 13 で図面符号 ' P I X 2 5 ' は偶数水平表示ラインの第 5 液晶セルに形成された第 5 画素電極であり、' P I X 2 6 ' は偶数水平表示ラインの第 6 液晶セルに形成された第 6 画素電極である。

【 0 1 3 4 】

図 13 に示されるように、奇数水平表示ラインの第 2 及び第 3 液晶セルと、偶数水平ラインの第 1 及び第 4 液晶セルは第 $i + 1$ データラインから供給される同一である極性のデータ電圧を充電する。奇数水平表示ラインの第 2 及び第 3 液晶セルと、偶数水平ラインの第 1 及び第 4 液晶セルに充電されるデータ電圧の極性は奇数水平表示ラインの第 1 及び第 4 液晶セルと、偶数水平ラインの第 2 及び第 3 液晶セルに充電されるデータ電圧の極性とは相反する。したがって、奇数水平表示ラインの第 1 乃至第 4 液晶セルと、偶数水平ラインの第 1 乃至第 4 液晶セルに充電されるデータ電圧の極性は水平 2 ドット及び垂直 1 ドットインバージョンに反転される。これに比べて、奇数水平表示ラインの第 3 乃至第 6 液晶セルと、偶数水平ラインの第 3 乃至第 6 液晶セルに充電されるデータ電圧の極性は水平 1 ドット及び垂直 1 ドットインバージョンに反転される。

10

【 0 1 3 5 】

図 13 に示された画素アレイ 10 から T F T、画素電極及びデータラインの接続関係を第 1 水平表示ライン (L I N E # 1) の第 1 ないし第 6 液晶セルと、第 2 水平表示ライン (L I N E # 2) の第 1 乃至第 6 液晶セルを例をあげて説明する。

20

【 0 1 3 6 】

第 1 水平表示ライン (L I N E # 1) の第 2 液晶セルは第 2 データライン (D 2) から供給されるデータ電圧を充電する。引き継いで、第 1 水平表示ライン (L I N E # 1) の第 1 液晶セルは第 1 データライン (D 1) から供給されるデータ電圧を充電する。第 1 水平表示ラインの第 1 T F T (T 1 1) は第 2 ゲートライン (G 2) からの第 2 ゲートパルスに应答して第 1 データライン (D 1) からのデータ電圧を第 1 画素電極 (P I X 1 1) に供給する。第 1 画素電極 (P I X 1 1) は大体 1 / 2 水平期間の間データ電圧を充電する。第 1 T F T (T 1 1) のゲート電極は第 2 ゲートライン (G 2) に接続される。第 1 T F T (T 1 1) のドレイン電極は第 1 データライン (D 1) に接続され、そのソース電極は第 1 画素電極 (P I X 1 1) に接続される。第 1 水平表示ラインの第 2 T F T (T 1 2) は第 1 ゲートライン (G 1) からの第 1 ゲートパルスに应答して第 2 データライン (D 2) からのデータ電圧を第 2 画素電極 (P I X 1 2) に供給する。第 2 画素電極 (P I X 1 2) は大体 1 / 2 水平期間の間データ電圧を充電する。第 2 T F T (T 1 2) のゲート電極は第 1 ゲートライン (G 1) に接続される。第 2 T F T (T 1 2) のドレイン電極は第 2 データライン (D 2) に接続され、そのソース電極は第 2 画素電極 (P I X 1 2) に接続される。

30

【 0 1 3 7 】

第 1 水平表示ライン (L I N E # 1) の第 4 液晶セルは第 3 データライン (D 3) から供給されるデータ電圧を充電する。引き継いで、第 1 水平表示ライン (L I N E # 1) の第 3 液晶セルは第 2 データライン (D 2) から供給されるデータ電圧を充電する。第 1 水平表示ラインの第 3 T F T (T 1 3) は第 2 ゲートライン (G 2) からの第 2 ゲートパルスに应答して第 2 データライン (D 2) からのデータ電圧を第 3 画素電極 (P I X 1 3) に供給する。第 3 画素電極 (P I X 1 3) は大体 1 / 2 水平期間の間データ電圧を充電する。第 3 T F T (T 1 3) のゲート電極は第 2 ゲートライン (G 2) に接続される。第 3 T F T (T 1 3) のドレイン電極は第 2 データライン (D 2) に接続され、そのソース電極は第 3 画素電極 (P I X 1 3) に接続される。第 1 水平表示ラインの第 4 T F T (T 1 4) は第 1 ゲートライン (G 1) からの第 1 ゲートパルスに应答して第 3 データライン (D 3) からのデータ電圧を第 4 画素電極 (P I X 1 4) に供給する。第 4 画素電極 (P I X 1 4) は大体 1 / 2 水平期間の間データ電圧を充電する。第 4 T F T (T 1 4) のゲート電極は第 1 ゲートライン (G 1) に接続される。第 4 T F T (T 1 4) のドレイン電極

40

50

は第3データライン(D3)に接続され、そのソース電極は第4画素電極(PIX14)に接続される。

【0138】

第1水平表示ライン(LINE#1)の第5液晶セルは第4データライン(D4)から供給されるデータ電圧を充電する。引き継いで、第1水平表示ライン(LINE#1)の第6液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。第1水平表示ラインの第5TFT(T15)は第1ゲートライン(G1)からの第1ゲートパルスに応答して第4データライン(D4)からのデータ電圧を第5画素電極(PIX15)に供給する。第5画素電極(PIX15)は大体1/2水平期間の間データ電圧を充電する。第5TFT(T15)のゲート電極は第1ゲートライン(G1)に接続される。第5TFT(T15)のドレイン電極は第4データライン(D4)に接続され、そのソース電極は第5画素電極(PIX15)に接続される。第1水平表示ラインの第6TFT(T16)は第2ゲートライン(G2)からの第2ゲートパルスに応答して第3データライン(D3)からのデータ電圧を第6画素電極(PIX16)に供給する。第6画素電極(PIX16)は大体1/2水平期間の間データ電圧を充電する。第6TFT(T16)のゲート電極は第2ゲートライン(G2)に接続される。第6TFT(T16)のドレイン電極は第3データライン(D3)に接続され、そのソース電極は第6画素電極(PIX16)に接続される。

10

【0139】

第2水平表示ライン(LINE#2)の第1液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(LINE#2)の第2液晶セルは第1データライン(D1)から供給されるデータ電圧を充電する。第2水平表示ラインの第1TFT(T21)は第3ゲートライン(G3)からの第3ゲートパルスに応答して第2データライン(D2)からのデータ電圧を第1画素電極(PIX21)に供給する。第1画素電極(PIX21)は大体1/2水平期間の間データ電圧を充電する。第1TFT(T21)のゲート電極は第3ゲートライン(G3)に接続される。第1TFT(T21)のドレイン電極は第2データライン(D2)に接続され、そのソース電極は第1画素電極(PIX21)に接続される。第2水平表示ラインの第2TFT(T22)は第4ゲートライン(G4)からの第4ゲートパルスに応答して第1データライン(D1)からのデータ電圧を第2画素電極(PIX22)に供給する。第2画素電極(PIX22)は大体1/2水平期間の間データ電圧を充電する。第2TFT(T22)のゲート電極は第4ゲートライン(G4)に接続される。第2TFT(T22)のドレイン電極は第1データライン(D1)に接続され、そのソース電極は第2画素電極(PIX22)に接続される。

20

30

【0140】

第2水平表示ライン(LINE#2)の第3液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(LINE#2)の第4液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。第2水平表示ラインの第3TFT(T23)は第3ゲートライン(G3)からの第3ゲートパルスに応答して第3データライン(D3)からのデータ電圧を第3画素電極(PIX23)に供給する。第3画素電極(PIX23)は大体1/2水平期間の間データ電圧を充電する。第3TFT(T23)のゲート電極は第3ゲートライン(G3)に接続される。第3TFT(T23)のドレイン電極は第3データライン(D3)に接続され、そのソース電極は第3画素電極(PIX23)に接続される。第2水平表示ラインの第4TFT(T24)は第4ゲートライン(G4)からの第4ゲートパルスに応答して第2データライン(D2)からのデータ電圧を第4画素電極(PIX24)に供給する。第4画素電極(PIX24)は大体1/2水平期間の間データ電圧を充電する。第4TFT(T24)のゲート電極は第4ゲートライン(G4)に接続される。第4TFT(T24)のドレイン電極は第2データライン(D2)に接続されて、そのソース電極は第4画素電極(PIX24)に接続される。

40

【0141】

50

第2水平表示ライン(LINE#2)の第6液晶セルは第4データライン(D4)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(LINE#2)の第5液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。第2水平表示ラインの第5TFT(T25)は第4ゲートライン(G4)からの第4ゲートパルスにตอบสนองして第3データライン(D3)からのデータ電圧を第5画素電極(PIX25)に供給する。第5画素電極(PIX25)は大体1/2水平期間の間データ電圧を充電する。第5TFT(T25)のゲート電極は第4ゲートライン(G4)に接続される。第5TFT(T25)のドレーン電極は第3データライン(D3)に接続され、そのソース電極は第5画素電極(PIX25)に接続される。第2水平表示ラインの第6TFT(T26)は第3ゲートライン(G3)からの第3ゲートパルスにตอบสนองして第4データライン(D4)からのデータ電圧を第6画素電極(PIX26)に供給する。第6画素電極(PIX26)は大体1/2水平期間の間データ電圧を充電する。第6TFT(T26)のゲート電極は第3ゲートライン(G3)に接続される。第6TFT(T26)のドレーン電極は第6データライン(D6)に接続され、そのソース電極は第6画素電極(PIX26)に接続される。

10

【0142】

図14は画素アレイ10の第9実施の形態を示す回路図である。

【0143】

図14を参照すれば、画素アレイ10はデータライン(D1~Dm+1)、データライン(D1~Dm+1)と交差されるゲートライン(G1~G2n)、及びゲートパルスにตอบสนองして液晶セルの画素電極(PIX11~PIX16、PIX21~PIX26)とデータライン(D1~Dm+1)の間の電流パスをスイッチングするためのTFT(T11~T16、T21~T26)を備える。カラムインバージョン方式で極性が反転されるデータ電圧と、図14の画素アレイ構造によって液晶セルに充電されるデータ電圧はその極性が水平2ドット及び垂直1ドットインバージョンに反転される。また、図14の画素アレイ10の一部液晶セルに充電されるデータ電圧は水平1ドット及び垂直1ドットインバージョンに反転される。したがって、図14の画素アレイには水平2ドット及び垂直1ドットインバージョン形態に極性が反転される液晶セルと、水平1ドット及び垂直1ドットインバージョン形態に極性の反転される液晶セルが混在される。

20

【0144】

ソースドライブIC12はカラムインバージョン形態に極性が反転されるデータ電圧をデータライン(D1~Dm+1)に出力する。ゲート駆動回路13は第1乃至2nゲートライン(G1~G2n)にゲートパルスを順次に供給する。第1ゲートライン(G1)に第1ゲートパルスが供給された後に第2乃至第2nゲートライン(G1~G2n)に順次に第2乃至第2nゲートパルス(G1~G2n)が供給される。

30

【0145】

第Nフレーム期間の間、ソースドライブIC12は奇数データライン(D1、D3...Dm-1、Dm+1)に正極性データ電圧のみを供給し、偶数データライン(D2、D4...Dm)に負極性データ電圧のみを供給する。第N+1フレーム期間の間、ソースドライブIC12は奇数データライン(D1、D3...Dm-1、Dm+1)に負極性データ電圧のみを供給して、偶数データライン(D2、D4...Dm)に正極性データ電圧のみを供給する。

40

【0146】

奇数水平表示ライン(LINE#1、LINE#3、...LINE#n-1)それぞれで第iデータラインと第i+1データラインの間には奇数水平表示ラインの第1及び第2液晶セルが存在する。奇数水平表示ラインの第1液晶セルは第Nフレーム期間の間第iデータラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第iデータラインから供給される負極性データ電圧を充電する。奇数水平表示ラインの第2液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性

50

データ電圧を充電する。図14で図面符号‘PIX11’は奇数水平表示ラインの第1液晶セルに形成された第1画素電極であり、‘PIX12’は奇数水平表示ラインの第2液晶セルに形成された第2画素電極である。

【0147】

奇数水平表示ライン(LINE#1、LINE#3、...LINE#n-1)それぞれで第i+1データラインと第i+2データラインの間には奇数水平表示ラインの第3及び第4液晶セルが存在する。奇数水平表示ラインの第3液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。奇数水平表示ラインの第4液晶セルは第Nフレーム期間の間第i+2データラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第i+2データラインから供給される負極性データ電圧を充電する。図14で図面符号‘PIX13’は奇数水平表示ラインの第3液晶セルに形成された第3画素電極であり、‘PIX14’は奇数水平表示ラインの第4液晶セルに形成された第4画素電極である。

10

【0148】

奇数水平表示ライン(LINE#1、LINE#3、...LINE#n-1)それぞれで第i+2データラインと第i+3データラインの間には奇数水平表示ラインの第5及び第6液晶セルが存在する。奇数水平表示ラインの第5液晶セルは第Nフレーム期間の間第i+3データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+3データラインから供給される正極性データ電圧を充電する。奇数水平表示ラインの第6液晶セルは第Nフレーム期間の間第i+2データラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第i+2データラインから供給される負極性データ電圧を充電する。図14で図面符号‘PIX15’は奇数水平表示ラインの第5液晶セルに形成された第5画素電極であり、‘PIX16’は奇数水平表示ラインの第6液晶セルに形成された第6画素電極である。

20

【0149】

偶数水平表示ライン(LINE#2、LINE#4、...LINE#n)それぞれで第iデータラインと第i+1データラインの間には偶数水平ラインの第1及び第2液晶セルが存在する。偶数水平ラインの第1液晶セルは第Nフレーム期間の間第i+1データラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第iデータラインから供給される正極性データ電圧を充電する。偶数水平ラインの第2液晶セルは第Nフレーム期間の間第iデータラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第iデータラインから供給される負極性データ電圧を充電する。図14で図面符号‘PIX21’は偶数水平表示ラインの第1液晶セルに形成された第1画素電極であり、‘PIX22’は偶数水平表示ラインの第2液晶セルに形成された第2画素電極である。

30

【0150】

偶数水平表示ライン(LINE#2、LINE#4、...LINE#n)それぞれで第i+1データラインと第i+2データラインの間には偶数水平ラインの第3及び第4液晶セルが存在する。偶数水平ラインの第3液晶セルは第Nフレーム期間の間第i+2データラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第i+2データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第4液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。図14で図面符号‘PIX23’は偶数水平表示ラインの第3液晶セルに形成された第3画素電極であり、‘PIX24’は偶数水平表示ラインの第4液晶セルに形成された第4画素電極である。

40

【0151】

偶数水平表示ライン(LINE#2、LINE#4、...LINE#n)それぞれで第i+2データラインと第i+3データラインの間には偶数水平ラインの第5及び第6液

50

晶セルが存在する。偶数水平ラインの第5液晶セルは第Nフレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第6液晶セルは第Nフレーム期間の間第 $i + 3$ データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第 $i + 3$ データラインから供給される正極性データ電圧を充電する。図14で図面符号‘PIX25’は偶数水平表示ラインの第5液晶セルに形成された第5画素電極であり、‘PIX26’は偶数水平表示ラインの第6液晶セルに形成された第6画素電極である。

【0152】

図14に示されるように、奇数水平表示ラインの第2及び第3液晶セルと、偶数水平ラインの第1及び第4液晶セルは第 $i + 1$ データラインから供給される同一である極性のデータ電圧を充電する。奇数水平表示ラインの第2及び第3液晶セルと、偶数水平ラインの第1及び第4液晶セルに充電されるデータ電圧の極性は奇数水平表示ラインの第1及び第4液晶セルと、偶数水平ラインの第2及び第3液晶セルに充電されるデータ電圧の極性と相反する。したがって、奇数水平表示ラインの第1乃至第4液晶セルと、偶数水平ラインの第1乃至第4液晶セルに充電されるデータ電圧の極性は水平2ドット及び垂直1ドットインバージョンに反転される。これに比べて、奇数水平表示ラインの第3乃至第6液晶セルと、偶数水平ラインの第3乃至第6液晶セルに充電されるデータ電圧の極性は水平1ドット及び垂直1ドットインバージョンに反転される。

【0153】

図14に示された画素アレイ10からTFT、画素電極及びデータラインの接続関係を第1水平表示ライン(LINE#1)の第1乃至第6液晶セルと、第2水平表示ライン(LINE#2)の第1乃至第6液晶セルを例をあげて説明する。

【0154】

第1水平表示ライン(LINE#1)の第1液晶セルは第1データライン(D1)から供給されるデータ電圧を充電する。引き継いで、第1水平表示ライン(LINE#1)の第2液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。第1水平表示ラインの第1TFT(T11)は第1ゲートライン(G1)からの第1ゲートパルスに回答して第1データライン(D1)からのデータ電圧を第1画素電極(PIX11)に供給する。第1画素電極(PIX11)は大体1/2水平期間の間データ電圧を充電する。第1TFT(T11)のゲート電極は第1ゲートライン(G1)に接続される。第1TFT(T11)のドレーン電極は第1データライン(D1)に接続され、そのソース電極は第1画素電極(PIX11)に接続される。第1水平表示ラインの第2TFT(T12)は第2ゲートライン(G2)からの第2ゲートパルスに回答して第2データライン(D2)からのデータ電圧を第2画素電極(PIX12)に供給する。第2画素電極(PIX12)は大体1/2水平期間の間データ電圧を充電する。第2TFT(T12)のゲート電極は第2ゲートライン(G2)に接続される。第2TFT(T12)のドレーン電極は第2データライン(D2)に接続され、そのソース電極は第2画素電極(PIX12)に接続される。

【0155】

第1水平表示ライン(LINE#1)の第3液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。引き継いで、第1水平表示ライン(LINE#1)の第4液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。第1水平表示ラインの第3TFT(T13)は第1ゲートライン(G1)からの第1ゲートパルスに回答して第2データライン(D2)からのデータ電圧を第3画素電極(PIX13)に供給する。第3画素電極(PIX13)は大体1/2水平期間の間データ電圧を充電する。第3TFT(T13)のゲート電極は第1ゲートライン(G1)に接続される。第3TFT(T13)のドレーン電極は第2データライン(D2)に接続され、そのソース電極は第3画素電極(PIX13)に接続される。第1水平表示ラインの第4TFT(T14)は第2ゲートライン(G2)からの第2ゲートパルスに回答して第3データライン(D3)から供給されるデータ電圧を充電する。

D 3)からのデータ電圧を第4画素電極(P I X 1 4)に供給する。第4画素電極(P I X 1 4)は大体1/2水平期間の間データ電圧を充電する。第4 T F T (T 1 4)のゲート電極は第2ゲートライン(G 2)に接続される。第4 T F T (T 1 4)のドレイン電極は第3データライン(D 3)に接続され、そのソース電極は第4画素電極(P I X 1 4)に接続される。

【0156】

第1水平表示ライン(L I N E # 1)の第6液晶セルは第3データライン(D 3)から供給されるデータ電圧を充電する。引き継いで、第1水平表示ライン(L I N E # 1)の第5液晶セルは第3データライン(D 3)から供給されるデータ電圧を充電する。第1水平表示ラインの第5 T F T (T 1 5)は第2ゲートライン(G 2)からの第2ゲートパルスに
10
 応答して第4データライン(D 4)からのデータ電圧を第5画素電極(P I X 1 5)に供給する。第5画素電極(P I X 1 5)は大体1/2水平期間の間データ電圧を充電する。第5 T F T (T 1 5)のゲート電極は第2ゲートライン(G 2)に接続される。第5 T F T (T 1 5)のドレイン電極は第4データライン(D 4)に接続され、そのソース電極は第5画素電極(P I X 1 5)に接続される。第1水平表示ラインの第6 T F T (T 1 6)は第1ゲートライン(G 1)からの第1ゲートパルスに
20
 応答して第3データライン(D 3)からのデータ電圧を第6画素電極(P I X 1 6)に供給する。第6画素電極(P I X 1 6)は大体1/2水平期間の間データ電圧を充電する。第6 T F T (T 1 6)のゲート電極は第1ゲートライン(G 1)に接続される。第6 T F T (T 1 6)のドレイン電極は第3データライン(D 3)に接続され、そのソース電極は第6画素電極(P I X 1 6)に接続される。

【0157】

第2水平表示ライン(L I N E # 2)の第2液晶セルは第1データライン(D 1)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(L I N E # 2)の第1液晶セルは第2データライン(D 2)から供給されるデータ電圧を充電する。第2水平表示ラインの第1 T F T (T 2 1)は第4ゲートライン(G 4)からの第4ゲートパルスに
30
 応答して第2データライン(D 2)からのデータ電圧を第1画素電極(P I X 2 1)に供給する。第1画素電極(P I X 2 1)は大体1/2水平期間の間データ電圧を充電する。第1 T F T (T 2 1)のゲート電極は第4ゲートライン(G 4)に接続される。第1 T F T (T 2 1)のドレイン電極は第2データライン(D 2)に接続され、そのソース電極は第1画素電極(P I X 2 1)に接続される。第2水平表示ラインの第2 T F T (T 2 2)は第3ゲートライン(G 3)からの第3ゲートパルスに
40
 応答して第1データライン(D 1)からのデータ電圧を第2画素電極(P I X 2 2)に供給する。第2画素電極(P I X 2 2)は大体1/2水平期間の間データ電圧を充電する。第2 T F T (T 2 2)のゲート電極は第3ゲートライン(G 3)に接続される。第2 T F T (T 2 2)のドレイン電極は第1データライン(D 1)に接続され、そのソース電極は第2画素電極(P I X 2 2)に接続される。

【0158】

第2水平表示ライン(L I N E # 2)の第4液晶セルは第2データライン(D 2)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(L I N E # 2)の第4液晶セルは第3データライン(D 3)から供給されるデータ電圧を充電する。第2水平表示ラインの第3 T F T (T 2 3)は第4ゲートライン(G 4)からの第4ゲートパルスに
40
 応答して第3データライン(D 3)からのデータ電圧を第3画素電極(P I X 2 3)に供給する。第3画素電極(P I X 2 3)は大体1/2水平期間の間データ電圧を充電する。第3 T F T (T 2 3)のゲート電極は第4ゲートライン(G 4)に接続される。第3 T F T (T 2 3)のドレイン電極は第3データライン(D 3)に接続され、そのソース電極は第3画素電極(P I X 2 3)に接続される。第2水平表示ラインの第4 T F T (T 2 4)は第3ゲートライン(G 3)からの第3ゲートパルスに
50
 応答して第2データライン(D 2)からのデータ電圧を第4画素電極(P I X 2 4)に供給する。第4画素電極(P I X 2 4)は大体1/2水平期間の間データ電圧を充電する。第4 T F T (T 2 4)のゲート電極は第3ゲートライン(G 3)に接続される。第4 T F T (T 2 4)のドレイン電極

は第2データライン(D2)に接続され、そのソース電極は第4画素電極(PIX24)に接続される。

【0159】

第2水平表示ライン(LINE#2)の第5液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(LINE#2)の第6液晶セルは第4データライン(D4)から供給されるデータ電圧を充電する。第2水平表示ラインの第5TFT(T25)は第3ゲートライン(G3)からの第3ゲートパルスに応答して第3データライン(D3)からのデータ電圧を第5画素電極(PIX25)に供給する。第5画素電極(PIX25)は大体1/2水平期間の間データ電圧を充電する。第5TFT(T25)のゲート電極は第3ゲートライン(G3)に接続される。第5TFT(T25)のドレーン電極は第3データライン(D3)に接続され、そのソース電極は第5画素電極(PIX25)に接続される。第2水平表示ラインの第6TFT(T26)は第4ゲートライン(G4)からの第4ゲートパルスに応答して第4データライン(D4)からのデータ電圧を第6画素電極(PIX26)に供給する。第6画素電極(PIX26)は大体1/2水平期間の間データ電圧を充電する。第6TFT(T26)のゲート電極は第4ゲートライン(G4)に接続される。第6TFT(T26)のドレーン電極は第6データライン(D6)に接続され、そのソース電極は第6画素電極(PIX26)に接続される。

10

【0160】

図15は画素アレイ10の第10実施の形態を示す回路図である。

20

【0161】

図15を参照すれば、画素アレイ10はデータライン(D1~Dm+1)、データライン(D1~Dm+1)と交差されるゲートライン(G1~G2n)、及びゲートパルスに응答して液晶セルの画素電極(PIX11~PIX16、PIX21~PIX26)とデータライン(D1~Dm+1)の間の電流パスをスイッチングするためのTFT(T11~T16、T21~T26)を備える。カラムインバージョン方式で極性が反転されるデータ電圧と、図15の画素アレイ構造によって液晶セルに充電されるデータ電圧はその極性が水平1ドット及び垂直1ドットインバージョンに反転される。

【0162】

ソースドライブIC12はカラムインバージョン形態に極性が反転されるデータ電圧をデータライン(D1~Dm+1)に出力する。ゲート駆動回路13は第1乃至2nゲートライン(G1~G2n)にゲートパルスを順次に供給する。第1ゲートライン(G1)に第1ゲートパルスが供給された後に第2乃至第2nゲートライン(G1~G2n)に順次に第2乃至第2nゲートパルス(G1~G2n)が供給される。

30

【0163】

第Nフレーム期間の間、ソースドライブIC12は奇数データライン(D1、D3...Dm-1、Dm+1)に正極性データ電圧のみを供給し、偶数データライン(D2、D4...Dm)に負極性データ電圧のみを供給する。第N+1フレーム期間の間、ソースドライブIC12は奇数データライン(D1、D3...Dm-1、Dm+1)に負極性データ電圧のみを供給し、偶数データライン(D2、D4...Dm)に正極性データ電圧のみを供給する。

40

【0164】

奇数水平表示ライン(LINE#1、LINE#3、...LINE#n-1)それぞれで第iデータラインと第i+1データラインの間には奇数水平表示ラインの第1及び第2液晶セルが存在する。奇数水平表示ラインの第1液晶セルは第Nフレーム期間の間第i+1データラインから供給される負極性データ電圧を充電した後、第N+1フレーム期間の間第i+1データラインから供給される正極性データ電圧を充電する。奇数水平表示ラインの第2液晶セルは第Nフレーム期間の間第iデータラインから供給される正極性データ電圧を充電した後、第N+1フレーム期間の間第iデータラインから供給される負極性データ電圧を充電する。図15で図面符号'PIX11'は奇数水平表示ラインの第1

50

液晶セルに形成された第 1 画素電極であり、' P I X 1 2 ' は奇数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極である。

【 0 1 6 5 】

奇数水平表示ライン (L I N E # 1、L I N E # 3、. . . L I N E # n - 1) それぞれで第 $i + 1$ データラインと第 $i + 2$ データラインの間には奇数水平表示ラインの第 3 及び第 4 液晶セルが存在する。奇数水平表示ラインの第 3 液晶セルは第 N フレーム期間の間第 $i + 1$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。奇数水平表示ラインの第 4 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。図 15 で図面符号 ' P I X 1 3 ' は奇数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、' P I X 1 4 ' は奇数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。

10

【 0 1 6 6 】

奇数水平表示ライン (L I N E # 1、L I N E # 3、. . . L I N E # n - 1) それぞれで第 $i + 2$ データラインと第 $i + 3$ データラインの間には奇数水平表示ラインの第 5 及び第 6 液晶セルが存在する。奇数水平表示ラインの第 5 液晶セルは第 N フレーム期間の間第 $i + 3$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 3$ データラインから供給される正極性データ電圧を充電する。奇数水平表示ラインの第 6 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。図 15 で図面符号 ' P I X 1 5 ' は奇数水平表示ラインの第 5 液晶セルに形成された第 5 画素電極であり、' P I X 1 6 ' は奇数水平表示ラインの第 6 液晶セルに形成された第 6 画素電極である。

20

【 0 1 6 7 】

偶数水平表示ライン (L I N E # 2、L I N E # 4、. . . L I N E # n) それぞれで第 i データラインと第 $i + 1$ データラインの間には偶数水平ラインの第 1 及び第 2 液晶セルが存在する。偶数水平ラインの第 1 液晶セルは第 N フレーム期間の間第 i データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 i データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第 2 液晶セルは第 N フレーム期間の間第 $i + 1$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。図 15 で図面符号 ' P I X 2 1 ' は偶数水平表示ラインの第 1 液晶セルに形成された第 1 画素電極であり、' P I X 2 2 ' は偶数水平表示ラインの第 2 液晶セルに形成された第 2 画素電極である。

30

【 0 1 6 8 】

偶数水平表示ライン (L I N E # 2、L I N E # 4、. . . L I N E # n) それぞれで第 $i + 1$ データラインと第 $i + 2$ データラインの間には偶数水平ラインの第 3 及び第 4 液晶セルが存在する。偶数水平ラインの第 3 液晶セルは第 N フレーム期間の間第 $i + 2$ データラインから供給される正極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第 4 液晶セルは第 N フレーム期間の間第 $i + 1$ データラインから供給される負極性データ電圧を充電した後、第 N + 1 フレーム期間の間第 $i + 1$ データラインから供給される正極性データ電圧を充電する。図 15 で図面符号 ' P I X 2 3 ' は偶数水平表示ラインの第 3 液晶セルに形成された第 3 画素電極であり、' P I X 2 4 ' は偶数水平表示ラインの第 4 液晶セルに形成された第 4 画素電極である。

40

【 0 1 6 9 】

偶数水平表示ライン (L I N E # 2、L I N E # 4、. . . L I N E # n) それぞれで第 $i + 2$ データラインと第 $i + 3$ データラインの間には偶数水平ラインの第 5 及び第 6 液晶セルが存在する。偶数水平ラインの第 5 液晶セルは第 N フレーム期間の間第 $i + 2$ デー

50

タラインから供給される正極性データ電圧を充電した後、第 $N + 1$ フレーム期間の間第 $i + 2$ データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第6液晶セルは第 N フレーム期間の間第 $i + 3$ データラインから供給される負極性データ電圧を充電した後、第 $N + 1$ フレーム期間の間第 $i + 3$ データラインから供給される正極性データ電圧を充電する。図15で図面符号‘PIX25’は偶数水平表示ラインの第5液晶セルに形成された第5画素電極であり、‘PIX26’は偶数水平表示ラインの第6液晶セルに形成された第6画素電極である。

【0170】

図15に示されるように、上下で隣合う液晶セルと左右で隣合う液晶セルは互いに相反した極性のデータ電圧を充電する。したがって、図15の画素アレイの液晶セルは水平1ドット及び垂直1ドットインバージョン形態に反転されるデータ電圧を充電する。

10

【0171】

図15に示された画素アレイ10からTFT、画素電極及びデータラインの接続関係を第1水平表示ライン(LINE#1)の第1乃至第4液晶セルと、第2水平表示ライン(LINE#2)の第1乃至第4液晶セルを例をあげて説明する。

【0172】

第1水平表示ライン(LINE#1)の第1液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。引き継いで、第1水平表示ライン(LINE#1)の第2液晶セルは第1データライン(D1)から供給されるデータ電圧を充電する。第1水平表示ラインの第1TFT(T11)は第1ゲートライン(G1)からの第1ゲートパルスにตอบสนองして第2データライン(D2)からのデータ電圧を第1画素電極(PIX11)に供給する。第1画素電極(PIX11)は大体1/2水平期間の間データ電圧を充電する。第1TFT(T11)のゲート電極は第1ゲートライン(G1)に接続される。第1TFT(T11)のドレーン電極は第2データライン(D2)に接続され、そのソース電極は第1画素電極(PIX11)に接続される。第1水平表示ラインの第2TFT(T12)は第2ゲートライン(G2)からの第2ゲートパルスにตอบสนองして第1データライン(D1)からのデータ電圧を第2画素電極(PIX12)に供給する。第2画素電極(PIX12)は大体1/2水平期間の間データ電圧を充電する。第2TFT(T12)のゲート電極は第2ゲートライン(G2)に接続される。第2TFT(T12)のドレーン電極は第1データライン(D1)に接続され、そのソース電極は第2画素電極(PIX12)に接続される。

20

30

【0173】

第1水平表示ライン(LINE#1)の第4液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。引き継いで、第1水平表示ライン(LINE#1)の第3液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。第1水平表示ラインの第3TFT(T13)は第2ゲートライン(G2)からの第2ゲートパルスにตอบสนองして第2データライン(D2)からのデータ電圧を第3画素電極(PIX13)に供給する。第3画素電極(PIX13)は大体1/2水平期間の間データ電圧を充電する。第3TFT(T13)のゲート電極は第2ゲートライン(G2)に接続される。第3TFT(T13)のドレーン電極は第2データライン(D2)に接続され、そのソース電極は第3画素電極(PIX13)に接続される。第1水平表示ラインの第4TFT(T14)は第1ゲートライン(G1)からの第1ゲートパルスにตอบสนองして第3データライン(D3)からのデータ電圧を第4画素電極(PIX14)に供給する。第4画素電極(PIX14)は大体1/2水平期間の間データ電圧を充電する。第4TFT(T14)のゲート電極は第1ゲートライン(G1)に接続される。第4TFT(T14)のドレーン電極は第3データライン(D3)に接続され、そのソース電極は第4画素電極(PIX14)に接続される。

40

【0174】

第2水平表示ライン(LINE#2)の第2液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(LINE#2)の

50

第1液晶セルは第1データライン(D1)から供給されるデータ電圧を充電する。第2水平表示ラインの第1TFT(T21)は第4ゲートライン(G4)からの第4ゲートパルスに応答して第1データライン(D1)からのデータ電圧を第1画素電極(PIX21)に供給する。第1画素電極(PIX21)は大体1/2水平期間の間データ電圧を充電する。第1TFT(T21)のゲート電極は第4ゲートライン(G4)に接続される。第1TFT(T21)のドレーン電極は第1データライン(D1)に接続され、そのソース電極は第1画素電極(PIX21)に接続される。第2水平表示ラインの第2TFT(T22)は第3ゲートライン(G3)からの第3ゲートパルスに応答して第2データライン(D2)からのデータ電圧を第2画素電極(PIX22)に供給する。第2画素電極(PIX22)は大体1/2水平期間の間データ電圧を充電する。第2TFT(T22)のゲート電極は第3ゲートライン(G3)に接続される。第2TFT(T22)のドレーン電極は第2データライン(D2)に接続され、そのソース電極は第2画素電極(PIX22)に接続される。

10

【0175】

第2水平表示ライン(LINE#2)の第3液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(LINE#2)の第4液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。第2水平表示ラインの第3TFT(T23)は第3ゲートライン(G3)からの第3ゲートパルスに応答して第3データライン(D3)からのデータ電圧を第3画素電極(PIX23)に供給する。第3画素電極(PIX23)は大体1/2水平期間の間データ電圧を充電する。第3TFT(T23)のゲート電極は第3ゲートライン(G3)に接続される。第3TFT(T23)のドレーン電極は第3データライン(D3)に接続され、そのソース電極は第3画素電極(PIX23)に接続される。第2水平表示ラインの第4TFT(T24)は第4ゲートライン(G4)からの第4ゲートパルスに応答して第2データライン(D2)からのデータ電圧を第4画素電極(PIX24)に供給する。第4画素電極(PIX24)は大体1/2水平期間の間データ電圧を充電する。第4TFT(T24)のゲート電極は第4ゲートライン(G4)に接続される。第4TFT(T24)のドレーン電極は第2データライン(D2)に接続され、そのソース電極は第4画素電極(PIX24)に接続される。

20

【0176】

図16は画素アレイ10の第11実施の形態を示す回路図である。

30

【0177】

図16を参照すると、画素アレイ10はデータライン(D1~Dm+1)、データライン(D1~Dm+1)と交差されるゲートライン(G1~G2n)、及びゲートパルスに응答して液晶セルの画素電極(PIX11~PIX16、PIX21~PIX26)とデータライン(D1~Dm+1)の間の電流パスをスイッチングするためのTFT(T11~T16、T21~T26)を備える。カラムインバージョン方式で極性が反転されるデータ電圧と、図16の画素アレイ構造によって液晶セルに充電されるデータ電圧はその極性が水平1ドット及び垂直2ドットインバージョンに反転される。

40

【0178】

ソースドライブIC12はカラムインバージョン形態に極性が反転されるデータ電圧をデータライン(D1~Dm+1)に出力する。ゲート駆動回路13は第1乃至2nゲートライン(G1~G2n)にゲートパルスを順次に供給する。第1ゲートライン(G1)に第1ゲートパルスが供給された後に第2乃至第2nゲートライン(G1~G2n)に順次に第2乃至第2nゲートパルス(G1~G2n)が供給される。

【0179】

第Nフレーム期間の間、ソースドライブIC12は奇数データライン(D1、D3...Dm-1、Dm+1)に正極性データ電圧のみを供給し、偶数データライン(D2、D4...Dm)に負極性データ電圧のみを供給する。第N+1フレーム期間の間、ソースドライブIC12は奇数データライン(D1、D3...Dm-1、Dm+1)に

50

負極性データ電圧のみを供給し、偶数データライン（ D_2 、 D_4 ... D_m ）に正極性データ電圧のみを供給する。

【0180】

奇数水平表示ライン（ $LINE\#1$ 、 $LINE\#3$ 、... $LINE\#n-1$ ）それぞれで第 i データラインと第 $i+1$ データラインの間には奇数水平表示ラインの第1及び第2液晶セルが存在する。奇数水平表示ラインの第1液晶セルは第 N フレーム期間の間第 i データラインから供給される正極性データ電圧を充電した後、第 $N+1$ フレーム期間の間第 i データラインから供給される負極性データ電圧を充電する。奇数水平表示ラインの第2液晶セルは第 N フレーム期間の間第 $i+1$ データラインから供給される負極性データ電圧を充電した後、第 $N+1$ フレーム期間の間第 $i+1$ データラインから供給される正極性データ電圧を充電する。図16で図面符号‘PIX11’は奇数水平表示ラインの第1液晶セルに形成された第1画素電極であり、‘PIX12’は奇数水平表示ラインの第2液晶セルに形成された第2画素電極である。

10

【0181】

奇数水平表示ライン（ $LINE\#1$ 、 $LINE\#3$ 、... $LINE\#n-1$ ）それぞれで第 $i+1$ データラインと第 $i+2$ データラインの間には奇数水平表示ラインの第3及び第4液晶セルが存在する。奇数水平表示ラインの第3液晶セルは第 N フレーム期間の間第 $i+2$ データラインから供給される正極性データ電圧を充電した後、第 $N+1$ フレーム期間の間第 $i+2$ データラインから供給される負極性データ電圧を充電する。奇数水平表示ラインの第4液晶セルは第 N フレーム期間の間第 $i+1$ データラインから供給される負極性データ電圧を充電した後、第 $N+1$ フレーム期間の間第 $i+1$ データラインから供給される正極性データ電圧を充電する。図16で図面符号‘PIX13’は奇数水平表示ラインの第3液晶セルに形成された第3画素電極であり、‘PIX14’は奇数水平表示ラインの第4液晶セルに形成された第4画素電極である。

20

【0182】

偶数水平表示ライン（ $LINE\#2$ 、 $LINE\#4$ 、... $LINE\#n$ ）それぞれで第 i データラインと第 $i+1$ データラインの間には偶数水平ラインの第1及び第2液晶セルが存在する。偶数水平ラインの第1液晶セルは第 N フレーム期間の間第 i データラインから供給される正極性データ電圧を充電した後、第 $N+1$ フレーム期間の間第 i データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第2液晶セルは第 N フレーム期間の間第 $i+1$ データラインから供給される負極性データ電圧を充電した後、第 $N+1$ フレーム期間の間第 $i+1$ データラインから供給される正極性データ電圧を充電する。図16で図面符号‘PIX21’は偶数水平表示ラインの第1液晶セルに形成された第1画素電極であり、‘PIX22’は偶数水平表示ラインの第2液晶セルに形成された第2画素電極である。

30

【0183】

偶数水平表示ライン（ $LINE\#2$ 、 $LINE\#4$ 、... $LINE\#n$ ）それぞれで第 $i+1$ データラインと第 $i+2$ データラインの間には偶数水平ラインの第3及び第4液晶セルが存在する。偶数水平ラインの第3液晶セルは第 N フレーム期間の間第 $i+2$ データラインから供給される正極性データ電圧を充電した後、第 $N+1$ フレーム期間の間第 $i+2$ データラインから供給される負極性データ電圧を充電する。偶数水平ラインの第4液晶セルは第 N フレーム期間の間第 $i+1$ データラインから供給される負極性データ電圧を充電した後、第 $N+1$ フレーム期間の間第 $i+1$ データラインから供給される正極性データ電圧を充電する。図16で図面符号‘PIX23’は偶数水平表示ラインの第3液晶セルに形成された第3画素電極であり、‘PIX24’は偶数水平表示ラインの第4液晶セルに形成された第4画素電極である。

40

【0184】

図16に示されるように、上下で隣合う液晶セルのデータ極性は2ドット（または液晶セル）単位に反転され、左右で隣合う液晶セルのデータ極性は1ドット単位に反転される。したがって、図16の画素アレイの液晶セルは水平1ドット及び垂直2ドットインバー

50

ジョン形態に反転されるデータ電圧を充電する。

【0185】

図16で示された画素アレイ10からTFT、画素電極及びデータラインの接続関係を第1水平表示ライン(LINE#1)の第1乃至第4液晶セルと、第2水平表示ライン(LINE#2)の第1乃至第4液晶セルを例をあげて説明する。

【0186】

第1水平表示ライン(LINE#1)の第2液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。引き継いで、第1水平表示ライン(LINE#1)の第1液晶セルは第1データライン(D1)から供給されるデータ電圧を充電する。第1水平表示ラインの第1TFT(T11)は第2ゲートライン(G2)からの第2ゲートパルスに
10
 応答して第1データライン(D1)からのデータ電圧を第1画素電極(PIX11)に供給する。第1画素電極(PIX11)は大体1/2水平期間の間データ電圧を充電する。第1TFT(T11)のゲート電極は第2ゲートライン(G2)に接続される。第1TFT(T11)のドレイン電極は第1データライン(D1)に接続され、そのソース電極は第1画素電極(PIX11)に接続される。第1水平表示ラインの第2TFT(T12)は第1ゲートライン(G1)からの第1ゲートパルスに
20
 応答して第2データライン(D2)からのデータ電圧を第2画素電極(PIX12)に供給する。第2画素電極(PIX12)は大体1/2水平期間の間データ電圧を充電する。第2TFT(T12)のゲート電極は第1ゲートライン(G1)に接続される。第2TFT(T12)のドレイン電極は第2データライン(D2)に接続され、そのソース電極は第2画素電極(PIX12)に接続される。

【0187】

第1水平表示ライン(LINE#1)の第4液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。引き継いで、第1水平表示ライン(LINE#1)の第3液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。第1水平表示ラインの第3TFT(T13)は第2ゲートライン(G2)からの第2ゲートパルスに
30
 応答して第3データライン(D3)からのデータ電圧を第3画素電極(PIX13)に供給する。第3画素電極(PIX13)は大体1/2水平期間の間データ電圧を充電する。第3TFT(T13)のゲート電極は第2ゲートライン(G2)に接続される。第3TFT(T13)のドレイン電極は第3データライン(D3)に接続され、そのソース電極は第3画素電極(PIX13)に接続される。第1水平表示ラインの第4TFT(T14)は第1ゲートライン(G1)からの第1ゲートパルスに
40
 応答して第2データライン(D2)からのデータ電圧を第4画素電極(PIX14)に供給する。第4画素電極(PIX14)は大体1/2水平期間の間データ電圧を充電する。第4TFT(T14)のゲート電極は第1ゲートライン(G1)に接続される。第4TFT(T14)のドレイン電極は第2データライン(D2)に接続され、そのソース電極は第4画素電極(PIX14)に接続される。

【0188】

第2水平表示ライン(LINE#2)の第2液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(LINE#2)の第1液晶セルは第1データライン(D1)から供給されるデータ電圧を充電する。第2水平表示ラインの第1TFT(T21)は第4ゲートライン(G4)からの第4ゲートパルスに
40
 応答して第1データライン(D1)からのデータ電圧を第1画素電極(PIX21)に供給する。第1画素電極(PIX21)は大体1/2水平期間の間データ電圧を充電する。第1TFT(T21)のゲート電極は第4ゲートライン(G4)に接続される。第1TFT(T21)のドレイン電極は第1データライン(D1)に接続され、そのソース電極は第1画素電極(PIX21)に接続される。第2水平表示ラインの第2TFT(T22)は第3ゲートライン(G3)からの第3ゲートパルスに
50
 応答して第2データライン(D2)からのデータ電圧を第2画素電極(PIX22)に供給する。第2画素電極(PIX22)は大体1/2水平期間の間データ電圧を充電する。第2TFT(T22)のゲート電極は第3ゲートライン(G3)に接続される。第2TFT(T22)のドレイン電極は第2データライン(D2)に接続され、そのソース電極は第2画素電極(PIX22)に接続される。

ト電極は第3ゲートライン(G3)に接続される。第2TFT(T22)のドレイン電極は第2データライン(D2)に接続され、そのソース電極は第2画素電極(PIX22)に接続される。

【0189】

第2水平表示ライン(LINE#2)の第4液晶セルは第2データライン(D2)から供給されるデータ電圧を充電する。引き継いで、第2水平表示ライン(LINE#2)の第3液晶セルは第3データライン(D3)から供給されるデータ電圧を充電する。第2水平表示ラインの第3TFT(T23)は第4ゲートライン(G4)からの第4ゲートパルスに 응답して第3データライン(D3)からのデータ電圧を第3画素電極(PIX23)に供給する。第3画素電極(PIX23)は大体1/2水平期間の間データ電圧を充電する。第3TFT(T23)のゲート電極は第4ゲートライン(G4)に接続される。第3TFT(T23)のドレイン電極は第3データライン(D3)に接続され、そのソース電極は第3画素電極(PIX23)に接続される。第2水平表示ラインの第4TFT(T24)は第3ゲートライン(G3)からの第3ゲートパルスに 응답して第2データライン(D2)からのデータ電圧を第4画素電極(PIX24)に供給する。第4画素電極(PIX24)は大体1/2水平期間の間データ電圧を充電する。第4TFT(T24)のゲート電極は第3ゲートライン(G3)に接続される。第4TFT(T24)のドレイン電極は第2データライン(D2)に接続され、そのソース電極は第4画素電極(PIX24)に接続される。

10

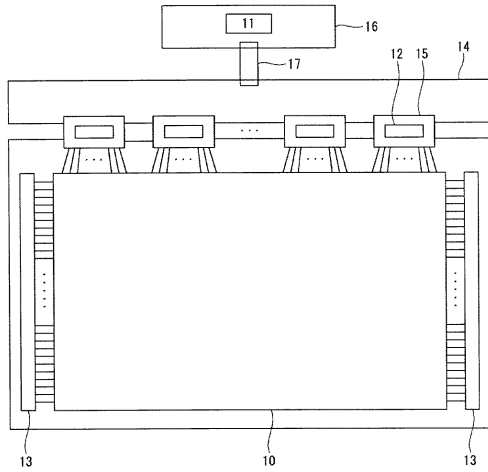
【符号の説明】

20

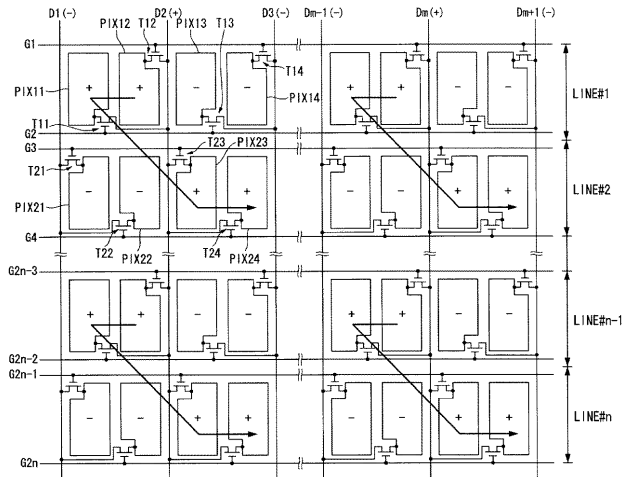
【0190】

- 10 画素アレイ
- 11 タイミングコントローラ
- 12 ソースドライバIC
- 13 ゲート駆動回路
- 14 ソースPCB(Printed Circuit Board)
- 15 TCP(Tape Carrier Package)
- 16 コントロールPCB
- 17 軟性回路基板

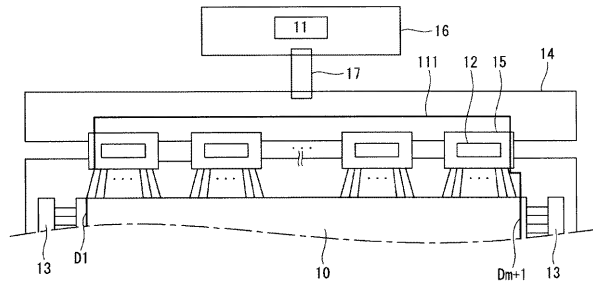
【 図 1 】



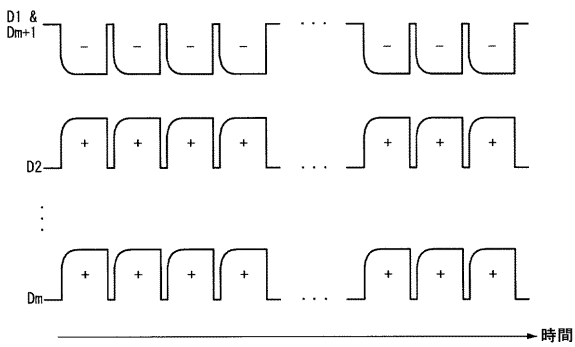
【 図 2 】



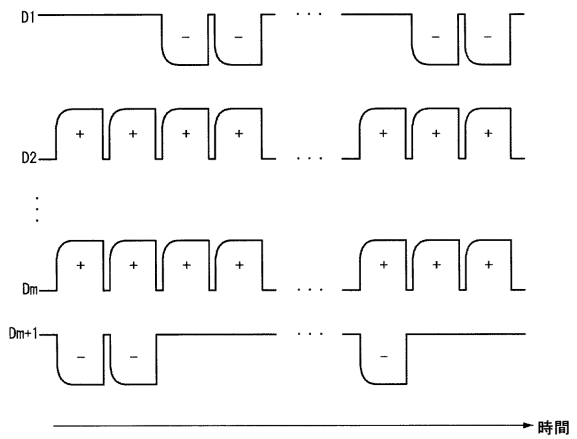
【 図 3 】



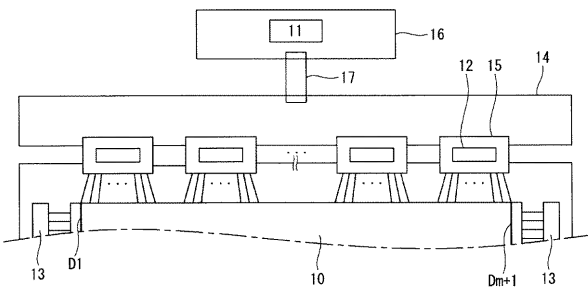
【 図 4 】



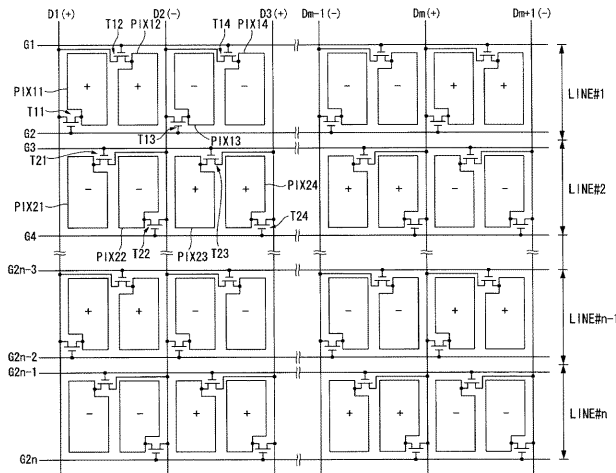
【 図 6 】



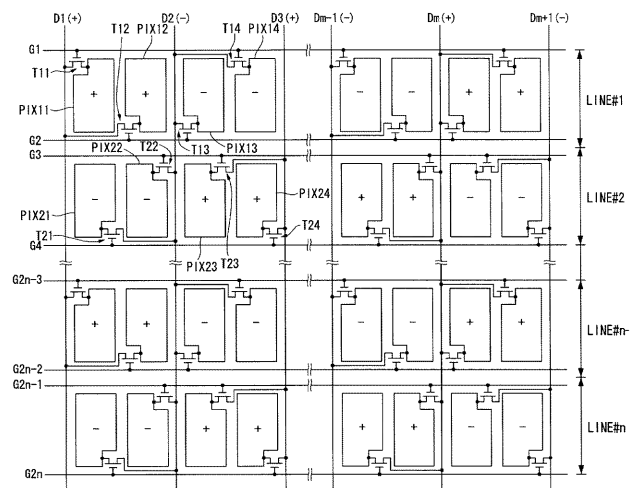
【 図 5 】



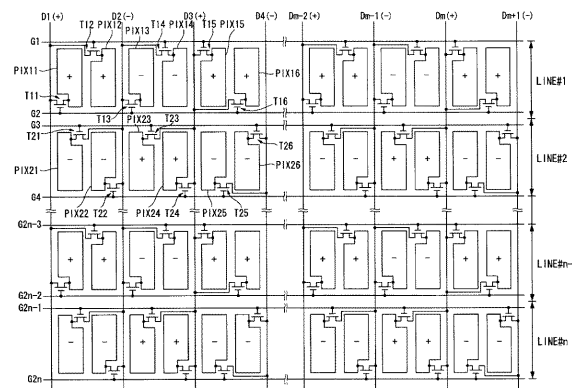
【 図 7 】



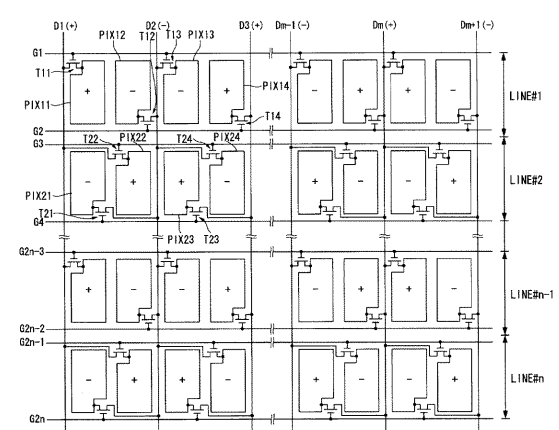
【 図 8 】



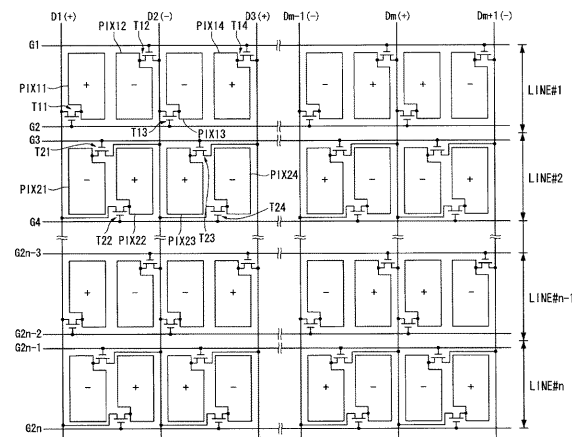
【 図 9 】



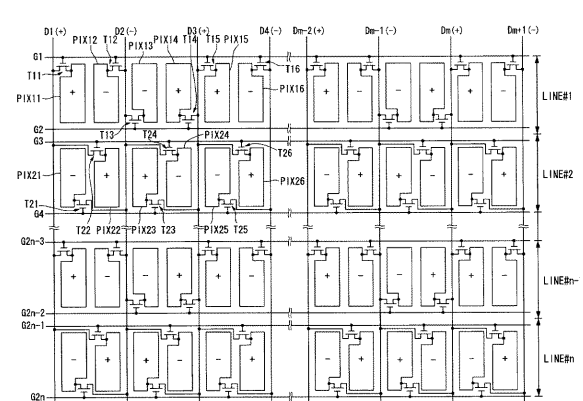
【 図 1 1 】



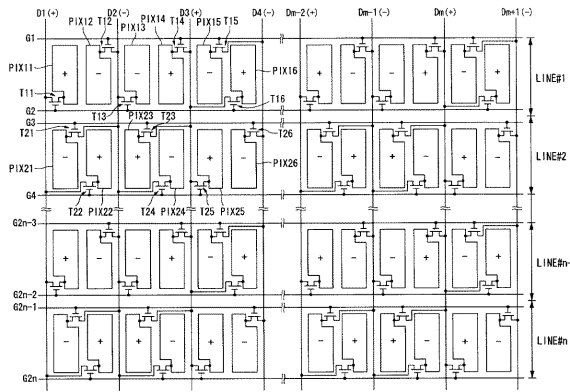
【 図 1 0 】



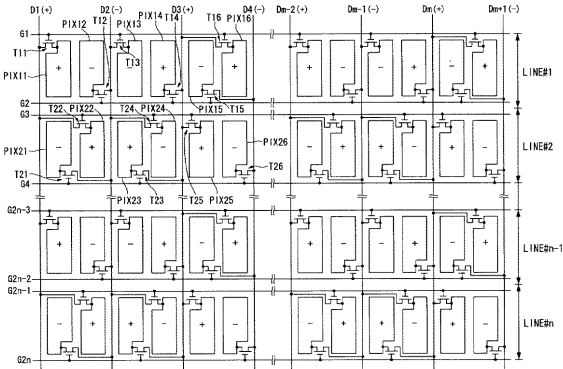
【 図 1 2 】



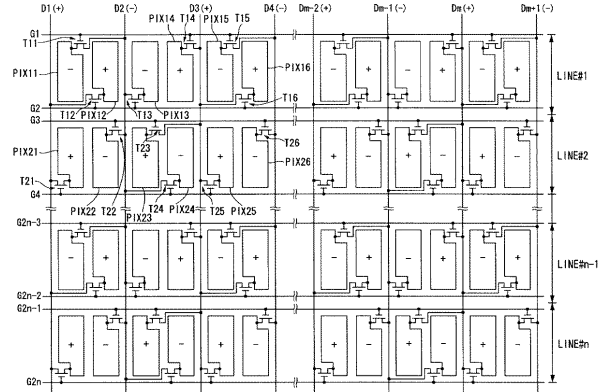
【 図 13 】



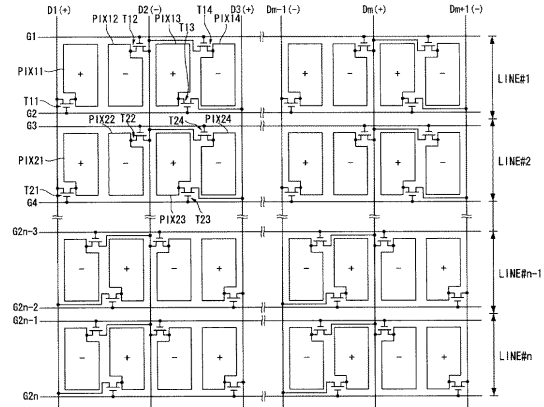
【 図 14 】



【 図 15 】



【 図 16 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 G 0 2 F 1/133 5 2 5
 G 0 2 F 1/133 5 5 0

(74)代理人 100160967
 弁理士 濱 口 岳久

(72)発明者 南 維 成
 大韓民国 4 2 3 - 7 5 9 キョンギド グワミョンシ ハン3ドン ハン ジュゴン 13ダン
 ジ アパートメント 1 3 0 5 - 6 0 2

(72)発明者 尹 世 昌
 大韓民国 7 0 4 - 4 0 0 デグ ダルソグ ウォルソンドン 5 0 0 - 1 3 ウォルソン ウバ
 ン アパートメント 1 0 2 - 4 0 1

(72)発明者 朴 俊 浩
 大韓民国 7 3 0 - 7 8 7 キョンブク グミシ グピョンドン プヨン アパートメント 2 0
 3 - 7 0 4

(72)発明者 李 昌 徳
 大韓民国 3 6 1 - 2 0 1 チャンブク チョンジュシ フンドック プンピョンドン 1 2 5 5
 (7 8 / 3) ジュウン プレジデント アパートメント 9 1 1 - 1 3 0 2

(72)発明者 許 勝 皓
 大韓民国 4 1 3 - 8 3 3 キョンギド パジュシ ギョハップ ドンペリ 1 6 9 8 ドンムン
 グッドモーニング ヒル 1 0 ダンジ アパートメント 1 0 0 4 - 5 0 2

(72)発明者 呉 大 惜
 大韓民国 キョンブク グミシ ヒョンゴク2ドン 2 1 1 - 2 ドンワン ヴィラ 3 0 3

Fターム(参考) 2H193 ZA04 ZC04 ZC05 ZC07 ZC08 ZF42 ZF43 ZF44 ZQ06 ZQ11
 ZQ16
 5C006 AA21 AC27 BB16 BC06 FA22
 5C080 AA10 BB05 CC03 DD05 JJ02 JJ03 JJ04

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 液晶表示装置 | | |
| 公开(公告)号 | JP2011118398A | 公开(公告)日 | 2011-06-16 |
| 申请号 | JP2010270088 | 申请日 | 2010-12-03 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | Eruji显示有限公司 | | |
| [标]发明人 | 南維成 尹世昌 朴俊浩 李昌德 許勝皓 吳大惜 | | |
| 发明人 | 南維成 尹世昌 朴俊浩 李昌德 許勝皓 吳大惜 | | |
| IPC分类号 | G09G3/36 G09G3/20 G02F1/133 | | |
| CPC分类号 | G09G3/3648 G09G3/3607 G09G3/3614 G09G2300/0426 | | |
| FI分类号 | G09G3/36 G09G3/20.621.B G09G3/20.623.W G09G3/20.624.B G09G3/20.642.A G02F1/133.525 G02F1/133.550 | | |
| F-TERM分类号 | 2H193/ZA04 2H193/ZC04 2H193/ZC05 2H193/ZC07 2H193/ZC08 2H193/ZF42 2H193/ZF43 2H193/ ZF44 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 5C006/AA21 5C006/AC27 5C006/BB16 5C006/BC06 5C006/FA22 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/JJ02 5C080/JJ03 5C080/ JJ04 | | |
| 代理人(译) | 朝日 伸光 ▲滨▼口 岳久 | | |
| 优先权 | 1020090119398 2009-12-03 KR | | |
| 其他公开文献 | JP5302292B2 | | |
| 外部链接 | Espacenet | | |

摘要(译)

要解决的问题：提供一种能够防止诸如亮度变化和颜色失真之类的图像质量劣化的液晶显示装置。解决方案：液晶显示装置包括：多条数据线；多条栅极线，与数据线交叉；液晶单元以矩阵形式排列；显示面板，包括形成在数据线和栅极线的交叉部分上的薄膜晶体管（TFT）；源极驱动IC，用于向数据线提供数据电压，其中极性以列反转形式反转；栅极驱动电路，用于顺序地向栅极线提供栅极脉冲。充电到显示面板的液晶单元的数据电压的极性以点反转形式反转。

