

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-85680

(P2011-85680A)

(43) 公開日 平成23年4月28日(2011.4.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622E	5C006
G02F 1/133 (2006.01)	G09G 3/20 622C	5C080
	G09G 3/20 612G	
	G09G 3/20 623C	
審査請求 未請求 請求項の数 5 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2009-237005 (P2009-237005)	(71) 出願人	304053854
(22) 出願日	平成21年10月14日 (2009.10.14)		エプソンイメージングデバイス株式会社
			長野県安曇野市豊科田沢6925
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	清水 公司
			長野県安曇野市豊科田沢6925 エプソ
			ンイメージングデバイス株式会社内
		(72) 発明者	小澤 裕
			長野県安曇野市豊科田沢6925 エプソ
			ンイメージングデバイス株式会社内
			最終頁に続く

(54) 【発明の名称】 液晶表示装置、走査線駆動回路および電子機器

(57) 【要約】

【課題】電源遮断する前に、液晶素子120に電圧が残存し難くする。

【解決手段】走査線駆動回路は、走査線112のそれぞれに対応したシフトレジスタ13

1、132を有し、スタートパルスStvをクロック信号Ckおよび/Ckにしたがって順

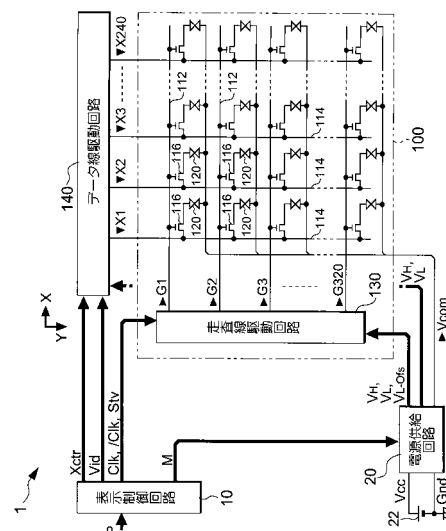
次遅延させた走査信号をシフトレジスタの端子Outから出力する。液晶素子を駆動するT

FTがnチャネル型である場合、シフトレジスタは、表示動作時では、選択された走査線

112への走査信号をHレベルとし、オフシーケンス動作にあって電源遮断前では、Lレ

ベルを上回る電位であってHレベルを下回る電位、望ましくは接地電位Gndとする。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数の走査線と複数のデータ線との交差にそれぞれ画素トランジスターと液晶素子との対を有し、前記画素トランジスターは、前記走査線が選択されたときに前記データ線と前記液晶素子の一端との間で導通状態になる液晶表示装置にあって、

前記複数の走査線をそれぞれ駆動する走査線駆動回路であって、

前記走査線駆動回路は、前記複数の走査線のそれぞれに対応したシフトレジスタを有し、スタートパルスを実第 1 クロック信号および第 2 クロック信号にしたがって順次遅延させた走査信号を前記シフトレジスタから前記走査線に出力するものであって、

前記シフトレジスタは、

表示動作時では、選択された走査線への走査信号を低位側論理レベルまたは高位側論理レベルのいずれか一方で出力し、

オフシーケンス動作にあって電源遮断前では、前記低位側論理レベルを上回る電位であって、前記高位側論理レベルを下回る電位で出力する

ことを特徴とする液晶表示装置の駆動回路。

10

【請求項 2】

前記シフトレジスタは、

一端および他端の間において前記第 1 クロック信号または第 2 クロック信号にしたがって開閉する出力用スイッチング素子を含み、

前記出力用スイッチング素子の一端は、前記走査線に接続され、

前記出力用スイッチング素子の他端は、表示動作時では、低位側論理レベルまたは高位側論理レベルのいずれか一方となり、オフシーケンス動作にあって電源遮断前では、前記低位側論理レベルを上回る電位であって、前記高位側論理レベルを下回る電位となる給電線に接続された

20

ことを特徴とする請求項 1 に記載の液晶表示装置の駆動回路。

【請求項 3】

前記複数の走査線のそれぞれに対応して、一端および他端の間にて接続信号にしたがって開閉する接続用スイッチング素子を有し、

前記接続用スイッチング素子の一端は、前記走査線に接続され、

前記接続用スイッチング素子の他端は、前記低位側論理レベルを上回る電位であって、前記高位側論理レベルを下回る電位となる給電線に接続され、

30

前記接続信号は、オフシーケンス動作にあって電源遮断前において、前記接続用スイッチング素子の閉を指示する

ことを特徴とする請求項 1 に記載の液晶表示装置の駆動回路。

【請求項 4】

複数の走査線と複数のデータ線との交差にそれぞれ画素トランジスターと液晶素子との対と、

前記複数の走査線をそれぞれ選択する走査線駆動回路と、

選択された走査線に対応する液晶素子に、階調に応じたデータ信号を、前記データ線を介して供給するデータ線駆動回路と、

40

を有し、

前記画素トランジスターは、前記走査線が選択されたときに前記データ線と前記液晶素子の一端との間で導通状態となり、

前記走査線駆動回路は、前記複数の走査線のそれぞれに対応したシフトレジスタを有し、スタートパルスを実第 1 クロック信号および第 2 クロック信号にしたがって順次遅延させた走査信号を前記シフトレジスタから前記走査線に出力するものであって、

前記シフトレジスタは、

表示動作時では、選択された走査線への走査信号を低位側論理レベルまたは高位側論理レベルのいずれか一方で出力し、

オフシーケンス動作にあって電源遮断前では、前記低位側論理レベルを上回る電位であ

50

って、前記高位側論理レベルを下回る電位で出力することを特徴とする液晶表示装置。

【請求項 5】

請求項 4 に記載の液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置などに好適な走査線駆動回路等の技術に関する。

【背景技術】

【0002】

10

近年、各画素（液晶素子）をトランジスタなどのスイッチング素子により駆動するアクティブ・マトリクス型の表示装置の普及が進んでいる。携帯電話などのような携帯型電子機器においては、表示装置の小型化や軽量化などの要求に応えるため、画素を駆動するトランジスタの製造プロセスを用いて、画素領域の周辺に駆動回路も形成することが多い。このような駆動回路は、とりわけ走査線を駆動する走査線駆動回路は、一般的には複数のシフトレジスタによって構成される（特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特許第 4 0 8 3 5 8 1 号公報（図 7、図 21）

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、液晶素子は、画素電極と共通電極とで生じる電界によって液晶分子の配向を制御することで透過率（または反射率）を変化させる構成であるが、直流成分が印加されると劣化等が発生してしまうので、正極性と負極性とで交互に駆動する交流駆動が原則である。ここで、画像表示を終了する場合に走査線駆動回路への電源を突如として遮断してしまうと、液晶素子に電圧が保持された状態が長期間にわたって継続してしまう、すなわち、液晶素子に直流成分が印加された状態になってしまう。

このため、液晶表示装置において画像表示を終了する場合には、液晶素子に印加される電圧をゼロに近い状態とさせるオフシーケンス動作を実行した後に、走査線駆動回路への電源を遮断する必要がある。しかしながら、上記シフトレジスタでは、オフシーケンス動作を実行して、その後、電源を遮断した際に液晶素子に電圧が残存しやすいのではないかと、という懸念があった。

30

なお、液晶素子に電圧が残存してしまうと、直流成分が印加されることになるので、いわゆる焼き付きや、フリッカーずれなどの原因となる。ここで、フリッカーずれとは、フリッカーが最小となるように共通電極の電圧を調整して電源を遮断した後、画像表示を再開させたときに、フリッカーが再び発生してしまうような現象をいう。

本発明は、上述した事情に鑑みてなされたもので、その目的の 1 つは、電源を遮断する際に、液晶素子に電圧が残存し難くした液晶表示装置、走査線駆動回路および電子機器を提供することにある。

40

【課題を解決するための手段】

【0005】

上記目的を達成するために本発明に係る液晶表示装置の走査線駆動回路は、複数の走査線と複数のデータ線との交差にそれぞれ画素トランジスタと液晶素子との対を有し、前記画素トランジスタは、前記走査線が選択されたときに前記データ線と前記液晶素子の一端との間で導通状態になる液晶表示装置にあって、前記複数の走査線をそれぞれ駆動する走査線駆動回路であって、前記走査線駆動回路は、前記複数の走査線のそれぞれに対応したシフトレジスタを有し、スタートパルス（第 1 クロック信号）および第 2 クロック信号にしたがって順次遅延させた走査信号を前記シフトレジスタから前記走査線に出力するも

50

のであって、前記シフトレジスタは、表示動作時では、選択された走査線への走査信号を低位側論理レベルまたは高位側論理レベルのいずれか一方で出力し、オフシーケンス動作にあって電源遮断前では、前記低位側論理レベルを上回る電位であって、前記高位側論理レベルを下回る電位で出力することの特徴とする。本発明によれば、走査線が、オフシーケンス動作にあって電源遮断前では、低位側論理レベルを上回る電位であって高位側論理レベルを下回る電位となるので、画素トランジスタのオフ抵抗は、非選択時の論理レベルである場合と比較して、オフ抵抗が低下する。このため、液晶素子に保持電圧が（蓄積された電荷）は、速やかにクリアされるので、電源を遮断しても、液晶素子に電圧が残存し難くすることが可能になる。

【 0 0 0 6 】

10

本発明において、前記シフトレジスタは、一端および他端の間において前記第 1 クロック信号または第 2 クロック信号にしたがって開閉する出力用スイッチング素子を含み、前記出力用スイッチング素子の一端は、前記走査線に接続され、前記出力用スイッチング素子の他端は、表示動作時では、低位側論理レベルまたは高位側論理レベルのいずれか一方となり、オフシーケンス動作にあって電源遮断前では、前記低位側論理レベルを上回る電位であって、前記高位側論理レベルを下回る電位となる給電線に接続された構成としても良い。この構成によれば、シフトレジスタの構成については、給電線の変更で済む。

また、本発明において、前記複数の走査線のそれぞれに対応して、一端および他端の間にて接続信号にしたがって開閉する接続用スイッチング素子を有し、前記接続用スイッチング素子の一端は、前記走査線に接続され、前記接続用スイッチング素子の他端は、前記低位側論理レベルを上回る電位であって、前記高位側論理レベルを下回る電位となる給電線に接続され、前記接続信号は、オフシーケンス動作にあって電源遮断前において、前記接続用スイッチング素子の閉を指示する構成としても良い。この構成によれば、制御信号によって接続用スイッチング素子が閉じることによって、走査線が低位側論理レベルを上回る電位であって高位側論理レベルを下回る電位となる。このため、オフシーケンス動作にあって電源遮断前において第 1 クロック信号または第 2 クロック信号の供給が不要となる。

20

なお、本発明は、液晶表示装置の駆動回路のみならず、液晶表示装置および当該液晶表示装置を備える電子機器としても概念することが可能である。

【 図面の簡単な説明 】

30

【 0 0 0 7 】

【 図 1 】 第 1 実施形態に係る走査線駆動回路が適用される液晶表示装置を示す図である。

【 図 2 】 第 1 実施形態に係る走査線駆動回路の構成を示す図である。

【 図 3 】 走査線駆動回路におけるシフトレジスタの構成を示す回路図である。

【 図 4 】 シフトレジスタの動作を示すタイミングチャートである。

【 図 5 】 液晶表示装置における電位の関係を示す図である。

【 図 6 】 液晶表示装置の動作を示すタイミングチャートである。

【 図 7 】 第 1 実施形態の第 1 応用例に係るシフトレジスタの構成を示す回路図である。

【 図 8 】 第 1 応用例に係るシフトレジスタの動作を示すタイミングチャートである。

【 図 9 】 第 1 実施形態の第 2 応用例に係るシフトレジスタの構成を示す回路図である。

40

【 図 1 0 】 第 2 応用例に係るシフトレジスタの動作を示すタイミングチャートである。

【 図 1 1 】 第 2 実施形態の走査線駆動回路が適用される液晶表示装置を示す図である。

【 図 1 2 】 第 2 実施形態に係る走査線駆動回路の構成を示す回路図である。

【 図 1 3 】 シフトレジスタの構成を示す回路図である。

【 図 1 4 】 液晶表示装置の動作を示すタイミングチャートである。

【 図 1 5 】 液晶表示装置の動作を示すタイミングチャートである。

【 図 1 6 】 実施形態に係る液晶表示装置を適用した携帯電話を示す図である。

【 発明を実施するための形態 】

【 0 0 0 8 】

以下、図面を参照して本発明の実施形態について説明する。図 1 は、第 1 実施形態に係

50

る走査線駆動回路を適用した液晶表示装置の構成を示すブロック図である。

この図に示されるように、液晶表示装置 1 は、表示制御回路 10、電源供給回路 20、パネル 100 およびデータ線駆動回路 140 を有する。

このうち、パネル 100 は、例えば透過型のアクティブ・マトリクス型であり、周知のように、一对の基板によって液晶を挟持するとともに、走査線 112 とデータ線 114 との交差部に画素トランジスタとして機能する T F T (thin film transistor) 116 と液晶素子 120 との組をそれぞれ有した構成となっている。T F T 116 のソース電極はデータ線 114 に接続され、そのドレイン電極は液晶素子 120 の一端 (画素電極) に接続され、そのゲート電極は走査線 112 に接続されている。液晶素子 120 の他端 (共通電極) は共通に接続されて、電圧 V_{com} が印加されている。

10

なお、この例では、320 行の走査線 112 が横 (X) 方向に延在して設けられ、240 列のデータ線 114 が縦 (Y) 方向に延在して設けられているので、液晶素子 120 は、縦 320 行 × 横 240 列のマトリクス状に配列することになる。液晶素子 120 は、周知のように印加電圧に応じて透過率が変化するので、液晶素子 120 が、パネル 100 で表現される画像の画素に相当することになる。

【0009】

表示制御回路 10 は、電源供給回路 20 や、データ線駆動回路 140、パネル 100 に形成された走査線駆動回路 130 の各々を、それぞれ制御する。

制御するための信号等については詳述しないが、表示制御回路 10 は、電源供給回路 20 に対しては信号 M を、走査線駆動回路 130 に対してはスタートパルス S_{tv} 、クロック信号 Clk 、 $/Clk$ を、データ線駆動回路 140 に対しては信号 X_{ctr} を、それぞれ供給する。また、表示制御回路 10 は、データ線駆動回路 140 に対し信号 X_{ctr} のほか、画素の階調 (透過率) を指定する映像データ V_{id} も供給する。

20

一方、表示制御回路 10 は、図示しない上位回路による指示によって、または、ユーザーの操作によって、画像表示を終了させるべきことを示す命令 P を入力したとき、後述するオフシーケンス動作を実行し、その後、走査線駆動回路 130 およびデータ線駆動回路 140 の動作を停止させる。

【0010】

走査線駆動回路 130 は、スタートパルス S_{tv} を、デューティ比が 50 % であって互いに論理反転の関係にあるクロック信号 Clk (第 1 クロック信号) と、クロック信号 $/Clk$ (第 2 クロック信号) にしたがって順次転送することによって走査線 112 を選択し、当該選択に応じた走査信号を出力するものである。便宜上、1、2、3、...、320 行目の走査線 112 に供給される走査信号を、それぞれ G_1 、 G_2 、 G_3 、...、 G_{320} と表記する。なお、走査線駆動回路 130 の詳細については後述する。また、パネル 100 における T F T 116 を例えばアモルファスシリコン型としたとき、走査線駆動回路 130 の構成素子は、画素のマトリクス配列の周辺において、T F T 116 と同じプロセスを用いて同一基板に形成される。

30

【0011】

データ線駆動回路 140 は、表示動作にあっては、選択された走査線 112 に位置する液晶素子 120 に対して、映像データ V_{id} で指定された階調に応じた電圧のデータ信号を、データ線 114 を介し制御信号 X_{ctr} にしたがって供給するものである。典型的には、データ線駆動回路 140 は、画素のマトリクス配列に対応した記憶領域 (図示省略) を有し、各記憶領域は、それぞれ映像データ V_{id} を記憶する。そして、データ線駆動回路 140 は、選択された走査線に位置する画素の映像データを記憶領域から 1 行分読み出すとともに、当該読み出した映像データで指定された階調に応じた電圧のデータ信号に変換し、データ線 114 に供給する。この供給動作を、データ線駆動回路 140 は、選択された走査線に位置する 1 列から 240 列までのそれぞれについて並列的に実行する。ここで、便宜上、1、2、3、...、240 列目の走査線 112 に供給される走査信号を、それぞれ X_1 、 X_2 、 X_3 、...、 X_{240} と表記する。

40

なお、表示すべき画像に変更が生じたとき、表示制御回路 10 は、変更後の映像データ

50

V_{id}を供給して、データ線駆動回路 140 における記憶領域の内容を書き換える構成となっている。また、データ線駆動回路 140 については、例えばパネル 100 に対して COG (chip on glass) 技術を用いて実装されるが、走査線駆動回路 130 と同様に、TFT 116 の製造プロセスを用いて同一基板上に形成しても良い。データ線駆動回路 140 は、走査線駆動回路 130 と異なり、特徴的な部分が存在しないので、詳細についての説明は省略する。

【0012】

電池 22 は、電圧 (V_{cc}-Gnd) を出力するものであり、その負極は、液晶表示装置 1 を収容する筐体の電位 Gnd に接地されている。

電源供給回路 20 は、制御信号 M にしたがって、電池 22 の出力電圧 (V_{cc}-Gnd) をチャージポンプ回路等によって各種の電圧を有する信号を生成して出力するものである。電源供給回路 20 によって生成される信号には、V_H、V_L、V_{L-off} があり、これらの 3 つが走査線駆動回路 130 に供給され、信号 V_{L-off} を除く、信号 V_H、V_L の 2 つがデータ線駆動回路 140 に供給される。ここで、信号 V_H は電圧 V_{G_H} であり、信号 V_L は電圧 V_{G_L} であり、それぞれ電源として用いられる。また、信号 V_{L-off} は、表示制御回路 10 による指示があったときに、電圧 V_{G_L} から接地電位 Gnd (電圧ゼロ) に切り替わる。また、電源供給回路 20 は、液晶素子 120 の他端に電圧 V_{com} を供給する。

なお、表示制御回路 10 および電源供給回路 20 については、例えばこれらの機能を組み合わせて回路モジュール化されるとともに、この回路モジュールが、FPC (flexible printed circuit) 基板等を介してパネル 100 に接続された構成となっている。

【0013】

図 5 は、電圧 V_{G_H}、V_{G_L} について電池 22 の出力電圧との関係で示す図である。この図に示されるように、電圧 V_{G_H}、V_{G_L} については、V_{G_H} > V_{cc} > Gnd > V_{G_L} という関係にある。ここで、電圧 V_{G_H} は、走査線 112 に供給される走査信号の H レベル (高位側論理レベル) に相当し、電圧 V_{G_L} は、走査信号の L レベル (低位側論理レベル) に相当する。

液晶を交流駆動するために、データ線駆動回路 140 は、液晶素子 120 の一端に供給するデータ信号を、振幅中心である電圧 V_{cnt} に対して高位側の正極性電圧と低位側の負極性電圧とに例えば 1 フレーム毎に交互に切り替えて供給するが、このときの振幅中心の電圧 V_{cnt} については、本実施形態では説明簡略化のために接地電位 Gnd としている。液晶素子 120 の他端に印加される電圧 V_{com} は、n チャネル型の TFT 116 のオフリーク等を考慮して、電圧 V_{cnt} よりも低位となるように調整されることもあるが、電圧 V_{cnt} とほぼ同電圧と考えてよい。

【0014】

次に、走査線駆動回路 130 について図 2 および図 3 を参照して説明する。図 2 は、走査線駆動回路 130 の構成を示す図である。この図に示されるように、走査線駆動回路 130 は、走査線数の「320」よりも「1」だけ多い「321」段のシフトレジスタ (S/R) を、シリアルに接続した構成となっている。詳細には、走査線駆動回路 130 は、走査線 112 のそれぞれに対応する計 320 段のシフトレジスタと、最終段をリセットするためのシフトレジスタとの計 321 段のシフトレジスタを有する。各段のシフトレジスタは、給電線 133 を介して信号 V_H の供給を受け、給電線 134 を介して信号 V_L の供給を受け、給電線 135 を介して信号 V_{L-off} の供給を受けるとともに、端子 Out から自段の走査信号を出力して、後段の端子 In および前段の端子 Rst に入力する構成となっている。

ただし、第 1 段のシフトレジスタは、前段が存在しないので、端子 In にスタートパルス Stv を入力し、第 321 段のシフトレジスタは、後段が存在しないので、端子 Rst に何も入力しない構成となっている。ここで、各シフトレジスタにおいて、奇数 (1、3、5、...、319、321) 段と、偶数 (2、4、6、...、320) 段とでは、供給されるクロック信号 Clk、/Clk が入れ替わった関係にあるので、区別するために奇数段のシフト

10

20

30

40

50

レジスタの符号を 1 3 1 とし、偶数段のシフトレジスタの符号を 1 3 2 としている。

【 0 0 1 5 】

図 3 は、奇数 i 段のシフトレジスタ 1 3 1 と、当該奇数段に続く偶数 ($i + 1$) 段のシフトレジスタ 1 3 2 とにおける回路構成を示す図である。なお、 i は、シフトレジスタの段数を特定しないで説明するために用いる符号であって奇数である。

この図に示されるように、奇数 i 段のシフトレジスタ 1 3 1 は、 n チャンネル型のトランジスタ $T_{r1} \sim T_{r5}$ 、 T_{r6a} を有する。トランジスタ $T_{r1} \sim T_{r5}$ 、 T_{r6a} は、上述したようにパネル 1 0 0 における $T_{F T 1 1 6}$ と同じプロセスを用いて形成された同チャンネル型の $T_{F T}$ である。このうち、トランジスタ T_{r1} のソース電極は、信号 V_H の給電線 1 3 3 に接続され、そのドレイン電極は、トランジスタ T_{r2} のソース電極とトランジスタ T_{r4} のゲート電極とトランジスタ T_{r5} のゲート電極とにそれぞれ接続されている。

10

また、トランジスタ T_{r1} のゲート電極は、自段である i 段の端子 I_n に接続されて、すなわち前段である ($i - 1$) 段のシフトレジスタ 1 3 2 の端子 Out に接続されて走査信号 $G(i-1)$ を入力している。トランジスタ T_{r2} のドレイン電極は、トランジスタ T_{r3} のソース電極とトランジスタ T_{r4} のドレイン電極とにそれぞれ接続されている。トランジスタ T_{r3} のドレイン電極は、信号 V_L の給電線 1 3 4 に接続されている。トランジスタ T_{r2} 、 T_{r3} のゲート電極は、自段である i 段の端子 R_{st} に共通接続されて、すなわち後段である ($i + 1$) 段のシフトレジスタ 1 3 2 の端子 Out に接続されて走査信号 $G(i+1)$ を入力している。

一方、トランジスタ T_{r5} のソース電極には、クロック信号 Clk が供給されている。トランジスタ T_{r5} のドレイン電極は、自段の端子 Out とトランジスタ T_{r4} のソース電極とトランジスタ T_{r6a} のソース電極とにそれぞれ接続されている。

20

容量 C_i は、 i 段のトランジスタ T_{r5} におけるゲート電極およびドレイン電極に介挿されている。容量 C_i は、トランジスタ T_{r5} におけるゲート・ドレイン間の寄生容量を用いても良いし、コンデンサーを付加した構成としても良い。トランジスタ T_{r6a} は、出力用トランジスタとして機能し、そのドレイン電極は、信号 $V_{L - o f s}$ の給電線 1 3 5 に接続され、そのゲート電極には、クロック信号 $/ Clk$ が供給されている。

なお、偶数 ($i + 1$) 段のシフトレジスタ 1 3 2 の回路構成については、奇数 i 段のシフトレジスタ 1 3 1 の回路構成と同様であるが、クロック信号 Clk 、 $/ Clk$ が入れ替わった構成、すなわち、トランジスタ T_{r5} のソース電極にクロック信号 $/ Clk$ が供給され、トランジスタ T_{r6a} のゲート電極にクロック信号 Clk が供給された構成となっている。

30

また便宜的に、奇数 i 段のシフトレジスタ 1 3 1 におけるトランジスタ T_{r5} のゲート電極をノード A_i とし、偶数 ($i + 1$) 段におけるトランジスタ T_{r5} のゲート電極をノード $A(i+1)$ とする。

【 0 0 1 6 】

図 4 は、シフトレジスタ 1 3 1、1 3 2 における転送動作を説明するためのタイミングチャートである。

まず、奇数 i 段のシフトレジスタ 1 3 1 に着目する。

クロック信号 Clk が L レベル (クロック信号 $/ Clk$ が H レベル) である期間 T_1 において、前段による走査信号 $G(i-1)$ が H レベルになると、トランジスタ T_{r1} がオン (導通) 状態になる。このため、ノード A_i には、電圧 ($V_{G H} - V_{t h}$) がセットされて容量 C_i に保持される。ここで、 $V_{t h}$ は、トランジスタ T_{r1} のしきい値電圧である。

40

ノード A_i に電圧 ($V_{G H} - V_{t h}$) がセットされるので、トランジスタ T_{r5} がオン状態になる。ただし、第 1 に、当該トランジスタ T_{r5} のソース電極に供給されるクロック信号 Clk が L レベルであるので、第 2 に、クロック信号 $/ Clk$ が H レベルであるから、トランジスタ T_{r6a} がオン状態にあるので、走査信号 G_i は L レベルである。

一方、トランジスタ T_{r4} もオン状態になるが、走査信号 G_i が L レベルであるので、トランジスタ T_{r4} のドレイン電極も L レベルである。

続いて、クロック信号 Clk が反転して H レベル (クロック信号 $/ Clk$ が L レベル) となる期間 T_2 では、偶数段のトランジスタ T_{r6a} がオン状態になるので、奇数 i 段からみ

50

て前段の走査信号 $G(i-1)$ および後段の走査信号 $G(i+1)$ がいずれも L レベルになる。このため、奇数 i 段におけるトランジスタ $Tr1$ 、 $Tr2$ 、 $Tr3$ がいずれもオフ（非導通）状態になるので、ノード Ai は、電氣的にどこにも接続されない浮遊（ハイ・インピーダンス）状態になる。くわえて、クロック信号 Clk が L から H レベルに変化するので、ノード Ai は、容量 Ci やゲート・ソース間の（破線で示す）容量を介したブートストラップによって電圧（ $V_{GH} - V_{th}$ ）よりもさらに高い電圧に引き上げられる。したがって、トランジスタ $Tr5$ には、十分に高いゲート電圧が印加されたことになるので、H レベルのクロック信号 Clk は、ほとんど電圧降下することなく、オン状態にあるトランジスタ $Tr5$ および端子 Out を介して走査信号 Gi として出力されることになる。また、トランジスタ $Tr4$ がオン状態にあり、走査信号 Gi が H レベルであるので、トランジスタ $Tr4$ のドレイン電極も H レベルになる。

10

次に、クロック信号 Clk が反転して L レベルになる期間 $T3$ では、クロック信号 $/Clk$ が H レベルになり、トランジスタ $Tr6a$ がオン状態になるので、走査信号 Gi は L レベルになる。一方、後段による走査信号 $G(i+1)$ が後述するように H レベルになるので、奇数 i 段にあってはトランジスタ $Tr2$ 、 $Tr3$ がオン状態になる。このため、ノード Ai が L レベルになって、トランジスタ $Tr4$ 、 $Tr5$ がオフ状態になる。また、ノード Ai および走査信号 Gi のいずれも同じ L レベルになるので、容量 Ci に保持されていた電圧がゼロにリセットされる。

なお、クロック信号 Clk が反転して H レベルになる期間 $T4$ では、クロック信号 $/Clk$ が L レベルになり、トランジスタ $Tr6a$ がオフ状態になるが、容量 Ci の保持電圧がゼロであるので、トランジスタ $Tr4$ 、 $Tr5$ のオフ状態も維持される。このため、 i 行目の走査線 112 は、ハイ・インピーダンス状態になるが、寄生容量によって直前の期間 $T3$ と同様に L レベルに保持される。

20

【0017】

偶数（ $i+1$ ）段のシフトレジスタ 132 では、奇数 i 段に対しクロック信号 Clk 、 $/Clk$ の供給が入れ替わった関係にあるので、前段である奇数 i 段に対してクロック信号 Clk （ $/Clk$ ）の半周期分だけ遅延した動作となる。このため、期間 $T1$ 、 $T2$ 、 $T3$ において L、H、L レベルとなる走査信号 Gi に対して、走査信号 $G(i+1)$ は、期間 $T2$ 、 $T3$ 、 $T4$ において L、H、L レベルとなる。なお、図 4 において、走査信号 $G(i-1)$ 、 Gi 、 $G(i+1)$ の波形のうち、細線部分は、走査線がハイ・インピーダンス状態であって、L レベルに保持された状態を示している。

30

【0018】

このように奇数段のシフトレジスタ 131 および偶数段のシフトレジスタ 132 を交互に接続するとともに、図 6 に示されるように、クロック信号 Clk が L レベルのときに H レベルとなるスタートパルス Stv を第 1 段のシフトレジスタ 131 における端子 In に供給すると、当該スタートパルス Stv は、クロック信号 Clk （ $/Clk$ ）の半周期分だけずつ順次遅延して、走査信号 $G1$ 、 $G2$ 、 $G3$ 、...、 $G320$ として出力されることになる。

【0019】

次に、第 1 実施形態に係る液晶表示装置の動作について図 6 を参照して説明する。表示制御回路 10 は、画像を表示する表示動作を実行している場合に、画像表示を終了させるべきことを示す命令 P を入力したとき、オフシーケンス動作を実行し、この後、走査線駆動回路 130 およびデータ線駆動回路 140 への電源を遮断する。

40

まず、表示動作において、表示制御回路 10 は、電源供給回路 20 に対して信号 V_H を電圧 V_{GH} に、信号 V_L および V_{L-offs} を電圧 V_{GL} にさせる。また、表示制御回路 10 は、走査線駆動回路 130 に対し、クロック信号 Clk 、 $/Clk$ を供給するとともに、各フレームの開始時であってクロック信号 Clk が L レベル（クロック信号 $/Clk$ が H レベル）である期間にスタートパルス Stv を供給する。これにより、走査線駆動回路 130 は、スタートパルス Stv をクロック信号の半周期分ずつ順次遅延させて、走査信号 $G1$ 、 $G2$ 、 $G3$ 、...、 $G320$ として出力する。

さらに、表示制御回路 10 は、データ線駆動回路 140 に対し、走査信号 $G1$ が H レベ

50

ルになるときに、１行１列～１行２４０列の画素に対応する映像データを読み出させるとともに、振幅中心である電圧 V_{cnt} に対し、当該表示データで指定された階調に応じた電圧だけ、高位または低位のデータ信号に変換させ、データ信号 $X_1 \sim X_{240}$ として出力させる。これにより例えば、左から数えて j 列目のデータ線１１４には、１行 j 列の画素の階調に応じたデータ信号 X_j が供給される。

走査信号 G_1 がＨレベルであると、１行目の TFT_{116} がオン状態になるので、データ線１１４に供給されたデータ信号は、オン状態にある TFT_{116} を介して液晶素子１２０の一端に印加される。このため、１行１列～１行２４０列の液晶素子１２０には、それぞれ階調に応じた電圧が印加される。

走査信号 G_2 がＨレベルになるときに、表示制御回路１０は、データ線駆動回路１４０に対し、２行目の画素に対応する表示データを読み出させるとともに、電圧 V_{cnt} に対し、当該表示データで指定された階調に応じた電圧だけ、高位または低位のデータ信号に変換させ、データ信号 $X_1 \sim X_{240}$ として出力させる。走査信号 G_2 がＨレベルであると、今度は２行目の TFT_{116} がオン状態となるので、２行１列～２行２４０列の液晶素子１２０には、それぞれ階調に応じた電圧が印加される。

【００２０】

以下同様な動作が、３、４、…、３２０行目に対して実行され、これにより、液晶素子１２０の各々に対して、階調に応じた電圧が印加されて、１フレーム分の透過像が作成されることとなる。次のフレームでも同様な書込動作となるが、液晶素子に直流が印加されるのを防止するために、データ信号の極性は、前フレームから反転される。

なお、図６では、表示モードにおける１フレーム分の動作をフレーム（１）として示している。ただし、同図におけるフレーム（１）では、液晶素子１２０の各々をそれぞれ同一極性とする面反転方式としたときに負極性が指定されている場合を示している。

【００２１】

このような表示動作が実行されている場合に、表示制御回路１０が、命令 P を入力したとき、当該命令 P を入力したタイミングに属するフレームの終了時から次のようなオフシーケンス動作を実行する。詳細には、オフシーケンス動作は、本実施形態では、フレーム（２ａ）、（２ｂ）および（３）の３フレームから構成される。

このうち、フレーム（２ａ）および（２ｂ）において、表示制御回路１０は、電源供給回路２０に対し、信号 V_H 、 V_L および V_{L-off} の電圧を表示動作のフレーム（１）から維持するように制御する。また、表示制御回路１０は、走査線駆動回路１３０に対し、クロック信号 Clk 、 $/Clk$ を供給するとともに、フレーム（２ａ）および（２ｂ）の開始時であってクロック信号 Clk がＬレベル（クロック信号 $/Clk$ がＨレベル）である期間にスタートパルス Stv をそれぞれ供給する。これにより、走査線駆動回路１３０は、表示動作と同様にスタートパルス Stv をクロック信号の半周期分ずつ順次遅延させて、走査信号 G_1 、 G_2 、 G_3 、…、 G_{320} として出力する。

ただし、フレーム（２ａ）において、表示制御回路１０は、データ線駆動回路１４０に対し、表示データにかかわらず、液晶素子１２０をオフさせる電圧のデータ信号を、命令 P を入力したタイミングに属するフレームの反対極性にて順次出力する。ここで、液晶素子１２０をオフさせる電圧とは、当該液晶素子の透過率を最小または最大とさせる電圧のうち、液晶素子１２０の印加電圧が絶対値でみて小さくなる方の電圧をいう。具体的には、ノーマリーブラックモードであれば、透過率を最小とさせる電圧となり、画素電極に印加されるデータ信号でいえば、正極性の電圧 $V_{bk}(+)$ と負極性の電圧 $V_{bk}(-)$ とがある。

本実施形態では、面反転方式であって、命令 P を入力したタイミングに属するフレームで負極性が指定されていたもの、としているので、フレーム（２ａ）において、データ信号 $X_1 \sim X_{240}$ （ X_j も含めて）は、すべて電圧 $V_{bk}(+)$ となる。

したがって、本実施形態では、フレーム（２ａ）において、すべての液晶素子１２０に対して、オフ電圧が正極性で印加される。

【００２２】

次に、フレーム（２ｂ）において、表示制御回路１０は、データ線駆動回路１４０に対

し、表示データにかかわらず、液晶素子 120 をオフとさせる電圧（オフ電圧）のデータ信号を、フレーム（2a）の反対極性にて順次出力する。フレーム（2a）において正極性が指定されていたため、フレーム（2b）では負極性が指定され、これにより、データ信号 $X1 \sim X240$ （ Xj も含めて）は、すべて負極性の電圧 $V_{bk}(-)$ となる。

したがって、本実施形態では、フレーム（2b）において、すべての液晶素子 120 に対して、今度は、オフ電圧が負極性で印加される。

【0023】

こうして、フレーム（2a）および（2b）において、すべての液晶素子 120 に対して、オフ電圧が正極性および負極性で印加されることによって、交流駆動がなされると、フレーム（3）に至る。

フレーム（3）において、表示制御回路 10 は、電源供給回路 20 に対し、信号 V_H の電圧を V_{GH} に、信号 V_L の電圧を V_{GL} に、それぞれフレーム（2a）および（2b）から維持するように制御するが、信号 V_{L-off} については、接地電位 Gnd に変更する。また、表示制御回路 10 は、走査線駆動回路 130 に対し、クロック信号 Clk 、 $/Clk$ を供給するが、スタートパルス Stv は供給しない。このため、走査線駆動回路 130 は、スタートパルス Stv を転送できないことになる。

一方、走査線駆動回路 130 のうち、奇数段のシフトレジスタ 131 では、クロック信号 $/Clk$ が H レベルとなったときに、トランジスタ $Tr6a$ がオン状態になって、端子 Out が信号 V_{L-off} の給電線に接続される。フレーム（3）において、信号 V_{L-off} は接地電位 Gnd であるので、走査線駆動回路 130 のうち、奇数段のシフトレジスタ 131 から出力される走査信号 $G1$ 、 $G3$ 、 $G5$ 、...、 $G319$ も電位 Gnd になる。

偶数段のシフトレジスタ 132 においても、クロック信号 Clk が H レベルとなったときに、トランジスタ $Tr6a$ がオン状態になって、端子 Out が信号 V_{L-off} の給電線に接続されるので、偶数段から出力される走査信号 $G2$ 、 $G4$ 、 $G6$ 、...、 $G320$ も電位 Gnd となる。

したがって、フレーム（3）においては、すべての走査線 112 が電位 Gnd に接地されることになる。

さらに、表示制御回路 10 は、データ線駆動回路 140 に対し、表示データにかかわらず、データ信号 $X1 \sim X240$ （ Xj も含めて）をすべて接地電位 Gnd とし、液晶素子 120 の他端に印加される電圧 V_{com} も接地電位 Gnd とする。

【0024】

$TFT116$ のゲート電極である走査線 112 が、L レベルに相当する電圧 V_{GL} から電位 Gnd に上昇したことによって、当該 $TFT116$ のオフ抵抗が低下する。

フレーム（2a）および（2b）において液晶素子 120 の一端には、データ信号の電圧 $V_{bk}(+)$ および $V_{bk}(-)$ がそれぞれ印加されるので、フレーム（2a）および（2b）においては液晶素子 120 の印加電圧はゼロにはならないが、フレーム（3）においては、 $TFT116$ のオフ抵抗が低下し、さらには、データ線 114 も液晶素子 120 の他端もそれぞれ電位 Gnd になるので、液晶素子 120 の一端についても、速やかに電位 Gnd になる。これにより、液晶素子に蓄積された電荷がクリアされることになる。

【0025】

フレーム（3）が終了して、電源を遮断させるフレーム（4）に至ったとき、表示制御回路 10 は、電源供給回路 20 の動作を停止させて、走査線駆動回路 130 およびデータ線駆動回路 140 への電源供給を遮断させるので、信号 V_H 、 V_L 、 V_{L-off} 、クロック信号 Clk 、 $/Clk$ がすべて電位 Gnd になる。このとき、走査線駆動回路 130 におけるシフトレジスタ 131、132 では、トランジスタ $Tr1$ 、 $Tr6a$ がいずれもオフ状態になるので、走査線 112 の各々は、それぞれハイ・インピーダンス状態になる。

ここで、背景技術で述べた技術では、トランジスタ $Tr6a$ のドレイン電極が、トランジスタ $Tr3$ のドレイン電極と同様に電源の低位側である給電線 134 に接続された構成である。このため、背景技術では、走査線 112 の各々は、電源が遮断されたとき、電圧 V_{GL} に保持された状態でハイ・インピーダンス状態になる。したがって、背景技術では

10

20

30

40

50

、液晶素子 120 の一端に電圧 $V_{bk}(+)$ または $V_{bk}(-)$ が印加されたときの充電電圧が、長期間にわたって保持される状態になり、この状態は、液晶素子に直流電圧が保持された状態にほかならない。もちろん、走査線 112 の各々は、電圧 V_{GL} に保持された状態でハイ・インピーダンス状態になっても、リーク等によってやがて電位 Gnd に至るが、液晶素子に蓄積された電荷がクリアしにくい状態であることに変わりはない。

これに対して本実施形態では、走査線 112 の各々は、直前のフレーム (3) においてすでに接地電位 Gnd になっており、また、液晶素子 120 の電荷もクリアされた状態にある。このため、本実施形態では、走査線駆動回路 130 およびデータ線駆動回路 140 への電源供給が遮断されても、クリアされた状態が継続するだけなので、液晶素子 120 に直流電圧が長期間にわたって保持されることはない。

したがって本実施形態によれば、電源の遮断後に、液晶素子 120 に直流電圧が印加されることに起因する焼き付きやフリッカーずれの発生を、上記背景技術に比べて抑えることが可能となる。

【0026】

なお、フレーム (2a) および (2b) において、データ信号を電圧 V_{com} とすれば、TF T 116 のオンによって液晶素子 120 の一端に当該電圧 V_{com} が印加されるので、電源の遮断前に、液晶素子 120 の印加電圧をゼロとすることができるようになるが、実際の TF T 116 はオフしたときに、いわゆるフィールドスルー (プッシュダウンとも呼ばれる) が発生して、TF T 116 のドレイン電極 (液晶素子 120 の一端) における電位を変動させるので、液晶素子 120 には保持される電圧はゼロにはならない。したがって、本実施形態のように、電源遮断前に、液晶素子に保持された電圧を速やかにクリアすることが重要となる。

【0027】

また、第 1 実施形態では、次のような応用例 1 および応用例 2 への適用が可能である。

図 3 に示したシフトレジスタ 131、132 では、表示動作時において、奇数行の走査線 112 はクロック信号 / Clk が L レベルであるときに、また、偶数行の走査線 112 はクロック信号 Clk が L レベルであるときに、それぞれハイ・インピーダンス状態となる。表示動作時において、走査線 112 がハイ・インピーダンス状態になっても、寄生容量によって L レベルに維持されるが、ノイズ等によって電位変動を受ける可能性がある。そこで、走査線 112 ができるだけハイ・インピーダンス状態にならないようにした構成が、図 7 に示す第 1 応用例である。

この図に示されるように、シフトレジスタ 131、132 には、いずれもトランジスタ Tr6a に対して並列となるようにトランジスタ Tr6b が設けられている。

【0028】

ここで、奇数 i 段のシフトレジスタ 131 におけるトランジスタ Tr6b のゲート電極には、AND 回路 136 によって出力される信号 / Bi が供給されている。信号 / Bi は、自段の走査信号 G_i を NOT 回路 137 で論理反転した信号と、クロック信号 Clk との論理積信号である。このため、奇数 i 段のシフトレジスタ 131 におけるトランジスタ Tr6b は、走査信号 G_i が L レベルであってクロック信号 Clk が H レベルになるときにオン状態になる。

同様に、偶数 ($i+1$) 段のシフトレジスタ 132 におけるトランジスタ Tr6b のゲート電極には、自段の走査信号 $G_{(i+1)}$ を論理反転した信号と、クロック信号 / Clk との論理積信号 / B ($i+1$) が供給されている。このため、偶数 ($i+1$) 段のシフトレジスタ 132 におけるトランジスタ Tr6b は、走査信号 $G_{(i+1)}$ が L レベルであってクロック信号 / Clk が H レベルになるときにオン状態になる。

図 8 は、第 1 応用例における走査信号 G_i 、 $G_{(i+1)}$ 等を示す電圧波形である。第 1 応用例では、次段の走査信号が H レベルとなるとき以外では、トランジスタ Tr6a、Tr6b のどちらか一方がオン状態になるので、図 4 における走査信号 G_i 、 $G_{(i+1)}$ の波形と比較して、図 8 に示されるように、走査線がハイ・インピーダンス状態であることを示す細線部分をほぼなくすることが可能となる。

【 0 0 2 9 】

トランジスタ $T_{r1} \sim T_{r5}$ 、 T_{r6a} (T_{r6b}) は、 n チャンネル型に限られず、 p チャンネル型で構成しても良い。そこで、これらのトランジスタを p チャンネル型とした第 2 応用例の構成例を図 9 に示し、そのタイミングチャートで図 10 に示す。トランジスタ $T_{r1} \sim T_{r5}$ 、 T_{r6a} (T_{r6b}) を p チャンネル型とする場合、パネル 100 における $TFT116$ も p チャンネル型で構成されるので、当該 $TFT116$ は、走査信号が L レベルであるときにオン状態になり、走査信号が H レベルであるときにオフ状態になる。

【 0 0 3 0 】

次に、本発明の第 2 実施形態について説明する。図 11 は、第 2 実施形態に係る走査線駆動回路が適用された液晶表示装置の構成を示すブロック図である。

10

図 11 に示した構成が図 1 に示した構成と相違する部分は、電源供給回路 20 が表示制御回路 10 に信号 Q を供給する点 (第 1 相違点)、および、表示制御回路 10 が走査線駆動回路 130 に接続信号 O_{fs} を供給する点 (第 2 相違点)、にある。

このうち、第 1 相違点について説明すると、電源供給回路 20 は、電池 22 が筐体から脱落したことを検出して、その旨の信号 Q を表示制御回路 10 に出力する。なお、電源供給回路 20 は、脱落前の電圧 ($V_{cc} - Gnd$) を図示省略したバックアップコンデンサ等によって充電するとともに、脱落を検出すると、当該充電電圧を電源に切り替える。このため、電池 22 が脱落しても直ちに動作停止することはない。

続いて、第 2 相違点について説明すると、接続信号 O_{fs} は、表示制御回路 10 によって走査線駆動回路 130 に供給されるが、この点に関連して、走査線駆動回路 130 の構成についても図 2 に示した構成から次のように相違している。

20

【 0 0 3 1 】

図 12 は、第 2 実施形態に係る走査線駆動回路の構成を示す図である。この図に示されるように、走査線 112 の各々には、接続用スイッチング素子として機能する n チャンネル型のトランジスタ 138 が設けられる。これらのトランジスタ 138 では、そのソース電極が信号 $V_{L - o f s}$ の給電線 135 に共通接続され、そのドレイン電極が対応する走査線 112 に接続され、そのゲート電極には、接続信号 O_{fs} が共通に供給される。

なお、このトランジスタ 138 は、シフトレジスタ 131、132 を構成するトランジスタ $T_{r1} \sim T_{r5}$ 、 T_{r6a} (T_{r6b}) と同様に、 $TFT116$ と同じプロセスを用いて同一基板に形成された薄膜トランジスタであることが好ましい。

30

【 0 0 3 2 】

図 13 は、第 2 実施形態におけるシフトレジスタ 131、132 の構成を示す図であり、トランジスタ T_{r6a} のドレイン電極が、トランジスタ T_{r3} のドレイン電極とともに信号 V_L の給電線 134 に接続された点を除き、図 3 に示した構成と共通である。

【 0 0 3 3 】

次に、第 2 実施形態に係る液晶表示装置における動作について図 14 を参照して説明する。第 2 実施形態において、表示制御回路 10 は、第 1 実施形態と同様に、画像を表示する表示動作を実行している場合に命令 P を入力したとき、オフシーケンス動作を実行し、この後、走査線駆動回路 130 およびデータ線駆動回路 140 への電源を遮断する。このうち、表示動作のフレーム (1) から、オフシーケンス動作のフレーム (2a)、(2b) までの動作については、表示制御回路 10 は、走査線駆動回路 130 に対して接続信号 O_{fs} を電圧 V_{G_L} で供給する。このため、すべてのトランジスタ 138 がオフ状態になるので、表示動作からオフシーケンス動作のフレーム (2a)、(2b) までの動作については、第 1 実施形態と同様となる。

40

続いてフレーム (3) について説明すると、表示制御回路 10 は、電源供給回路 20 に対し、信号 V_H の電圧を V_{G_H} に、信号 V_L の電圧を V_{G_L} に、それぞれ維持するように制御するが、信号 $V_{L - o f s}$ については、接地電位 Gnd に変更する。また、表示制御回路 10 は、走査線駆動回路 130 に対して接続信号 O_{fs} を電圧 V_{G_H} で供給する。このため、すべてのトランジスタ 138 がオン状態になるので、走査線 112 の各々は、給電線 135 に当該トランジスタ 128 を介して接続される結果、電位 Gnd に接地されるこ

50

とになる。

なお、表示制御回路 10 は、第 1 実施形態と同様にデータ線駆動回路 140 に対し、データ信号 $X_1 \sim X_{240}$ (X_j も含めて) をすべて電位 G_{nd} とし、液晶素子 120 の他端に印加される電圧 V_{com} も接地電位 G_{nd} とする点については第 1 実施形態と同様である。

【0034】

TFT116 のゲート電極である走査線 112 が、L レベルに相当する電圧 V_{GL} から電位 G_{nd} に上昇したことによって、当該 TFT116 のオフ抵抗が低下する。フレーム (3) においては、TFT116 のオフ抵抗が低下し、さらには、データ線 114 も液晶素子 120 の他端もそれぞれ電位 G_{nd} になるので、液晶素子 120 の一端についても、速やかに電位 G_{nd} になる。これにより、液晶素子に蓄積された電荷がクリアされることになる。

10

なお、フレーム (3) が終了してフレーム (4) に至ったとき、表示制御回路 10 は、電源供給回路 20 の動作を停止させて、走査線駆動回路 130 およびデータ線駆動回路 140 への電源供給を遮断させる点については第 1 実施形態と同様である。

したがって、第 2 実施形態においても、走査線 112 の各々は、直前のフレーム (3) においてすでに電位 G_{nd} に接地されており、また、液晶素子 120 の電荷もクリアされた状態にあるので、同様に焼き付きやフリッカーずれの発生を抑えることが可能となる。

【0035】

ところで、第 1 実施形態では、フレーム (3) においてトランジスタ Tr6a がクロック信号 Clk ($/Clk$) にしたがってオン状態になることによって、走査線 112 が電位 G_{nd} の給電線 135 に接続されるのに対し、第 2 実施形態では、フレーム (3) においてトランジスタ 138 がクロック信号 Clk 、 $/Clk$ と関係なくオン状態になることによって、走査線 112 が電位 G_{nd} の給電線 135 に接続される。

20

これは逆にいえば、第 2 実施形態では、フレーム (3) において、走査線 112 を給電線 135 に接続するためにクロック信号 Clk 、 $/Clk$ は不要であることを意味する。

したがって、図 15 に示されるように、表示動作に係るフレーム (1) の途中で、電池 22 の脱落を示す信号 Q を入力したとき、表示制御回路 10 は、ある程度の期間、例えば図 15 ではフレーム (3) において、接続信号 Ofs だけを電圧 V_{GH} としさえすれば、それ以外の信号については電池 22 の脱落によって電位 G_{nd} になっても、TFT116 のオフ抵抗が低下するので、液晶素子 120 に蓄積された電荷をクリアすることが可能となる。

30

【0036】

なお、第 2 実施形態において、給電線 135 と、トランジスタ 138 のゲート電極に接続信号 Ofs を供給する信号線とについては、図 12 において、それぞれシフトレジスタ 131、132 の右側、すなわち、走査線 112 と交差する方向に配線した構成であったが、その交差によって寄生容量が生じる。このため、実際には、給電線 135 と接続信号 Ofs を供給する信号線とについては、それぞれシフトレジスタ 131、132 の左側、すなわち、走査線 112 への出力側とは反対側で配線する構成が好ましい。

また、第 2 実施形態のようにトランジスタ 138 を有する構成においても、シフトレジスタ 131、132 について、第 1 実施形態における第 1 応用例および第 2 応用例の適用が可能である。

40

【0037】

また、第 1 および第 2 実施形態では、オフシーケンス動作にあつて電源を遮断する前のフレーム (3) において、走査線 112 の各々をそれぞれ電位 G_{nd} としたが、その主な理由は、上述したように TFT116 につき、ゲート電極が電圧 V_{GL} である場合と比較してオフ抵抗を低下させるためである。したがって、フレーム (3) における走査線 112 の電位としては、L レベルに相当する電圧 V_{GL} を上回る電位であつて、H レベルに相当する電圧 V_{GH} を下回る電位であれば良い。

ただし、電源を遮断したときに走査線 112 は接地電位 G_{nd} になるので、フレーム (3) における走査線 112 の電位としては、電源が遮断されたときであっても電位の変化を

50

生じさせない、すなわち寄生容量で電荷の再配分を発生させない電位 Gndであることが望ましい。

さらに、実施形態では、オフシーケンス動作にあって電源を遮断する前のフレーム（３）については、１フレーム分の期間としたが複数フレーム分の期間を確保しても良い。同様に、フレーム（２a）および（２b）については、正極性および負極性の書き込みがなされれば良いので、複数ペアとしても良い。

また、フレームにおける書き込み極性については、面反転方式に限られず、行（ライン）反転方式や、列反転方式、画素反転方式など種々のものが適用可能である。

【００３８】

< 電子機器 >

10

次に、上述した実施形態等に係る液晶表示装置１を有する電子機器について説明する。図１６は、実施形態や応用・変形例に係る液晶表示装置１を用いた携帯電話１２００の構成を示す図である。

この図に示されるように、携帯電話１２００は、複数の操作ボタン１２０２や方向キー１２０４のほか、受話口１２０６、送話口１２０８とともに、上述した液晶表示装置を備えるものである。なお、液晶表示装置のうち、パネル１００のみ外観として表れ、他については、携帯電話１２００の筐体内となる。

なお、実施形態等に係る液晶表示装置１は、図１６に示した携帯電話以外の電子機器にも適用可能である。このような電子機器としては、例えばデジタルスチルカメラや、ノートパソコン、液晶テレビ、ビューファインダー型（またはモニタ直視型）のビデオレコーダー、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、タッチパネルを備えた機器等などの表示部を有するものが挙げられる。

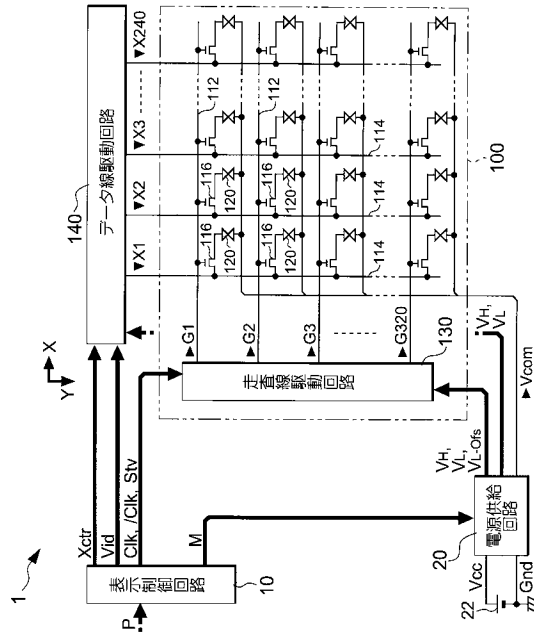
20

【符号の説明】

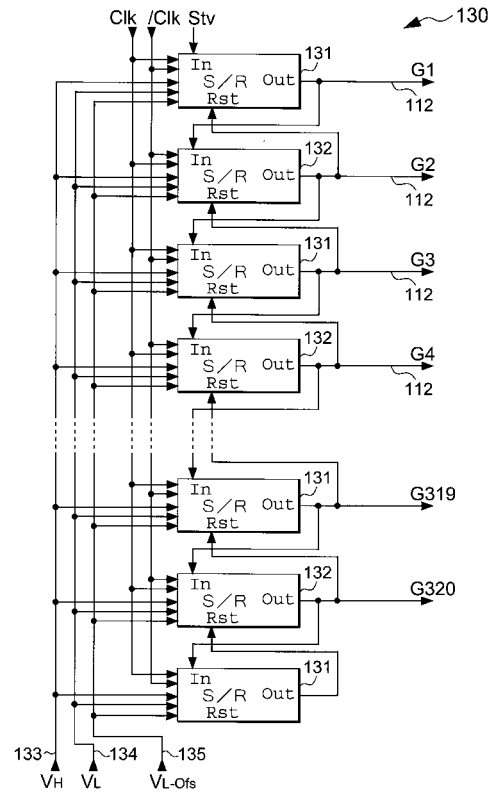
【００３９】

１…液晶表示装置、１０…表示制御回路、２０…電源供給回路、２２…電池、１００…パネル、１１２…走査線、１１４…データ線、１１６…ＴＦＴ、１２０…液晶素子、１３０…走査線駆動回路、１３１、１３２…シフトレジスタ、１３５…給電線、１４０…データ線駆動回路、１２００…携帯電話

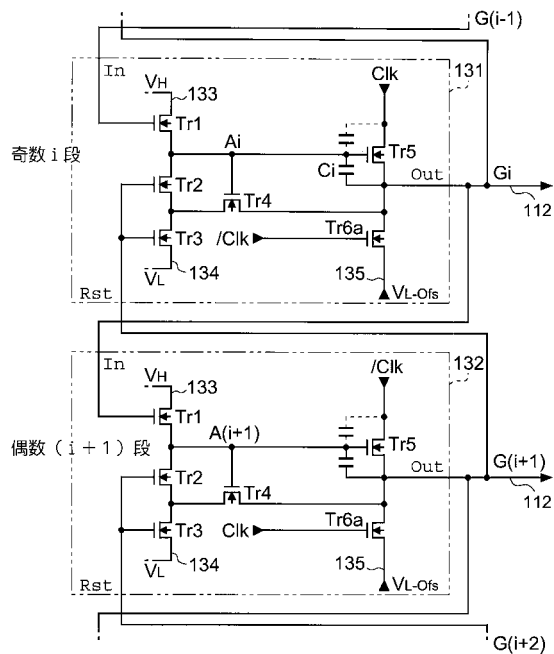
【図 1】



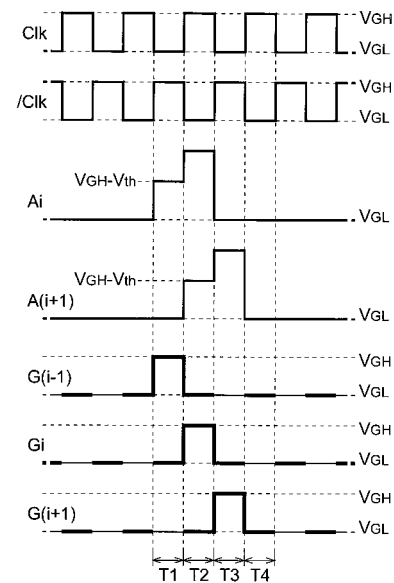
【図 2】



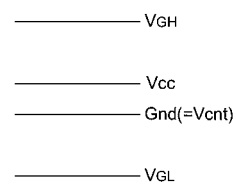
【図 3】



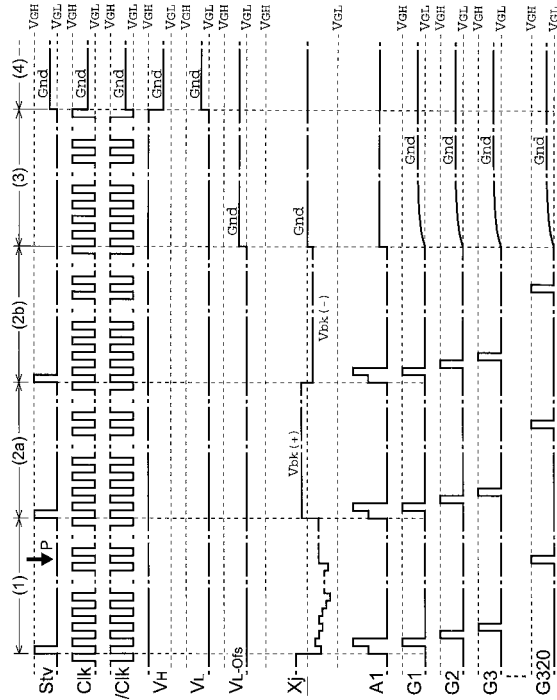
【図 4】



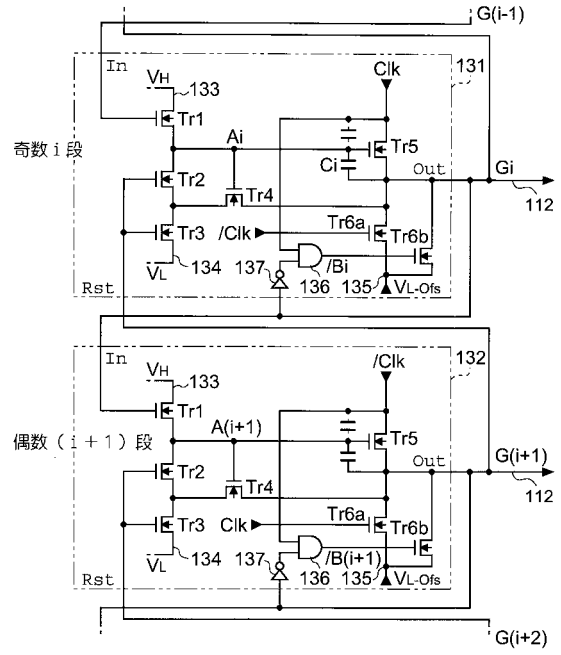
【図 5】



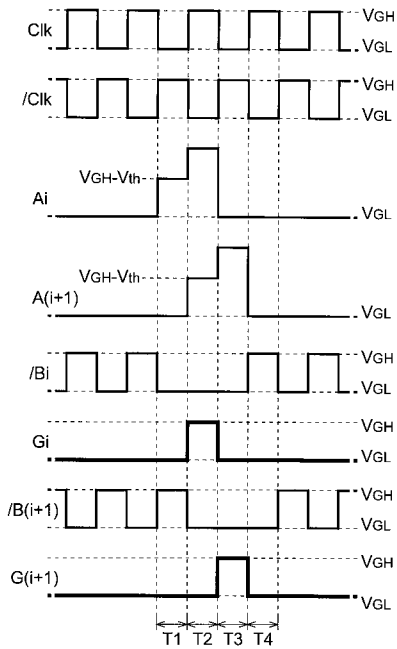
【図 6】



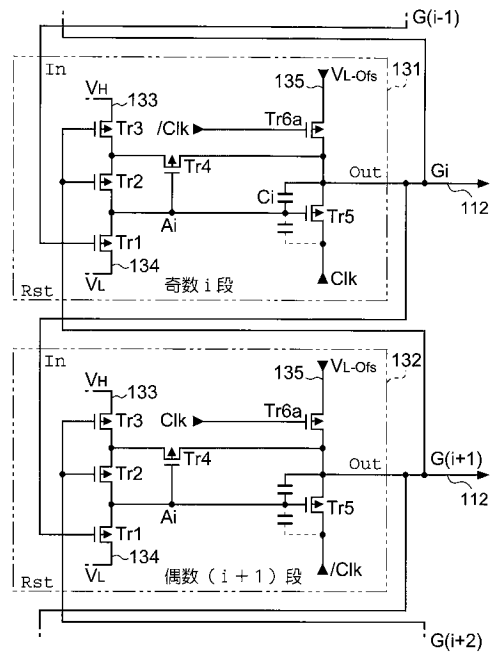
【図 7】



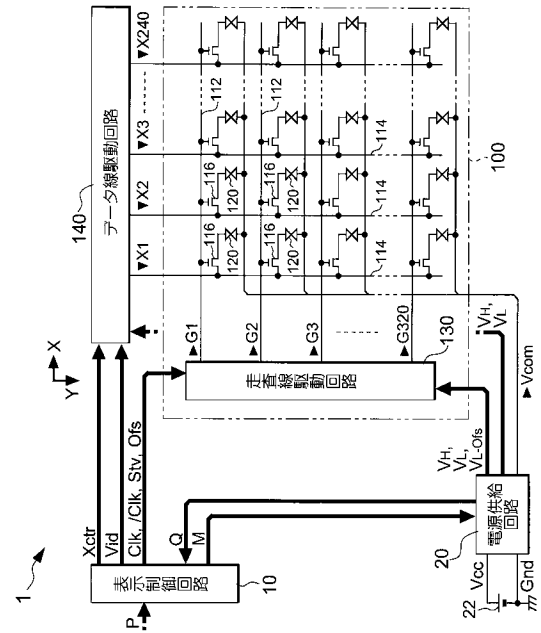
【図 8】



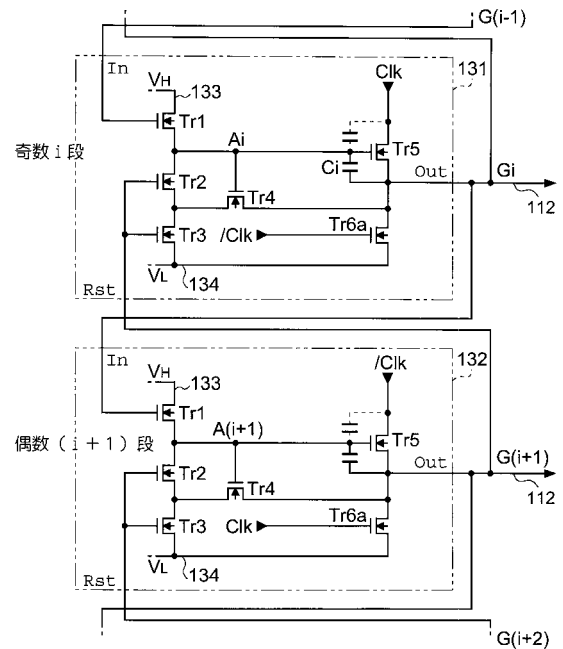
【図 9】



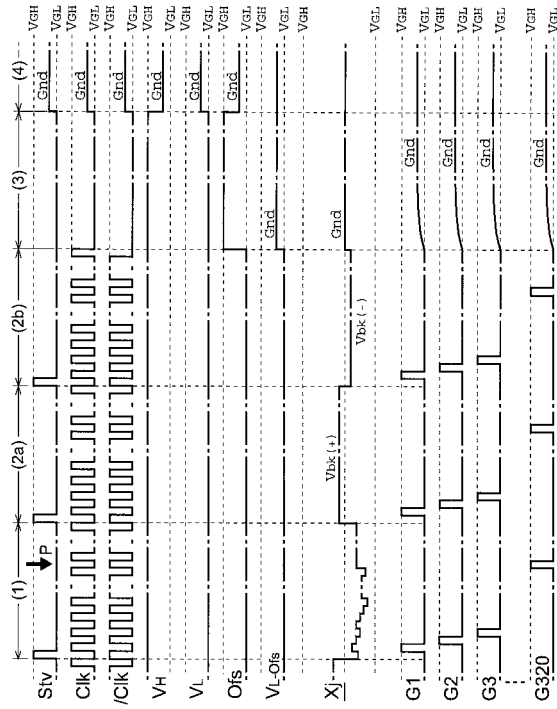
【 図 1 1 】



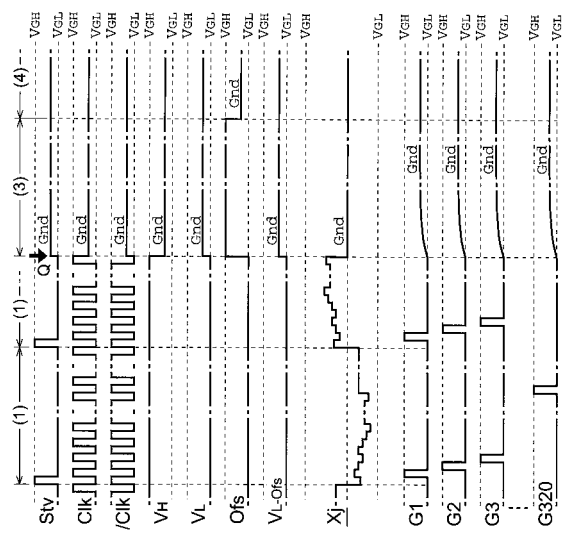
【 ㊦ 1 3 】



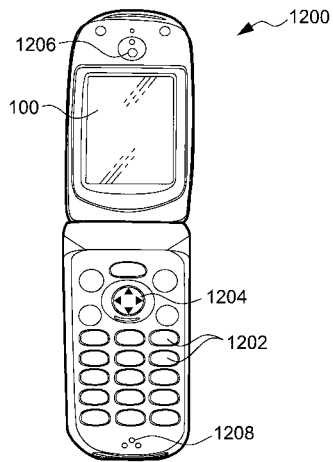
【図 14】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 1 1 E
G 0 9 G	3/20	6 7 0 K
G 0 9 G	3/20	6 2 4 B
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5

F ターム(参考) 2H193 ZA04 ZB02 ZC01 ZC22 ZE38 ZF21 ZH22
5C006 AA16 AC22 AC25 AF42 AF68 BB16 BC03 BC06 BF03 FA23
FA33 FA34
5C080 AA10 BB05 DD06 DD18 EE29 FF07 FF11 JJ02 JJ03 JJ04
JJ06 KK47

专利名称(译)	液晶显示装置，扫描线驱动电路和电子设备		
公开(公告)号	JP2011085680A	公开(公告)日	2011-04-28
申请号	JP2009237005	申请日	2009-10-14
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	清水 小澤裕		
发明人	清水 公司 小澤 裕		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.622.C G09G3/20.612.G G09G3/20.623.C G09G3/20.624.C G09G3/20.611.E G09G3/20.670.K G09G3/20.624.B G02F1/133.550 G02F1/133.525		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZC01 2H193/ZC22 2H193/ZE38 2H193/ZF21 2H193/ZH22 5C006/AA16 5C006/AC22 5C006/AC25 5C006/AF42 5C006/AF68 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BF03 5C006/FA23 5C006/FA33 5C006/FA34 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD18 5C080/EE29 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK47		
代理人(译)	须泽 修 宫坂和彦		
外部链接	Espacenet		

摘要(译)

要解决的问题：在关闭电源之前防止电压残留在液晶元件120中。解决方案：扫描线驱动电路具有分别对应于扫描线112的移位寄存器131和132，并输出通过根据来自移位寄存器的端子Out的时钟信号Clk和/ Clk顺序地延迟起始脉冲而获得的扫描信号。当用于驱动液晶元件的TFT是n沟道型TFT时，移位寄存器在显示操作期间将扫描信号设置为选择的扫描线112至H电平，并输出高于L电位的电位的扫描信号。希望在H电平以下，在关断电源的关闭电源之前的地电位Gnd。Ž

