

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-244007

(P2010-244007A)

(43) 公開日 平成22年10月28日(2010.10.28)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G09G 3/36 (2006.01)	G09G 3/36	5C080
	G09G 3/20 621B	
審査請求 有 請求項の数 11 O L (全 12 頁) 最終頁に続く		

(21) 出願番号	特願2009-233955 (P2009-233955)	(71) 出願人	502352807 中華映管股▲ふん▼有限公司 台湾桃園縣八德市大楠里和平路1127號
(22) 出願日	平成21年10月8日(2009.10.8)	(74) 代理人	100070150 弁理士 伊東 忠彦
(31) 優先権主張番号	098111413	(74) 代理人	100091214 弁理士 大貫 進介
(32) 優先日	平成21年4月6日(2009.4.6)	(74) 代理人	100107766 弁理士 伊東 忠重
(33) 優先権主張国	台湾(TW)	(72) 発明者	藍 東▲しん▼ 台湾台北市樂業街72巷25號1樓
		(72) 発明者	廖 木山 台湾桃園縣八德市銀河街27巷1弄3號9樓之6
		最終頁に続く	

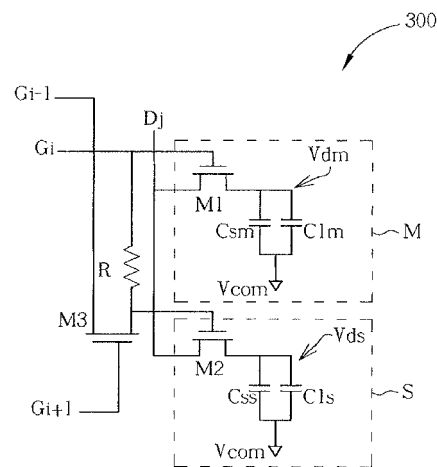
(54) 【発明の名称】 液晶表示装置及びその方法

(57) 【要約】

【課題】 8ドメインのAMVA方式液晶表示パネルを提供する。

【解決手段】 液晶表示装置の書くピクセルは、メインピクセル、サブピクセル、抵抗器及び第3スイッチエレメントを含む。該第3スイッチエレメントは、メインピクセル及びサブピクセルの充電時間を制御するために使用される。前ピクセルのメインピクセルのデータ信号は、メインピクセル及びサブピクセルを充電するために使用される、次にデータが、そのサブピクセル及びメインピクセルに送信され、サブピクセルへのデータ送信経路がオフに切り替えられ、そのデータはメインピクセルだけに送信される。この方法を使用する液晶表示パネルは、そのパネルに対する8ドメインのAMVA構造を実現するために、そのパネルの上部及び底部のそれぞれに1つのゲートラインを加える必要だけがある。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

($m + 2$) 個のゲート信号を送信するために使用される ($m + 2$) 個のゲート信号線；
n 個のデータ信号を送信するために使用される n 個のデータ線；及び
 $m * n$ ピクセルを含むピクセルアレイ；
を含む液晶表示装置であり、前記 $m * n$ ピクセルの (i, j) 番目のピクセルは：
i 番目のゲート信号線に電気接続されたゲート電極；及び
j 番目のデータ信号線に電気接続されたソース電極；
を含む第 1 スイッチエレメント；
該第 1 スイッチエレメントのドレイン電極に電気接続された第 1 電極を持つメインピ
クセル・ストレージキャパシタ；及び
前記第 1 スイッチエレメントのドレイン電極に電気接続された第 1 電極を持つメイン
ピクセル液晶キャパシタ；
を含むメインピクセル；
j 番目のデータ信号線に電気接続されたソース電極を持つ第 2 スイッチエレメント；
前記第 2 スイッチエレメントのドレイン電極に電気接続された第 1 電極を持つサブピ
クセル・ストレージキャパシタ；及び
前記第 2 スイッチエレメントのドレイン電極に電気接続された第 1 電極を持つサブピ
クセル液晶キャパシタ；
を含むサブピクセル；
前記第 2 スイッチエレメントのゲート電極に電気接続された第 1 電極；及び
前記 i 番目のゲート信号線に電気接続された第 2 電極；
を有する抵抗器；及び
($i + 1$) 番目のゲート信号線に電気接続されたゲート電極；
($i - 1$) 番目のゲート信号線に電気接続されたソース電極；及び
前記第 2 スイッチエレメントのゲート電極に電気接続されたドレイン電極；
を含む第 3 スイッチエレメント；
を含む液晶表示装置であり、 m 、 n 、 i 及び j は全て正の整数であることを特徴とする
液晶表示装置。

【請求項 2】

前記第 1 スイッチエレメントが薄膜トランジスタである、請求項 1 に記載された液晶表
示装置。

【請求項 3】

前記第 2 スイッチエレメントが薄膜トランジスタである、請求項 1 に記載された液晶表
示装置。

【請求項 4】

前記第 3 スイッチエレメントが薄膜トランジスタである、請求項 1 に記載された液晶表
示装置。

【請求項 5】

前記メインピクセル・ストレージキャパシタの第 2 電極及び前記メインピクセル液晶キ
ャパシタの第 2 電極が、共通の電圧に電気接続されていることを特徴とする、請求項 1 に
記載された液晶表示装置。

【請求項 6】

前記サブピクセル・ストレージキャパシタの第 2 電極及び前記サブピクセル液晶キャ
パシタの第 2 電極が、共通の電圧に電気接続されていることを特徴とする、請求項 1 に記
載された液晶表示装置。

【請求項 7】

前記メインピクセル・ストレージキャパシタ及び前記サブピクセル・ストレージキャ
パシタが同じキャパシタである、請求項 1 に記載された液晶表示装置。

【請求項 8】

前記メインピクセル液晶キャパシタ及び前記サブピクセル液晶キャパシタが同じキャパシタである、請求項 1 に記載された液晶表示装置。

【請求項 9】

液晶表示装置の表示方法であり：

($i - 1$, j) 番目のピクセルのメインピクセルヘータを送信する間に、(i , j) 番目のピクセルのメインピクセル及びサブピクセルの事前充電を同時に実施する段階；

前記($i - 1$, j) 番目のピクセルのメインピクセルへのデータ送信の完了後に、前記(i , j) 番目のピクセルのサブピクセルヘータを送信及び前記メインピクセルの事前充電を実施する段階；及び

前記(i , j) 番目のピクセルだけに送信されるデータが、前記(i , j) 番目のピクセルのメインピクセルへ送信されるように、前記(i , j) 番目のピクセルのサブピクセルへのデータの送信を停止する段階；

を含む表示方法であり、 i は 1 よりも大きい正の整数であり、 j は正の整数であることを特徴とする表示方法。

【請求項 10】

前記表示方法を使用する前記液晶表示装置が、列反転を採用する、請求項 9 に記載された液晶表示装置。

【請求項 11】

前記表示方法を使用する前記液晶表示装置が、フレーム反転を採用する、請求項 9 に記載された液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、8ドメインのAMVA(advanced multi-domain vertical alignment)方式を使用した液晶表示装置(LCD)に関し、さらに具体的には、メインピクセル及びサブピクセルに2つの薄膜トランジスタ(TFT)を使用したLCDと、そのメインピクセル及びサブピクセルの充電時間を制御するためのスイッチ要素と、関連する方法とに関する。

【背景技術】

【0002】

多くの8ドメインAMVA方式の液晶表示パネルは、それぞれのピクセルを2つのピクセルエレメント、すなわちメインピクセル及びサブピクセルに分割し、その2つのピクセルエレメントを、異なった角度で曲げるために、それらを異なった駆動電圧で駆動し、それによって、異なった光学特性を形成して広視野角を達成する。そのメインピクセル及びサブピクセルの曲げ(angling)は、キャパシタの使用を通して実現されるキャパシタ/キャパシタ・タイプ(CCタイプ)ピクセル及び薄膜トランジスタ(TFTs)の使用を通して実現されるトランジスタ/トランジスタ・タイプ(TTタイプ)ピクセルなどを含む多数の異なった方法において実現されてもよい。「Com-Swingタイプ」と呼ばれる第3のタイプは、メインピクセル及びサブピクセルの共通電圧、 V_{com} を変更することを使用し、その2つのピクセルエレメントを異なった角度に曲げる。CCタイプは容量性カップリングを使用し、メインピクセルとサブピクセルとの間のキャパシタ及び液晶キャパシタのキャパシタンス比を、メインピクセル及びサブピクセルの駆動電圧が異なるように調節する。Com-swingタイプは、メインピクセル及びサブピクセルの電圧を、メインピクセル及びサブピクセルのストレージキャパシタの V_{com} 電極を調節することによって異なった値にする。CCタイプの1つの不利点は、メインピクセルとサブピクセルとの間に電気接続されたキャパシタのキャパシタンスが一度決定されると、メインピクセル及びサブピクセルの駆動電圧も決定されることである。従って、設計を変更する自由が失われる。さらに、メインピクセル及びサブピクセルは、そのキャパシタを通して電気接続されているため、そのメインピクセル及びサブピクセルは、もはや相互的に独立していなく結合され、イエロー/レッド・バンディングに至る。Com-swin

10

20

30

40

50

gタイプは、似た問題に直面する。メインピクセル及びサブピクセルのストレージキャパシタのV c o m電極の電圧が、一度決定されると、メインピクセル及びサブピクセルの0 - 255レベルの関係は変更することができなく、そのメインピクセル及びサブピクセルの自由調節を防ぐ。同様に、メインピクセル及びサブピクセルは連結され、相互的に独立しなく、それはイエロー/レッド・バンディングの問題に至る。T Tタイプのみが、異なったデータ信号線を使用し、異なった駆動電圧をメインピクセル及びサブピクセルに直接提供するか、あるいは異なったゲート信号線を使用し、メインピクセル及びサブピクセルの充電時間を調節する。T Tタイプは、メインピクセル及びサブピクセルの駆動電圧を自由に調節することができ、そのメインピクセル及びサブピクセルは、相互的に独立し、イエロー/レッド・バンディング問題を防止し、カラーシフトの性能を改善する。

10

【0003】

T Tタイプ技術は、幅広く2つのカテゴリーに分けることができる：2 G 1 D及び1 G 2 Dである。前者は、1つのピクセルに2つのゲート信号線及び1つのデータ信号線を使用する；後者は、1つのピクセルに1つのゲート信号線及び2つのデータ信号線を使用する。図1及び図2を参照されたい。図1は、T Tタイプに対する2 G 1 Dピクセル構造の概略図である。図2は、T Tタイプに対する1 G 2 Dピクセル構造の概略図である。図1では、液晶パネルの(p, q)番目のピクセル100が、2つのピクセルエレメントに分割されている：メインピクセルA1及びサブピクセルB1である。メインピクセルA1は、ストレージキャパシタC s s及び液晶キャパシタC l mに電気接続されたドレイン電極を持つスイッチエレメントa1を持つ。サブピクセルB1は、ストレージキャパシタC s s及び液晶キャパシタC l sに電気接続されたドレイン電極を持つスイッチエレメントb1を持つ。ピクセル100は、2つのゲート信号線G p m及びG p sを使用する。メインピクセルA1に対応する第1ゲート信号線G p mは、スイッチエレメントa1のゲートに電気接続されている。サブピクセルb1に対応する第2ゲート信号線G p sは、スイッチエレメントb1のゲートに電気接続されている。データ信号線D qは、メインピクセルA1及びサブピクセルB1に共通して使用されており、スイッチエレメントa1及びスイッチエレメントb1のソース電極にそれぞれ電気接続されている。ストレージキャパシタ・ラインC sは、メインピクセルA1及びサブピクセルB1によって共通に使用されるもう1つのラインである。ストレージキャパシタ・ラインC sは、メインピクセルA1及びサブピクセルB1のストレージキャパシタC s m及びC s sの共通電極に電気接続されている。同様に、図2では、液晶表示装置パネルの(p, q)番目のピクセル200もまた、メインピクセルA2及びサブピクセルB2に分割されている。メインピクセルA2は、スイッチエレメントa2を持ち；サブピクセルB2は、スイッチエレメントb2を持つ。スイッチエレメントa2及びスイッチエレメントb2のドレイン電極は、同様に、ストレージキャパシタ、C s m、C s s及び液晶キャパシタC l m、C l sにそれぞれ電気接続されている。図2において、メインピクセルA2に対応するデータ信号線D q mが、スイッチエレメントa2のソース電極に電気接続され、サブピクセルB2に対応するデータ信号線D q sが、スイッチエレメントb2のソース電極に電気接続されている。メインピクセルA2及びサブピクセルB2によって共通に使用されるゲート信号線G pは、スイッチエレメントa2及びスイッチエレメントb2のゲート電極に電気接続されている。

20

30

40

【0004】

図1及び図2において、どちらの接続形態(2 G 1 D又は1 G 2 D)が採用されるに関わらず、液晶表示パネルに使用されるライン数は、元の接続法において2倍に増加される。2 G 1 Dは、ゲート信号線の2倍を必要とし、駆動I Cのp i n数は、また、2倍増加しなければいけなく、走査線数も2倍になる。各ピクセルの走査時間は半減し、駆動I Cのp i n数は2倍になり、それは、液晶表示パネルの製造コストにおける増加の原因となる。同様に、2 D 1 Gは、データ信号線の2倍の量を必要とし、それは、液晶表示パネルの製造費用の増加の原因となる。

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 5 】

従って、液晶表示装置の設計の研究の1つの主な分野は、上記の問題を、8ドメイン A M V A 方式液晶表示パネルを通してどのように克服するかということを含む。

【課題を解決するための手段】

【 0 0 0 6 】

1つの実施形態において、液晶表示装置は、 $(m+2)$ ゲート信号線、 n データ信号線及びピクセルアレイを含む。 $(m+2)$ ゲート信号線は、 $(m+2)$ ゲート信号を送信するために使用され、 m は正の整数である。 n データ信号線は、 n データ信号を送信するために使用され、 n は、正の整数である。ピクセルアレイは、 $m \times n$ ピクセルを含む。 $m \times n$ ピクセルの (i, j) 番目のピクセルは、メインピクセル、サブピクセル、抵抗器及び第3スイッチエレメントを含む。メインピクセルは、第1スイッチエレメント、メインピクセル・ストレージキャパシタ及びメインピクセル液晶キャパシタを含む。第1スイッチエレメントのゲート電極は、 i 番目のゲート信号線に電気接続されており、該第1スイッチエレメントのソース電極は、 j 番目のゲート信号線に電気接続されている。メインピクセル・ストレージキャパシタの第1電極は、第1スイッチエレメントのドレイン電極に電気接続されている。メインピクセル液晶キャパシタの第1電極は、第1スイッチエレメントのドレイン電極に電気接続されている。サブピクセルは、第2スイッチエレメント、サブピクセル・ストレージキャパシタ及びサブピクセル液晶キャパシタを含む。第2スイッチエレメントのソース電極は、 j 番目のデータ信号線に電気接続されている。サブピクセル・ストレージキャパシタの第1電極は、第2スイッチエレメントのドレイン電極に電気接続されている。サブピクセル液晶キャパシタの第1電極は、第2スイッチエレメントのドレイン電極に電気接続されている。抵抗器は、第2スイッチエレメントのゲート電極に電気接続された第1電極及び i 番目のゲート信号線に電気接続された第2電極を持つ。第3スイッチエレメントのゲート電極は、 $(i+1)$ 番目のゲート信号線に電気接続され、第3スイッチエレメントのソース電極は、 $(i-1)$ 番目のゲート信号線に電気接続され、第3スイッチエレメントのドレイン電極は、第2スイッチエレメントのゲート電極に電気接続されている。

【 0 0 0 7 】

もう1つの実施形態において、液晶表示装置の表示方法は、 (i, j) 番目のピクセルのメインピクセル及びサブピクセルの事前充電を、 $(i-1, j)$ 番目のピクセルのメインピクセルへのデータ送信の間に同時に実施すること、 (i, j) 番目のピクセルのサブピクセルへデータを送信し、 $(i-1, j)$ 番目のピクセルのメインピクセルへのデータ送信の後にそのメインピクセルの事前充電を実施すること、及び、 (i, j) 番目のピクセルへ送信されたデータのみが、その (i, j) 番目のピクセルのメインピクセルへ送信されるようにするために、 (i, j) 番目のサブピクセルへのデータ送信の完了後に、その (i, j) 番目のサブピクセルへのデータ送信を停止することを含む。上記において、 i は1よりも大きい正の整数であり、 j は正の整数である。

【 0 0 0 8 】

本発明のこれら及び他の目的は、当業者が、様々な図及びスケッチにおいて説明される好ましい実施形態の以下の詳細な説明を解読した後に、明確になるはずである。

【図面の簡単な説明】

【 0 0 0 9 】

【図1】従来技術の2G1D TTタイプのピクセル構造の概略図である。

【図2】従来技術の1G2D TTタイプのピクセル構造の概略図である。

【図3】本発明の実施形態に従ったピクセルの構造の概略図である。

【図4】本発明の実施形態に従った液晶表示装置の表示方法のフローチャートである。

【図5】本発明の実施形態に従った波形図である。

【図6】本発明の実施形態に従った液晶表示パネル600の構造の概略図である。

【発明を実施するための形態】

10

20

30

40

50

【 0 0 1 0 】

上記において説明された T T タイプのピクセルの A M V A 方式液晶表示装置の不利点に関して、本発明は、メインピクセル及びサブピクセルの充電時間を制御するためのスイッチエレメントを使用するピクセル構造を提案している。さらに、そのピクセル構造は、事前充電技術を採用している。従って、それぞれに対して 1 つだけのゲート信号線が、液晶表示パネルに使用される走査線又はデータ線の数を増加させずにそのパネルの上部及び下部領域に追加される必要がある。この方法では、走査時間の半減、不十分なピクセルデータ充電時間及び I C p i n を駆動させる回数の増加などの問題が防止される。

【 0 0 1 1 】

一定の用語が以下の説明及び請求項の全体を通して、特定の構成要素に対して使用される。当業者が理解するように、製造者は、ある構成要素を異なった名称呼んでもよい。以下の討論及び請求項において、「含む」、「含んでいる」などの用語は、限定の無い形式で使用されていることから、「含むが、それだけに限定されない...」と解釈されるべきである。さらに、「電気接続された」という用語は、直接又は間接的な如何なる電気接続も含むと解釈されるべきである。従って、文献において第 1 デバイスが、第 2 デバイスに電気接続されている場合、これは、該第 1 デバイスが直接的に該第 2 デバイスに接続されていてもよいことを意味するか、あるいは、間接的に他のデバイス又は接続手段を通して該第 2 デバイスに接続されていてもよいことを意味する。

【 実施例 】

【 0 0 1 2 】

図 3、図 4 及び図 5 を参照されたい。図 3 は、本発明の実施形態に従ったピクセル 3 0 0 の構造の概略図である。図 3 の液晶表示装置のピクセル 3 0 0 は、液晶表示パネルの $m \times n$ ピクセルの (i, j) 番目のピクセル 3 0 0 であり、 m 、 n 、 i 、及び j は、全て正の整数である。その (i, j) 番目のピクセル 3 0 0 は、メインピクセル M、サブピクセル S、抵抗器 R、及び第 3 スwitch エレメント M 3 を含む。メインピクセル M は、第 1 スwitch エレメント $m 1$ 、メインピクセル・ストレージキャパシタ $C s m$ 、及びメインピクセル液晶キャパシタ $C l m$ を含む。第 1 スwitch エレメント M 1 のゲート電極は、 i 番目のゲート信号線 $G i$ に電気接続され、第 1 スwitch エレメント M 1 のソース電極は、 j 番目のデータ信号線 $D j$ に電気接続される。メインピクセル・ストレージキャパシタ $C s m$ の第 1 電極及びメインピクセル液晶キャパシタ $C l m$ の第 1 電極は、両方とも第 1 スwitch エレメント M 1 のソース電極に電気接続されている。このノードは、メインピクセル電圧 $V d m$ の電圧を持つ。メインピクセル液晶キャパシタ $C s m$ の第 2 電極及びメインピクセル液晶キャパシタ $C l m$ の第 2 電極は、共通電圧 $V c o m$ に電気接続されている。サブピクセル S は、第 2 スwitch エレメント M 2、サブピクセル・ストレージキャパシタ $C s s$ 及びサブピクセル液晶キャパシタ $C l s$ を含む。第 2 スwitch エレメント M 2 のソース電極は、 j 番目のデータ信号線 $D j$ に電気接続されている、サブピクセル・ストレージキャパシタ $C s s$ の第 1 電極及びサブピクセル液晶キャパシタ $C l s$ の第 1 電極は、両方とも、第 2 スwitch エレメント M 2 のドレイン電極に電気接続されている。このノードは、サブピクセル電圧 $V d s$ の電圧を持つ。抵抗器 R は、スswitch エレメント M 2 のゲート電極と i 番目のゲート信号線 $G i$ との間に電気接続されている。第 3 スwitch エレメント M 3 のゲート電極は、 $(i + j)$ 番目のゲート信号線 $G i + 1$ に電気接続され；該第 3 スwitch エレメント M 3 のソース電極は、 $(i - 1)$ 番目のゲート信号線 $G i - 1$ に電気接続され；第 3 スwitch エレメント M 3 のドレイン電極は、第 2 スwitch エレメント M 2 のゲート電極に電気接続されている。サブピクセル・ストレージキャパシタ $C s s$ の第 2 電極及びサブピクセル液晶キャパシタ $C l s$ の第 2 電極は、共通電圧 $V c o m$ に電気接続されている。メインピクセル・ストレージキャパシタ $C s m$ 及びメインピクセル液晶キャパシタ $C l m$ は、1 つのキャパシタで実現されてもよく、メインピクセル液晶キャパシタ $C l m$ 及びサブピクセル液晶キャパシタ $C l s$ もまた、1 つのキャパシタで実現されてもよい。

【 0 0 1 3 】

図 4 は、本発明の実施形態に従った液晶表示装置の表示方法のフローチャートである。
その図 4 に示される表示方法は：

段階 4 0 0：開始；

段階 4 1 0：液晶表示パネルの $m \times n$ ピクセルの $(i - 1, j)$ 番目のピクセルのメインピクセルへのデータ送信の間に、 (i, j) 番目のピクセル 3 0 0 のメインピクセル M 及びサブピクセル S の事前充電を実施する；

段階 4 2 0： (i, j) 番目のピクセル 3 0 0 のサブピクセル S にデータを送信し、 $(i - 1, j)$ 番目のピクセルのメインピクセルへのデータ送信を完了した後に、そのメインピクセルの事前充電を実施する；

段階 4 3 0： (i, j) 番目のピクセル 3 0 0 に送信されたデータが、その (i, j) 番目のピクセル 3 0 0 のメインピクセル M にだけ送信されるように、 (i, j) 番目のピクセル 3 0 0 のサブピクセル S へのデータ送信の完了後に、その (i, j) 番目のピクセル 3 0 0 のサブピクセル S へのデータ送信を停止する；

段階 4 4 0：終了；

を含む。

【 0 0 1 4 】

図 5 は、本発明の実施形態に従った波形図である。図 5 において、F 及び F + 1 フレームの間に、j 番目のデータ信号線 D_j 上に送信されたデータ信号は（順番に）： $(i - 1, j)$ 番目のピクセルのサブピクセルのデータ信号 Hs_{i-1} 、 $(i - 1, j)$ 番目のピクセルのメインピクセルのデータ信号 Hm_{i-1} 、 (i, j) 番目のピクセル 3 0 0 のサブピクセル S のデータ信号 Hs_i 、 (i, j) 番目のピクセル 3 0 0 のメインピクセル M のデータ信号 Hm_i 、 $(i + 1, j)$ 番目のピクセルのサブピクセルのデータ信号 Hs_{i+1} 、及び $(i + 1, j)$ 番目のピクセルのメインピクセルのデータ信号 Hm_{i+1} である。ゲート信号線 G_{i-1} 、 G_i 及び G_{i+1} 上に送信されるゲート信号は、事前充電信号 P、サブピクセル充電信号 SC、及びメインピクセル充電信号 MC を含む。実施形態において、事前充電信号 P、サブピクセル充電信号 SC、及びメインピクセル充電信号 MC が、3 つの部分に等分される。しかし、この実施形態は、本発明を限定するものではない。事前充電信号 P、サブピクセル充電信号 SC 及びメインピクセル充電信号 MC もまた、不均等な割合のゲート信号に含まれてもよい。隣接しているフレームは反対の極性を持つため、事前充電信号 P の長さは、メインピクセル及びサブピクセルの駆動電圧が共通電圧 V_{com} よりも高い（又は低い）電圧に充電できる長さに設定するべきである。ゲート信号に含まれるサブピクセル充電信号 SC の長さは、サブピクセルのデータが、そのサブピクセルに完全に送信されるように十分でなければいけない。同様に、ゲート信号に含まれるメインピクセル充電信号 MC は、メインピクセルのデータがメインピクセルに完全に送信されるように十分でなければいけない。

【 0 0 1 5 】

図 5 において示されるフレーム F を 1 例とすると、図 5 の表示方法は段階 4 0 0 で開始される。液晶表示パネルの $m \times n$ ピクセルの $(i - 1, j)$ 番目のピクセルのサブピクセルへのデータ転送、すなわち図 5 のゲート信号線 G_{i-1} 上のゲート信号のサブピクセル充電信号 SC の転送が完了すると、ゲート信号線 G_{i-1} 上のゲート信号は、メインピクセル充電信号 MC（図 4 の段階 4 1 0）へ入力される。この段階で、 (i, j) 番目のピクセル 3 0 0 に電気接続されたゲート信号線 G_i 上のゲート信号もまた、事前充電信号 P に入る。従って、図 3 に示されているように、現段階では、ゲート信号線 G_i に電気接続されている第 1 スイッチエレメント M1 及び第 2 スイッチエレメント M2 は、オンにされ、j 番目のデータ信号線 D_j 上のデータ信号は、第 1 スイッチエレメント M1 及び第 2 スイッチエレメント M2 に送信される。図 5 に示されているように、現段階で、データ信号線 D_j 上のデータ信号は、 $(i - 1, j)$ 番目のピクセルのメインピクセルのデータ信号 Hm_{i-1} である。しかし、充電時間は、ゲート信号線 G_i 上の事前充電信号 P の期間において不十分であり、図 3 のメインピクセル電圧 V_{dm} 及びサブピクセル電圧 V_{ds} は、データ信号 Hm_{i-1} の電圧レベルには充電されないが、共通電圧 V_{com} よりも上

の電圧レベルにだけ充電されてもよい。次に、ゲート信号線 $G_i - 1$ 上のゲート信号が遮断され、ゲート信号線 G_i 上のゲート信号がサブピクセル充電信号 S_c (図4の段階420)に入る。上記と同様、ゲート信号線 G_i に電気接続されている第1スイッチエレメント M_1 及び第2スイッチエレメント M_2 はオンにされ、 j 番目のデータ信号線 D_j 上のデータ信号は、第1スイッチエレメント M_1 及び第2スイッチエレメント M_2 に送信される。この段階では、データ信号線 D_j 上のデータ信号は、 (i, j) 番目のピクセル300のサブピクセル S のデータ信号 H_{si} である。図3のサブピクセル電圧 V_{ds} は、データ信号 H_{si} の電圧レベルに充電されてもよく、そのメインピクセルは通常、サブピクセルよりも明るい(すなわち、メインピクセル電圧 V_{dm} が通常サブピクセル電圧 V_{ds} よりも高い)、データ信号 H_{si} が原因でメインピクセル V_{dm} が増加するものの、 (i, j) 番目のピクセル300のメインピクセル M のデータ信号 H_{mi} の電圧レベルには達しない。従って、 (i, j) 番目のピクセル300のサブピクセル S のデータ送信が完了した後に、 (i, j) 番目のピクセル300のデータが、 (i, j) 番目のピクセル300のメインピクセル M にだけ送信され続けるように(図4の段階430)、 (i, j) 番目のピクセル300のサブピクセル S への経路が閉じる。言い換えれば、現段階で、ゲート信号線 G_i 上のゲート信号がメインピクセル充電信号 MC に入り、ゲート信号線 G_{i+1} 上のゲート信号が事前充電信号 P に入る。従って、ゲート信号線 G_{i+1} に電気接続されている第3スイッチエレメント M_3 がオンになり、ゲート信号線 $G_i - 1$ 上のゲート信号が第3スイッチエレメント M_3 に送信される。しかし、この段階では、ゲート信号線 $G_i - 1$ 上に信号は存在しない。従って、第3スイッチエレメント M_3 のドレイン電極の電圧が V_{off} に近づく。ゲート信号線 G_i に電気接続されている第1スイッチエレメント M_1 は、まだオンであるが、第2スイッチエレメント M_2 は、そのゲート電極が、 V_{off} の電圧を持つスイッチエレメント M_3 のドレイン電極に電気接続されているため、オフになる。従って、 j 番目のデータ信号線 D_j 上のデータ信号 H_{mi} は、第1スイッチエレメント M_1 にのみ送信される。図3のメインピクセル電圧 V_{dm} がデータ信号 H_{mi} の電圧レベルに達すると、該表示方法は終了する(図4の段階440)。

【0016】

同様に、次のフレーム $F + 1$ はマイナスの極性を持つ。従って、次のフレーム $F + 1$ において、ゲート信号線 G_i 上の事前充電信号 P の期間では、 (i, j) 番目のピクセル300のメインピクセル電圧 V_{dm} 及びサブピクセル電圧 V_{ds} は、少なくとも共通電圧 V_{com} (逆の極性)の電圧レベルよりも低いレベルに充電される。次に、上記で説明された同じ段階に従って、 (i, j) 番目のピクセル300のメインピクセル M 及びサブピクセル S の充電プロセスが完了する。上記の方法は、列又はフレーム反転を採用している液晶表示装置において使用されてもよいことに注目されたい。言い換えれば、同じ列のピクセルの極性は、上記の事前充電技術が効果的であるように同じでなければいけない。

【0017】

本発明の実施形態に従った、液晶表示パネル600の構造の概略図である図6を参照されたい。図6において示される液晶表示パネル600は、 $m \times n$ ピクセル、データ信号線 $D_1 - D_n$ 及びゲート信号線 $G_0 - G_{m+1}$ を含む。 $m \times n$ ピクセルの各ピクセルは、ピクセル300と同じ構造を持つ。図6において示されるゲート信号線 $G_0 - G_{m+1}$ は、本発明の実施形態に追加された2つの余分なゲート信号線である。残りのデータ信号線 $D_1 - D_n$ 及びゲート信号線 $G_1 - G_m$ は、従来型の液晶パネルに存在している信号線である。ピクセル $(1, 1) - (1, n)$ の事前充電は、ゲート信号線 G_0 上のメインピクセル充電信号 MC の送信の間に実施されなければいけない。同様に、この段階の間に、メインピクセルデータは、対応するピクセルの V_{dm} 及びサブピクセル電圧 V_{ds} を、共通電圧 V_{com} よりも高い電圧レベル(プラスの極性フレームにおいて)又は共通電圧 V_{com} よりも低い電圧レベル(マイナスの極性フレームにおいて)に事前充電するように、データ信号線 $D_1 - D_n$ で送信されなければいけない。ピクセル $(m, 1) - (m, n)$ の第3スイッチエレメントは、そのピクセル $(m, 1) - (m, n)$ のサブピクセル電圧 V_{ds} 及びメインピクセル電圧 V_{dm} が、必要である電圧レベルに充電されるように、ゲ-

10

20

30

40

50

ト信号 G_{m+1} 上の事前充電を通してそれぞれオフにしてもよい。

【 0 0 1 8 】

本発明の実施形態は、それぞれのピクセルのメインピクセル及びサブピクセルの充電時間を制御するためのスイッチエレメントを使用し、従来型の液晶表示パネルにおいて2倍に増加したデータ信号線数又はゲート信号線数の不利点を克服するための効果的及び費用を節約する解決策を提供するT TタイプのAMVA設計を得るため、1つのゲート信号だけが、その液晶表示パネルの上部及び底部のそれぞれに追加される必要がある。

【 0 0 1 9 】

当業者は、該装置及び方法の多数の変更及び修正が、本発明の教示を維持する一方で作られてもよいことを容易に観察できる。

10

【 符号の説明 】

【 0 0 2 0 】

1 0 0 ... 液晶表示パネルの (p , q) 番目のピクセル

A 1 ... メインピクセル

B 1 ... サブピクセル

a 1 ... スイッチエレメント

b 1 ... スイッチエレメント

C s m ... メインピクセル・ストレージキャパシタ

C l m ... メインピクセル・液晶キャパシタ

G p m ... ゲート信号線

G p s ... ゲート信号線

C s ... ストレージキャパシタ・ライン

C s s ... サブピクセル・ストレージキャパシタ

C l s ... 液晶キャパシタ

2 0 0 ... 液晶表示パネルの (p , q) 番目のピクセル

A 2 ... メインピクセル

B 2 ... サブピクセル

a 2 ... スイッチエレメント

b 2 ... スイッチエレメント

D q m ... データ信号線

D q s ... データ信号線

G p ... ゲート信号線

3 0 0 ... 液晶表示パネルの $m * n$ ピクセル群の (p , q) 番目のピクセル

M ... メインピクセル

S ... サブピクセル

R ... 抵抗器

M 1 ... 第1スイッチエレメント

M 2 ... 第2スイッチエレメント

M 3 ... 第3スイッチエレメント

G i ... i 番目のゲート信号線

G i + 1 ... i + 1 番目のゲート信号線

G i - 1 ... i - 1 番目のゲート信号線

D j ... j 番目のデータ信号線

V d m ... メインピクセル電圧

V c o m ... 共通電圧

V d s ... サブピクセル電圧

P ... 事前充電信号

M C ... メインピクセル充電信号

S C ... サブピクセル充電信号

20

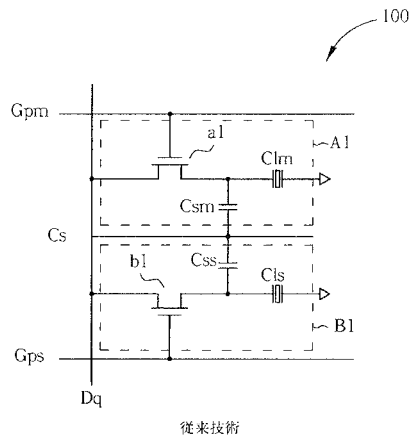
30

40

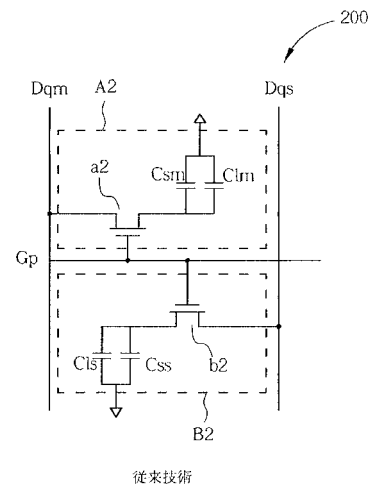
50

$H_{mi+1} \dots (i+1, j)$ 番目のピクセルのメインピクセルのデータ信号
 $H_{si+1} \dots (i+1, j)$ 番目のピクセルのサブピクセルのデータ信号
 $H_{mi} \dots (i, j)$ 番目のピクセルのメインピクセルのデータ信号
 $H_{si} \dots (i, j)$ 番目のピクセルのサブピクセルのデータ信号
 $H_{mi-1} \dots (i-1, j)$ 番目のピクセルのメインピクセルのデータ信号
 $H_{si-1} \dots (i-1, j)$ 番目のピクセルのメインピクセルのデータ信号
 $D_n \dots n$ 番目のデータ信号線
 $G_m \dots m$ 番目のゲート信号線

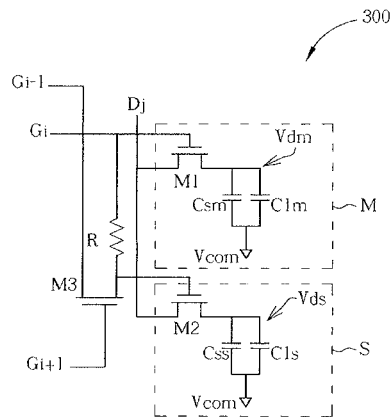
【図 1】



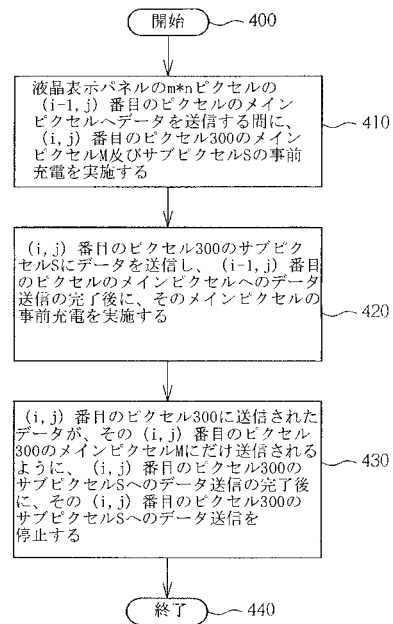
【図 2】



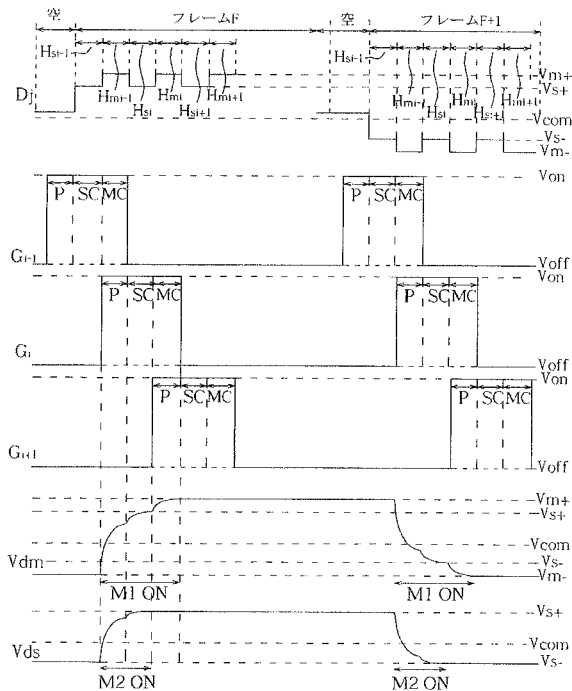
【図 3】



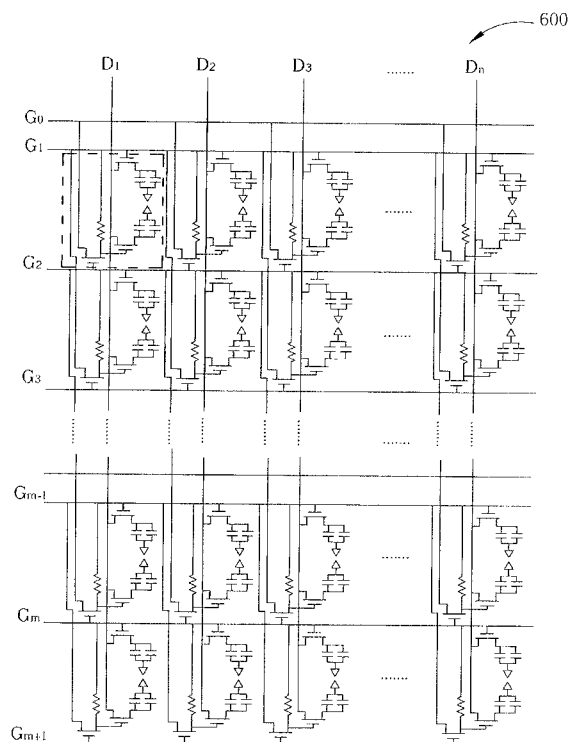
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 2 Q
G 0 9 G	3/20	6 1 1 J
G 0 9 G	3/20	6 2 1 F

(72)発明者 黄 天勇

台湾屏東縣▲満▼州郷▲満▼州村文化路 1 3 巷 3 1 號

(72)発明者 方 嘉駿

台湾高雄市三民區壽昌路 3 3 7 巷 4 號

F ターム(参考) 2H092 JA24 JB13 JB42 JB46 JB65 NA27 PA06 QA07
 2H193 ZA04 ZA05 ZA19 ZB02 ZB03 ZB06 ZB13 ZC15 ZE06 ZP03
 ZQ11 ZQ44
 5C006 AA16 AA22 AC11 AC22 AC28 AF42 AF43 AF44 AF50 AF51
 AF72 BA19 BB16 BC03 BC06 FA12 FA15 FA16 FA23 FA25
 FA37 FA42 FA51 FA55
 5C080 AA10 BB05 CC03 DD03 DD05 DD06 DD08 DD23 DD28 EE29
 FF11 JJ02 JJ03 JJ04 JJ07

专利名称(译)	液晶显示装置及其方法		
公开(公告)号	JP2010244007A	公开(公告)日	2010-10-28
申请号	JP2009233955	申请日	2009-10-08
[标]申请(专利权)人(译)	中华映管股份有限公司		
申请(专利权)人(译)	中华映管股▲ふん▼有限公司		
[标]发明人	藍東しん 廖木山 黄天勇 方嘉駿		
发明人	藍 東▲しん▼ 廖 木山 黄 天勇 方 嘉駿		
IPC分类号	G02F1/1368 G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G02F1/13624 G02F2001/134345 G09G3/3607 G09G3/3648 G09G2310/0251 G09G2310/06 G09G2320/0242		
FI分类号	G02F1/1368 G02F1/133.550 G09G3/20.624.B G09G3/36 G09G3/20.621.B G09G3/20.622.D G09G3/20.622.Q G09G3/20.611.J G09G3/20.621.F		
F-TERM分类号	2H092/JA24 2H092/JB13 2H092/JB42 2H092/JB46 2H092/JB65 2H092/NA27 2H092/PA06 2H092/QA07 2H193/ZA04 2H193/ZA05 2H193/ZA19 2H193/ZB02 2H193/ZB03 2H193/ZB06 2H193/ZB13 2H193/ZC15 2H193/ZE06 2H193/ZP03 2H193/ZQ11 2H193/ZQ44 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC22 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF50 5C006/AF51 5C006/AF72 5C006/BA19 5C006/BB16 5C006/BC03 5C006/BC06 5C006/FA12 5C006/FA15 5C006/FA16 5C006/FA23 5C006/FA25 5C006/FA37 5C006/FA42 5C006/FA51 5C006/FA55 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD05 5C080/DD06 5C080/DD08 5C080/DD23 5C080/DD28 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ07 2H192/AA24 2H192/BC24 2H192/CB11 2H192/CC15 2H192/CC17 2H192/CC22 2H192/DA43 2H192/GD61 2H192/JA13 2H193/ZA07 2H193/ZA08		
代理人(译)	伊藤忠彦		
优先权	098111413 2009-04-06 TW		
其他公开文献	JP4987938B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供采用8域高级多域垂直对准 (AMVA) 的液晶显示面板。解决方案：液晶显示装置的每个像素包括主像素，子像素，电阻器和第三开关元件。第三开关元件用于控制主像素和子像素的充电时间。利用前一像素的主像素的数据信号对主像素和子像素充电，然后将数据发送到子像素和主像素。到子像素的数据传输路径被关闭，并且数据仅被传输到主像素。利用该方法的液晶显示面板仅需要在面板的顶部和底部的每一个处添加一条栅极线，以获得用于LCD面板的8域的AMVA结构。Ž

300

