

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-156903

(P2010-156903A)

(43) 公開日 平成22年7月15日(2010.7.15)

(51) Int.Cl.
G02F 1/1345 (2006.01)F I
G O 2 F 1/1345テーマコード (参考)
2 H O 9 2

審査請求 未請求 請求項の数 12 O L (全 14 頁)

(21) 出願番号 特願2009-61 (P2009-61)
(22) 出願日 平成21年1月5日 (2009.1.5)(71) 出願人 304053854
エプソンイメージングデバイス株式会社
長野県安曇野市豊科田沢6925
(74) 代理人 100095728
弁理士 上柳 雅誉
(74) 代理人 100107261
弁理士 須澤 修
(74) 代理人 100127661
弁理士 宮坂 一彦
(72) 発明者 吉田 周平
長野県安曇野市豊科田沢6925 エプソ
ンイメージングデバイス株式会社内
(72) 発明者 西村 城治
長野県安曇野市豊科田沢6925 エプソ
ンイメージングデバイス株式会社内
最終頁に続く

(54) 【発明の名称】 液晶表示装置および電子機器

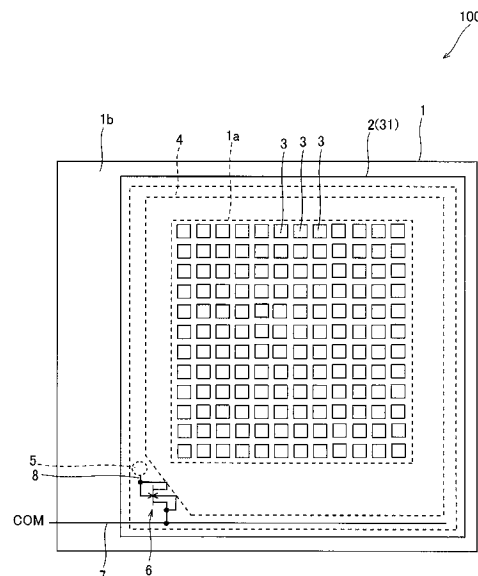
(57) 【要約】

【課題】 シールド電極の電位の影響による表示不良が起
こるのを抑制することが可能な液晶表示装置を提供する

。

【解決手段】 この液晶表示装置100は、基板1と、基
板1側に形成された画素選択用の薄膜トランジスタ16
と、基板1側の薄膜トランジスタ16の上方に形成され
た画素電極19および共通電極21と、画素電極19お
よび共通電極21の上方に液晶層36を介して設けられ
た基板2と、基板2の表面上に設けられたシールド電極
31と、シールド電極31と共通電位(COM)を供給
する共通電位配線7との間に設けられ、所定の電位(1
0V)よりも大きい電位によりオン状態となるダイオー
ドとして機能する薄膜トランジスタ6とを備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 基板と、
前記第 1 基板側に形成された画素選択用の第 1 薄膜トランジスタと、
前記第 1 基板側の前記第 1 薄膜トランジスタの上方に形成された画素電極および共通電極と、

前記画素電極および前記共通電極の上方に液晶層を介して設けられた第 2 基板と、
前記第 2 基板の表面上に設けられたシールド電極と、
前記シールド電極と、交流的または直流的な特定の電位を供給する配線との間に設けられ、所定の電位よりも大きい電位によりオン状態となるスイッチ素子とを備える、液晶表示装置。

10

【請求項 2】

前記特定の電位を供給する配線は、前記共通電極に共通電位を供給する配線である、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記シールド電極は、前記第 2 基板の前記第 1 基板側に設けられている、請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記スイッチ素子は、前記画素選択用の第 1 薄膜トランジスタの能動層と同一の層からなる能動層を有する第 2 薄膜トランジスタを含む、請求項 1 ～ 3 のいずれか 1 項に記載の液晶表示装置。

20

【請求項 5】

前記第 2 薄膜トランジスタのソース／ドレインの一方は、前記シールド電極と導通するとともに、

前記第 2 薄膜トランジスタの少なくともソース／ドレインの一方と前記第 2 薄膜トランジスタのゲートとが接続されている、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 2 薄膜トランジスタのソース／ドレインの他方と前記第 2 薄膜トランジスタのゲートとが接続されている、請求項 5 に記載の液晶表示装置。

【請求項 7】

前記シールド電極と前記スイッチ素子の一方端との間に設けられる導通部をさらに備え、
前記スイッチ素子の一方端と前記導通部とが接続されるとともに、前記スイッチ素子の他方端と前記特定の電位を供給する配線とが接続されている、請求項 1 ～ 6 のいずれか 1 項に記載の液晶表示装置。

30

【請求項 8】

前記第 1 基板には、複数の画素が設けられる表示領域と前記表示領域以外の非表示領域とが設けられ、

前記スイッチ素子は、前記非表示領域に設けられている、請求項 1 ～ 7 いずれか 1 項に記載の液晶表示装置。

40

【請求項 9】

前記液晶層を封入するように前記第 1 基板と前記第 2 基板とをシールするシール材をさらに備え、

前記スイッチ素子は、平面的に見て、前記シール材とオーバーラップするように設けられている、請求項 1 ～ 8 のいずれか 1 項に記載の液晶表示装置。

【請求項 10】

前記シールド電極と前記スイッチ素子の一方端との間に設けられる導通部と、
前記導通部と前記スイッチ素子の一方端とを接続する配線層とをさらに備え、
前記導通部および前記配線層は、平面的に見て、前記シール材とオーバーラップするように設けられている、請求項 9 に記載の液晶表示装置。

50

【請求項 11】

前記スイッチ素子は、複数設けられ、前記複数のスイッチ素子は、直列または並列に接続されている、請求項 1～10 のいずれか 1 項に記載の液晶表示装置。

【請求項 12】

請求項 1～11 のいずれか 1 項に記載の液晶表示装置を備える、電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置および電子機器に関し、特に、一对の基板のうちの一方にシールド電極が設けられる液晶表示装置および電子機器に関する。

10

【背景技術】

【0002】

従来、一对の基板のうちの一方にシールド電極が設けられる液晶表示装置が知られている（たとえば、特許文献 1 参照）。上記特許文献 1 に記載の液晶表示装置は、一对の基板のうちの一方にシールド電極が設けられるとともに、一对の基板のうちの他方には、画素電極と共通電極とが設けられている。そして、この液晶表示装置は、画素電極と共通電極との間に発生する横方向の電界により液晶を駆動する IPS（In Plane Switching）方式により駆動されている。また、液晶表示装置に設けられるシールド電極（導電層）は、所定の電位（接地電位、共通電極電位など）に接続されているか、または、フローティング状態となっている。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2001-51263 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、上記特許文献 1 に記載の液晶表示装置では、シールド電極が特定の電位（接地電位、共通電極電位など）に接続されている場合には、シールド電極の特定の電位が画素に影響を及ぼすことにより、シールド電極がフローティング状態の場合と比べて、透過率が小さくなるという不都合がある。一方、シールド電極がフローティング状態である場合には、シールド電極に蓄積された静電気が抜けにくく、黒表示の際に光が漏れてしまうという不都合がある。このように、上記特許文献 1 に記載の液晶表示装置では、シールド電極の電位の影響のため、表示不良が起こるという問題点がある。

30

【0005】

この発明は、上記のような課題を解決するためになされたものであり、この発明の 1 つの目的は、シールド電極の電位の影響による表示不良が起こるのを抑制することが可能な液晶表示装置および電子機器を提供することである。

【課題を解決するための手段】

【0006】

40

上記目的を達成するために、この発明の第 1 の局面における液晶表示装置は、第 1 基板と、第 1 基板側に形成された画素選択用の第 1 薄膜トランジスタと、第 1 基板側の第 1 薄膜トランジスタの上方に形成された画素電極および共通電極と、画素電極および共通電極の上方に液晶層を介して設けられた第 2 基板と、第 2 基板の表面上に設けられたシールド電極と、シールド電極と、交流的または直流的な特定の電位を供給する配線との間に設けられ、所定の電位よりも大きい電位によりオン状態となるスイッチ素子とを備える。

【0007】

この第 1 の局面による液晶表示装置では、上記のように、シールド電極と、交流的または直流的な特定の電位との間に設けられ、所定の電位よりも大きい電位によりオン状態となるスイッチ素子を備えることによって、シールド電極が直接特定の電位を供給する配線

50

に接続されている場合と異なり、シールド電極の電位が所定の電位未満の場合には特定の電位の影響を受けないので、シールド電極に印加される特定の電位の画素への影響により、表示不良が起こるのを抑制することができる。また、スイッチ素子が所定の電位よりも大きい電位によりオン状態となることにより、シールド電極に所定の電位以上の静電気が蓄積されることが抑制されるので、シールド電極に蓄積される静電気が放電されない場合と比べて、シールド電極に蓄積される静電気の影響による表示不良が起こるのを抑制することができる。

【0008】

上記第1の局面による液晶表示装置において、好ましくは、特定の電位を供給する配線は、共通電極に共通電位を供給する配線である。このように構成すれば、共通電極に供給される共通電位は液晶表示装置にもともと備えられた電位であるので、別途電位を設ける場合と異なり、容易に、スイッチ素子と特定の電位とを接続することができる。

10

【0009】

上記第1の局面による液晶表示装置において、好ましくは、シールド電極は、第2基板の第1基板側に設けられている。このように構成すれば、シールド電極が第2基板の第1基板と反対側に形成される場合と異なり、シールド電極を第1基板側の素子に容易に接続することができる。

【0010】

上記第1の局面による液晶表示装置において、好ましくは、スイッチ素子は、第1薄膜トランジスタの能動層と同一の層からなる能動層を有する第2薄膜トランジスタを含む。このように構成すれば、第2薄膜トランジスタの能動層を第1薄膜トランジスタの能動層とは別個に形成する場合と異なり、第1薄膜トランジスタと第2薄膜トランジスタとを同一の工程により形成することができるので、第2薄膜トランジスタを容易に形成することができる。

20

【0011】

この場合、好ましくは、第2薄膜トランジスタのソース／ドレインの一方は、シールド電極と導通するとともに、第2薄膜トランジスタの少なくともソース／ドレインの一方と第2薄膜トランジスタのゲートとが接続されている。このように構成すれば、容易に、シールド電極に蓄積された電荷を第2薄膜トランジスタのソース／ドレインの他方側に放電することができる。

30

【0012】

上記第2薄膜トランジスタの少なくともソース／ドレインの一方とゲートとが接続される液晶表示装置において、好ましくは、第2薄膜トランジスタのソース／ドレインの他方と第2薄膜トランジスタのゲートとが接続されている。このように構成すれば、シールド電極の電位が第2薄膜トランジスタのソース／ドレインの他方側の電位よりも低くなった場合でも、第2薄膜トランジスタのソース／ドレインの他方側からシールド電極に電位を供給することができる。

【0013】

上記第1の局面による液晶表示装置において、好ましくは、シールド電極とスイッチ素子の一方端との間に設けられる導通部をさらに備え、スイッチ素子の一方端と導通部とが接続されるとともに、スイッチ素子の他方端と特定の電位を供給する配線とが接続される。このように構成すれば、シールド電極に蓄積された電荷が、導通部を介して、容易に特定の電位に放電される。

40

【0014】

上記第1の局面による液晶表示装置において、好ましくは、第1基板には、複数の画素が設けられる表示領域と表示領域以外の非表示領域とが設けられ、スイッチ素子は、非表示領域に設けられている。このように構成すれば、スイッチ素子が表示領域に設けられる場合と異なり、表示領域の表示に寄与する部分が小さくなるのを抑制することができる。

【0015】

上記第1の局面による液晶表示装置において、好ましくは、液晶層を封入するように第

50

1 基板と第2基板とをシールするシール材をさらに備え、スイッチ素子は、平面的に見て、シール材とオーバーラップするように設けられている。このように構成すれば、スイッチ素子を設けるためのスペースをわざわざ設ける必要がないため、シール材より外側の領域（いわゆる額縁領域）を広げる必要がなく、よって液晶表示パネル全体の面積が増加するのを抑制できるため、液晶表示装置の小型化にも寄与するものとなる。

【0016】

この場合、好ましくは、シールド電極とスイッチ素子の一方端との間に設けられる導通部と、導通部とスイッチ素子の一方端とを接続する配線層とをさらに備え、導通部および配線層は、平面的に見て、シール材とオーバーラップするように設けられている。このように構成すれば、導通部および配線層を設けるためのスペースをわざわざ設ける必要がないため、シール材より外側の領域（いわゆる額縁領域）を広げる必要がなく、よって液晶表示パネル全体の面積が増加するのを抑制できるため、液晶表示装置の小型化にも寄与するものとなる。

【0017】

上記第1の局面による液晶表示装置において、好ましくは、スイッチ素子は、複数設けられ、複数のスイッチ素子は、直列または並列に接続されている。このように構成すれば、複数のスイッチ素子のうち、1つのスイッチ素子が壊れても、他のスイッチ素子を介して、シールド電極に蓄積された電荷を特定の電位側に放電することができる。

【0018】

この発明の第2の局面による電子機器は、上記のいずれかの構成を有する液晶表示装置を備える。このように構成すれば、シールド電極の電位の影響による表示不良が起こるのを抑制することが可能な電子機器を得ることができる。

【図面の簡単な説明】

【0019】

【図1】本発明の一実施形態による液晶表示装置の平面図である。

【図2】本発明の一実施形態による液晶表示装置の共通電位配線、ダイオードとして機能する薄膜トランジスタおよび導通部を示す平面図である。

【図3】本発明の一実施形態による液晶表示装置の画素の断面図である。

【図4】本発明の一実施形態による液晶表示装置の表示領域の端部近傍の断面図である。

【図5】本発明の一実施形態による液晶表示装置のダイオードとして機能する薄膜トランジスタのソース電極／ドレイン電極以下の層を示す平面図である。

【図6】本発明の一実施形態による液晶表示装置のダイオードとして機能する薄膜トランジスタの平面図である。

【図7】図6の200-200線に沿った断面図である。

【図8】本発明の一実施形態による液晶表示装置を用いた電子機器の一例を説明するための図である。

【図9】本発明の一実施形態による液晶表示装置を用いた電子機器の一例を説明するための図である。

【図10】本発明の一実施形態による液晶表示装置の第1変形例の薄膜トランジスタの回路図である。

【図11】本発明の一実施形態による液晶表示装置の第2変形例の薄膜トランジスタの回路図である。

【発明を実施するための形態】

【0020】

以下、本発明の実施形態を図面に基づいて説明する。

【0021】

図1は、本発明の一実施形態による液晶表示装置の平面図である。図2は、本発明の一実施形態による液晶表示装置の共通電位配線、ダイオードとして機能する薄膜トランジスタおよび導通部を示す平面図である。図3～図7は、本発明の一実施形態による液晶表示装置の構造を説明するための図である。図1～図7を参照して、本発明の一実施形態によ

10

20

30

40

50

る液晶表示装置 100 の構成について説明する。

【0022】

本発明の一実施形態による液晶表示装置 100 では、図 1 に示すように、ガラスからなる一対の基板 1 および基板 2 と、複数の画素 3 と、複数の画素 3 (液晶層 36) を封入するためのシール材 4 と、シール材 4 に含まれる導通部 5 と、導通部 5 に接続されるダイオードとして機能する薄膜トランジスタ 6 と、薄膜トランジスタ 6 に接続される共通電位配線 7 とが設けられている。なお、基板 1 および基板 2 は、それぞれ、本発明の「第 1 基板」および「第 2 基板」の一例である。また、薄膜トランジスタ 6 は、本発明の「第 2 薄膜トランジスタ」の一例である。また、本実施形態では、共通電位配線 7 には、後述する共通電極 21 に供給される共通電位 (COM) が接続されている。また、液晶表示装置 100 は、共通電位の電位が交流的に反転する反転駆動により駆動されるように構成されている。なお、共通電位は、本発明の「特定の電位」の一例である。また、共通電位配線 7 は、本発明の「特定の電位を供給する配線」の一例である。

10

【0023】

また、本実施形態では、基板 2 の面積は、平面的に見て、基板 1 の面積よりも小さく形成されており、基板 1 と基板 2 とが重なる領域の基板 1 上には、表示領域 1a が設けられている。また、表示領域 1a の周囲を取り囲むように、非表示領域 1b (表示領域 1a 以外の部分) が形成されている。複数の画素 3 は、表示領域 1a においてマトリクス状に配置されている。

【0024】

また、本実施形態では、図 2 に示すように、薄膜トランジスタ 6 は、導通部 5 と共通電位配線 7 との間に配置されており、導通部 5 と薄膜トランジスタ 6 とは、配線 8 によって接続されている。なお、配線 8 は、本発明の「配線」の一例である。また、配線 8 は、後述する画素選択用の薄膜トランジスタ 16 のゲート電極 11 と同一の層からなる金属層により形成されている。そして、本実施形態では、導通部 5、薄膜トランジスタ 6、共通電位配線 7、および、配線 8 は、平面的に見て、非表示領域 1b 上にシール材 4 とオーバーラップするように設けられている。なお、薄膜トランジスタ 6 の全体が平面的に見て、シール材 4 とオーバーラップしてもよいし、薄膜トランジスタ 6 の一部分がシール材 4 とオーバーラップしていてもよい。

20

【0025】

画素 3 の断面構造としては、図 3 に示すように、基板 1 上に、ゲート電極 11 が設けられている。また、ゲート電極 11 上と基板 1 上とは、SiN 膜または SiO₂ 膜からなるゲート絶縁膜 12a を含む絶縁膜 12 が形成されている。ゲート絶縁膜 12a を介してゲート電極 11 と平面的に見て重なるように下層の a-Si 層と、上層の n 型の導電性を有する n⁺Si 層との 2 層構造からなる半導体層 13 が形成されている。なお、半導体層 13 は、本発明の「能動層」の一例である。

30

【0026】

半導体層 13 上には、ゲート電極 11 および半導体層 13 と平面的に見て重なるように、ソース電極 14 およびドレイン電極 15 が形成されている。また、平面的に見て、ソース電極 14 とドレイン電極 15 とに挟まれる半導体層 13 の領域には、チャンネル領域 13a が形成されている。そして、ゲート電極 11、半導体層 13、ソース電極 14、および、ドレイン電極 15 により、画素選択用の薄膜トランジスタ 16 が構成されている。なお、薄膜トランジスタ 16 は、本発明の「第 1 薄膜トランジスタ」の一例である。

40

【0027】

ソース電極 14、ドレイン電極 15 および絶縁膜 12 を覆うように、SiN 膜からなる層間絶縁膜 17 が形成されている。また、層間絶縁膜 17 には、ドレイン電極 15 に対応する領域にコンタクトホール 17a が形成されている。層間絶縁膜 17 の表面上には、アクリル系の樹脂などの有機膜からなる平坦化膜 18 が形成されている。また、平坦化膜 18 には、コンタクトホール 17a と貫通するようにコンタクトホール 18a が形成されている。また、平坦化膜 18 の表面上には、コンタクトホール 17a およびコンタクトホー

50

ル18aを介してドレイン電極15と接続するように、ITO (Indium Tin Oxide : 酸化インジウムスズ) などの透明電極からなる画素電極19が形成されている。なお、画素電極19は、画素3毎に形成されている。

【0028】

また、平坦化膜18および画素電極19の表面上には、低温で形成されたSiN膜からなるパッシベーション膜20が形成されている。パッシベーション膜20の表面上には、複数の画素3に跨るように、ITOなどの透明電極からなる共通電極21が形成されている。また、共通電極21には、複数のスリット21aが設けられており、スリット21aを介して画素電極19と共通電極21との間で電界が発生するように構成されている。

【0029】

また、共通電極21の表面上には、ポリイミドなどの有機膜からなる配向膜22が形成されている。この配向膜22は、共通電極21の表面上を覆うように形成されるとともに、共通電極21のスリット21aを介して、パッシベーション膜20と接触するように形成されている。

【0030】

ここで、本実施形態では、基板1に対向するように設けられる基板2の基板1側の表面上には、ITOなどの透明電極からなるシールド電極31が形成されている。シールド電極31は、基板2の略全面に形成されている。また、シールド電極31の表面上には、樹脂などから形成されるブラックマトリクス32が形成されている。ブラックマトリクス32は、平面的に見て、画素3の境界上に形成されるとともに、マトリクス状に形成されている。また、シールド電極31およびブラックマトリクス32の表面上には、カラーフィルター33が形成されている。また、ブラックマトリクス32およびカラーフィルター33の表面上には、保護膜としてのオーバーコート34が形成されている。オーバーコート34の表面上には、ポリイミドなどの有機膜からなる配向膜35が形成されている。配向膜22と配向膜35との間には、液晶層36が封入されている。

【0031】

また、基板1の基板2と反対側の表面には、偏光板37が形成されている。基板2の基板1と反対側の表面には、偏光板38が形成されている。また、偏光板37と対向するようにバックライト39が設けられている。

【0032】

また、図4に示すように、基板2の端部に対応する基板1の表面上には、一方端が共通電極21に接続されるとともに、他方端が薄膜トランジスタ6に接続される配線8が設けられている。配線8の表面上には、SiN膜またはSiO₂膜からなる絶縁膜12が形成されている。そして、絶縁膜12には、コンタクトホール12bが形成されるとともに、コンタクトホール12bを介して配線8と接続するようにITOからなる電極40が形成されている。また、本実施形態では、シール材4の電極40に対応する領域には、金(Au)などからなる粒子状の導電材41が含まれており、シールド電極31と配線8とは、導電材41を含むシール材4の部分(導通部5)によって、導通するように構成されている。

【0033】

また、図5に示すように、ダイオードとして機能する薄膜トランジスタ6では、基板1の表面上に、ゲート電極51およびゲート電極52が形成されている。なお、ゲート電極52は、シールド電極31に導通する導通部5(図4参照)に接続される配線8と接続されている。また、ゲート電極51およびゲート電極52は、共通電位配線7と同一の層に形成されている。

【0034】

図7に示すように、ゲート電極51(図示しないゲート電極52)、配線8、および、共通電位配線7の表面上には、薄膜トランジスタ6のゲート絶縁膜12cとしても機能するSiN膜またはSiO₂膜からなる絶縁膜12が形成されている。絶縁膜12の共通電位配線7および配線8に対応する領域には、それぞれ、コンタクトホール12dおよび1

10

20

30

40

50

2 e が設けられている。

【0035】

図5および図6に示すように、ゲート絶縁膜12cを介してゲート電極51(52)と、平面的に見て重なるように、下層のa-Si層と上層のn型の導電性を有するn⁺Si層との2層構造からなる半導体層53(54)が形成されている。なお、半導体層53(54)は、本発明の「能動層」の一例である。半導体層53(54)上には、ゲート電極51(52)および半導体層53(54)と平面的に見て重なるように、ソース電極55およびドレイン電極56が形成されている。また、平面的に見て、ソース電極55とドレイン電極56とに挟まれる半導体層53(54)の領域には、チャンネル領域53a(54a)が形成されている。

10

【0036】

図7に示すように、ソース電極55、ドレイン電極56および絶縁膜12を覆うように、SiN膜からなる層間絶縁膜17が形成されている。また、層間絶縁膜17の共通電位配線7、ソース電極55、ドレイン電極56および配線8に対応する領域には、それぞれ、コンタクトホール17b~17eが形成されている。

【0037】

また、層間絶縁膜17の表面上には、平坦化膜18が形成されており、平坦化膜18の共通電位配線7、ソース電極55、ドレイン電極56および配線8に対応する領域には、それぞれ、コンタクトホール18b~18eが形成されている。

【0038】

また、図6および図7に示すように、共通電位配線7とソース電極55とをコンタクト部57および58を介して接続するように透明電極からなる電極59が形成されている。また、ドレイン電極56と配線8とをコンタクト部60および61を介して接続するように透明電極からなる電極62が形成されている。

20

【0039】

ここで、本実施形態では、図6に示すように、ソース電極55と、ゲート電極51とを接続するように、透明電極からなる電極63が形成されている。これにより、薄膜トランジスタ6は、ソース電極55とゲート電極51とが接続されるダイオードとして機能する。また、本実施形態では、ドレイン電極56と、配線8(ゲート電極52)とが電極62を介して接続されることにより、薄膜トランジスタ6は、ドレイン電極56とゲート電極52とが接続されるダイオードとして機能する。なお、薄膜トランジスタ6は、たとえば、10Vの電圧でゲート電極51およびゲート電極52がオン状態となるように構成されている。なお、薄膜トランジスタ6がオン状態となる10Vは、本発明の「所定の電位」の一例である。

30

【0040】

また、本実施形態では、図3および図7に示すように、画素選択用の薄膜トランジスタ16のゲート電極11、半導体層13、ソース電極14およびドレイン電極15は、それぞれ、ダイオードとして機能する薄膜トランジスタ6のゲート電極51(52)、半導体層53(54)、ソース電極55およびドレイン電極56と同一の層から形成されている。

40

【0041】

また、図6に示すように、ダイオードとして機能する薄膜トランジスタ6のチャンネル領域53aおよび54aのチャンネル幅Wは、画素選択用の薄膜トランジスタ16のチャンネル領域13aのチャンネル幅と略等しくなるように形成されている。また、ダイオードとして機能する薄膜トランジスタ6のチャンネル領域53aおよび54aのチャンネル長Dは、画素選択用の薄膜トランジスタ16のチャンネル領域13aのチャンネル長の5倍から10倍の大きさになるように形成されている。これにより、ダイオードとして機能する薄膜トランジスタ6のチャンネル領域53aおよび54aの抵抗が、画素選択用の薄膜トランジスタ16のチャンネル領域13aの抵抗よりも大きくなる。

【0042】

50

本実施形態では、上記のように、シールド電極 3 1 と共通電位配線 7 との間に設けられ、所定の電位（10 V）よりも大きい電位によりオン状態となるダイオードとして機能する薄膜トランジスタ 6 を備えることによって、シールド電極 3 1 が直接共通電位配線 7 に接続されている場合と異なり、シールド電極 3 1 の電位が所定の電位未満の場合には共通電位の影響を受けないので、シールド電極 3 1 に印加される共通電位の画素 3 への影響により、表示不良が起こるのを抑制することができる。また、薄膜トランジスタ 6 が所定の電位よりも大きい電位によりオン状態となることにより、シールド電極 3 1 に所定の電位以上の静電気が蓄積されるのが抑制されるので、シールド電極 3 1 に蓄積される静電気が放電されない場合と比べて、シールド電極 3 1 に蓄積される静電気の影響による表示不良が起こるのを抑制することができる。

10

【0043】

また、本実施形態では、上記のように、シールド電極 3 1 に薄膜トランジスタ 6 を介して共通電位を供給する共通電位配線 7 を接続することによって、共通電位は液晶表示装置 100 にもともと備えられた電位であるので、別途電位を設ける場合と異なり、容易に、シールド電極 3 1 に薄膜トランジスタ 6 を介して電位を接続することができる。

【0044】

また、本実施形態では、上記のように、シールド電極 3 1 を基板 2 の基板 1 側に設けることによって、シールド電極 3 1 が基板 2 の基板 1 と反対側に形成される場合と異なり、シールド電極 3 1 を薄膜トランジスタ 6 に容易に接続することができる。

【0045】

また、本実施形態では、上記のように、ダイオードとして機能する薄膜トランジスタ 6 のゲート電極 5 1（5 2）、半導体層 5 3（5 4）、ソース電極 5 5 およびドレイン電極 5 6 を、それぞれ、画素選択用の薄膜トランジスタ 1 6 のゲート電極 1 1、半導体層 1 3、ソース電極 1 4 およびドレイン電極 1 5 と同一の層により構成することによって、薄膜トランジスタ 6 と薄膜トランジスタ 1 6 とが同一の工程によって形成されるので、薄膜トランジスタ 6 と薄膜トランジスタ 1 6 とを容易に形成することができる。

20

【0046】

また、本実施形態では、上記のように、薄膜トランジスタ 6 のドレイン電極 5 6 がシールド電極 3 1 と導通するとともに、薄膜トランジスタ 6 のドレイン電極 5 6 と薄膜トランジスタ 6 のゲート電極 5 2 とを接続することによって、容易に、シールド電極 3 1 に蓄積された電荷を薄膜トランジスタ 6 のソース電極 5 5 側に放電することができる。

30

【0047】

また、本実施形態では、上記のように、薄膜トランジスタ 6 のソース電極 5 5 と薄膜トランジスタ 6 のゲート電極 5 1 とを接続することによって、シールド電極 3 1 の電位が共通電位よりも低くなった場合でも、共通電位からシールド電極 3 1 に電位を供給することができる。

【0048】

また、本実施形態では、上記のように、薄膜トランジスタ 6 のドレイン電極 5 6 と導通部 5 とを接続するとともに、薄膜トランジスタ 6 のソース電極 5 5 と共通電位配線 7 とを接続することによって、シールド電極 3 1 に蓄積された電荷が、導通部 5 を介して、容易に共通電位に放電される。

40

【0049】

また、本実施形態では、上記のように、薄膜トランジスタ 6 を非表示領域 1 b に設けることによって、薄膜トランジスタ 6 が表示領域 1 a に設けられる場合と異なり、表示領域 1 a の表示に寄与する部分が小さくなるのを抑制することができる。

【0050】

また、本実施形態では、上記のように、薄膜トランジスタ 6 を、平面的に見て、シール材 4 とオーバーラップするように設けることによって、薄膜トランジスタ 6 を設けるためのスペースをわざわざ設ける必要がないため、シール材 4 より外側の領域（いわゆる額縁領域）を広げる必要がなく、よって液晶表示パネル全体の面積が増加するのを抑制できる

50

ため、液晶表示装置 100 の小型化にも寄与するものとなる。

【0051】

また、本実施形態では、上記のように、導通部 5 および配線 8 を、平面的に見て、シール材 4 とオーバーラップするように設けることによって、導通部 5 および配線 8 を設けるためのスペースをわざわざ設ける必要がないため、シール材 4 より外側の領域（いわゆる額縁領域）を広げる必要がなく、よって液晶表示パネル全体の面積が増加するのを抑制できるため、液晶表示装置 100 の小型化にも寄与するものとなる。

【0052】

図 8 および図 9 は、それぞれ、本発明の一実施形態による液晶表示装置を用いた電子機器の一例を説明するための図である。次に、図 8 および図 9 を参照して、本発明の一実施形態による液晶表示装置 100 を用いた電子機器について説明する。

10

【0053】

本発明の一実施形態による液晶表示装置 100 は、図 8 および図 9 に示すように、携帯電話 400 および PC (Personal Computer) 500 などに用いることが可能である。図 8 の携帯電話 400 においては、表示画面 400a に本発明の一実施形態による液晶表示装置 100 が用いられる。また、図 9 の PC 500 においては、表示画面 500a など本発明の一実施形態による液晶表示装置 100 を用いることが可能である。

【0054】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

20

【0055】

たとえば、上記実施形態では、ダイオードとして機能する薄膜トランジスタ 6 が 1 つ設けられる例を示したが、本発明はこれに限らず、図 10 に示すように、ダイオードとして機能する並列に接続される 2 つの薄膜トランジスタ 6 を設けてもよい。また、図 11 に示すように、ダイオードとして機能する直列に接続される 2 つの薄膜トランジスタ 6 を設けてもよい。また、3 つ以上の薄膜トランジスタ 6 を並列または直列に設けてもよい。これにより、複数の薄膜トランジスタ 6 うち、1 つの薄膜トランジスタ 6 が壊れても、他の薄膜トランジスタ 6 を介して、シールド電極 31 に蓄積された電荷を共通電位に放電することができる。

30

【0056】

また、上記実施形態では、ダイオードとして機能する薄膜トランジスタ 6 のソース電極 55 およびゲート電極 51 を接続するとともに、ドレイン電極 56 およびゲート電極 52 を接続することにより、ソース電極 55 側およびドレイン電極 56 側の両方から電流が流れるように構成される例を示したが、本発明はこれに限らず、ドレイン電極 56 側（シールド電極 31 側）の一方から電流が流れるように構成してもよい。

【0057】

また、上記実施形態では、スイッチ素子として、ダイオードとして機能する薄膜トランジスタ 6 を設ける例を示したが、本発明はこれに限らず、ダイオードとして機能する薄膜トランジスタ以外のスイッチ素子を設けてもよい。

40

【0058】

また、上記実施形態では、シールド電極 31 に薄膜トランジスタ 6 を介して供給される特定の電位を交流的な共通電位にする例を示したが、本発明はこれに限らず、直流的な電位を供給するようにしてもよい。

【0059】

また、上記実施形態では、ダイオードとして機能する薄膜トランジスタ 6 のソース電極 55 に共通電位配線 7 を接続する例を示したが、本発明はこれに限らず、薄膜トランジスタ 6 のソース電極 55 に接地電位などの共通電位以外の電位を接続してもよい。

50

【0060】

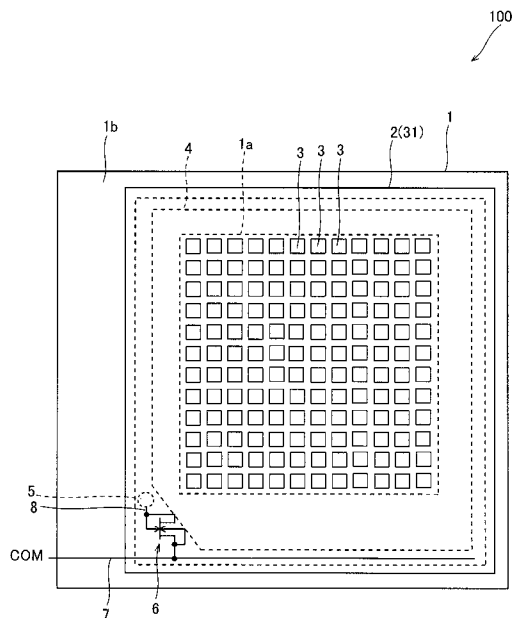
また、上記実施形態では、基板2の基板1側の表面上にシールド電極31が設けられる例を示したが、本発明はこれに限らず、基板2の基板1と反対側の表面上にシールド電極31を設けてもよい。

【符号の説明】

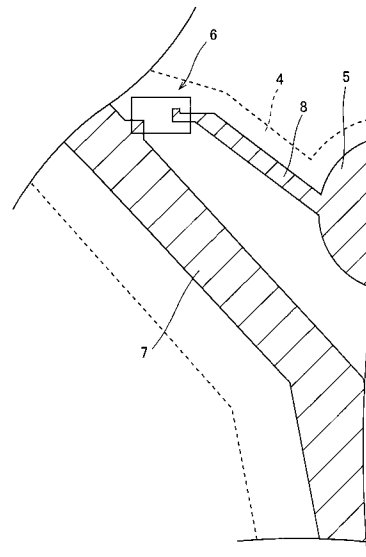
【0061】

1 基板（第1基板）	1 a 表示領域	1 b 非表示領域	2 基板（第2基板）
3 画素	4 シール材	5 導通部	6 薄膜トランジスタ（スイッチ素子、第2薄膜トランジスタ）
7 共通電位配線（特定の電位を供給する配線）	8 配線（配線層）	1 3 半導体層（能動層）	1 6 薄膜トランジスタ（第1薄膜トランジスタ）
3 1 シールド電極	3 6 液晶層	1 9 画素電極	2 1 共通電極
		5 3、5 4 半導体層（能動層）	

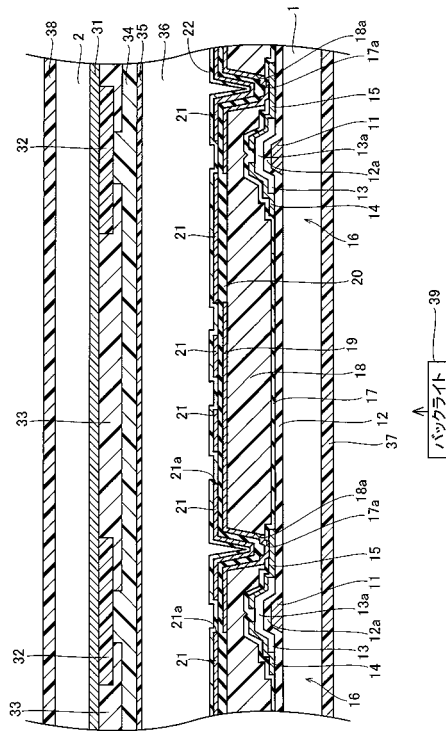
【図1】



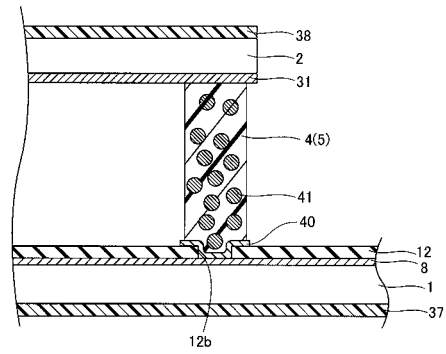
【図2】



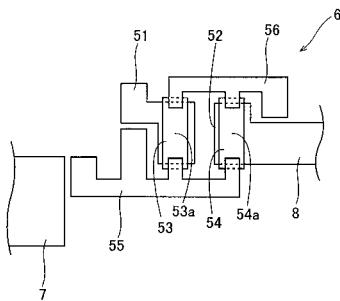
【図 3】



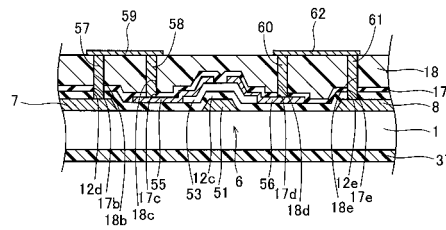
【図 4】



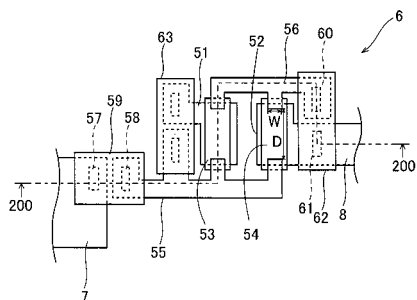
【図 5】



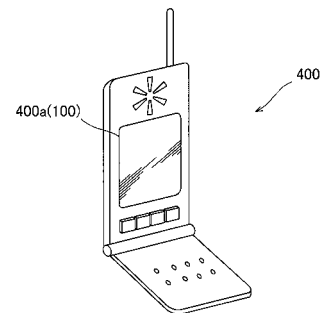
【図 7】



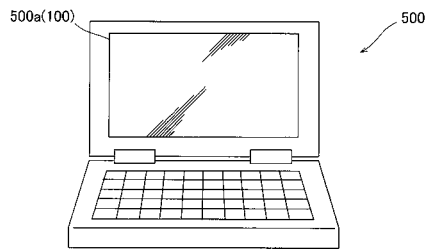
【図 6】



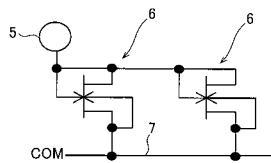
【図 8】



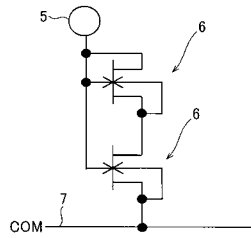
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 平林 幸哉

長野県安曇野市豊科田沢6 9 2 5 エプソンイメージングデバイス株式会社内

(72)発明者 上原 秀樹

長野県安曇野市豊科田沢6 9 2 5 エプソンイメージングデバイス株式会社内

Fターム(参考) 2H092 GA14 GA17 GA32 GA64 JA01 JA24 JB05 JB79 NA14 NA17

专利名称(译)	液晶显示装置和电子设备		
公开(公告)号	JP2010156903A	公开(公告)日	2010-07-15
申请号	JP2009000061	申请日	2009-01-05
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	吉田周平 西村城治 平林幸哉 上原秀樹		
发明人	吉田 周平 西村 城治 平林 幸哉 上原 秀樹		
IPC分类号	G02F1/1345		
CPC分类号	G02F1/1345 G02F2001/136218 G09G3/3614 G09G3/3655 G09G2330/04		
FI分类号	G02F1/1345 G02F1/133.550 G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA32 2H092/GA64 2H092/JA01 2H092/JA24 2H092/JB05 2H092/JB79 2H092/NA14 2H092/NA17 2H192/AA24 2H192/BB12 2H192/BB31 2H192/BB73 2H192/BC31 2H192/CB05 2H192/EA22 2H192/EA43 2H192/EA67 2H192/FA14 2H192/GA02 2H192/GA31 2H192/GD61 2H192/JA32 2H193/ZA04 2H193/ZJ11 2H193/ZQ16		
代理人(译)	须泽 修 宫坂和彦		
其他公开文献	JP5294883B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置，以抑制由屏蔽电极的电位的影响引起的错误显示的发生。
 ŽSOLUTION：液晶显示装置100具有：基板1；像素选择薄膜晶体管16形成在基板1侧；像素电极19和公共电极21形成在基板1侧的薄膜晶体管16上方；基板2通过像素电极19和公共电极21上方的液晶层36设置；屏蔽电极31设置在基板2的表面上；薄膜晶体管6设置在屏蔽电极31和公共电位布线7之间，公共电位布线7提供公共电位（COM）并用作二极管，该二极管通过大于预定电位（10V）的电位进入导通状态。Ž

