

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02010/103726

発行日 平成24年9月13日 (2012.9.13)

(43) 国際公開日 平成22年9月16日 (2010.9.16)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H193
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/36 (2006.01)	G09G 3/36	5C080
G09G 3/20 (2006.01)	G09G 3/20 624B	

審査請求 有 予備審査請求 未請求 (全 69 頁)

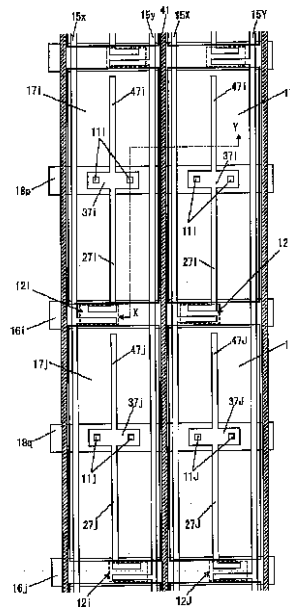
出願番号 特願2011-503666 (P2011-503666)	(71) 出願人 00005049 シャープ株式会社 大阪府大阪市阿倍野区長池町2番2号
(21) 国際出願番号 PCT/JP2010/000765	(74) 代理人 110000338 特許業務法人原謙三国際特許事務所
(22) 国際出願日 平成22年2月9日 (2010.2.9)	(72) 発明者 杉原 利典 日本国大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
(31) 優先権主張番号 特願2009-61993 (P2009-61993)	(72) 発明者 津幡 俊英 日本国大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内
(32) 優先日 平成21年3月13日 (2009.3.13)	Fターム(参考) 2H092 GA14 GA29 GA51 JA26 JA46 JB69 KA05 KA12 KA18 KB04 KB25 MA05 MA07 MA10 MA13 MA30 NAO1 PA06
(33) 優先権主張国 日本国(JP)	最終頁に続く

(54) 【発明の名称】 アレイ基板、液晶パネル、液晶表示装置、テレビジョン受像機

(57) 【要約】

複数の走査信号線(16i・16j)とデータ信号が供給される複数のデータ信号線(15x・15y・15X・15Y)とを備え、隣り合う第1および第2画素領域列それぞれに複数の画素領域が含まれ、第1および第2画素領域列それぞれに対応して2本ずつデータ信号線が設けられたアレイ基板であって、一方が第1画素領域列に対応して設けられたデータ信号線で、他方が第2画素領域列に対応して設けられたデータ信号線である2本の隣り合うデータ信号線(15y・15X)の間に、Vcom信号が供給される間在配線41が設けられている。こうすれば、1画素列に対応して複数のデータ信号線が設けられた液晶表示装置の表示品位を高めることができる。

【図1】



【特許請求の範囲】**【請求項 1】**

複数の走査信号線とデータ信号が供給される複数のデータ信号線とを備え、隣り合う第 1 および第 2 画素領域列それぞれに複数の画素領域が含まれ、第 1 および第 2 画素領域列それぞれに対応して複数本ずつデータ信号線が設けられたアレイ基板であって、

一方が第 1 画素領域列に対応して設けられたデータ信号線で、他方が第 2 画素領域列に対応して設けられたデータ信号線である 2 本の隣り合うデータ信号線の間隙または該間隙下あるいは該間隙上に、データ信号とは別の信号が供給される間在配線が設けられていることを特徴とするアレイ基板。

【請求項 2】

上記第 1 および第 2 画素領域列それぞれに対応して 2 本ずつデータ信号線が設けられ、各画素領域には 1 つ以上の画素電極が含まれ、

第 1 画素領域列に含まれる 1 つの画素電極は、トランジスタを介して、第 1 画素領域列に対応する 2 本のデータ信号線のいずれかに接続され、第 2 画素領域列に含まれる 1 つの画素電極は、トランジスタを介して、第 2 画素領域列に対応する 2 本のデータ信号線のいずれかに接続されていることを特徴とする請求項 1 記載のアレイ基板。

【請求項 3】

上記間在配線は各データ信号線と同層に形成されていることを特徴とする請求項 1 記載のアレイ基板。

【請求項 4】

第 1 画素領域列に含まれる各画素電極は、第 1 画素領域列に対応して設けられた 2 本のデータ信号線それぞれに重なるように配され、第 2 画素領域列に含まれる各画素電極は、第 2 画素領域列に対応して設けられた 2 本のデータ信号線それぞれに重なるように配されていることを特徴とする請求項 2 記載のアレイ基板。

【請求項 5】

第 1 および第 2 画素領域列それぞれにおいて、連続する 2 つの画素領域の一方に含まれる画素電極がトランジスタを介して接続されるデータ信号線と、他方に含まれる画素電極がトランジスタを介して接続されるデータ信号線とが異なっていることを特徴とする請求項 2 記載のアレイ基板。

【請求項 6】

第 1 画素領域列の奇数番目となる画素領域に含まれる画素電極がトランジスタを介して接続するデータ信号線と、第 2 画素領域列の偶数番目となる画素領域に含まれる画素電極がトランジスタを介して接続するデータ信号線とが、上記間在配線を挟んで隣り合うことを特徴とする請求項 5 記載のアレイ基板。

【請求項 7】

トランジスタのゲート電極を覆うゲート絶縁膜と、トランジスタのチャンネルを覆う層間絶縁膜とが設けられ、

各データ信号線および間在配線はゲート絶縁膜上に形成され、各画素電極は層間絶縁膜上に形成されていることを特徴とする請求項 3 に記載のアレイ基板。

【請求項 8】

上記層間絶縁膜には、無機絶縁膜とこれよりも厚い有機絶縁膜とが含まれることを特徴とする請求項 7 に記載のアレイ基板。

【請求項 9】

複数の保持容量配線を備え、上記間在配線が少なくとも 1 本の保持容量配線に接続されていることを特徴とする請求項 2 ~ 8 のいずれか 1 項に記載のアレイ基板。

【請求項 10】

第 1 画素領域列に含まれる各画素電極および第 2 画素領域列に含まれる各画素電極が、上記間在配線に重なるように配されていることを特徴とする請求項 2 ~ 9 のいずれか 1 項に記載のアレイ基板。

【請求項 11】

10

20

30

40

50

第1画素領域列に対応して設けられた2本のデータ信号線の間隔を100とした場合に、該2本のデータ信号線のうち間在配線に隣接する方と該間在配線との間隔が、2～198であることを特徴とする請求項2～10のいずれか1項に記載のアレイ基板。

【請求項12】

第1画素領域列に対応して設けられた2本のデータ信号線の間隔は、該2本のデータ信号線のうち間在配線に隣接する方と該間在配線との間隔に実質的に等しいことを特徴とする請求項11に記載のアレイ基板。

【請求項13】

1つの画素領域に複数の画素電極が設けられていることを特徴とする請求項2～12のいずれか1項に記載のアレイ基板。

10

【請求項14】

複数の保持容量配線を備え、

1つの画素領域に設けられた2つの画素電極が、同一の走査信号線に繋がる別々のトランジスタを介して同一のデータ信号線に接続され、一方の画素電極が保持容量配線と容量を形成し、他方の画素電極が別の保持容量配線と容量を形成していることを特徴とする請求項13に記載のアレイ基板。

【請求項15】

1つの画素領域に設けられた2つの画素電極が容量を介して接続され、一方の画素電極のみが1本の走査信号線に繋がるトランジスタを介してデータ信号線に接続されていることを特徴とする請求項13に記載のアレイ基板。

20

【請求項16】

複数の保持容量配線を備え、

1つの画素領域に設けられた2つの画素電極が、同一の走査信号線に繋がる別々のトランジスタを介して同一のデータ信号線に接続されるとともに、一方の画素電極が別の走査信号線に繋がるトランジスタを介して、保持容量配線と容量を形成する容量電極に接続されていることを特徴とする請求項13に記載のアレイ基板。

【請求項17】

複数の保持容量配線を備え、

1つの画素領域に設けられた2つの画素電極が、同一の走査信号線に繋がる別々のトランジスタを介して同一のデータ信号線に接続されるとともに、一方の画素電極が別の走査信号線に繋がるトランジスタを介して、他方の画素電極と容量を形成する容量電極に接続され、この容量電極が保持容量配線とも容量を形成していることを特徴とする請求項13に記載のアレイ基板。

30

【請求項18】

各画素電極に対応してカラーフィルタが設けられていることを特徴とする請求項17に記載のアレイ基板。

【請求項19】

各画素領域に設けられた櫛型の画素電極と、該画素電極と同層に形成された共通電極とを備えることを特徴とする請求項1に記載のアレイ基板。

【請求項20】

各画素領域に設けられた櫛型の画素電極と、該画素電極と別層に形成された共通電極とを備えることを特徴とする請求項1に記載のアレイ基板。

40

【請求項21】

請求項1～20のいずれか1項に記載のアレイ基板を備えることを特徴とする液晶パネル。

【請求項22】

請求項21に記載の液晶パネルを備えることを特徴とする液晶表示装置。

【請求項23】

上記間在配線には定電位信号が供給されることを特徴とする請求項22に記載の液晶表示装置。

50

【請求項 2 4】

上記間在配線には周期的に極性が反転する信号が供給されることを特徴とする請求項 2 2 記載の液晶表示装置。

【請求項 2 5】

上記間在配線には、実効値が実質的に共通電極の電位となる信号が供給されることを特徴とする請求項 2 2 記載の液晶表示装置。

【請求項 2 6】

請求項 2 記載のアレイ基板を備え、走査信号線を 2 本ずつ同時選択していくことを特徴とする液晶表示装置。

【請求項 2 7】

第 1 および第 2 画素領域列それぞれにおいて、連続する 2 つの画素領域の一方に含まれる画素電極がトランジスタを介して接続されるデータ信号線と、他方に含まれる画素電極がトランジスタを介して接続されるデータ信号線とが異なっており、

上記連続する 2 つの画素領域の一方に含まれる画素電極が接続されるトランジスタが、同時選択される 2 本の走査信号線の一方に接続され、上記連続する 2 つの画素領域の他方に含まれる画素電極が接続されるトランジスタが、同時選択される上記 2 本の走査信号線の他方に接続されていることを特徴とする請求項 2 6 記載の液晶表示装置。

【請求項 2 8】

第 1 画素領域列に対応する 2 本のデータ信号線の一方には一垂直走査期間中第 1 極性のデータ信号を供給するとともに、他方には一垂直走査期間中第 2 極性のデータ信号を供給し、第 2 画素領域列に対応する 2 本のデータ信号線の一方には一垂直走査期間中第 1 極性のデータ信号を供給するとともに、他方には一垂直走査期間中第 2 極性のデータ信号を供給することを特徴とする請求項 2 7 記載の液晶表示装置。

【請求項 2 9】

第 1 画素領域列の奇数番目となる画素領域に含まれる画素電極がトランジスタを介して接続するデータ信号線と、第 2 画素領域列の偶数番目となる画素領域に含まれる画素電極がトランジスタを介して接続するデータ信号線とが、上記間在配線を挟んで隣り合い、

これら間在配線を挟んで隣り合う 2 本のデータ信号線それぞれには、同一水平走査期間に同一極性のデータ信号を供給することを特徴とする請求項 2 8 記載の液晶表示装置。

【請求項 3 0】

請求項 1 2 記載のアレイ基板を備え、各保持容量配線には周期的に極性が反転する信号が供給されることを特徴とする液晶表示装置。

【請求項 3 1】

上記間在配線が複数の保持容量配線に接続されていることを特徴とする請求項 3 0 記載の液晶表示装置。

【請求項 3 2】

上記間在配線に接続する各保持容量配線には同位相の信号が供給されることを特徴とする請求項 3 1 記載の液晶表示装置。

【請求項 3 3】

請求項 2 2 ~ 3 2 のいずれか 1 項に記載の液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とするテレビジョン受像機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、1 画素列に対応して複数のデータ信号線が設けられた液晶表示装置に関する。

【背景技術】

【0002】

特許文献 1 (図 5 7 参照) には、1 つの画素列に 2 本のデータ線 (左側データ線および右側データ線) を設け、同一画素列に含まれる奇数番目の画素の画素電極を左側データ線

10

20

30

40

50

に接続する一方、偶数番目の画素の画素電極を右側データ線に接続し、連続する2本の走査信号線（奇数番目の画素に接続する走査信号線および偶数番目の画素に接続する走査信号線）を同時選択することで、画面の書き換え速度を高める液晶表示装置が開示されている。

【0003】

また、1画素に第1および第2画素電極を含む画素分割方式の液晶パネルの1画素列に対応して2本のデータ線を設け、第1副画素電極を上記2本のデータ線の一方に接続するとともに、第2副画素電極を他方に接続することで、第1および第2画素電極を互いに異なる輝度に制御し、視野角特性を高める構成も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】日本国公開特許公報「特開平10-253987号公報（公開日：1998年9月25日）」

【発明の概要】

【発明が解決しようとする課題】

【0005】

本願発明者らは、上記のように1つの画素列に複数のデータ信号線を設けた場合に、隣り合う2つの画素列の一方に含まれる画素電極と他方に対応するデータ信号線との間の寄生容量が一因と考えられる縦縞状のムラ（縦シャドウ）が発現することを見出した。

【0006】

本発明は、1画素列に対応して複数のデータ信号線が設けられた液晶表示装置の表示品位を高めることを目的とする。

【課題を解決するための手段】

【0007】

本アレイ基板は、複数の走査信号線とデータ信号が供給される複数のデータ信号線とを備え、隣り合う第1および第2画素領域列それぞれに複数の画素領域が含まれ、第1および第2画素領域列それぞれに対応して複数本ずつデータ信号線が設けられたアレイ基板であって、一方が第1画素領域列に対応して設けられたデータ信号線で、他方が第2画素領域列に対応して設けられたデータ信号線である2本の隣り合うデータ信号線の間隙または該間隙下あるいは該間隙上に、データ信号とは別の信号が供給される間在配線が設けられていることを特徴とする。

【発明の効果】

【0008】

本アレイ基板（例えば、アクティブマトリクス基板）を備えた表示装置（例えば、液晶表示装置）を駆動する場合には、上記間在配線にデータ信号とは別の信号（例えば、定電位信号や周期的に極性が反転する信号）を供給する。これにより、画素とその隣接画素に対応するデータ信号線との間のクロストークを低減することができ、表示品位を高めることができる。

【図面の簡単な説明】

【0009】

【図1】実施の形態1にかかる液晶パネルの構成例を示す平面図である。

【図2】図1の液晶パネルの矢視断面図である。

【図3】図1の液晶パネルに用いられるアクティブマトリクス基板の等価回路図である。

【図4】図3のアクティブマトリクス基板を備えた液晶パネルの駆動方法を示すタイミングチャートである。

【図5】図4の駆動方法による液晶パネルの表示状態を示す模式図である。

【図6】本液晶パネル駆動時の間在配線近傍での等電位線の分布を示す断面図である。

【図7】実施の形態2にかかるアクティブマトリクス基板の等価回路図である。

【図8】図7のアクティブマトリクス基板を備えた液晶パネルの駆動方法を示すタイミン

10

20

30

40

50

グチャートである。

【図 9】図 8 の駆動方法による液晶パネルの表示状態を示す模式図である。

【図 10】図 7 のアクティブマトリクス基板を備えた液晶パネルの駆動方法を示すタイミングチャートである。

【図 11】図 8 の駆動方法におけるゲートオンパルスと保持容量配線信号とを示すタイミングチャートである。

【図 12】図 7 のアクティブマトリクス基板の変形例を示す等価回路図である。

【図 13】図 7 のアクティブマトリクス基板を備えた液晶パネルの具体例を示す平面図である。

【図 14】本液晶パネル駆動時の間在配線近傍での等電位線の分布を示す断面図である。

10

【図 15】実施の形態 2 にかかる液晶パネルの他の構成を示す平面図である。

【図 16】本液晶パネル駆動時の間在配線近傍での等電位線の分布を示す断面図である。

【図 17】実施の形態 2 にかかるアクティブマトリクス基板の他の構成を示す等価回路図である。

【図 18】図 17 のアクティブマトリクス基板を備えた液晶パネルの駆動方法を示すタイミングチャートである。

【図 19】図 18 の駆動方法において間在配線に供給する信号とゲートオンパルスと保持容量配線信号とを示すタイミングチャートである。

【図 20】実施の形態 2 にかかる液晶パネルのさらに他の構成を示す平面図である。

【図 21】図 20 の液晶パネルの矢視断面図である。

20

【図 22】本液晶パネル駆動時の間在配線近傍での等電位線の分布を示す断面図である。

【図 23】実施の形態 3 にかかるアクティブマトリクス基板の構成を示す等価回路図である。

【図 24】図 23 のアクティブマトリクス基板を備えた液晶パネルの駆動方法を示すタイミングチャートである。

【図 25】図 24 の駆動方法による液晶パネルの表示状態を示す模式図である。

【図 26】実施の形態 3 にかかる液晶パネルの構成を示す平面図である。

【図 27】図 26 の液晶パネルの矢視断面図である。

【図 28】本液晶パネル駆動時の間在配線近傍での等電位線の分布を示す断面図である。

【図 29】実施の形態 4 にかかるアクティブマトリクス基板の構成を示す等価回路図である。

30

【図 30】図 29 のアクティブマトリクス基板を備えた液晶パネルの駆動方法を示すタイミングチャートである。

【図 31】図 30 の駆動方法による液晶パネルの表示状態を示す模式図である。

【図 32】実施の形態 4 にかかる液晶パネルの構成を示す平面図である。

【図 33】図 32 の液晶パネルの矢視断面図である。

【図 34】実施の形態 5 にかかるアクティブマトリクス基板の構成を示す等価回路図である。

【図 35】図 34 のアクティブマトリクス基板を備えた液晶パネルの駆動方法を示すタイミングチャートである。

40

【図 36】図 35 の駆動方法による液晶パネルの表示状態を示す模式図である。

【図 37】実施の形態 5 にかかる液晶パネルの構成を示す平面図である。

【図 38】図 37 の液晶パネルの矢視断面図である。

【図 39】実施の形態 5 にかかるアクティブマトリクス基板の他の構成を示す等価回路図である。

【図 40】図 39 のアクティブマトリクス基板を備えた液晶パネルの駆動方法を示すタイミングチャートである。

【図 41】図 40 の駆動方法による液晶パネルの表示状態を示す模式図である。

【図 42】実施の形態 5 にかかる液晶パネルの他の構成を示す平面図である。

【図 43】本液晶パネル駆動時の間在配線近傍での等電位線の分布を示す断面図である。

50

【図 4 4】実施の形態 6 にかかるアクティブマトリクス基板の構成を示す等価回路図である。

【図 4 5】図 4 4 のアクティブマトリクス基板を備えた液晶パネルの駆動方法を示すタイミングチャートである。

【図 4 6】図 4 5 の駆動方法による液晶パネルの表示状態を示す模式図である。

【図 4 7】実施の形態 6 にかかる液晶パネルの構成を示す平面図である。

【図 4 8】図 4 7 の液晶パネルの矢視断面図である。

【図 4 9】実施の形態 6 にかかる液晶パネルの他の構成を示す平面図である。

【図 5 0】図 4 9 の液晶パネルの矢視断面図である。

【図 5 1】(a) は本液晶表示ユニットの構成を示す模式図であり、(b) は本液晶表示装置の構成を示す模式図である。

10

【図 5 2】本液晶表示装置の全体構成を説明するブロック図である。

【図 5 3】本液晶表示装置の機能を説明するブロック図である。

【図 5 4】本テレビジョン受像機の機能を説明するブロック図である。

【図 5 5】本テレビジョン受像機の構成を示す分解斜視図である。

【図 5 6】参考となる液晶パネル駆動時のデータ信号線間での等電位線の分布を示す断面図である。

【図 5 7】従来のアクティブマトリクス基板の構成を示す平面図である。

【発明を実施するための形態】

【0010】

20

本実施の形態を、図 1 ~ 5 6 を用いて説明すれば、以下のとおりである。なお、説明の便宜のため、以下では走査信号線の延伸方向を行方向とする。ただし、本液晶パネル（あるいはこれに用いられるアクティブマトリクス基板）を備えた液晶表示装置の利用（視聴）状態において、その走査信号線が横方向に延伸していても縦方向に延伸していてもよいことはいうまでもない。なお、液晶パネルを示す図面では、配向規制用構造物を適宜省略記載している。

【0011】

〔実施の形態 1〕

図 3 は実施の形態 1 にかかるアクティブマトリクス基板の一部を示す等価回路図である。図 3 に示すように、本アクティブマトリクス基板では、データ信号線 $15x \cdot 15y \cdot 15X \cdot 15Y$ がこの順に並べられ、行方向（図中左右方向）に延伸する走査信号線 $16i \cdot 16j \cdot 16m \cdot 16n$ がこの順に並べられ、データ信号線 $15x \cdot 15y$ および走査信号線 $16i$ の交差部に対応して画素領域 101 が設けられ、データ信号線 $15x \cdot 15y$ および走査信号線 $16j$ の交差部に対応して画素領域 102 が設けられ、データ信号線 $15x \cdot 15y$ および走査信号線 $16m$ の交差部に対応して画素領域 103 が設けられ、データ信号線 $15X \cdot 15Y$ および走査信号線 $16n$ の交差部に対応して画素領域 104 が設けられ、データ信号線 $15X \cdot 15Y$ および走査信号線 $16i$ の交差部に対応して画素領域 105 が設けられ、データ信号線 $15X \cdot 15Y$ および走査信号線 $16j$ の交差部に対応して画素領域 106 が設けられ、データ信号線 $15X \cdot 15Y$ および走査信号線 $16m$ の交差部に対応して画素領域 107 が設けられ、データ信号線 $15X \cdot 15Y$ および走査信号線 $16n$ の交差部に対応して画素領域 108 が設けられ、画素領域 101・105 に対応して保持容量配線 18p が設けられ、画素領域 102・106 に対応して保持容量配線 18q が設けられ、画素領域 103・107 に対応して保持容量配線 18r が設けられ、画素領域 104・108 に対応して保持容量配線 18s が設けられている。

30

40

【0012】

ここで、データ信号線 $15x \cdot 15y$ は、画素領域 101 ~ 104 を含む画素領域列に対応して設けられ、データ信号線 $15X \cdot 15Y$ は画素領域 101 ~ 104 を含む画素領域列に対応して設けられ、データ信号線 $15y$ とデータ信号線 $15X$ との間に、 V_{com} 信号が供給される間在配線 41（データ信号線間配線、シールド配線）が設けられている。

50

【0013】

さらに、各画素には1つずつ画素電極が配され、画素領域101の画素電極17iは、走査信号線16iに繋がるトランジスタ12iを介してデータ信号線15xに接続され、画素領域102の画素電極17jは、走査信号線16jに繋がるトランジスタ12jを介してデータ信号線15yに接続され、画素領域103の画素電極17mは、走査信号線16mに繋がるトランジスタ12mを介してデータ信号線15xに接続され、画素領域104の画素電極17nは、走査信号線16nに繋がるトランジスタ12nを介してデータ信号線15yに接続され、画素領域105の画素電極17Iは、走査信号線16iに繋がるトランジスタ12Iを介してデータ信号線15Xに接続され、画素領域106の画素電極17Jは、走査信号線16jに繋がるトランジスタ12Jを介してデータ信号線15Yに接続され、画素領域107の画素電極17Mは、走査信号線16mに繋がるトランジスタ12Mを介してデータ信号線15Xに接続され、画素領域108の画素電極17Nは、走査信号線16nに繋がるトランジスタ12Nを介してデータ信号線15Yに接続される。すなわち、画素領域列の偶数番目となる各画素領域(102・104)の画素電極が接続するデータ信号線15yと、画素領域列の奇数番目となる画素領域(105・107)の画素電極が接続するデータ信号線15Xとが、間在配線41を挟んで隣り合うことになる。

10

【0014】

また、画素領域101の画素電極17iおよび画素領域105の画素電極17Iが接続される走査信号線16iと、画素領域102の画素電極17jおよび画素領域106の画素電極17Jが接続される走査信号線16jとがパネル内あるいはパネル外で接続され、両者(16i・16j)は同時選択される(後述)。また、画素領域103の画素電極17mおよび画素領域107の画素電極17Mが接続される走査信号線16mと、画素領域104の画素電極17nおよび画素領域108の画素電極17Nが接続される走査信号線16nとがパネル内あるいはパネル外で接続され、両者(16m・16n)は同時選択される(後述)。もちろん、走査信号線16iと走査信号線16j、および走査信号線16mと走査信号線16nがパネル内・外で接続されていない構成とすることも可能である。

20

【0015】

また、保持容量配線18pおよび画素電極17i間に保持容量iが形成され、保持容量配線18qおよび画素電極17j間に保持容量jが形成され、保持容量配線18pおよび画素電極17I間に保持容量Iが形成され、保持容量配線18qおよび画素電極17J間に保持容量Jが形成される。

30

【0016】

図4は、上記アクティブマトリクス基板を備えた本液晶パネルの駆動方法(ノーマリブラックモード)を示すタイミングチャートである。なお、Sx・Sy・SX・SYはそれぞれデータ信号線15x・15y・15X・15Yに供給されるデータ信号(データ信号)を示し、Szは間在配線に供給される信号を示し、Gpi・Gpj・Gpm・Gpnはそれぞれ、走査信号線16i・16j・16m・16nに供給されるゲート信号を示し、Vi・Vj・VI・VJ・Vm・Vnは画素電極17i・17j・17I・17J・17m・17nの電位を示している。

40

【0017】

本駆動方法では、図4に示されるように、走査信号線を2本ずつ同時選択していき、データ信号線に供給するデータ信号の極性を1フレーム期間(1V)ごとに反転させるとともに、同一水平走査期間(H)においては、同一画素列に対応する2本のデータ信号線(15x・15yあるいは15X・15Y)に逆極性のデータ信号を供給しつつ、間在配線を挟んで隣り合う2本のデータ信号線(15y・15X)には同極性のデータ信号を供給する。そして、間在配線には、共通電極の電位に等しい定電位信号(Vcom信号)を供給する。

【0018】

具体的には、連続するフレームF1・F2のF1では、データ信号線15xおよびデー

50

タ信号線 15 Y それぞれに、N 番目の水平走査期間（走査信号線 16 i・16 j の走査期間含む）にプラス極性のデータ信号を供給して、（N+1）番目の水平走査期間（走査信号線 16 m・16 n の走査期間含む）にもプラス極性のデータ信号を供給し、データ信号線 15 y およびデータ信号線 15 X それぞれに、N 番目の水平走査期間（走査信号線 16 i・16 j の走査期間含む）にマイナス極性のデータ信号を供給して、（N+1）番目の水平走査期間（走査信号線 16 m・16 n の走査期間含む）にもマイナス極性のデータ信号を供給する。

【0019】

これにより、本液晶パネルを駆動すると、図5に示すように、画素電極 17 i を含む画素はプラス極性、画素電極 17 j を含む画素はマイナス極性、画素電極 17 m を含む画素はプラス極性、画素電極 17 n を含む画素はマイナス極性、画素電極 17 I を含む画素はマイナス極性、画素電極 17 J を含む画素はプラス極性となり、F1でドット反転駆動が実現される。

10

【0020】

なお、F2では、データ信号線 15 x およびデータ信号線 15 Y それぞれに、N 番目の水平走査期間（走査信号線 16 i・16 j の走査期間含む）にマイナス極性のデータ信号を供給して、（N+1）番目の水平走査期間（走査信号線 16 m・16 n の走査期間含む）にもマイナス極性のデータ信号を供給し、データ信号線 15 y およびデータ信号線 15 X それぞれに、N 番目の水平走査期間（走査信号線 16 i・16 j の走査期間含む）にプラス極性のデータ信号を供給して、（N+1）番目の水平走査期間（走査信号線 16 m・16 n の走査期間含む）にもプラス極性のデータ信号を供給する。これにより、画素電極 17 i はマイナス極性、画素電極 17 j はプラス極性、画素電極 17 m はマイナス極性、画素電極 17 n はプラス極性、画素電極 17 I はプラス極性、画素電極 17 J はマイナス極性となり、F2でもドット反転駆動が実現される。

20

【0021】

図1は、図3のアクティブマトリクス基板を備えた液晶パネルの一部を示す平面図である。図1では、その見易さのために、カラーフィルタ基板（対向基板）側の部材を省略してアクティブマトリクス基板の部材のみ記載している。

【0022】

本液晶パネルでは、一對（2本）のデータ信号線 15 x・15 y と、一對（2本）のデータ信号線 15 X・15 Y とが、データ信号線 15 y およびデータ信号線 15 X が隣り合うように設けられ、データ信号線 15 y とデータ信号線 15 X との間に間在配線 41 が配され、各データ信号線と直交するように、走査信号線 16 i および走査信号線 16 j が設けられ、データ信号線 15 x および走査信号線 16 i の交差部近傍にトランジスタ 12 i が設けられ、データ信号線 15 y および走査信号線 16 j の交差部近傍にトランジスタ 12 j が設けられ、データ信号線 15 X および走査信号線 16 i の交差部近傍にトランジスタ 12 I が設けられ、データ信号線 15 Y および走査信号線 16 j の交差部近傍にトランジスタ 12 J が設けられている。

30

【0023】

画素電極 17 i はデータ信号線 15 x・15 y に重なるように設けられ、画素電極 17 i の走査方向下流側のエッジが走査信号線 16 i の走査方向上流側のエッジに重なっている。また、画素電極 17 j もデータ信号線 15 x・15 y に重なるように設けられ、画素電極 17 j の走査方向下流側のエッジが走査信号線 16 j の走査方向上流側のエッジに重なっている。また、画素電極 17 I はデータ信号線 15 X・15 Y に重なるように設けられ、画素電極 17 I の走査方向下流側のエッジが走査信号線 16 i の走査方向上流側のエッジに重なっている。また、画素電極 17 J もデータ信号線 15 X・15 Y に重なるように設けられ、画素電極 17 J の走査方向下流側のエッジが走査信号線 16 j の走査方向上流側のエッジに重なっている。

40

【0024】

保持容量配線 18 p は、画素電極 17 i の中央部および画素電極 17 I の中央部に重な

50

るように設けられ、保持容量配線 18 q は、画素電極 17 j の中央部および画素電極 17 J の中央部に重なるように設けられている。

【0025】

なお、平面的に視ると、画素電極 17 i の列方向に沿う 2 つのエッジは、データ信号線 15 x およびデータ信号線 15 y の外側に位置し、同様に、画素電極 17 j の列方向に沿う 2 つのエッジは、データ信号線 15 x およびデータ信号線 15 y の外側に位置し、画素電極 17 I の列方向に沿う 2 つのエッジは、データ信号線 15 X およびデータ信号線 15 Y の外側に位置し、同様に、画素電極 17 J の列方向に沿う 2 つのエッジは、データ信号線 15 X およびデータ信号線 15 Y の外側に位置している。また、間在配線 4 1 は、画素電極 17 i および画素電極 17 I の間隙下並びに画素電極 17 j および画素電極 17 J の間隙下を通っている。

10

【0026】

そして、走査信号線 16 i がトランジスタ 12 i のゲート電極として機能し、トランジスタ 12 i のソース電極はデータ信号線 15 x に接続され、ドレイン電極はドレイン引き出し電極 27 i を介して容量電極 37 i に接続されている。容量電極 37 i は保持容量配線 18 p 上に位置し、2 個のコンタクトホール 11 i を介して画素電極 17 i に接続され、さらに、容量電極 37 i からは、画素電極 17 i と重なるように延伸配線 47 i が延伸している。また、走査信号線 16 j がトランジスタ 12 j のゲート電極として機能し、トランジスタ 12 j のソース電極はデータ信号線 15 y に接続され、ドレイン電極はドレイン引き出し電極 27 j を介して容量電極 37 j に接続されている。容量電極 37 j は保持容量配線 18 q 上に位置し、2 個のコンタクトホール 11 j を介して画素電極 17 j に接続され、さらに、容量電極 37 j からは、画素電極 17 j と重なるように延伸配線 47 j が延伸している。

20

【0027】

同様に、走査信号線 16 i がトランジスタ 12 I のゲート電極として機能し、トランジスタ 12 I のソース電極はデータ信号線 15 X に接続され、ドレイン電極はドレイン引き出し電極 27 I を介して容量電極 37 I に接続されている。容量電極 37 I は保持容量配線 18 p 上に位置し、2 個のコンタクトホール 11 I を介して画素電極 17 I に接続され、さらに、容量電極 37 I からは、画素電極 17 I と重なるように延伸配線 47 I が延伸している。また、走査信号線 16 j がトランジスタ 12 J のゲート電極として機能し、トランジスタ 12 J のソース電極はデータ信号線 15 Y に接続され、ドレイン電極はドレイン引き出し電極 27 J を介して容量電極 37 J に接続されている。容量電極 37 J は保持容量配線 18 q 上に位置し、2 個のコンタクトホール 11 J を介して画素電極 17 J に接続され、さらに、容量電極 37 J からは、画素電極 17 j と重なるように延伸配線 47 J が延伸している。

30

【0028】

本液晶パネルでは、保持容量配線 18 p および容量電極 37 i がゲート絶縁膜を介して重なる部分に上記保持容量 i が形成され、保持容量配線 18 q および容量電極 37 j がゲート絶縁膜を介して重なる部分に上記保持容量 j が形成され、保持容量配線 18 p および容量電極 37 I がゲート絶縁膜を介して重なる部分に上記保持容量 I が形成され、保持容量配線 18 q および容量電極 37 J がゲート絶縁膜を介して重なる部分に上記保持容量 J が形成される。

40

【0029】

図 2 は図 1 の X - Y 矢視断面図である。同図に示すように、本液晶パネルは、アクティブマトリクス基板 3 と、これに対向するカラーフィルタ基板 30 と、両基板 (3・30) 間に配される液晶層 40 とを備える。アクティブマトリクス基板 3 では、ガラス基板 31 上に走査信号線 16 i および保持容量配線 18 p が形成され、これを覆うようにゲート絶縁膜 43 が形成されている。ゲート絶縁膜 43 の上層には、容量電極 37 i、データ信号線 15 y、間在配線 4 1、データ信号線 15 X、および延伸配線 47 I が形成されている。なお、断面には含まれないが、ゲート絶縁膜 43 の上層には、各トランジスタの半導体

50

層（ i 層および $n +$ 層）と、 $n +$ 層に接するソース電極およびドレイン電極が形成されている。さらに、各データ信号線および間在配線 4 1 を含むメタル層を覆うように無機層間絶縁膜 2 5 が形成され、無機層間絶縁膜 2 5 上に、これよりも厚い有機層間絶縁膜 2 6 が形成されている。有機層間絶縁膜 2 6 上には画素電極 1 7 i ・1 7 I が形成され、さらに、これら画素電極を覆うように配向膜 9 が形成されている。なお、コンタクトホール 1 1 a i の形成部では無機層間絶縁膜 2 5 および有機層間絶縁膜 2 6 が割り貫かれ、画素電極 1 7 i と容量電極 3 7 i とが接触している。また、上記のように、保持容量配線 1 8 p および容量電極 3 7 i がゲート絶縁膜 4 3 を介して重なる部分に上記保持容量 i が形成されている。

【0030】

一方、カラーフィルタ基板 3 0 では、ガラス基板 3 2 上にブラックマトリクス 1 3 および着色層（カラーフィルタ層）1 4 が形成され、その上層に共通電極（ com ）2 8 が形成され、さらにこれを覆うように配向膜 1 9 が形成されている。

【0031】

次に、本液晶パネルの製造方法について説明する。液晶パネルの製造方法には、アクティブマトリクス基板製造工程と、カラーフィルタ基板製造工程と、両基板を貼り合わせて液晶を充填する組み立て工程とが含まれる。

【0032】

まず、ガラス、プラスチックなどの基板の上に、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅などの金属膜、それらの合金膜、または、それらの積層膜（厚さ 1 0 0 0 ~ 3 0 0 0 ）をスパッタリング法により成膜し、その後、フォトリソグラフィ技術（Photo Engraving Process、以下、「PEP技術」と称し、これにはエッチング工程が含まれるものとする）によりパターンニングを行い、走査信号線（各トランジスタのゲート電極）および保持容量配線を形成する。

【0033】

次いで、走査信号線が形成された基板全体に、CVD（Chemical Vapor Deposition）法により窒化シリコンや酸化シリコンなどの無機絶縁膜（厚さ 3 0 0 0 ~ 5 0 0 0 程度）を成膜し、フォトレジストの除去を行い、ゲート絶縁膜を形成する。

【0034】

続いて、ゲート絶縁膜上（基板全体）に、CVD法により真性アモルファスシリコン膜（厚さ 1 0 0 0 ~ 3 0 0 0 ）と、リンがドーブされた $n +$ アモルファスシリコン膜（厚さ 4 0 0 ~ 7 0 0 ）とを連続して成膜し、その後、PEP技術によってパターンニングを行い、フォトレジストを除去することにより、ゲート電極上に、真性アモルファスシリコン層と $n +$ アモルファスシリコン層とからなるシリコン積層体を島状に形成する。

【0035】

続いて、シリコン積層体が形成された基板全体に、チタン、クロム、アルミニウム、モリブデン、タンタル、タングステン、銅などの金属膜、それらの合金膜、または、それらの積層膜（厚さ 1 0 0 0 ~ 3 0 0 0 ）をスパッタリング法により成膜し、その後、PEP技術によりパターンニングを行い、データ信号線、トランジスタのソース電極・ドレイン電極、ドレイン引き出し電極、容量電極、および延伸配線を形成する（メタル層の形成）。ここでは必要に応じてレジストを除去する。

【0036】

さらに、上記メタル配線形成時のフォトレジスト、またはソース電極およびドレイン電極をマスクとして、シリコン積層体を構成する $n +$ アモルファスシリコン層をエッチング除去し、フォトレジストを除去することにより、トランジスタのチャンネルを形成する。ここで、半導体層は、上記のようにアモルファスシリコン膜により形成させてもよいが、ポリシリコン膜を成膜させてもよく、また、アモルファスシリコン膜およびポリシリコン膜にレーザアニール処理を行って結晶性を向上させてもよい。これにより、半導体層内の電子の移動速度が速くなり、トランジスタ（TFET）の特性を向上させることができる。

【0037】

10

20

30

40

50

次いで、データ信号線などが形成された基板全体に層間絶縁膜を形成する。具体的には、 SiH_4 ガスと NH_3 ガスと N_2 ガスとの混合ガスを用い、基板全面を覆うように、厚さ約 3000 の SiN_x からなる無機層間絶縁膜（パッシベーション膜）を CVD にて形成し、さらに、厚さ約 3 μm のポジ型感光性アクリル樹脂からなる有機層間絶縁膜をスピンコートやダイコートにて形成する。

【0038】

その後、PEP 技術により有機層間絶縁膜にコンタクトホールのパターニングを行い、その後有機層間絶縁膜を焼成する。さらに、有機層間絶縁膜のパターンを用いて、無機層間絶縁膜あるいは無機層間絶縁膜とゲート絶縁膜をエッチング除去してコンタクトホールを形成する。

10

【0039】

続いて、コンタクトホールが形成された層間絶縁膜上の基板全体に、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide)、酸化亜鉛、酸化スズなどからなる透明導電膜（厚さ 1000 ~ 2000）をスパッタリング法により成膜し、その後、PEP 技術によりパターニングを行い、レジストを除去して各画素電極を形成する。

【0040】

最後に、画素電極上の基板全体に、ポリイミド樹脂を厚さ 500 ~ 1000 で印刷し、その後、焼成して、回転布にて一方向にラビング処理を行って、配向膜を形成する。以上のようにして、アクティブマトリクス基板製造される。

【0041】

20

以下に、カラーフィルタ基板製造工程について説明する。

【0042】

まず、ガラス、プラスチックなどの基板上（基板全体）に、クロム薄膜、または黒色顔料を含有する樹脂を成膜した後に PEP 技術によってパターニングを行い、ブラックマトリクスを形成する。次いで、ブラックマトリクスの間に、顔料分散法などを用いて、赤、緑および青のカラーフィルタ層（厚さ 2 μm 程度）をパターン形成する。

【0043】

続いて、カラーフィルタ層上の基板全体に、ITO、IZO、酸化亜鉛、酸化スズなどからなる透明導電膜（厚さ 1000 程度）を成膜し、共通電極（com）を形成する。

【0044】

30

最後に、共通電極上の基板全体に、ポリイミド樹脂を厚さ 500 ~ 1000 で印刷し、その後、焼成して、回転布にて一方向にラビング処理を行って、配向膜を形成する。上記のようにして、カラーフィルタ基板を製造することができる。

【0045】

以下に、組み立て工程について、説明する。

【0046】

まず、アクティブマトリクス基板およびカラーフィルタ基板の一方に、スクリーン印刷により、熱硬化性エポキシ樹脂などからなるシール材料を液晶注入口の部分に欠いた枠状パターンに塗布し、他方の基板に液晶層の厚さに相当する直径を持ち、プラスチックまたはシリカからなる球状のスペーサーを散布する。なお、スペーサーを散布する代わりに、PEP 技術により CF 基板の BM 上あるいはアクティブマトリクス基板のメタル配線上にスペーサーを形成してもよい。

40

【0047】

次いで、アクティブマトリクス基板とカラーフィルタ基板とを貼り合わせ、シール材料を硬化させる。

【0048】

最後に、アクティブマトリクス基板およびカラーフィルタ基板並びにシール材料で囲まれる空間に、減圧法により液晶材料を注入した後、液晶注入口に UV 硬化樹脂を塗布し、UV 照射によって液晶材料を封止することで液晶層を形成する。以上のようにして、液晶パネルが製造される。

50

【0049】

本液晶パネルでは、データ信号線15yとデータ信号線15Xとの間にVcom信号が供給される間在配線41を設けているため、例えば画素電極17iとデータ信号線15Xとの間の寄生容量に起因する両者(17iおよび15X)間のクロストークを低減することができる。なお、図6は本液晶パネルを駆動したときの等電位線(LVMは-0.5V線、LVPは+0.5V線)を示し、図56は間在配線41を設けない場合の等電位線(LVMは-0.5V線、LVPは+0.5V線)を示している。図56では自画素の画素電極上から隣接画素に対応するデータ信号線上に等電位線が流れているのに対し、図6では自画素の画素電極(17i)上から隣接画素に対応するデータ信号線(15X)上に等電位線が流れておらず、上記のクロストーク低減効果は明らかである。なお、上記寄生容量の値は、例えば4割程度低減される。

10

【0050】

1画素列に対応して2本のデータ信号線を設ける液晶パネルで図4のようにデータ信号線を駆動した場合、画素電極は、自画素に対応する2本のデータ信号線それぞれとの間のクロストークの影響を受け、これらクロストークの影響が互いに打ち消しあう方向に働く(1画素列に対応する2本のデータ信号線には逆極性のデータ信号が供給されるため)。このため、自画素の画素電極と隣接画素(行方向に隣接する画素)に対応するデータ信号線との間のクロストークの影響があると、この打ち消し状態に乱れが生じ、縦シャドーとして視認されるおそれがある。

20

【0051】

特に同一画素列に同一色の表示を行う場合、自画素に対応する2本のデータ信号線には逆極性で大きさ(電圧の絶対値)の似通ったデータ信号が供給されることが多いため、自画素の画素電極と自画素に対応する2本のデータ信号線それぞれとの間のクロストークはほとんど打ち消される。一方、自画素の両側に位置する2つの隣接画素には互いに異なる色が表示される(例えば、自画素に第1色が表示されるなら、両側に位置する2つの隣接画素には第2および第3色が表示される)ため、この2つの隣接画素に対応する4本のデータ信号線のうち自画素に隣接する2本のデータ信号線(他色用隣接データ信号線)には、逆極性であっても大きさ(電圧の絶対値)が似通っていないデータ信号が供給されることが多い。すなわち、自画素(第1色)の画素電極と2本の他色用隣接データ信号線(第2色用データ信号線および第3色用データ信号線)それぞれとの間のクロストークの影響は互いに打ち消されにくく、これが縦シャドーの要因となる。

30

【0052】

そこで、本液晶パネルでは、自画素の画素電極と隣接画素に対応するデータ信号線(例えば、他色用隣接データ信号線)との間のクロストークを間在配線によって低減し、縦シャドーの発現を抑制している。本液晶パネルのように、画素電極を自画素に対応する2本のデータ信号線それぞれに被せる構成(超高開口率の構成)では、クロストークの影響が大きくなるため、この効果は特に顕著なものとなる。

【0053】

また、本液晶パネルでは、間在配線41によって、間在配線を挟んで隣り合う2本のデータ信号線(例えば、15y・15X)間の寄生容量に起因する両者間のクロストークを低減することができる。なお、上記寄生容量の値は、例えば5割程度低減される。

40

【0054】

さらに、本液晶パネルでは、間在配線上に共通電極と同電位の領域が生じ、この領域はノーマリブラックモードで暗線DL(図6参照)となるため、行方向に隣接する画素間に配されるブラックマトリクス(図2のブラックマトリクス13)の幅を小さくすることができる。

【0055】

なお、本液晶パネルでは、2本の走査信号線を同時選択していくことができるため、各画素の書き込み時間をそのままにして画面の書き込み時間を半減することができる。すなわち、本液晶パネルは倍速駆動(120Hz駆動)等の高速駆動に好適である。

50

【 0 0 5 6 】

また、本液晶パネルは、各データ信号線に一垂直走査期間中同極性のデータ信号を供給しつつドット反転駆動を実現する構成であるため、低消費電力化に加え、大型化や高速駆動にも好適といえる。

【 0 0 5 7 】

〔実施の形態 2〕

図 7 は実施の形態 2 にかかるアクティブマトリクス基板の一部を示す等価回路図である。図 7 に示すように、本アクティブマトリクス基板では、データ信号線 1 5 x ・ 1 5 y ・ 1 5 X ・ 1 5 Y がこの順に並べられ、行方向（図中左右方向）に延伸する走査信号線 1 6 i ・ 1 6 j ・ 1 6 m ・ 1 6 n がこの順に並べられ、データ信号線 1 5 x ・ 1 5 y および走査信号線 1 6 i の交差部に対応して画素領域 1 0 1 が設けられ、データ信号線 1 5 x ・ 1 5 y および走査信号線 1 6 j の交差部に対応して画素領域 1 0 2 が設けられ、データ信号線 1 5 x ・ 1 5 y および走査信号線 1 6 m の交差部に対応して画素領域 1 0 3 が設けられ、データ信号線 1 5 X ・ 1 5 y および走査信号線 1 6 n の交差部に対応して画素領域 1 0 4 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 i の交差部に対応して画素領域 1 0 5 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 j の交差部に対応して画素領域 1 0 6 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 m の交差部に対応して画素領域 1 0 7 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 n の交差部に対応して画素領域 1 0 8 が設けられ、画素領域 1 0 1 ・ 1 0 5 に対応して保持容量配線 1 8 k が設けられ、画素領域 1 0 1 ・ 1 0 5 ・ 1 0 2 ・ 1 0 6 に対応して保持容量配線 1 8 p が設けられ、画素領域 1 0 2 ・ 1 0 6 ・ 1 0 3 ・ 1 0 7 に対応して保持容量配線 1 8 q が設けられ、画素領域 1 0 3 ・ 1 0 7 ・ 1 0 4 ・ 1 0 8 に対応して保持容量配線 1 8 r が設けられ、画素領域 1 0 4 ・ 1 0 8 に対応して保持容量配線 1 8 s が設けられている。

【 0 0 5 8 】

ここで、データ信号線 1 5 x ・ 1 5 y は、画素領域 1 0 1 ~ 1 0 4 を含む画素領域列に対応して設けられ、データ信号線 1 5 X ・ 1 5 Y は画素領域 1 0 1 ~ 1 0 4 を含む画素領域列に対応して設けられ、データ信号線 1 5 y とデータ信号線 1 5 X との間に、V c o m 信号が供給される間在配線 4 1 が設けられている。

【 0 0 5 9 】

さらに、各画素には 2 つずつ画素電極が配され、画素領域 1 0 1 の画素電極 1 7 i a は、走査信号線 1 6 i に繋がるトランジスタ 1 2 i a を介してデータ信号線 1 5 x に接続され、画素領域 1 0 1 の画素電極 1 7 i b は、走査信号線 1 6 i に繋がるトランジスタ 1 2 i b を介してデータ信号線 1 5 x に接続され、画素領域 1 0 2 の画素電極 1 7 j a は、走査信号線 1 6 j に繋がるトランジスタ 1 2 j a を介してデータ信号線 1 5 y に接続され、画素領域 1 0 2 の画素電極 1 7 j b は、走査信号線 1 6 j に繋がるトランジスタ 1 2 j b を介してデータ信号線 1 5 y に接続され、画素領域 1 0 3 の画素電極 1 7 m a は、走査信号線 1 6 m に繋がるトランジスタ 1 2 m a を介してデータ信号線 1 5 x に接続され、画素領域 1 0 3 の画素電極 1 7 m b は、走査信号線 1 6 m に繋がるトランジスタ 1 2 m b を介してデータ信号線 1 5 x に接続され、画素領域 1 0 4 の画素電極 1 7 n a は、走査信号線 1 6 n に繋がるトランジスタ 1 2 n a を介してデータ信号線 1 5 y に接続され、画素領域 1 0 4 の画素電極 1 7 n b は、走査信号線 1 6 n に繋がるトランジスタ 1 2 n b を介してデータ信号線 1 5 y に接続され、画素領域 1 0 5 の画素電極 1 7 I A は、走査信号線 1 6 i に繋がるトランジスタ 1 2 I A を介してデータ信号線 1 5 X に接続され、画素領域 1 0 5 の画素電極 1 7 I B は、走査信号線 1 6 i に繋がるトランジスタ 1 2 I B を介してデータ信号線 1 5 X に接続され、画素領域 1 0 6 の画素電極 1 7 J A は、走査信号線 1 6 j に繋がるトランジスタ 1 2 J A を介してデータ信号線 1 5 Y に接続され、画素領域 1 0 6 の画素電極 1 7 J B は、走査信号線 1 6 j に繋がるトランジスタ 1 2 J B を介してデータ信号線 1 5 Y に接続される。すなわち、画素領域列の偶数番目となる各画素領域（1 0 2 ・ 1 0 4 ）の画素電極が接続するデータ信号線 1 5 y と、画素領域列の奇数番目となる

画素領域(105・107)の画素電極が接続するデータ信号線15Xとが、間在配線41を挟んで隣り合うことになる。

【0060】

また、走査信号線16iと走査信号線16jとがパネル内あるいはパネル外で接続され、両者(16i・16j)は同時選択される(後述)。また、走査信号線16mと走査信号線16nとがパネル内あるいはパネル外で接続され、両者(16m・16n)は同時選択される(後述)。

【0061】

また、画素電極17iaおよび保持容量配線18k間に保持容量iaが形成され、画素電極17ibおよび保持容量配線18p間に保持容量ibが形成され、画素電極17ja
10
および保持容量配線18p間に保持容量jaが形成され、画素電極17jbおよび保持容量配線18q間に保持容量jbが形成され、画素電極17maおよび保持容量配線18q間に保持容量maが形成され、画素電極17mbおよび保持容量配線18r間に保持容量mbが形成され、画素電極17naおよび保持容量配線18r間に保持容量naが形成され、画素電極17nbおよび保持容量配線18s間に保持容量nbが形成され、画素電極17IAおよび保持容量配線18k間に保持容量IAが形成され、画素電極17IBおよび保持容量配線18p間に保持容量IBが形成され、画素電極17JAおよび保持容量配線18p間に保持容量JAが形成され、画素電極17JBおよび保持容量配線18q間に保持容量JBが形成される。

【0062】

図8・10は、上記アクティブマトリクス基板を備えた本液晶パネルの駆動方法(ノーマリブラックモード)を示すタイミングチャートである。なお、Sx・Sy・SX・SYはそれぞれデータ信号線15x・15y・15X・15Yに供給されるデータ信号(データ信号)を示し、Szは間在配線に供給される信号を示し、Gpi・Gpj・Gpm・Gpnはそれぞれ、走査信号線16i・16j・16m・16nに供給されるゲート信号を示し、Csk・Csp・Csq・Csr・Cssはそれぞれ保持容量配線18k・18p
20
・18q・18r・18sに供給される保持容量配線信号(Cs信号)を示し、Via・Vib・Vja・Vjb・VIA・VIB・Vma・Vmb・Vna・Vnbは画素電極17ia・17ib・17ja・17jb・17IA・17IB・17ma・17mb・17na・17nbの電位を示している。なお、各画素電極の電位は、データ信号の書き込み後
30
に周期的に変動するが、本図では実効値(一定値)を記載している。

【0063】

本駆動方法では、図8に示されるように、走査信号線を2本ずつ同時選択していき、データ信号線に供給するデータ信号の極性を1フレーム期間(1V)ごとに反転させるとともに、同一水平走査期間においては、同一画素列に対応する2本のデータ信号線(15x・15yあるいは15X・15Y)に逆極性のデータ信号を供給しつつ、間在配線を挟んで隣り合う2本のデータ信号線(15y・15X)には同極性のデータ信号を供給する。そして、間在配線には、共通電極の電位に等しい定電位信号(Vcom信号)を供給する。さらに、各保持容量配線には、複数水平走査期間ごとに極性が反転する保持容量配線信号を供給する。

【0064】

具体的には、連続するフレームF1・F2のF1では、データ信号線15xおよびデータ信号線15Yそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にプラス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもプラス極性のデータ信号を供給し、データ信号線15yおよびデータ信号線15Xそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にマイナス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもマイナス極性のデータ信号を供給する。また、保持容量配線18kには、4Hごとに極性が反転し、かつN番目の水平走査期間終了時にマイナスからプラスに極性が反転するような保持容量配線信号を供
40
50

給し、保持容量配線 18 p には、4 H ごとに極性が反転し、かつ N 番目の水平走査期間終了時にプラスからマイナスに極性が反転するような保持容量配線信号を供給し、保持容量配線 18 q には、4 H ごとに極性が反転し、かつ (N + 1) 番目の水平走査期間終了時にマイナスからプラスに極性が反転するような保持容量配線信号を供給し、保持容量配線 18 r には、4 H ごとに極性が反転し、かつ (N + 1) 番目の水平走査期間終了時にプラスからマイナスに極性が反転するような保持容量配線信号を供給し、保持容量配線 18 s には、4 H ごとに極性が反転し、かつ (N + 2) 番目の水平走査期間終了時にマイナスからプラスに極性が反転するような保持容量配線信号を供給する。

【0065】

これにより、図 8 に示すように、画素電極 17 i a の電位はプラス極性で、データ信号書き込み後、保持容量配線 18 k の電位がまずプラス方向に変動するため、実効電位は書き込まれたデータ信号の電位よりも高くなる (V com を基準とする実効電位の絶対値 > V com を基準とするデータ信号の絶対値)。また、画素電極 17 i b の電位はプラス極性で、データ信号書き込み後、保持容量配線 18 p の電位がまずマイナス方向に変動するため、その実効電位は書き込まれたデータ信号の電位よりも低くなる (実効電位の絶対値 < データ信号の絶対値)。また、画素電極 17 j a の電位はマイナス極性で、データ信号書き込み後、保持容量配線 18 p の電位がまずマイナス方向に変動するため、実効電位は書き込まれたデータ信号の電位よりも低く (実効電位の絶対値 > データ信号の絶対値) なる。また、画素電極 17 j b の電位はマイナス極性で、データ信号書き込み後、保持容量配線 18 q の電位がまずプラス方向に変動するため、実効電位は書き込まれたデータ信号の電位よりも高くなる (実効電位の絶対値 < データ信号の絶対値)。また、画素電極 17 I A の電位はマイナス極性で、データ信号書き込み後、保持容量配線 18 k の電位がまずプラス方向に変動するため、実効電位は書き込まれたデータ信号の電位よりも高くなる (実効電位の絶対値 < データ信号の絶対値)。また、画素電極 17 I B の電位はマイナス極性で、データ信号書き込み後、保持容量配線 18 p の電位がまずマイナス方向に変動するため、実効電位は書き込まれたデータ信号の電位よりも低くなる (実効電位の絶対値 > データ信号の絶対値)。画素電極 17 m a の電位はプラス極性で、データ信号書き込み後、保持容量配線 18 q の電位がまずプラス方向に変動するため、実効電位は書き込まれたデータ信号の電位よりも高くなる (実効電位の絶対値 > データ信号の絶対値)。また、画素電極 17 m b の電位はプラス極性で、データ信号書き込み後、保持容量配線 18 r の電位がまずマイナス方向に変動するため、実効電位は書き込まれたデータ信号の電位よりも低くなる (実効電位の絶対値 < データ信号の絶対値)。また、画素電極 17 n a の電位はマイナス極性で、データ信号書き込み後、保持容量配線 18 r の電位がまずマイナス方向に変動するため、実効電位は書き込まれたデータ信号の電位よりも低くなる (実効電位の絶対値 > データ信号の絶対値)。また、画素電極 17 n b の電位はマイナス極性で、データ信号書き込み後、保持容量配線 18 s の電位がまずプラス方向に変動するため、実効電位は書き込まれたデータ信号の電位よりも高くなる (実効電位の絶対値 < データ信号の絶対値)。

【0066】

以上から F 1 では、図 9 に示すように、画素電極 17 i a を含む副画素はプラス極性の明副画素、画素電極 17 i b を含む副画素はプラス極性の暗副画素、画素電極 17 j a を含む副画素はマイナス極性の明副画素、画素電極 17 j b を含む副画素はマイナス極性の暗副画素、画素電極 17 m a を含む副画素はプラス極性の明副画素、画素電極 17 m b を含む副画素はプラス極性の暗副画素、画素電極 17 n a を含む副画素はマイナス極性の明副画素、画素電極 17 n b を含む副画素はマイナス極性の暗副画素、画素電極 17 I A を含む副画素はマイナス極性の暗副画素、画素電極 17 I B を含む副画素はマイナス極性の明副画素となり、F 1 でドット反転駆動かつ明暗市松表示 (行方向および列方向それぞれについて、明副画素と暗副画素が交互に並ぶような表示) が実現される。

【0067】

また、フレーム F 2 では、図 10 に示すように、データ信号線 15 x およびデータ信号

10

20

30

40

50

線 15 Y それぞれに、N 番目の水平走査期間（走査信号線 16 i・16 j の走査期間含む）にマイナス極性のデータ信号を供給して、（N + 1）番目の水平走査期間（走査信号線 16 m・16 n の走査期間含む）にもマイナス極性のデータ信号を供給し、データ信号線 15 y およびデータ信号線 15 X それぞれに、N 番目の水平走査期間（走査信号線 16 i・16 j の走査期間含む）にプラス極性のデータ信号を供給して、（N + 1）番目の水平走査期間（走査信号線 16 m・16 n の走査期間含む）にもプラス極性のデータ信号を供給する。また、保持容量配線 18 k には、4 H ごとに極性が反転し、かつ N 番目の水平走査期間終了時にプラスからマイナスに極性が反転するような保持容量配線信号を供給し、保持容量配線 18 p には、4 H ごとに極性が反転し、かつ N 番目の水平走査期間終了時にマイナスからプラスに極性が反転するような保持容量配線信号を供給し、保持容量配線 18 q には、4 H ごとに極性が反転し、かつ（N + 1）番目の水平走査期間終了時にプラスからマイナスに極性が反転するような保持容量配線信号を供給し、保持容量配線 18 r には、4 H ごとに極性が反転し、かつ（N + 1）番目の水平走査期間終了時にマイナスからプラスに極性が反転するような保持容量配線信号を供給し、保持容量配線 18 s には、4 H ごとに極性が反転し、かつ（N + 2）番目の水平走査期間終了時にプラスからマイナスに極性が反転するような保持容量配線信号を供給する。

10

20

30

40

50

【0068】

これにより F 2 では、画素電極 17 i a を含む副画素はマイナス極性の明副画素、画素電極 17 i b を含む副画素はマイナス極性の暗副画素、画素電極 17 j a を含む副画素はプラス極性の明副画素、画素電極 17 j b を含む副画素はプラス極性の暗副画素、画素電極 17 I A を含む副画素はプラス極性の暗副画素、画素電極 17 I B を含む副画素はプラス極性の明副画素、画素電極 17 m a を含む副画素はマイナス極性の明副画素、画素電極 17 m b を含む副画素はマイナス極性の暗副画素、画素電極 17 n a を含む副画素はプラス極性の明副画素、画素電極 17 n b を含む副画素はプラス極性の暗副画素となり、F 2 でもドット反転駆動かつ明暗市松表示（行方向および列方向それぞれについて、明副画素と暗副画素が交互に並ぶような表示）が実現される。

【0069】

本液晶パネルでは明・暗副画素によって中間調を表示することができるため、視野角特性を高めることができる。また、明暗市松表示によって、明副画素あるいは暗副画素が連続して並ぶことで生じる縞状のムラを抑制することができる。

【0070】

なお、本駆動方法では、図 11 に示すように、例えば、保持容量配線 18 k に供給される保持容量配線信号 C s k と、保持容量配線 18 k から走査方向下流側に数えて 16 本目にあたる保持容量配線に供給される保持容量配線信号 C s (k + 16) が同位相となる。同様に、保持容量配線 18 p に供給される保持容量配線信号 C s p と、保持容量配線 18 p から走査方向下流側に数えて 16 本目にあたる保持容量配線に供給される保持容量配線信号 C s (p + 16) が同位相となる。そこで図 12 に示すように、例えば、保持容量配線 18 p と、保持容量配線 18 p から走査方向下流側に数えて 16 × K (K = 1, 2, 3, …) 番目にあたる保持容量配線（例えば、保持容量配線 18 (p + 16) ）と、保持容量配線 18 p から走査方向上流側に数えて 16 × K (K = 1, 2, 3, …) 番目にあたる保持容量配線とを幹配線 C S M に接続しておくこともできる。

【0071】

図 13 は、図 7 のアクティブマトリクス基板を備えた液晶パネルの一部を示す平面図である。図 13 では、その見易さのために、カラーフィルタ基板（対向基板）側の部材を省略してアクティブマトリクス基板の部材のみ記載している。

【0072】

本液晶パネルでは、一对（2本）のデータ信号線 15 x・15 y と、一对（2本）のデータ信号線 15 X・15 Y とが、データ信号線 15 y およびデータ信号線 15 X が隣り合うように設けられ、データ信号線 15 y とデータ信号線 15 X との間に間在配線 41 が配され、各データ信号線と直交するように、走査信号線 16 i および走査信号線 16 j が設

けられ、データ信号線 15 x および走査信号線 16 i の交差部近傍にトランジスタ 12 i a・12 i b が設けられ、データ信号線 15 y および走査信号線 16 j の交差部近傍にトランジスタ 12 j a・12 j b が設けられ、データ信号線 15 X および走査信号線 16 i の交差部近傍にトランジスタ 12 I A・12 I B が設けられ、データ信号線 15 Y および走査信号線 16 j の交差部近傍にトランジスタ 12 J A・12 J B が設けられる。

【0073】

また、走査信号線 16 i の走査方向上流側のエッジとデータ信号線 15 x・15 y とに重なるように画素電極 17 i a が設けられ、走査信号線 16 i の走査方向下流側のエッジとデータ信号線 15 x・15 y とに重なるように画素電極 17 i b が設けられ、走査信号線 16 j の走査方向上流側のエッジとデータ信号線 15 x・15 y とに重なるように画素電極 17 j a が設けられ、走査信号線 16 j の走査方向下流側のエッジとデータ信号線 15 x・15 y とに重なるように画素電極 17 j b が設けられ、走査信号線 16 i の走査方向上流側のエッジとデータ信号線 15 X・15 Y とに重なるように画素電極 17 I A が設けられ、走査信号線 16 i の走査方向下流側のエッジとデータ信号線 15 X・15 Y とに重なるように画素電極 17 I B が設けられ、走査信号線 16 j の走査方向上流側のエッジとデータ信号線 15 X・15 Y とに重なるように画素電極 17 J A が設けられ、走査信号線 16 j の走査方向下流側のエッジとデータ信号線 15 X・15 Y とに重なるように画素電極 17 J B が設けられている。

10

【0074】

また、画素電極 17 i a・17 I A に重なるように保持容量配線 18 k が設けられ、画素電極 17 i b・17 I B・17 j a・17 J A に重なるように保持容量配線 18 p が設けられ、画素電極 17 j b・17 J B に重なるように保持容量配線 18 q が設けられている。

20

【0075】

なお、平面的に視ると、画素電極 17 i a の列方向に沿う 2 つのエッジは、データ信号線 15 x およびデータ信号線 15 y の外側に位置し、画素電極 17 i b の列方向に沿う 2 つのエッジは、データ信号線 15 x およびデータ信号線 15 y の外側に位置し、画素電極 17 j a の列方向に沿う 2 つのエッジは、データ信号線 15 x およびデータ信号線 15 y の外側に位置し、画素電極 17 j b の列方向に沿う 2 つのエッジは、データ信号線 15 x およびデータ信号線 15 y の外側に位置し、画素電極 17 I A の列方向に沿う 2 つのエッジは、データ信号線 15 X およびデータ信号線 15 Y の外側に位置し、画素電極 17 I B の列方向に沿う 2 つのエッジは、データ信号線 15 X およびデータ信号線 15 Y の外側に位置し、画素電極 17 J A の列方向に沿う 2 つのエッジは、データ信号線 15 X およびデータ信号線 15 Y の外側に位置し、画素電極 17 J B の列方向に沿う 2 つのエッジは、データ信号線 15 X およびデータ信号線 15 Y の外側に位置している。

30

【0076】

さらに、間在配線 41 は、画素電極 17 i a および画素電極 17 I a の間隙下と、画素電極 17 i b および画素電極 17 I B の間隙下と、画素電極 17 j a および画素電極 17 J A の間隙下と、画素電極 17 j b および画素電極 17 J B の間隙下とを通過している。

【0077】

そして、走査信号線 16 i がトランジスタ 12 i a のゲート電極として機能し、トランジスタ 12 i a のソース電極はデータ信号線 15 x に接続され、ドレイン電極はドレイン引き出し電極 27 i a を介して容量電極 37 i a に接続されている。容量電極 37 i a は保持容量配線 18 k 上に位置し、2 個のコンタクトホール 11 i a を介して画素電極 17 i a に接続されている。また、走査信号線 16 i がトランジスタ 12 i b のゲート電極として機能し、トランジスタ 12 i b のソース電極はデータ信号線 15 x に接続され、ドレイン電極はドレイン引き出し電極 27 i b を介して容量電極 37 i b に接続されている。容量電極 37 i b は保持容量配線 18 p 上に位置し、2 個のコンタクトホール 11 i b を介して画素電極 17 i b に接続されている。また、走査信号線 16 j がトランジスタ 12 j a のゲート電極として機能し、トランジスタ 12 j a のソース電極はデータ信号線 15

40

50

yに接続され、ドレイン電極はドレイン引き出し電極27jaを介して容量電極37jaに接続されている。容量電極37jaは保持容量配線18p上に位置し、2個のコンタクトホール11jaを介して画素電極17jaに接続されている。また、走査信号線16jがトランジスタ12jbのゲート電極として機能し、トランジスタ12jbのソース電極はデータ信号線15yに接続され、ドレイン電極はドレイン引き出し電極27jbを介して容量電極37jbに接続されている。容量電極37jbは保持容量配線18q上に位置し、2個のコンタクトホール11jbを介して画素電極17jbに接続されている。

【0078】

同様に、走査信号線16iがトランジスタ12IAのゲート電極として機能し、トランジスタ12IAのソース電極はデータ信号線15Xに接続され、ドレイン電極はドレイン引き出し電極27IAを介して容量電極37IAに接続されている。容量電極37IAは保持容量配線18k上に位置し、2個のコンタクトホール11IAを介して画素電極17IAに接続されている。また、走査信号線16iがトランジスタ12IBのゲート電極として機能し、トランジスタ12IBのソース電極はデータ信号線15Xに接続され、ドレイン電極はドレイン引き出し電極27IBを介して容量電極37IBに接続されている。容量電極37IBは保持容量配線18p上に位置し、2個のコンタクトホール11IBを介して画素電極17IBに接続されている。また、走査信号線16jがトランジスタ12JAのゲート電極として機能し、トランジスタ12JAのソース電極はデータ信号線15Yに接続され、ドレイン電極はドレイン引き出し電極27JAを介して容量電極37JAに接続されている。容量電極37JAは保持容量配線18p上に位置し、2個のコンタクトホール11JAを介して画素電極17JAに接続されている。また、走査信号線16jがトランジスタ12JBのゲート電極として機能し、トランジスタ12JBのソース電極はデータ信号線15Yに接続され、ドレイン電極はドレイン引き出し電極27JBを介して容量電極37JBに接続されている。容量電極37JBは保持容量配線18q上に位置し、2個のコンタクトホール11JBを介して画素電極17JBに接続されている。

【0079】

本液晶パネルでは、保持容量配線18kおよび容量電極37iaがゲート絶縁膜を介して重なる部分に上記保持容量iaが形成され、保持容量配線18pおよび容量電極37ibがゲート絶縁膜を介して重なる部分に上記保持容量ibが形成され、保持容量配線18pおよび容量電極37jaがゲート絶縁膜を介して重なる部分に上記保持容量jaが形成され、保持容量配線18qおよび容量電極37jbがゲート絶縁膜を介して重なる部分に上記保持容量jbが形成され、保持容量配線18kおよび容量電極37IAがゲート絶縁膜を介して重なる部分に上記保持容量IAが形成され、保持容量配線18pおよび容量電極37IBがゲート絶縁膜を介して重なる部分に上記保持容量IBが形成され、保持容量配線18pおよび容量電極37JAがゲート絶縁膜を介して重なる部分に上記保持容量JAが形成され、保持容量配線18qおよび容量電極37JBがゲート絶縁膜を介して重なる部分に上記保持容量JBが形成される。

【0080】

本液晶パネルでは、データ信号線15yとデータ信号線15Xとの間にVcom信号が供給される間在配線41を設けているため、例えば画素電極17iaとデータ信号線15Xとの間に生じる寄生容量に起因する両者(17iaおよび15X)間のクロストークを低減することができ、縦シャドウの発現を抑制することができる。図14は本液晶パネルを駆動したときの等電位線(LVMは-0.5V線、LVPは+0.5V線)を示しているが、同図では自画素の画素電極(17ia)上から隣接画素に対応するデータ信号線(15X)上に等電位線が流れておらず、上記のクロストーク低減効果は明らかである。なお、上記寄生容量の値は、例えば4割程度低減されている。本液晶パネルのように画素内を2つの輝度に制御する画素分割方式では図3のような非画素分割方式よりもクロストークの影響が表示品位にシビアに反映されるため、この効果は顕著なものとなっている。

【0081】

また、本液晶パネルでは、間在配線41によって、間在配線を挟んで隣り合う2本のデ

ータ信号線（例えば、 $15y \cdot 15X$ ）間の寄生容量に起因する両者間のクロストークを低減することができる。なお、この寄生容量の値は、例えば5割程度低減される。

【0082】

図13の液晶パネルを図15のように変形することもできる。すなわち、図13と比較して、1つの画素領域列に対応する2本のデータ信号線の間隔（一对となるデータ信号線間の距離）を小さくし、間在配線41を挟んで隣り合うデータ信号線 $15y$ およびデータ信号線 $15X$ 間の距離を大きくする。例えば、データ信号線 $15x \cdot 15y$ の間隔を100とした場合に、データ信号線 $15y$ と間在配線41との間隔を2~198、好ましくは80~120、より好ましくは95~105（実質的に等間隔）とする。

【0083】

この構成では、データ信号線 $15x \cdot 15y$ の間に配される容量電極37iaに加えて、保持容量配線18k上であってデータ信号線 $15x \cdot 15y$ の外側となる部分に2つの容量電極38ia・39iaを設け、それぞれを2個のコンタクトホールを介して画素電極17iaに接続する。また、データ信号線 $15x \cdot 15y$ の間に配される容量電極37ibに加えて、保持容量配線18k上であってデータ信号線 $15x \cdot 15y$ の外側となる部分に2つの容量電極38ib・39ibを設け、それぞれを2個のコンタクトホールを介して画素電極17ibに接続する。また、データ信号線 $15X \cdot 15Y$ の間に配される容量電極37iaに加えて、保持容量配線18k上であってデータ信号線 $15X \cdot 15Y$ の外側となる部分に2つの容量電極38IA・39IAを設け、それぞれを2個のコンタクトホールを介して画素電極17IAに接続する。さらに、間在配線41の両側に配される、画素電極17ia・17ib・17ja・17jb・17IA・IB・17JA・JBそれぞれのエッジを間在配線41に重ねる。

【0084】

本液晶パネルでは、データ信号線 $15y$ とデータ信号線 $15X$ との間にVcom信号が供給される間在配線41を設けているため、例えば画素電極17iaとデータ信号線 $15X$ との間に生じる寄生容量に起因する両者（17iaおよび $15X$ ）間のクロストークを大幅に低減することができ、縦シャドウの発現を抑制することができる。図16は本液晶パネルを駆動したときの等電位線（LVMは-0.5V線、LVPは+0.5V線）を示しているが、同図では自画素の画素電極（17ia）上から隣接画素に対応するデータ信号線（ $15X$ ）上に等電位線が流れておらず、上記のクロストーク低減効果（シールド効果）は明らかである。なお、上記寄生容量の値は、例えば7割程度低減されている。

【0085】

また、一对となるデータ信号線間の間隔とデータ信号線および間在配線間の間隔とをほぼ等しくできるため、間在配線を挟んで隣り合う2本のデータ信号線（例えば、 $15y \cdot 15X$ ）間の寄生容量に起因する両者間のクロストークを大幅に低減することができる。なお、この寄生容量の値は、例えば9割程度低減されている。さらに、データ信号線および間在配線の短絡の発生も抑えることができる。

【0086】

また、図8・図10に示す駆動方法では、保持容量配線信号を4Hごとに極性反転させているが、例えば、10Hや12Hごとに極性反転させてもよい。こうすれば、保持容量配線の電位波形の鈍りが副画素の輝度に与える影響が小さくなり、表示品位を高めることができる。

【0087】

図7の構成およびその駆動方法を示す図8では、間在配線にVcom信号を供給している（間在配線の電位SzをVcomに維持している）がこれに限定されない。例えば、図17のアクティブマトリクス基板およびこれを備えた液晶パネルの駆動方法である図18に示すように、間在配線を保持容量配線および幹配線に接続し、間在配線に保持容量配線信号（Cs信号）を供給することもできる。

【0088】

例えば、保持容量配線18pと、保持容量配線18pから走査方向下流側に数えて16

10

20

30

40

50

$\times K$ ($K = 1, 2, 3 \dots$) 番目にあたる保持容量配線 (例えば、保持容量配線 $18(p+16)$) と、保持容量配線 $18p$ から走査方向上流側に数えて $16 \times K$ ($K = 1, 2, 3 \dots$) 番目にあたる保持容量配線とをそれぞれ、間在配線 41 および幹配線 CSM に接続する。なお、走査信号線 $16i \cdot 16j \cdot 16m \cdot 16n$ に供給するゲート信号および各保持容量配線に供給する保持容量配線信号は図 19 のとおりである。

【0089】

本液晶パネルの駆動では、間在配線 41 には保持容量配線 Csp が供給されるため、図 18 に示すように、間在配線 41 の電位 Sz は $4H$ ごとに極性が反転する。他は図 8 と同じである。

【0090】

図 20 は、図 17 のアクティブマトリクス基板を備えた液晶パネルの一具体例を示す平面図である。図 20 では、その見易さのために、カラーフィルタ基板 (対向基板) 側の部材を省略してアクティブマトリクス基板の部材のみ記載している。図 20 に示す構成は、図 15 において保持容量配線 $18p$ と間在配線 41 とを接続した構成である。すなわち、同図では、保持容量配線 $18p$ と間在配線 41 との交差部である領域 77 において、両者 ($18p \cdot 41$) が 4 個のコンタクトホールを介して接続されている。

【0091】

図 21 は本液晶パネルの領域 77 を含む断面図である。同図に示すように、アクティブマトリクス基板 3 では、ガラス基板 31 上に保持容量配線 $18p$ が形成され、これを覆うようにゲート絶縁膜 43 が形成されている。ゲート絶縁膜 43 の上層には、データ信号線 $15y$ 、間在配線 41 、デおよびータ信号線 $15X$ が形成されている。なお、断面には含まれないが、ゲート絶縁膜 43 の上層には、各トランジスタの半導体層 (i 層および $n+$ 層) と、 $n+$ 層に接するソース電極およびドレイン電極が形成されている。さらに、各データ信号線および間在配線を含むメタル層を覆うように無機層間絶縁膜 25 が形成され、無機層間絶縁膜 25 上に、これよりも厚い有機層間絶縁膜 26 が形成されている。有機層間絶縁膜 26 上には画素電極 $17ib \cdot 17IB$ が形成され、さらに、これら画素電極を覆うように配向膜 9 が形成されている。なお、領域 77 のコンタクトホール形成部ではゲート絶縁膜 43 が割り貫かれ、間在配線 41 と保持容量配線 $18p$ とが接触している。

【0092】

本液晶パネルでは、データ信号線 $15y$ とデータ信号線 $15X$ との間に実効電位が V_{com} となる信号が供給される間在配線 41 を設けているため、例えば画素電極 $17ia$ とデータ信号線 $15X$ との間に生じる寄生容量に起因する両者 ($17ia$ および $15X$) 間のクロストークを大幅に低減することができ、縦シャドウの発現を抑制することができる。図 22 は本液晶パネルを駆動したときの等電位線 (LVM は $-0.5V$ 線、 LVP は $+0.5V$ 線) を示しているが、同図では自画素の画素電極 ($17ia$) 上から隣接画素に対応するデータ信号線 ($15X$) 上に等電位線が流れておらず、上記のクロストーク低減効果 (シールド効果) は明らかである。なお、上記寄生容量の値は、例えば 7 割程度低減されている。

【0093】

本液晶パネルでは、間在配線 41 に供給する V_{com} 信号を別途用意しなくて済む。また、一対となるデータ信号線間の間隔とデータ信号線および間在配線間の間隔とをほぼ等しくできるため、間在配線を挟んで隣り合う 2 本のデータ信号線 (例えば、 $15y \cdot 15X$) 間の寄生容量に起因する両者間のクロストークを大幅に低減することができる。なお、この寄生容量の値は、例えば 9 割程度低減される。さらに、データ信号線および間在配線の短絡の発生も抑えることができる。

【0094】

また、保持容量配線同士が間在配線を介して接続されるため、保持容量配線の抵抗を低減することができる。これにより、保持容量配線の電位波形の鈍りが抑制され、表示品位を高めることができる。また、間在配線を介して接続される各保持容量配線が接続する保持容量幹配線 (CSM) を細くしたり、あるいは間在配線に保持容量配線信号を供給する

10

20

30

40

50

ことで保持容量幹配線をなくしたりすることができる。これにより、パネルの外形寸法を小さくすることができる。

【0095】

なお、この構成では間在配線の電位が変動することから、画素電極と間在配線との間でクロストークが起こりうるが、保持容量配線信号の極性反転周期（4Hあるいは上記のように10Hや12H）では液晶が応答できず、加えて保持容量配線信号の実効電位は0（Vcom）となることから、実質的に表示品位には影響しない。

【0096】

〔実施の形態3〕

図23は実施の形態3にかかるアクティブマトリクス基板の一部を示す等価回路図である。図23に示すように、本アクティブマトリクス基板では、データ信号線15x・15y・15X・15Yがこの順に並べられ、行方向（図中左右方向）に延伸する走査信号線16i・16j・16m・16nがこの順に並べられ、データ信号線15x・15yおよび走査信号線16iの交差部に対応して画素領域101が設けられ、データ信号線15x・15yおよび走査信号線16jの交差部に対応して画素領域102が設けられ、データ信号線15x・15yおよび走査信号線16mの交差部に対応して画素領域103が設けられ、データ信号線15X・15Yおよび走査信号線16nの交差部に対応して画素領域104が設けられ、データ信号線15X・15Yおよび走査信号線16iの交差部に対応して画素領域105が設けられ、データ信号線15X・15Yおよび走査信号線16jの交差部に対応して画素領域106が設けられ、データ信号線15X・15Yおよび走査信号線16mの交差部に対応して画素領域107が設けられ、データ信号線15X・15Yおよび走査信号線16nの交差部に対応して画素領域108が設けられ、画素領域101・105に対応して保持容量配線18pが設けられ、画素領域102・106に対応して保持容量配線18qが設けられ、画素領域103・107に対応して保持容量配線18rが設けられ、画素領域104・108に対応して保持容量配線18sが設けられている。

【0097】

ここで、データ信号線15x・15yは、画素領域101～104を含む画素領域列に対応して設けられ、データ信号線15X・15Yは画素領域101～104を含む画素領域列に対応して設けられ、データ信号線15yとデータ信号線15Xとの間に、Vcom信号が供給される間在配線41が設けられている。

【0098】

さらに、各画素には2つずつ画素電極が配され、画素領域101の画素電極17iaは、走査信号線16iに繋がるトランジスタ12iを介してデータ信号線15xに接続され、画素領域101の画素電極17ibは、容量を介して画素電極17iaに接続され、画素領域102の画素電極17jaは、走査信号線16jに繋がるトランジスタ12jを介してデータ信号線15yに接続され、画素領域102の画素電極17jbは、容量を介して画素電極17jaに接続され、画素領域103の画素電極17maは、走査信号線16mに繋がるトランジスタ12mを介してデータ信号線15xに接続され、画素領域103の画素電極17mbは、容量を介して画素電極17maに接続され、画素領域104の画素電極17naは、走査信号線16nに繋がるトランジスタ12nを介してデータ信号線15yに接続され、画素領域104の画素電極17nbは、容量を介して画素電極17naに接続される。画素領域105の画素電極17IAは、走査信号線16iに繋がるトランジスタ12Iを介してデータ信号線15Xに接続され、画素領域105の画素電極17IBは、容量を介して画素電極17IAに接続され、画素領域106の画素電極17JAは、走査信号線16jに繋がるトランジスタ12Jを介してデータ信号線15Yに接続され、画素領域106の画素電極17JBは、容量を介して画素電極17JAに接続される。すなわち、画素領域列の偶数番目となる各画素領域（102・104）の画素電極が接続するデータ信号線15yと、画素領域列の奇数番目となる画素領域（105・107）の画素電極が接続するデータ信号線15Xとが、間在配線41を挟んで隣り合うことになる。

10

20

30

40

50

【0099】

また、走査信号線16iと走査信号線16jとがパネル内あるいはパネル外で接続され、両者(16i・16j)は同時選択される(後述)。また、走査信号線16mと走査信号線16nとがパネル内あるいはパネル外で接続され、両者(16m・16n)は同時選択される(後述)。

【0100】

また、画素電極17iaおよび保持容量配線18p間に保持容量iaが形成され、画素電極17ibおよび保持容量配線18p間に保持容量ibが形成され、画素電極17iaおよび画素電極17ib間に結合容量iabが形成され、画素電極17jaおよび保持容量配線18q間に保持容量jaが形成され、画素電極17jbおよび保持容量配線18q間に保持容量jbが形成され、画素電極17jaおよび画素電極17jb間に結合容量jabが形成され、画素電極17IAおよび保持容量配線18p間に保持容量IAが形成され、画素電極17IBおよび保持容量配線18p間に保持容量IBが形成され、画素電極17IAおよび画素電極17IB間に結合容量IABが形成され、画素電極17JAおよび保持容量配線18q間に保持容量JAが形成され、画素電極17JBおよび保持容量配線18q間に保持容量JBが形成され、画素電極17JAおよび画素電極17JB間に結合容量JABが形成される。

【0101】

図24は、上記アクティブマトリクス基板を備えた本液晶パネルの駆動方法(ノーマリブラックモード)を示すタイミングチャートである。なお、 $S_x \cdot S_y \cdot S_X \cdot S_Y$ はそれぞれデータ信号線15x・15y・15X・15Yに供給されるデータ信号(データ信号)を示し、 S_z は間在配線に供給される信号を示し、 $G_{Pi} \cdot G_{Pj} \cdot G_{Pm} \cdot G_{Pn}$ はそれぞれ、走査信号線16i・16j・16m・16nに供給されるゲート信号を示し、 $V_{ia} \cdot V_{ib} \cdot V_{ja} \cdot V_{jb} \cdot V_{IA} \cdot V_{IB} \cdot V_{ma} \cdot V_{mb} \cdot V_{na} \cdot V_{nb}$ は画素電極17ia・17ib・17ja・17jb・17IA・17IB・17ma・17mb・17na・17nbの電位を示している。

【0102】

本駆動方法では、図24に示されるように、走査信号線を2本ずつ同時選択していき、データ信号線に供給するデータ信号の極性を1フレーム期間(1V)ごとに反転させるとともに、同一水平走査期間においては、同一画素列に対応する2本のデータ信号線(15x・15yあるいは15X・15Y)に逆極性のデータ信号を供給しつつ、間在配線を挟んで隣り合う2本のデータ信号線(15y・15X)には同極性のデータ信号を供給する。そして、間在配線には、共通電極の電位に等しい定電位信号(Vcom信号)を供給する。

【0103】

具体的には、連続するフレームF1・F2のF1では、データ信号線15xおよびデータ信号線15Yそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にプラス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもプラス極性のデータ信号を供給し、データ信号線15yおよびデータ信号線15Xそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にマイナス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもマイナス極性のデータ信号を供給する。

【0104】

これにより、図24に示すように、画素電極17iaの電位はプラス極性でデータ信号に等しく、画素電極17ibは容量を介して画素電極17iaに接続しているため、画素電極17ibの電位はプラス極性で、その絶対値はデータ信号の絶対値以下となる。また、画素電極17jaの電位はマイナス極性でデータ信号に等しく、画素電極17jbは容量を介して画素電極17jaに接続しているため、画素電極17jbの電位はマイナス極性で、その絶対値はデータ信号の絶対値以下となる。また、画素電極17maの電位はプ

10

20

30

40

50

ラス極性でデータ信号に等しく、画素電極 17 m b は容量を介して画素電極 17 m a に接続しているため、画素電極 17 m b の電位はプラス極性で、その絶対値はデータ信号の絶対値以下となる。また、画素電極 17 n a の電位はマイナス極性でデータ信号に等しく、画素電極 17 n b は容量を介して画素電極 17 n a に接続しているため、画素電極 17 n b の電位はマイナス極性で、その絶対値はデータ信号の絶対値以下となる。また、画素電極 17 I A の電位はマイナス極性でデータ信号に等しく、画素電極 17 I B は容量を介して画素電極 17 I A に接続しているため、画素電極 17 I B の電位はマイナス極性で、その絶対値はデータ信号の絶対値以下となる。また、画素電極 17 J A の電位はプラス極性でデータ信号に等しく、画素電極 17 J B は容量を介して画素電極 17 J A に接続しているため、画素電極 17 J B の電位はプラス極性で、その絶対値はデータ信号の絶対値以下

10

【0105】

以上から F 1 では、図 2 5 に示すように、画素電極 17 i a を含む副画素はプラス極性の明副画素、画素電極 17 i b を含む副画素はプラス極性の暗副画素、画素電極 17 j a を含む副画素はマイナス極性の明副画素、画素電極 17 j b を含む副画素はマイナス極性の暗副画素、画素電極 17 m a を含む副画素はプラス極性の明副画素、画素電極 17 m b を含む副画素はプラス極性の暗副画素、画素電極 17 n a を含む副画素はマイナス極性の明副画素、画素電極 17 n b を含む副画素はマイナス極性の暗副画素、画素電極 17 I A を含む副画素はマイナス極性の明副画素、画素電極 17 I B を含む副画素はマイナス極性の暗副画素となり、F 1 でドット反転駆動が実現される。

20

【0106】

また、フレーム F 2 では、図 2 4 に示すように、データ信号線 15 x およびデータ信号線 15 Y それぞれに、N 番目の水平走査期間（走査信号線 16 i ・ 16 j の走査期間含む）にマイナス極性のデータ信号を供給して、（N + 1）番目の水平走査期間（走査信号線 16 m ・ 16 n の走査期間含む）にもマイナス極性のデータ信号を供給し、データ信号線 15 y およびデータ信号線 15 X それぞれに、N 番目の水平走査期間（走査信号線 16 i ・ 16 j の走査期間含む）にプラス極性のデータ信号を供給して、（N + 1）番目の水平走査期間（走査信号線 16 m ・ 16 n の走査期間含む）にもプラス極性のデータ信号を供給する。

【0107】

これにより F 2 では、画素電極 17 i a を含む副画素はマイナス極性の明副画素、画素電極 17 i b を含む副画素はマイナス極性の暗副画素、画素電極 17 j a を含む副画素はプラス極性の明副画素、画素電極 17 j b を含む副画素はプラス極性の暗副画素、画素電極 17 m a を含む副画素はマイナス極性の明副画素、画素電極 17 m b を含む副画素はマイナス極性の暗副画素、画素電極 17 n a を含む副画素はプラス極性の明副画素、画素電極 17 n b を含む副画素はプラス極性の暗副画素、画素電極 17 I A を含む副画素はプラス極性の明副画素、画素電極 17 I B を含む副画素はプラス極性の暗副画素となり、F 2 でもドット反転駆動が実現される。

30

【0108】

このように本液晶パネルでは、明・暗副画素によって中間調を表示することができるため、視野角特性を高めることができる。

40

【0109】

図 2 6 は、図 2 3 のアクティブマトリクス基板を備えた液晶パネルの一部を示す平面図である。図 2 6 では、その見易さのために、カラーフィルタ基板（対向基板）側の部材を省略してアクティブマトリクス基板の部材のみ記載している。

【0110】

本液晶パネルでは、一对（2本）のデータ信号線 15 x ・ 15 y と、一对（2本）のデータ信号線 15 X ・ 15 Y とが、データ信号線 15 y およびデータ信号線 15 X が隣り合うように設けられ、データ信号線 15 y とデータ信号線 15 X との間に間在配線 4 1 が配され、各データ信号線と直交するように、走査信号線 16 i および走査信号線 16 j が設

50

けられ、データ信号線 15 x および走査信号線 16 i の交差部近傍にトランジスタ 12 i が設けられ、データ信号線 15 y および走査信号線 16 j の交差部近傍にトランジスタ 12 j が設けられ、データ信号線 15 X および走査信号線 16 i の交差部近傍にトランジスタ 12 I が設けられ、データ信号線 15 Y および走査信号線 16 j の交差部近傍にトランジスタ 12 J が設けられる。

【0111】

また、走査信号線 16 i の走査方向上流側のエッジとデータ信号線 15 x ・ 15 y とに重なるように画素電極 17 i a が設けられ、画素電極 17 i a の走査方向上流側に画素電極 17 i b が設けられ、走査信号線 16 j の走査方向上流側のエッジとデータ信号線 15 x ・ 15 y とに重なるように画素電極 17 j a が設けられ、画素電極 17 j a の走査方向上流側に画素電極 17 j b が設けられ、走査信号線 16 i の走査方向上流側のエッジとデータ信号線 15 X ・ 15 Y とに重なるように画素電極 17 I A が設けられ、画素電極 17 I A の走査方向上流側に画素電極 17 I B が設けられ、走査信号線 16 j の走査方向上流側のエッジとデータ信号線 15 X ・ 15 Y とに重なるように画素電極 17 J A が設けられ、画素電極 17 J A の走査方向上流側に画素電極 17 J B が設けられている。

10

【0112】

また、画素電極 17 i a ・ 17 i b ・ 17 I A ・ 17 I B に重なるように保持容量配線 18 p が設けられ、画素電極 17 j a ・ 17 j b ・ 17 J A ・ 17 J B に重なるように保持容量配線 18 q が設けられている。

【0113】

なお、平面的に視ると、画素電極 17 i a の列方向に沿う 2 つのエッジは、データ信号線 15 x およびデータ信号線 15 y の外側に位置し、画素電極 17 i b の列方向に沿う 2 つのエッジは、データ信号線 15 x およびデータ信号線 15 y の外側に位置し、画素電極 17 j a の列方向に沿う 2 つのエッジは、データ信号線 15 x およびデータ信号線 15 y の外側に位置し、画素電極 17 j b の列方向に沿う 2 つのエッジは、データ信号線 15 x およびデータ信号線 15 y の外側に位置し、画素電極 17 I A の列方向に沿う 2 つのエッジは、データ信号線 15 X およびデータ信号線 15 Y の外側に位置し、画素電極 17 I B の列方向に沿う 2 つのエッジは、データ信号線 15 X およびデータ信号線 15 Y の外側に位置し、画素電極 17 J A の列方向に沿う 2 つのエッジは、データ信号線 15 X およびデータ信号線 15 Y の外側に位置し、画素電極 17 J B の列方向に沿う 2 つのエッジは、データ信号線 15 X およびデータ信号線 15 Y の外側に位置している。

20

30

【0114】

さらに、間在配線 41 は、画素電極 17 i a および画素電極 17 I a の間隙下と、画素電極 17 i b および画素電極 17 I B の間隙下と、画素電極 17 j a および画素電極 17 J A の間隙下と、画素電極 17 j b および画素電極 17 J B の間隙下とを通過している。

【0115】

そして、走査信号線 16 i がトランジスタ 12 i のゲート電極として機能し、トランジスタ 12 i のソース電極はデータ信号線 15 x に接続され、ドレイン電極はドレイン引き出し電極 27 i を介して容量電極 37 i に接続されている。容量電極 37 i は保持容量配線 18 p 上に位置し、2 個のコンタクトホールを介して画素電極 17 i a に接続されている。また、保持容量配線 18 p 上に容量電極 38 i ・ 39 i が設けられ、それぞれがコンタクトホールを介して画素電極 17 i b に接続されている。画素電極 17 i b 下には走査信号線と同層に形成された容量電極 57 i が設けられ、容量電極 37 i と同層にて接続される容量電極 47 i と容量電極 57 i とが重なっている。また、走査信号線 16 j がトランジスタ 12 j のゲート電極として機能し、トランジスタ 12 j のソース電極はデータ信号線 15 y に接続され、ドレイン電極はドレイン引き出し電極 27 j を介して容量電極 37 j に接続されている。容量電極 37 j は保持容量配線 18 q 上に位置し、2 個のコンタクトホールを介して画素電極 17 j a に接続されている。また、保持容量配線 18 q 上に容量電極 38 j ・ 39 j が設けられ、それぞれがコンタクトホールを介して画素電極 17 j b に接続されている。画素電極 17 j b 下には走査信号線と同層に形成された容量電極

40

50

57j が設けられ、容量電極 37j と同層にて接続される容量電極 47j と容量電極 57j とが重なっている。

【0116】

同様に、走査信号線 16i がトランジスタ 12I のゲート電極として機能し、トランジスタ 12I のソース電極はデータ信号線 15X に接続され、ドレイン電極はドレイン引き出し電極 27I を介して容量電極 37I に接続されている。容量電極 37I は保持容量配線 18p 上に位置し、2 個のコンタクトホールを介して画素電極 17IA に接続されている。また、保持容量配線 18p 上に容量電極 38I・39I が設けられ、それぞれがコンタクトホールを介して画素電極 17IB に接続されている。画素電極 17IB 下には走査信号線と同層に形成された容量電極 57I が設けられ、容量電極 37I と同層にて接続される容量電極 47I と容量電極 57I とが重なっている。また、走査信号線 16j がトランジスタ 12J のゲート電極として機能し、トランジスタ 12J のソース電極はデータ信号線 15Y に接続され、ドレイン電極はドレイン引き出し電極 27J を介して容量電極 37J に接続されている。容量電極 37J は保持容量配線 18q 上に位置し、2 個のコンタクトホールを介して画素電極 17JA に接続されている。また、保持容量配線 18q 上に容量電極 38J・39J が設けられ、それぞれがコンタクトホールを介して画素電極 17JB に接続されている。画素電極 17JB 下には走査信号線と同層に形成された容量電極 57J が設けられ、容量電極 37J と同層にて接続される容量電極 47J と容量電極 57J とが重なっている。

10

【0117】

本液晶パネルでは、保持容量配線 18p および容量電極 37i がゲート絶縁膜を介して重なる部分に上記保持容量 ia が形成され、保持容量配線 18p および容量電極 38i・39i がゲート絶縁膜を介して重なる部分に上記保持容量 ib が形成され、容量電極 47i および容量電極 57i がゲート絶縁膜を介して重なる部分に上記結合容量 iab が形成される。また、保持容量配線 18q および容量電極 37j がゲート絶縁膜を介して重なる部分に上記保持容量 ja が形成され、保持容量配線 18q および容量電極 38j・39j がゲート絶縁膜を介して重なる部分に上記保持容量 jb が形成され、容量電極 47j および容量電極 57j がゲート絶縁膜を介して重なる部分に上記結合容量 jab が形成される。また、保持容量配線 18p および容量電極 37I がゲート絶縁膜を介して重なる部分に上記保持容量 IA が形成され、保持容量配線 18p および容量電極 38I・39I がゲート絶縁膜を介して重なる部分に上記保持容量 IB が形成され、容量電極 47I および容量電極 57I がゲート絶縁膜を介して重なる部分に上記結合容量 IAB が形成される。また、保持容量配線 18q および容量電極 37J がゲート絶縁膜を介して重なる部分に上記保持容量 JA が形成され、保持容量配線 18q および容量電極 38J・39J がゲート絶縁膜を介して重なる部分に上記保持容量 JB が形成され、容量電極 47J および容量電極 57J がゲート絶縁膜を介して重なる部分に上記結合容量 JAB が形成される。

20

30

【0118】

図 27 は図 26 の矢視断面図である。同図に示すように、アクティブマトリクス基板 3 では、ガラス基板 31 上に保持容量配線 18p および容量電極 57i が形成され、これを覆うようにゲート絶縁膜 43 が形成されている。なお、断面には含まれないが、ゲート絶縁膜 43 下には、走査信号線が形成されている。ゲート絶縁膜 43 の上層には、容量電極 37i、容量電極 47i が形成されている。なお、断面には含まれないが、ゲート絶縁膜 43 の上層には、各トランジスタの半導体層 (i 層および n+ 層)、n+ 層に接するソース電極およびドレイン電極、データ信号線、間在配線、および容量電極が形成されている。さらに、容量電極 37i・47i を含む金属層を覆うように無機層間絶縁膜 25 が形成され、無機層間絶縁膜 25 上に、これよりも厚い有機層間絶縁膜 26 が形成されている。有機層間絶縁膜 26 上には画素電極 17ia・17ib が形成され、さらに、これら画素電極を覆うように配向膜 9 が形成されている。なお、コンタクトホール 61i の形成部ではゲート絶縁膜 43、無機層間絶縁膜 25、および有機層間絶縁膜 26 が割り貫かれ、画素電極 17ib と容量電極 57i とが接触している。また、上記のように、保持容量配

40

50

線 1 8 p および容量電極 3 7 i がゲート絶縁膜 4 3 を介して重なる部分に上記保持容量 i a が形成され、容量電極 4 7 i および容量電極 5 7 i がゲート絶縁膜 4 3 を介して重なる部分に上記結合容量 i a b が形成される。

【 0 1 1 9 】

本液晶パネルでは、データ信号線 1 5 y とデータ信号線 1 5 X との間に V c o m 信号が供給される間在配線 4 1 を設けているため、例えば画素電極 1 7 i a とデータ信号線 1 5 X との間に生じる寄生容量に起因する両者 (1 7 i a および 1 5 X) 間のクロストークを低減することができ、縦シャドワーの発現を抑制することができる。図 2 8 は本液晶パネルを駆動したときの等電位線 (L V M は - 0 . 5 V 線、 L V P は + 0 . 5 V 線) を示しているが、同図では自画素の画素電極 (1 7 i a) 上から隣接画素に対応するデータ信号線 (1 5 X) 上に等電位線が流れておらず、上記のクロストーク低減効果 (シールド効果) は明らかである。なお、上記寄生容量の値は、例えば 4 割程度低減されている。本液晶パネルのように画素内を 2 つの輝度に制御する画素分割方式では図 3 のような非画素分割方式よりもクロストークの影響が表示品位にシビアに反映されるため、この効果は顕著なものとなっている。

10

【 0 1 2 0 】

また、本液晶パネルでは、間在配線 4 1 によって、間在配線を挟んで隣り合う 2 本のデータ信号線 (例えば、 1 5 y ・ 1 5 X) 間の寄生容量に起因する両者間のクロストークを低減することができる。なお、この寄生容量の値は、例えば 5 割程度低減される。

【 0 1 2 1 】

20

〔実施の形態 4〕

図 2 9 は実施の形態 4 にかかるアクティブマトリクス基板の一部を示す等価回路図である。図 2 9 に示すように、本アクティブマトリクス基板では、データ信号線 1 5 x ・ 1 5 y ・ 1 5 X ・ 1 5 Y がこの順に並べられ、行方向 (図中左右方向) に延伸する走査信号線 1 6 i ・ 1 6 j ・ 1 6 m ・ 1 6 n ・ 1 6 w がこの順に並べられ、データ信号線 1 5 x ・ 1 5 y および走査信号線 1 6 i の交差部に対応して画素領域 1 0 1 が設けられ、データ信号線 1 5 x ・ 1 5 y および走査信号線 1 6 j の交差部に対応して画素領域 1 0 2 が設けられ、データ信号線 1 5 x ・ 1 5 y および走査信号線 1 6 m の交差部に対応して画素領域 1 0 3 が設けられ、データ信号線 1 5 X ・ 1 5 y および走査信号線 1 6 n の交差部に対応して画素領域 1 0 4 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 i の交差部に対応して画素領域 1 0 5 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 j の交差部に対応して画素領域 1 0 6 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 m の交差部に対応して画素領域 1 0 7 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 n の交差部に対応して画素領域 1 0 8 が設けられ、画素領域 1 0 1 ・ 1 0 5 に対応して保持容量配線 1 8 p が設けられ、画素領域 1 0 2 ・ 1 0 6 に対応して保持容量配線 1 8 q が設けられ、画素領域 1 0 3 ・ 1 0 7 に対応して保持容量配線 1 8 r が設けられ、画素領域 1 0 4 ・ 1 0 8 に対応して保持容量配線 1 8 s が設けられている。

30

【 0 1 2 2 】

ここで、データ信号線 1 5 x ・ 1 5 y は、画素領域 1 0 1 ~ 1 0 4 を含む画素領域列に対応して設けられ、データ信号線 1 5 X ・ 1 5 Y は画素領域 1 0 5 ~ 1 0 8 を含む画素領域列に対応して設けられ、データ信号線 1 5 y とデータ信号線 1 5 X との間に、 V c o m 信号が供給される間在配線 4 1 が設けられている。

40

【 0 1 2 3 】

さらに、各画素には 2 つずつ画素電極が配され、画素領域 1 0 1 の画素電極 1 7 i a は、走査信号線 1 6 i に繋がるトランジスタ 1 2 i a を介してデータ信号線 1 5 y に接続され、画素領域 1 0 1 の画素電極 1 7 i b は、走査信号線 1 6 i に繋がるトランジスタ 1 2 i b を介してデータ信号線 1 5 y に接続され、画素領域 1 0 2 の画素電極 1 7 j a は、走査信号線 1 6 j に繋がるトランジスタ 1 2 j a を介してデータ信号線 1 5 x に接続され、画素領域 1 0 2 の画素電極 1 7 j b は、走査信号線 1 6 j に繋がるトランジスタ 1 2 j b

50

を介してデータ信号線 15 x に接続され、画素領域 103 の画素電極 17 m a は、走査信号線 16 m に繋がるトランジスタ 12 m a を介してデータ信号線 15 y に接続され、画素領域 103 の画素電極 17 m b は、走査信号線 16 m に繋がるトランジスタ 12 m b を介してデータ信号線 15 y に接続され、画素領域 104 の画素電極 17 n a は、走査信号線 16 n に繋がるトランジスタ 12 n a を介してデータ信号線 15 x に接続され、画素領域 104 の画素電極 17 n b は、走査信号線 16 n に繋がるトランジスタ 12 n b を介してデータ信号線 15 x に接続され、画素領域 105 の画素電極 17 I A は、走査信号線 16 i に繋がるトランジスタ 12 I A を介してデータ信号線 15 Y に接続され、画素領域 105 の画素電極 17 I B は、走査信号線 16 i に繋がるトランジスタ 12 I B を介してデータ信号線 15 Y に接続され、画素領域 106 の画素電極 17 J A は、走査信号線 16 j に繋がるトランジスタ 12 J A を介してデータ信号線 15 X に接続され、画素領域 106 の画素電極 17 J B は、走査信号線 16 j に繋がるトランジスタ 12 J B を介してデータ信号線 15 X に接続される。すなわち、画素領域列 の奇数番目となる各画素領域 (101・103) の画素電極が接続するデータ信号線 15 y と、画素領域列 の偶数番目となる画素領域 (106・108) の画素電極が接続するデータ信号線 15 X とが、間在配線 41 を挟んで隣り合うことになる。

10

【0124】

さらに、画素電極 17 i b が、走査信号線 16 m に繋がるトランジスタ 112 m を介して、保持容量配線 18 q と容量を形成する容量電極に接続され、画素電極 17 j b が、走査信号線 16 n に繋がるトランジスタ 112 n を介して、保持容量配線 18 r と容量を形成する容量電極に接続され、画素電極 17 m b が、走査信号線 16 w に繋がるトランジスタ 112 w を介して、保持容量配線 18 s と容量を形成する容量電極に接続され、画素電極 17 I B が、走査信号線 16 m に繋がるトランジスタ 112 M を介して、保持容量配線 18 q と容量を形成する容量電極に接続され、画素電極 17 J B が、走査信号線 16 n に繋がるトランジスタ 112 N を介して、保持容量配線 18 r と容量を形成する容量電極に接続されている。

20

【0125】

また、走査信号線 16 i と走査信号線 16 j とがパネル内あるいはパネル外で接続され、両者 (16 i・16 j) は同時選択される (後述)。また、走査信号線 16 m と走査信号線 16 n とがパネル内あるいはパネル外で接続され、両者 (16 m・16 n) は同時選択される (後述)。

30

【0126】

また、画素電極 17 i a および保持容量配線 18 p 間に保持容量 i a が形成され、画素電極 17 i b および保持容量配線 18 p 間に保持容量 i b が形成され、トランジスタ 112 m を介して画素電極 17 i b に接続される容量電極と保持容量配線 18 q との間に制御容量 i b q が形成される。また、画素電極 17 j a および保持容量配線 18 q 間に保持容量 j a が形成され、画素電極 17 j b および保持容量配線 18 q 間に保持容量 j b が形成され、トランジスタ 112 n を介して画素電極 17 j b に接続される容量電極と保持容量配線 18 r との間に制御容量 j b r が形成される。また、画素電極 17 m a および保持容量配線 18 r 間に保持容量 m a が形成され、画素電極 17 m b および保持容量配線 18 r 間に保持容量 m b が形成され、トランジスタ 112 w を介して画素電極 17 m b に接続される容量電極と保持容量配線 18 s との間に制御容量 m b s が形成される。

40

【0127】

図 30 は、上記アクティブマトリクス基板を備えた本液晶パネルの駆動方法 (ノーマリブラックモード) を示すタイミングチャートである。なお、S x・S y・S X・S Y はそれぞれデータ信号線 15 x・15 y・15 X・15 Y に供給されるデータ信号 (データ信号) を示し、S z は間在配線に供給される信号を示し、G P i・G P j・G P m・G P n はそれぞれ、走査信号線 16 i・16 j・16 m・16 n に供給されるゲート信号を示し、V i a・V i b・V j a・V j b・V I A・V I B・V m a・V m b・V n a・V n b は画素電極 17 i a・17 i b・17 j a・17 j b・17 I A・17 I B・17 m a・

50

17mb・17na・17nbの電位を示している。

【0128】

本駆動方法では、図30に示されるように、走査信号線を2本ずつ同時選択していき、データ信号線に供給するデータ信号の極性を1フレーム期間(1V)ごとに反転させるとともに、同一水平走査期間(H)においては、同一画素列に対応する2本のデータ信号線(15x・15yあるいは15X・15Y)に逆極性のデータ信号を供給しつつ、間在配線を挟んで隣り合う2本のデータ信号線(15y・15X)には同極性のデータ信号を供給する。そして、間在配線には、共通電極の電位に等しい定電位信号(Vcom信号)を供給する。また、各保持容量配線にもVcom信号を供給する。

【0129】

具体的には、連続するフレームF1・F2のF1では、データ信号線15xおよびデータ信号線15Yそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にマイナス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもマイナス極性のデータ信号を供給し、データ信号線15yおよびデータ信号線15Xそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にプラス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもプラス極性のデータ信号を供給する。

【0130】

これにより、図30に示すように、画素電極17iaの電位はプラス極性でデータ信号に等しく、画素電極17ibは(N+1)番目の水平走査期間で制御容量を介して保持容量配線(電位はVcom)に接続されるため、画素電極17ibの電位はプラス極性で、その絶対値はデータ信号の絶対値以下となる。また、画素電極17jaの電位はマイナス極性でデータ信号に等しく、画素電極17jbは(N+1)番目の水平走査期間で制御容量を介して保持容量配線に接続されるため、画素電極17jbの電位はマイナス極性で、その絶対値はデータ信号の絶対値以下となる。また、画素電極17maの電位はプラス極性でデータ信号に等しく、画素電極17mbは(N+2)番目の水平走査期間で制御容量を介して保持容量配線に接続されるため、画素電極17mbの電位はプラス極性で、その絶対値はデータ信号の絶対値以下となる。また、画素電極17naの電位はマイナス極性でデータ信号に等しく、画素電極17nbは(N+2)番目の水平走査期間で制御容量を介して保持容量配線に接続されるため、画素電極17nbの電位はマイナス極性で、その絶対値はデータ信号の絶対値以下となる。また、画素電極17IAの電位はマイナス極性でデータ信号に等しく、画素電極17IBは(N+1)番目の水平走査期間で制御容量を介して保持容量配線に接続されるため、画素電極17IBの電位はマイナス極性で、その絶対値はデータ信号の絶対値以下となる。

【0131】

以上からF1では、図31に示すように、画素電極17iaを含む副画素はプラス極性の明副画素、画素電極17ibを含む副画素はプラス極性の暗副画素、画素電極17jaを含む副画素はマイナス極性の明副画素、画素電極17jbを含む副画素はマイナス極性の暗副画素、画素電極17maを含む副画素はプラス極性の明副画素、画素電極17mbを含む副画素はプラス極性の暗副画素、画素電極17naを含む副画素はマイナス極性の明副画素、画素電極17nbを含む副画素はマイナス極性の暗副画素、画素電極17IAを含む副画素はマイナス極性の明副画素、画素電極17IBを含む副画素はマイナス極性の暗副画素となり、F1でドット反転駆動が実現される。

【0132】

また、フレームF2では、図30に示すように、データ信号線15xおよびデータ信号線15Yそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にプラス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもプラス極性のデータ信号を供給し、データ信号線15yおよびデータ信号線15Xそれぞれに、N番目の水平走査期間(走査信号線16i・1

10

20

30

40

50

6 j の走査期間含む) にマイナス極性のデータ信号を供給して、(N + 1) 番目の水平走査期間 (走査信号線 1 6 m ・ 1 6 n の走査期間含む) にもマイナス極性のデータ信号を供給する。

【 0 1 3 3 】

これにより F 2 では、画素電極 1 7 i a を含む副画素はマイナス極性の明副画素、画素電極 1 7 i b を含む副画素はマイナス極性の暗副画素、画素電極 1 7 j a を含む副画素はプラス極性の明副画素、画素電極 1 7 j b を含む副画素はプラス極性の暗副画素、画素電極 1 7 m a を含む副画素はマイナス極性の明副画素、画素電極 1 7 m b を含む副画素はマイナス極性の暗副画素、画素電極 1 7 n a を含む副画素はプラス極性の明副画素、画素電極 1 7 n b を含む副画素はプラス極性の暗副画素、画素電極 1 7 I A を含む副画素はプラス極性の明副画素、画素電極 1 7 I B を含む副画素はプラス極性の暗副画素となり、F 2 でもドット反転駆動が実現される。

10

【 0 1 3 4 】

このように図 3 1 の液晶パネルでは、明・暗副画素によって中間調を表示することができるため、視野角特性を高めることができる。また、図 2 5 に示す液晶パネルと異なり、暗副画素の画素電極が電氣的にフローティングとならないため、画素の焼き付き等を抑制することができる。

【 0 1 3 5 】

図 3 2 は、図 2 9 のアクティブマトリクス基板を備えた液晶パネルの一部を示す平面図である。図 3 2 では、その見易さのために、カラーフィルタ基板 (対向基板) 側の部材を省略してアクティブマトリクス基板の部材のみ記載している。

20

【 0 1 3 6 】

本液晶パネルでは、一对 (2 本) のデータ信号線 1 5 x ・ 1 5 y と、一对 (2 本) のデータ信号線 1 5 X ・ 1 5 Y とが、データ信号線 1 5 y およびデータ信号線 1 5 X が隣り合うように設けられ、データ信号線 1 5 y とデータ信号線 1 5 X との間に間在配線 4 1 が配され、各データ信号線と直交するように、走査信号線 1 6 i ・ 1 6 j ・ 1 6 m ・ 1 6 n ・ 1 6 w がこの順に設けられ、データ信号線 1 5 y および走査信号線 1 6 i の交差部近傍にトランジスタ 1 2 i a ・ 1 2 i b が設けられ、データ信号線 1 5 x および走査信号線 1 6 j の交差部近傍にトランジスタ 1 2 j a ・ 1 2 j b が設けられ、データ信号線 1 5 Y および走査信号線 1 6 i の交差部近傍にトランジスタ 1 2 I A ・ 1 2 I B が設けられ、データ信号線 1 5 X および走査信号線 1 6 j の交差部近傍にトランジスタ 1 2 J A ・ 1 2 J B が設けられ、走査信号線 1 6 j 上でデータ信号線 1 5 x ・ 1 5 y の間となる部分にトランジスタ 1 1 2 j が設けられ、走査信号線 1 6 m 上でデータ信号線 1 5 x ・ 1 5 y の間となる部分にトランジスタ 1 1 2 m が設けられ、走査信号線 1 6 n 上でデータ信号線 1 5 x ・ 1 5 y の間となる部分にトランジスタ 1 1 2 n が設けられ、走査信号線 1 6 w 上でデータ信号線 1 5 x ・ 1 5 y の間となる部分にトランジスタ 1 1 2 w が設けられている。

30

【 0 1 3 7 】

また、走査信号線に対して (走査信号線を時計の 3 時の針に見立てて左回りに) 4 5 度をなす辺および 3 1 5 度をなす辺を有する直角三角形の形状をなす 1 7 i a とこれを取り囲む形状をなす画素電極 1 7 i b とが、画素電極 1 7 i b がデータ信号線 1 5 x ・ 1 5 y に重なるように設けられ、画素電極 1 7 i b の走査方向上流側のエッジが、走査信号線 1 6 i の走査方向下流側のエッジに重なっている。また、走査信号線に対して (走査信号線を時計の 3 時の針に見立てて左回りに) 1 3 5 度をなす辺および 2 2 5 度をなす辺を有する直角三角形の形状をなす 1 7 j a とこれを取り囲む形状をなす画素電極 1 7 j b とが、画素電極 1 7 j b がデータ信号線 1 5 x ・ 1 5 y とに重なるように設けられ、画素電極 1 7 j b の走査方向上流側のエッジが、走査信号線 1 6 j の走査方向下流側のエッジに重なっている。また、走査信号線に対して 4 5 度をなす辺および 3 1 5 度をなす辺を有する直角三角形の形状をなす 1 7 m a とこれを取り囲む形状をなす画素電極 1 7 m b とが、画素電極 1 7 m b がデータ信号線 1 5 x ・ 1 5 y に重なるように設けられ、画素電極 1 7 m b の走査方向上流側のエッジが、走査信号線 1 6 m の走査方向下流側のエッジに重なって

40

50

る。また、走査信号線に対して135度をなす辺および225度をなす辺を有する直角三角形の形状をなす17naとこれを取り囲む形状をなす画素電極17nbとが、画素電極17nbがデータ信号線15x・15yとに重なるように設けられ、画素電極17nbの走査方向上流側のエッジが、走査信号線16nの走査方向下流側のエッジに重なっている。また、走査信号線に対して45度をなす辺および315度をなす辺を有する直角三角形の形状をなす17IAとこれを取り囲む形状をなす画素電極17IBとが、画素電極17IBがデータ信号線15X・15Yに重なるように設けられ、画素電極17IBの走査方向上流側のエッジが、走査信号線16iの走査方向下流側のエッジに重なっている。また、走査信号線に対して135度をなす辺および225度をなす辺を有する直角三角形の形状をなす17JAとこれを取り囲む形状をなす画素電極17JBとが、画素電極17JBがデータ信号線15X・15Yとに重なるように設けられ、画素電極17JBの走査方向上流側のエッジが、走査信号線16jの走査方向下流側のエッジに重なっている。

10

【0138】

また、画素電極17ia・17ib・17IA・17IBに重なるように保持容量配線18pが設けられ、画素電極17ja・17jb・17JA・17JBに重なるように保持容量配線18qが設けられ、画素電極17ma・17mbに重なるように保持容量配線18rが設けられている。

【0139】

なお、平面的に視ると、画素電極17ibの列方向に沿う2つのエッジは、データ信号線15xおよびデータ信号線15yの外側に位置し、画素電極17jbの列方向に沿う2つのエッジは、データ信号線15xおよびデータ信号線15yの外側に位置し、画素電極17IBの列方向に沿う2つのエッジは、データ信号線15Xおよびデータ信号線15Yの外側に位置し、画素電極17JBの列方向に沿う2つのエッジは、データ信号線15Xおよびデータ信号線15Yの外側に位置している。

20

【0140】

さらに、間在配線41は、画素電極17ibおよび画素電極17IBの間隙下と、画素電極17jbおよび画素電極17JBの間隙下を通過している。

【0141】

そして、走査信号線16iがトランジスタ12ia・12ibのゲート電極として機能し、トランジスタ12iaのソース電極はデータ信号線15yに接続され、ドレイン電極はドレイン引き出し電極およびコンタクトホールを介して画素電極17iaに接続され、トランジスタ12ibのソース電極はデータ信号線15yに接続され、ドレイン電極はドレイン引き出し電極およびコンタクトホールを介して画素電極17ibに接続されている。さらに、保持容量配線18p上に容量電極37ia・67ia・67ibが設けられ、容量電極37iaはトランジスタ112jのソース電極に接続され、容量電極67iaはコンタクトホールを介して画素電極17iaに接続され、容量電極67ibはコンタクトホールを介して画素電極17ibに接続されている。そして、画素電極17ibはコンタクトホール33ibを介して中継電極47mに接続され、中継電極47mは、画素電極17ib下から走査信号線16jおよび保持容量配線18qを跨いで走査信号線16m上に到り、トランジスタ112mのドレイン電極に接続される。

30

40

【0142】

また、走査信号線16jがトランジスタ12ja・12jbのゲート電極として機能し、トランジスタ12jaのソース電極はデータ信号線15xに接続され、ドレイン電極はドレイン引き出し電極およびコンタクトホールを介して画素電極17jaに接続され、トランジスタ12jbのソース電極はデータ信号線15xに接続され、ドレイン電極はドレイン引き出し電極およびコンタクトホールを介して画素電極17jbに接続されている。さらに、保持容量配線18q上に容量電極37ja・67ja・67jbが設けられ、容量電極37jaはトランジスタ112mのソース電極に接続され、容量電極67jaはコンタクトホールを介して画素電極17jaに接続され、容量電極67jbはコンタクトホールを介して画素電極17jbに接続されている。そして、画素電極17jbはコンタク

50

トホール 33 j b を介して中継電極 47 n に接続され、中継電極 47 n は、画素電極 17 j b 下から走査信号線 16 m および保持容量配線 18 r を跨いで走査信号線 16 n 上に到り、トランジスタ 112 n のドレイン電極に接続される。

【0143】

また、走査信号線 16 m がトランジスタ 12 m a ・ 12 m b のゲート電極として機能し、トランジスタ 12 m a のソース電極はデータ信号線 15 y に接続され、ドレイン電極はドレイン引き出し電極およびコンタクトホールを介して画素電極 17 m a に接続され、トランジスタ 12 m b のソース電極はデータ信号線 15 y に接続され、ドレイン電極はドレイン引き出し電極およびコンタクトホールを介して画素電極 17 m b に接続されている。さらに、保持容量配線 18 r 上に容量電極 37 m a ・ 67 m a ・ 67 m b が設けられ、容量電極 37 m a はトランジスタ 112 n のソース電極に接続され、容量電極 67 m a はコンタクトホールを介して画素電極 17 m a に接続され、容量電極 67 m b はコンタクトホールを介して画素電極 17 m b に接続されている。そして、画素電極 17 m b はコンタクトホール 33 m b を介して中継電極 47 s に接続され、中継電極 47 s は、画素電極 17 m b 下から走査信号線 16 n および保持容量配線 18 s を跨いで走査信号線 16 w 上に到り、トランジスタ 112 w のドレイン電極に接続される。

10

【0144】

本液晶パネルでは、保持容量配線 18 p および容量電極 67 i a がゲート絶縁膜を介して重なる部分に上記保持容量 i a が形成され、保持容量配線 18 p および容量電極 67 i b がゲート絶縁膜を介して重なる部分に上記保持容量 i b が形成され、保持容量配線 18 q および容量電極 37 j a がゲート絶縁膜を介して重なる部分に上記制御容量 i b q が形成される。また、保持容量配線 18 q および容量電極 67 j a がゲート絶縁膜を介して重なる部分に上記保持容量 j a が形成され、保持容量配線 18 q および容量電極 67 j b がゲート絶縁膜を介して重なる部分に上記保持容量 j b が形成され、保持容量配線 18 r および容量電極 37 m a がゲート絶縁膜を介して重なる部分に上記制御容量 j b r が形成される。また、保持容量配線 18 r および容量電極 67 m a がゲート絶縁膜を介して重なる部分に上記保持容量 m a が形成され、保持容量配線 18 r および容量電極 67 m b がゲート絶縁膜を介して重なる部分に上記保持容量 m b が形成され、保持容量配線 18 s および容量電極 37 n a がゲート絶縁膜を介して重なる部分に上記制御容量 m b s が形成される。

20

30

【0145】

図 33 は図 32 の矢視断面図である。同図に示すように、アクティブマトリクス基板 3 では、ガラス基板 31 上に保持容量配線 18 p ・ 18 q および走査信号線 16 j が形成され、これを覆うようにゲート絶縁膜 43 が形成されている。ゲート絶縁膜 43 の上層には、容量電極 67 i a、中継配線 47 m、および容量電極 37 j a が形成されている。なお、断面には含まれないが、ゲート絶縁膜 43 の上層には、各トランジスタの半導体層 (i 層および n + 層)、n + 層に接するソース電極およびドレイン電極、データ信号線、間在配線、および容量電極が形成されている。さらに、中継配線 47 m および容量電極 37 j a を含むメタル層を覆うように無機層間絶縁膜 25 が形成され、無機層間絶縁膜 25 上に、これよりも厚い有機層間絶縁膜 26 が形成されている。有機層間絶縁膜 26 上には画素電極 17 i b ・ 17 j b ・ 17 j a が形成され、さらに、これら画素電極を覆うように配向膜 9 が形成されている。なお、コンタクトホール 33 i b の形成部では無機層間絶縁膜 25 および有機層間絶縁膜 26 が割り貫かれ、画素電極 17 i b と中継配線 47 m とが接触している。また、上記のように、保持容量配線 18 p および容量電極 67 i a がゲート絶縁膜 43 を介して重なる部分に上記保持容量 i a が形成され、保持容量配線 18 q および容量電極 37 j a がゲート絶縁膜 43 を介して重なる部分に上記制御容量 i b q が形成される。

40

【0146】

本液晶パネルでは、データ信号線 15 y とデータ信号線 15 X との間に V c o m 信号が供給される間在配線 41 を設けているため、例えば画素電極 17 i b とデータ信号線 15

50

Xとの間に生じる寄生容量に起因する両者(17i bおよび15X)間のクロストークを低減することができ、縦シャドーの発現を抑制することができる。本液晶パネルのように画素内を2つの輝度に制御する画素分割方式では図3のような非画素分割方式よりもクロストークの影響が表示品位にシビアに反映されるため、この効果は顕著なものとなっている。

【0147】

また、本液晶パネルでは、間在配線41によって、間在配線を挟んで隣り合う2本のデータ信号線(例えば、15y・15X)間の寄生容量に起因する両者間のクロストークを低減することができる。

【0148】

図29のアクティブマトリクス基板を図34のように変形してもよい。図34のアクティブマトリクス基板では、データ信号線、走査信号線、間在配線、保持容量配線および画素領域並びにトランジスタおよび画素領域における画素電極の配置が図29のアクティブマトリクス基板と同じである。

【0149】

そして、画素電極17i bが、走査信号線16mに繋がるトランジスタ112mを介して、画素電極17i aおよび保持容量配線18pそれぞれと容量を形成する容量電極に接続され、画素電極17j bが、走査信号線16nに繋がるトランジスタ112nを介して、画素電極17j aおよび保持容量配線18qそれぞれと容量を形成する容量電極に接続され、画素電極17m bが、走査信号線16wに繋がるトランジスタ112wを介して、

【0150】

また、画素電極17i aおよび保持容量配線18p間に保持容量i aが形成され、画素電極17i bおよび保持容量配線18p間に保持容量i bが形成され、トランジスタ112mを介して画素電極17i bに接続される容量電極と保持容量配線18pとの間に制御容量i b pが形成されるとともに、該容量電極と画素電極17i aとの間に結合容量i a bが形成される。また、画素電極17j aおよび保持容量配線18q間に保持容量j aが形成され、画素電極17j bおよび保持容量配線18q間に保持容量j bが形成され、トランジスタ112nを介して画素電極17j bに接続される容量電極と保持容量配線18qとの間に制御容量j b qが形成されるとともに、該容量電極と画素電極17j aとの間に結合容量j a bが形成される。また、画素電極17m aおよび保持容量配線18r間に保持容量m aが形成され、画素電極17m bおよび保持容量配線18r間に保持容量m bが形成され、トランジスタ112wを介して画素電極17m bに接続される容量電極と保持容量配線18rとの間に制御容量m b rが形成されるとともに、該容量電極と画素電極17m aとの間に結合容量m a bが形成される。

【0151】

図35は、上記アクティブマトリクス基板を備えた本液晶パネルの駆動方法(ノーマリブラックモード)を示すタイミングチャートである。なお、Sx・Sy・SX・SYはそれぞれデータ信号線15x・15y・15X・15Yに供給されるデータ信号(データ信号)を示し、Szは間在配線に供給される信号を示し、Gpi・Gpj・Gpm・Gpnはそれぞれ、走査信号線16i・16j・16m・16nに供給されるゲート信号を示し、Via・Vib・Vja・Vjb・VIA・VIB・Vma・Vmb・Vna・Vnbは画素電極17i a・17i b・17j a・17j b・17IA・17IB・17ma・17mb・17na・17nbの電位を示している。

【0152】

本駆動方法では、図35に示されるように、走査信号線を2本ずつ同時選択していき、データ信号線に供給するデータ信号の極性を1フレーム期間(1V)ごとに反転させるとともに、同一水平走査期間(H)においては、同一画素列に対応する2本のデータ信号線(15x・15yあるいは15X・15Y)に逆極性のデータ信号を供給しつつ、間在配

10

20

30

40

50

線を挟んで隣り合う2本のデータ信号線(15y・15X)には同極性のデータ信号を供給する。そして、間在配線には、共通電極の電位に等しい定電位信号(Vcom信号)を供給する。また、各保持容量配線にもVcom信号を供給する。

【0153】

具体的には、連続するフレームF1・F2のF1では、データ信号線15xおよびデータ信号線15Yそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にマイナス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもマイナス極性のデータ信号を供給し、データ信号線15yおよびデータ信号線15Xそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にプラス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもプラス極性のデータ信号を供給する。

10

【0154】

これにより、図35に示すように、N番目の水平走査期間で画素電極17ia・17ibにデータ信号が書き込まれた後、(N+1)番目の水平走査期間で、画素電極17ibは、制御容量を介して保持容量配線(電位はVcom)に接続されるとともに結合容量を介して画素電極17iaに接続されるため、画素電極17iaの電位はプラス極性で、その絶対値はデータ信号の絶対値以上となる一方、画素電極17ibの電位はプラス極性で、その絶対値はデータ信号の絶対値以下となる。また、N番目の水平走査期間で画素電極17ja・17jbにデータ信号が書き込まれた後、(N+1)番目の水平走査期間で、画素電極17jbは、制御容量を介して保持容量配線(電位はVcom)に接続されるとともに結合容量を介して画素電極17jaに接続されるため、画素電極17jaの電位はマイナス極性で、その絶対値はデータ信号の絶対値以上となる一方、画素電極17jbの電位はマイナス極性で、その絶対値はデータ信号の絶対値以下となる。

20

【0155】

また、(N+1)番目の水平走査期間で画素電極17ma・17mbにデータ信号が書き込まれた後、(N+2)番目の水平走査期間で、画素電極17mbは、制御容量を介して保持容量配線(電位はVcom)に接続されるとともに結合容量を介して画素電極17maに接続されるため、画素電極17maの電位はプラス極性で、その絶対値はデータ信号の絶対値以上となる一方、画素電極17mbの電位はプラス極性で、その絶対値はデータ信号の絶対値以下となる。また、(N+1)番目の水平走査期間で画素電極17na・17nbにデータ信号が書き込まれた後、(N+2)番目の水平走査期間で、画素電極17nbは、制御容量を介して保持容量配線(電位はVcom)に接続されるとともに結合容量を介して画素電極17naに接続されるため、画素電極17naの電位はマイナス極性で、その絶対値はデータ信号の絶対値以上となる一方、画素電極17nbの電位はマイナス極性で、その絶対値はデータ信号の絶対値以下となる。

30

【0156】

また、N番目の水平走査期間で画素電極17IA・17IBにデータ信号が書き込まれた後、(N+1)番目の水平走査期間で、画素電極17IBは、制御容量を介して保持容量配線(電位はVcom)に接続されるとともに結合容量を介して画素電極17IAに接続されるため、画素電極17IAの電位はマイナス極性で、その絶対値はデータ信号の絶対値以上となる一方、画素電極17IBの電位はマイナス極性で、その絶対値はデータ信号の絶対値以下となる。

40

【0157】

以上からF1では、図36に示すように、画素電極17iaを含む副画素はプラス極性の明副画素、画素電極17ibを含む副画素はプラス極性の暗副画素、画素電極17jaを含む副画素はマイナス極性の明副画素、画素電極17jbを含む副画素はマイナス極性の暗副画素、画素電極17maを含む副画素はプラス極性の明副画素、画素電極17mbを含む副画素はプラス極性の暗副画素、画素電極17naを含む副画素はマイナス極性の明副画素、画素電極17nbを含む副画素はマイナス極性の暗副画素、画素電極17IA

50

を含む副画素はマイナス極性の明副画素、画素電極 17 I B を含む副画素はマイナス極性の暗副画素となり、F 1 でドット反転駆動が実現される。

【0158】

また、フレーム F 2 では、図 3 5 に示すように、データ信号線 15 x およびデータ信号線 15 Y それぞれに、N 番目の水平走査期間（走査信号線 16 i ・ 16 j の走査期間含む）にプラス極性のデータ信号を供給して、（N + 1）番目の水平走査期間（走査信号線 16 m ・ 16 n の走査期間含む）にもプラス極性のデータ信号を供給し、データ信号線 15 y およびデータ信号線 15 X それぞれに、N 番目の水平走査期間（走査信号線 16 i ・ 16 j の走査期間含む）にマイナス極性のデータ信号を供給して、（N + 1）番目の水平走査期間（走査信号線 16 m ・ 16 n の走査期間含む）にもマイナス極性のデータ信号を供給する。

10

【0159】

これにより F 2 では、画素電極 17 i a を含む副画素はマイナス極性の明副画素、画素電極 17 i b を含む副画素はマイナス極性の暗副画素、画素電極 17 j a を含む副画素はプラス極性の明副画素、画素電極 17 j b を含む副画素はプラス極性の暗副画素、画素電極 17 m a を含む副画素はマイナス極性の明副画素、画素電極 17 m b を含む副画素はマイナス極性の暗副画素、画素電極 17 n a を含む副画素はプラス極性の明副画素、画素電極 17 n b を含む副画素はプラス極性の暗副画素、画素電極 17 I A を含む副画素はプラス極性の明副画素、画素電極 17 I B を含む副画素はプラス極性の暗副画素となり、F 2 でもドット反転駆動が実現される。

20

【0160】

このように図 3 6 の液晶パネルでは、明・暗副画素によって中間調を表示することができるため、視野角特性を高めることができる。また、図 2 5 に示す液晶パネルと異なり、暗副画素の画素電極が電氣的にフローティングとならないため、画素の焼き付等を抑制することができる。

【0161】

図 3 7 は、図 3 4 のアクティブマトリクス基板を備えた液晶パネルの一部を示す平面図である。図 3 7 では、その見易さのために、カラーフィルタ基板（対向基板）側の部材を省略してアクティブマトリクス基板の部材のみ記載している。なお、データ信号線、走査信号線、間在配線、保持容量配線および画素領域並びにトランジスタおよび画素領域における画素電極の配置は図 3 2 の液晶パネルと同じである。

30

【0162】

そして、走査信号線 16 i がトランジスタ 12 i a ・ 12 i b のゲート電極として機能し、トランジスタ 12 i a のソース電極はデータ信号線 15 y に接続され、ドレイン電極はドレイン引き出し電極およびコンタクトホールを介して画素電極 17 i a に接続され、トランジスタ 12 i b のソース電極はデータ信号線 15 y に接続され、ドレイン電極はドレイン引き出し電極およびコンタクトホールを介して画素電極 17 i b に接続されている。さらに、保持容量配線 18 p 上に容量電極 37 i a ・ 67 i a ・ 67 i b が設けられ、容量電極 67 i a はコンタクトホールを介して画素電極 17 i a に接続され、容量電極 67 i b はコンタクトホールを介して画素電極 17 i b に接続されている。そして、容量電極 37 i a は同層にて中継電極 57 m に接続され、中継電極 57 m は、保持容量配線 18 p 上から走査信号線 16 j および保持容量配線 18 q を跨いで走査信号線 16 m 上に到り、トランジスタ 112 m のソース電極に接続される。また、画素電極 17 i b はコンタクトホール 33 i b を介して中継電極 47 m に接続され、中継電極 47 m は、画素電極 17 i b 下から走査信号線 16 j および保持容量配線 18 q を跨いで走査信号線 16 m 上に到り、トランジスタ 112 m のドレイン電極に接続される。

40

【0163】

本液晶パネルでは、保持容量配線 18 p および容量電極 67 i a がゲート絶縁膜を介して重なる部分に上記保持容量 i a が形成され、保持容量配線 18 p および容量電極 67 i b がゲート絶縁膜を介して重なる部分に上記保持容量 i b が形成され、保持容量配線 18

50

p および容量電極 37 i a がゲート絶縁膜を介して重なる部分に上記制御容量 i b p が形成され、容量電極 37 i a および画素電極 17 i a が無機層間絶縁膜を介して重なる部分に上記結合容量 i a b が形成される。

【0164】

また、保持容量配線 18 q および容量電極 67 j a がゲート絶縁膜を介して重なる部分に上記保持容量 j a が形成され、保持容量配線 18 q および容量電極 67 j b がゲート絶縁膜を介して重なる部分に上記保持容量 j b が形成され、保持容量配線 18 q および容量電極 37 j a がゲート絶縁膜を介して重なる部分に上記制御容量 j b q が形成され、容量電極 37 j a および画素電極 17 j a が無機層間絶縁膜を介して重なる部分に上記結合容量 j a b が形成される。また、保持容量配線 18 r および容量電極 67 m a がゲート絶縁膜を介して重なる部分に上記保持容量 m a が形成され、保持容量配線 18 r および容量電極 67 m b がゲート絶縁膜を介して重なる部分に上記保持容量 m b が形成され、保持容量配線 18 r および容量電極 37 m a がゲート絶縁膜を介して重なる部分に上記制御容量 m b r が形成され、容量電極 37 m a および画素電極 17 m a が無機層間絶縁膜を介して重なる部分に上記結合容量 m a b が形成される。

【0165】

図38は図37の矢視断面図である。同図に示すように、アクティブマトリクス基板3では、ガラス基板31上に保持容量配線18pが形成され、これを覆うようにゲート絶縁膜43が形成されている。なお、断面には含まれないが、ゲート絶縁膜43の下層には、走査信号線が形成されている。ゲート絶縁膜43の上層には、容量電極67 i b、中継配線47m・57m、容量電極37 i a、データ信号線15y・15X、および間在配線41が形成されている。なお、断面には含まれないが、ゲート絶縁膜43の上層には、各トランジスタの半導体層(i層およびn+層)、n+層に接するソース電極およびドレイン電極が形成されている。さらに、容量電極67 i bおよび容量電極37 i aを含むメタル層を覆うように無機層間絶縁膜25が形成され、無機層間絶縁膜25上に、これよりも厚い有機層間絶縁膜26が形成されている。有機層間絶縁膜26上には画素電極17 i b・17 i a・17 I Aが形成され、さらに、これら画素電極を覆うように配向膜9が形成されている。なお、コンタクトホール33 i bの形成部では無機層間絶縁膜25および有機層間絶縁膜26が割り貫かれ、画素電極17 i bと中継配線47mとが接触している。また、上記のように、保持容量配線18pおよび容量電極67 i aがゲート絶縁膜43を介して重なる部分に上記保持容量 i a が形成され、保持容量配線18pおよび容量電極37 i aがゲート絶縁膜43を介して重なる部分に上記制御容量 i b p が形成される。また、有機層間絶縁膜26は、容量電極37 i a上の部分が割り貫かれている。これによって、容量電極37 i aと画素電極17 i aとが無機層間絶縁膜25のみを介して重なり、この重なり部分に上記結合容量 i a b が形成される。

【0166】

なお、有機層間絶縁膜の割り貫き部分についてはフォトリソグラフィ工程でハーフ露光とすることで現像完了時に有機層間絶縁膜が薄く残膜するようにしておく一方、コンタクトホール部分については上記フォトリソグラフィ工程でフル露光することで現像完了時に有機層間絶縁膜が残らないようにしておく。ここで、ドライエッチングを行えば、有機層間絶縁膜の割り貫き部分については(有機層間絶縁膜の)残膜が除去され(すなわち、容量電極37 i a・37 j a・37 m a上には無機層間絶縁膜だけが残り)、コンタクトホール部分については有機層間絶縁膜下の無機層間絶縁膜が除去されることになる。

【0167】

本液晶パネルでは、データ信号線15yとデータ信号線15Xとの間にVcom信号が供給される間在配線41を設けているため、例えば画素電極17 i bとデータ信号線15Xとの間に生じる寄生容量に起因する両者(17 i bおよび15X)間のクロストークを低減することができ、縦シャドウの発現を抑制することができる。本液晶パネルのように画素内を2つの輝度に制御する画素分割方式では図3のような非画素分割方式よりもクロストークの影響が表示品位にシビアに反映されるため、この効果は顕著なものとなってい

10

20

30

40

50

る。

【0168】

また、本液晶パネルでは、間在配線41によって、間在配線を挟んで隣り合う2本のデータ信号線（例えば、15y・15X）間の寄生容量に起因する両者間のクロストークを低減することができる。

【0169】

〔実施の形態5〕

図39は実施の形態5にかかるアクティブマトリクス基板の一部を示す等価回路図である。図39のアクティブマトリクス基板では、データ信号線、走査信号線、間在配線、保持容量配線、および画素領域並びに画素領域における画素電極の配置は図7のアクティブマトリクス基板と同じである。

【0170】

さらに、各画素には2つずつ画素電極が配され、画素領域101の画素電極17iaは、走査信号線16iに繋がるトランジスタ12iaを介してデータ信号線15xに接続され、画素領域101の画素電極17ibは、走査信号線16iに繋がるトランジスタ12ibを介してデータ信号線15yに接続され、画素領域102の画素電極17jaは、走査信号線16jに繋がるトランジスタ12jaを介してデータ信号線15xに接続され、画素領域102の画素電極17jbは、走査信号線16jに繋がるトランジスタ12jbを介してデータ信号線15yに接続され、画素領域103の画素電極17maは、走査信号線16mに繋がるトランジスタ12maを介してデータ信号線15xに接続され、画素領域103の画素電極17mbは、走査信号線16mに繋がるトランジスタ12mbを介してデータ信号線15yに接続され、画素領域104の画素電極17naは、走査信号線16nに繋がるトランジスタ12naを介してデータ信号線15xに接続され、画素領域104の画素電極17nbは、走査信号線16nに繋がるトランジスタ12nbを介してデータ信号線15yに接続され、画素領域105の画素電極17IAは、走査信号線16iに繋がるトランジスタ12IAを介してデータ信号線15Xに接続され、画素領域105の画素電極17IBは、走査信号線16iに繋がるトランジスタ12IBを介してデータ信号線15Yに接続され、画素領域106の画素電極17JAは、走査信号線16jに繋がるトランジスタ12JAを介してデータ信号線15Xに接続され、画素領域106の画素電極17JBは、走査信号線16jに繋がるトランジスタ12JBを介してデータ信号線15Yに接続される。

【0171】

また、画素電極17iaおよび保持容量配線18k間に保持容量iaが形成され、画素電極17ibおよび保持容量配線18p間に保持容量ibが形成され、画素電極17jaおよび保持容量配線18p間に保持容量jaが形成され、画素電極17jbおよび保持容量配線18q間に保持容量jbが形成され、画素電極17maおよび保持容量配線18q間に保持容量が形成され、画素電極17mbおよび保持容量配線18r間に保持容量が形成され、画素電極17naおよび保持容量配線18r間に保持容量が形成され、画素電極17nbおよび保持容量配線18s間に保持容量が形成され、画素電極17IAおよび保持容量配線18k間に保持容量が形成され、画素電極17IBおよび保持容量配線18p間に保持容量が形成され、画素電極17JAおよび保持容量配線18p間に保持容量が形成され、画素電極17JBおよび保持容量配線18q間に保持容量が形成される。

【0172】

図40は、上記アクティブマトリクス基板を備えた本液晶パネルの駆動方法（ノーマリブラックモード）を示すタイミングチャートである。なお、Sx・Sy・SX・SYはそれぞれデータ信号線15x・15y・15X・15Yに供給されるデータ信号（データ信号）を示し、Szは間在配線に供給される信号を示し、Gpi・Gpj・Gpm・Gpnはそれぞれ、走査信号線16i・16j・16m・16nに供給されるゲート信号を示し、Via・Vib・Vja・Vjb・VIA・VIB・Vma・Vmb・Vna・Vnbは画素電極17ia・17ib・17ja・17jb・17IA・17IB・17ma・

17mb・17na・17nbの電位を示している。

【0173】

本駆動方法では、図40に示されるように、走査信号線を1本ずつ同時選択していき、データ信号線に供給するデータ信号の極性を1フレーム期間(1V)ごとに反転させるとともに、同一水平走査期間においては、同一画素列に対応する2本のデータ信号線(15x・15yあるいは15X・15Y)に逆極性のデータ信号を供給しつつ、間在配線を挟んで隣り合う2本のデータ信号線(15y・15X)には同極性のデータ信号を供給する。そして、間在配線には、共通電極の電位に等しい定電位信号(Vcom信号)を供給する。

【0174】

具体的には、連続するフレームF1・F2のF1では、N番目の水平走査期間(走査信号線16iの走査期間含む)に、データ信号線15xには、プラス極性のデータ信号を供給し、このデータ信号の絶対値(Vcomとの電位差)に対応し、これ以下の絶対値をもつマイナス極性のデータ信号をデータ信号線15yに供給し、データ信号線15Yには、プラス極性のデータ信号を供給し、このデータ信号の絶対値に対応し、これ以下の絶対値をもつマイナス極性のデータ信号をデータ信号線15Xに供給する。同様に、(N+1)番目の水平走査期間(走査信号線16jの走査期間含む)にも、データ信号線15xには、プラス極性のデータ信号を供給し、このデータ信号の絶対値に対応し、これ以下の絶対値をもつマイナス極性のデータ信号をデータ信号線15yに供給し、データ信号線15Yには、プラス極性のデータ信号を供給し、このデータ信号の絶対値に対応し、これ以下の絶対値をもつマイナス極性のデータ信号をデータ信号線15Xに供給する。

【0175】

これにより、F1では図41に示すように、画素電極17iaを含む副画素はプラス極性の明副画素、画素電極17ibを含む副画素はマイナス極性の暗副画素、画素電極17jaを含む副画素はプラス極性の明副画素、画素電極17jbを含む副画素はマイナス極性の暗副画素、画素電極17maを含む副画素はプラス極性の明副画素、画素電極17mbを含む副画素はマイナス極性の暗副画素、画素電極17naを含む副画素はプラス極性の明副画素、画素電極17nbを含む副画素はマイナス極性の暗副画素、画素電極17IAを含む副画素はマイナス極性の暗副画素、画素電極17IBを含む副画素はプラス極性の明副画素となり、F1でドット反転駆動かつ明暗市松表示(行方向および列方向それぞれについて、明副画素と暗副画素が交互に並ぶような表示)が実現される。

【0176】

また、フレームF2では、図40に示すように、N番目の水平走査期間(走査信号線16iの走査期間含む)に、データ信号線15xには、マイナス極性のデータ信号を供給し、このデータ信号の絶対値(Vcomとの電位差)に対応し、これ以下の絶対値をもつプラス極性のデータ信号をデータ信号線15yに供給し、データ信号線15Yには、マイナス極性のデータ信号を供給し、このデータ信号の絶対値に対応し、これ以下の絶対値をもつプラス極性のデータ信号をデータ信号線15Xに供給する。同様に、(N+1)番目の水平走査期間(走査信号線16jの走査期間含む)にも、データ信号線15xには、マイナス極性のデータ信号を供給し、このデータ信号の絶対値に対応し、これ以下の絶対値をもつプラス極性のデータ信号をデータ信号線15yに供給し、データ信号線15Yには、マイナス極性のデータ信号を供給し、このデータ信号の絶対値に対応し、これ以下の絶対値をもつプラス極性のデータ信号をデータ信号線15Xに供給する。

【0177】

これによりF2では、画素電極17iaを含む副画素はマイナス極性の明副画素、画素電極17ibを含む副画素はプラス極性の暗副画素、画素電極17jaを含む副画素はマイナス極性の明副画素、画素電極17jbを含む副画素はプラス極性の暗副画素、画素電極17IAを含む副画素はプラス極性の暗副画素、画素電極17IBを含む副画素はマイナス極性の明副画素、画素電極17maを含む副画素はマイナス極性の明副画素、画素電極17mbを含む副画素はプラス極性の暗副画素、画素電極17naを含む副画素はマイ

10

20

30

40

50

ナス極性の明副画素、画素電極 17nb を含む副画素はプラス極性の暗副画素となり、F2でもドット反転駆動かつ明暗市松表示（行方向および列方向それぞれについて、明副画素と暗副画素が交互に並ぶような表示）が実現される。

【0178】

本液晶パネルでは明・暗副画素によって中間調を表示することができるため、視野角特性を高めることができる。なお、明・暗副画素それぞれにデータ信号が用意されるため、明・暗副画素の輝度をより正確に制御することができる。また、明暗市松表示によって、明副画素あるいは暗副画素が連続して並ぶことで生じる縞状のムラを抑制することができる。

【0179】

なお、図39のアクティブマトリクス基板につき、データ信号線に供給するデータ信号の極性を1水平走査期間（1H）ごとに反転させるとともに、同一水平走査期間においては、同一画素列に対応する2本のデータ信号線（15x・15yあるいは15X・15Y）に同極性のデータ信号を供給し、間在配線を挟んで隣り合う2本のデータ信号線（15y・15X）には同極性のデータ信号を供給してもよい。こうすれば、プラス極性の明副画素とほぼ同数マイナス極性の明副画素が存在するとともに、プラス極性の暗副画素とほぼ同数のマイナス極性の暗副画素が存在するようになり、図41の場合よりもフリッカを低減することができる。

【0180】

図42は、図39のアクティブマトリクス基板を備えた液晶パネルの一部を示す平面図である。図42では、その見易さのために、カラーフィルタ基板（対向基板）側の部材を省略してアクティブマトリクス基板の部材のみ記載している。なお、データ信号線、走査信号線、間在配線、保持容量配線、および画素領域並びに画素領域における画素電極の配置は図13の液晶パネルと同じである。

【0181】

そして、走査信号線16iがトランジスタ12iaのゲート電極として機能し、トランジスタ12iaのソース電極はデータ信号線15xに接続され、ドレイン電極はドレイン引き出し電極27iaを介して容量電極37iaに接続されている。容量電極37iaは保持容量配線18p上に位置し、2個のコンタクトホール11iaを介して画素電極17iaに接続されている。また、走査信号線16iがトランジスタ12ibのゲート電極として機能し、トランジスタ12ibのソース電極はデータ信号線15yに接続され、ドレイン電極はドレイン引き出し電極27ibを介して容量電極37ibに接続されている。容量電極37ibは保持容量配線18q上に位置し、2個のコンタクトホール11ibを介して画素電極17ibに接続されている。

【0182】

また、走査信号線16jがトランジスタ12jaのゲート電極として機能し、トランジスタ12jaのソース電極はデータ信号線15xに接続され、ドレイン電極はドレイン引き出し電極27jaを介して容量電極37jaに接続されている。容量電極37jaは保持容量配線18p上に位置し、2個のコンタクトホール11jaを介して画素電極17jaに接続されている。また、走査信号線16jがトランジスタ12jbのゲート電極として機能し、トランジスタ12jbのソース電極はデータ信号線15yに接続され、ドレイン電極はドレイン引き出し電極27jbを介して容量電極37jbに接続されている。容量電極37jbは保持容量配線18q上に位置し、2個のコンタクトホール11jbを介して画素電極17jbに接続されている。

【0183】

同様に、走査信号線16iがトランジスタ12IAのゲート電極として機能し、トランジスタ12IAのソース電極はデータ信号線15Xに接続され、ドレイン電極はドレイン引き出し電極27IAを介して容量電極37IAに接続されている。容量電極37IAは保持容量配線18p上に位置し、2個のコンタクトホール11IAを介して画素電極17IAに接続されている。また、走査信号線16iがトランジスタ12IBのゲート電極と

10

20

30

40

50

して機能し、トランジスタ 1 2 I B のソース電極はデータ信号線 1 5 Y に接続され、ドレイン電極はドレイン引き出し電極 2 7 I B を介して容量電極 3 7 I B に接続されている。容量電極 3 7 I B は保持容量配線 1 8 q 上に位置し、2 個のコンタクトホール 1 1 I B を介して画素電極 1 7 I B に接続されている。

【 0 1 8 4 】

また、走査信号線 1 6 j がトランジスタ 1 2 J A のゲート電極として機能し、トランジスタ 1 2 J A のソース電極はデータ信号線 1 5 X に接続され、ドレイン電極はドレイン引き出し電極 2 7 J A を介して容量電極 3 7 J A に接続されている。容量電極 3 7 J A は保持容量配線 1 8 p 上に位置し、2 個のコンタクトホール 1 1 J A を介して画素電極 1 7 J A に接続されている。

10

【 0 1 8 5 】

本液晶パネルでは、保持容量配線 1 8 k および容量電極 3 7 i a がゲート絶縁膜を介して重なる部分に上記保持容量 i a が形成され、保持容量配線 1 8 p および容量電極 3 7 i b がゲート絶縁膜を介して重なる部分に上記保持容量 i b が形成され、保持容量配線 1 8 p および容量電極 3 7 j a がゲート絶縁膜を介して重なる部分に上記保持容量 j a が形成され、保持容量配線 1 8 q および容量電極 3 7 j b がゲート絶縁膜を介して重なる部分に上記保持容量 j b が形成される。

【 0 1 8 6 】

本液晶パネルでは、データ信号線 1 5 y とデータ信号線 1 5 X との間に V c o m 信号が供給される間在配線 4 1 を設けているため、例えば画素電極 1 7 i a とデータ信号線 1 5 X との間に生じる寄生容量に起因する両者 (1 7 i a および 1 5 X) 間のクロストークを低減することができ、縦シャドウの発現を抑制することができる。図 4 3 は本液晶パネルを駆動したときの等電位線 (L V M は - 0 . 5 V 線、L V P は + 0 . 5 V 線) を示しているが、同図では自画素の画素電極 (1 7 i a) 上から隣接画素に対応するデータ信号線 (1 5 X) 上に等電位線が流れておらず、上記のクロストーク低減効果 (シールド効果) は明らかである。なお、上記寄生容量の値は、例えば 4 割程度低減されている。本液晶パネルのように画素内を 2 つの輝度に制御する画素分割方式では図 3 のような非画素分割方式よりもクロストークの影響が表示品位にシビアに反映されるため、この効果は顕著なものとなっている。

20

【 0 1 8 7 】

また、本液晶パネルでは、間在配線 4 1 によって、間在配線を挟んで隣り合う 2 本のデータ信号線 (例えば、1 5 y ・ 1 5 X) 間の寄生容量に起因する両者間のクロストークを低減することができる。なお、この寄生容量の値は、例えば 5 割程度低減される。

30

【 0 1 8 8 】

〔 実施の形態 6 〕

図 4 4 は実施の形態 6 にかかるアクティブマトリクス基板の一部を示す等価回路図である。図 4 4 に示すように、本アクティブマトリクス基板では、データ信号線 1 5 x ・ 1 5 y ・ 1 5 X ・ 1 5 Y がこの順に並べられ、行方向 (図中左右方向) に延伸する走査信号線 1 6 i ・ 1 6 j ・ 1 6 m ・ 1 6 n がこの順に並べられ、データ信号線 1 5 x ・ 1 5 y および走査信号線 1 6 i の交差部に対応して画素領域 1 0 1 が設けられ、データ信号線 1 5 x ・ 1 5 y および走査信号線 1 6 j の交差部に対応して画素領域 1 0 2 が設けられ、データ信号線 1 5 x ・ 1 5 y および走査信号線 1 6 m の交差部に対応して画素領域 1 0 3 が設けられ、データ信号線 1 5 X ・ 1 5 y および走査信号線 1 6 n の交差部に対応して画素領域 1 0 4 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 i の交差部に対応して画素領域 1 0 5 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 j の交差部に対応して画素領域 1 0 6 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 m の交差部に対応して画素領域 1 0 7 が設けられ、データ信号線 1 5 X ・ 1 5 Y および走査信号線 1 6 n の交差部に対応して画素領域 1 0 8 が設けられ、画素領域 1 0 1 ・ 1 0 5 に対応して保持容量配線 1 8 p が設けられ、画素領域 1 0 2 ・ 1 0 6 に対応して保持容量配線 1 8 q が設けられ、画素領域 1 0 3 ・ 1 0 7 に対応して保持容量配線 1 8 r

40

50

が設けられ、画素領域 104・108 に対応して保持容量配線 18s が設けられている。

【0189】

ここで、データ信号線 15x・15y は、画素領域 101～104 を含む画素領域列に対応して設けられ、データ信号線 15X・15Y は画素領域 101～104 を含む画素領域列に対応して設けられ、データ信号線 15y とデータ信号線 15X との間に、Vcom 信号が供給される間在配線 41 が設けられている。

【0190】

さらに、各画素領域には 1 つの楕形の画素電極とこれに対応する共通電極 com とが配され、画素領域 101 の画素電極 17i は、走査信号線 16i に繋がるトランジスタ 12i を介してデータ信号線 15x に接続され、画素領域 102 の画素電極 17j は、走査信号線 16j に繋がるトランジスタ 12j を介してデータ信号線 15y に接続され、画素領域 103 の画素電極 17m は、走査信号線 16m に繋がるトランジスタ 12m を介してデータ信号線 15x に接続され、画素領域 104 の画素電極 17n は、走査信号線 16n に繋がるトランジスタ 12n を介してデータ信号線 15y に接続され、画素領域 105 の画素電極 17I は、走査信号線 16i に繋がるトランジスタ 12I を介してデータ信号線 15X に接続され、画素領域 106 の画素電極 17J は、走査信号線 16j に繋がるトランジスタ 12J を介してデータ信号線 15Y に接続され、画素領域 107 の画素電極 17M は、走査信号線 16m に繋がるトランジスタ 12M を介してデータ信号線 15X に接続され、画素領域 108 の画素電極 17N は、走査信号線 16n に繋がるトランジスタ 12N を介してデータ信号線 15Y に接続される。すなわち、画素領域列の偶数番目となる各画素領域 (102・104) の画素電極が接続するデータ信号線 15y と、画素領域列の奇数番目となる画素領域 (105・107) の画素電極が接続するデータ信号線 15X とが、間在配線 41 を挟んで隣り合うことになる。

【0191】

また、画素領域 101 の画素電極 17i および画素領域 105 の画素電極 17I が接続される走査信号線 16i と、画素領域 102 の画素電極 17j および画素領域 106 の画素電極 17J が接続される走査信号線 16j とがパネル内あるいはパネル外で接続され、両者 (16i・16j) は同時選択される (後述)。また、画素領域 103 の画素電極 17m および画素領域 107 の画素電極 17M が接続される走査信号線 16m と、画素領域 104 の画素電極 17n および画素領域 108 の画素電極 17N が接続される走査信号線 16n とがパネル内あるいはパネル外で接続され、両者 (16m・16n) は同時選択される (後述)。

【0192】

また、保持容量配線 18p および画素電極 17i 間に保持容量 i が形成され、共通電極 com および画素電極 17i 間に配向容量 ic が形成され、保持容量配線 18q および画素電極 17j 間に保持容量 j が形成され、共通電極 com および画素電極 17j 間に配向容量 jc が形成され、保持容量配線 18p および画素電極 17I 間に保持容量 I が形成され、共通電極 com および画素電極 17I 間に配向容量 Ic が形成され、保持容量配線 18q および画素電極 17J 間に保持容量 J が形成され、共通電極 com および画素電極 17J 間に配向容量 Jc が形成される。

【0193】

図 45 は、上記アクティブマトリクス基板を備えた本液晶パネルの駆動方法 (ノーマリブラックモード) を示すタイミングチャートである。なお、Sx・Sy・SX・SY はそれぞれデータ信号線 15x・15y・15X・15Y に供給されるデータ信号 (データ信号) を示し、Sz は間在配線に供給される信号を示し、Gpi・Gpj・Gpm・Gpn はそれぞれ、走査信号線 16i・16j・16m・16n に供給されるゲート信号を示し、Vi・Vj・VI・VJ・Vm・Vn は画素電極 17i・17j・17I・17J・17m・17n の電位を示している。

【0194】

本駆動方法では、図 45 に示されるように、走査信号線を 2 本ずつ同時選択していき、

データ信号線に供給するデータ信号の極性を1フレーム期間(1V)ごとに反転させるとともに、同一水平走査期間においては、同一画素列に対応する2本のデータ信号線(15x・15yあるいは15X・15Y)に逆極性のデータ信号を供給しつつ、間在配線を挟んで隣り合う2本のデータ信号線(15y・15X)には同極性のデータ信号を供給する。そして、間在配線には、共通電極の電位に等しい定電位信号(Vcom信号)を供給する。

【0195】

具体的には、連続するフレームF1・F2のF1では、データ信号線15xおよびデータ信号線15Yそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にプラス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもプラス極性のデータ信号を供給し、データ信号線15yおよびデータ信号線15Xそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にマイナス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもマイナス極性のデータ信号を供給する。

10

【0196】

これにより、本液晶パネルを駆動すると、図46に示すように、画素電極17iを含む画素はプラス極性、画素電極17jを含む画素はマイナス極性、画素電極17mを含む画素はプラス極性、画素電極17nを含む画素はマイナス極性、画素電極17Iを含む画素はマイナス極性、画素電極17Jを含む画素はプラス極性となり、F1でドット反転駆動が実現される。

20

【0197】

なお、F2では、データ信号線15xおよびデータ信号線15Yそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にマイナス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもマイナス極性のデータ信号を供給し、データ信号線15yおよびデータ信号線15Xそれぞれに、N番目の水平走査期間(走査信号線16i・16jの走査期間含む)にプラス極性のデータ信号を供給して、(N+1)番目の水平走査期間(走査信号線16m・16nの走査期間含む)にもプラス極性のデータ信号を供給する。これにより、画素電極17iはマイナス極性、画素電極17jはプラス極性、画素電極17mはマイナス極性、画素電極17nはプラス極性、画素電極17Iはプラス極性、画素電極17Jはマイナス極性となり、F2でもドット反転駆動が実現される。

30

【0198】

図47は、図44のアクティブマトリクス基板を備えた液晶パネルの一部を示す平面図である。図47では、その見易さのために、カラーフィルタ基板(対向基板)側の部材を省略してアクティブマトリクス基板の部材のみ記載している。

【0199】

本液晶パネルでは、一对(2本)のデータ信号線15x・15yと、一对(2本)のデータ信号線15X・15Yとが、データ信号線15yおよびデータ信号線15Xが隣り合うように設けられ、データ信号線15yとデータ信号線15Xとの間に間在配線41が配され、各データ信号線と直交するように、走査信号線16iおよび走査信号線16jが設けられ、データ信号線15xおよび走査信号線16iの交差部近傍にトランジスタ12iが設けられ、データ信号線15yおよび走査信号線16jの交差部近傍にトランジスタ12jが設けられ、データ信号線15Xおよび走査信号線16iの交差部近傍にトランジスタ12Iが設けられ、データ信号線15Yおよび走査信号線16jの交差部近傍にトランジスタ12Jが設けられている。

40

【0200】

また、走査信号線16iの走査方向上流側の領域上であって間在配線41の一方側の領域上となる部分に、櫛型の画素電極17iとこれに嵌め合うような櫛型の共通電極17izとが設けられ、走査信号線16iの走査方向上流側の領域上であって間在配線41の他

50

方側の領域上となる部分に、櫛型の画素電極 17 I とこれに嵌め合うような櫛型の共通電極 17 I Z とが設けられ、走査信号線 16 j の走査方向上流側の領域上であって間在配線 4 1 の一方側の領域上となる部分に、櫛型の画素電極 17 j とこれと嵌め合うような櫛型の共通電極 17 j z とが設けられ、走査信号線 16 j の走査方向上流側の領域上であって間在配線 4 1 の他方側の領域上となる部分に、櫛型の画素電極 17 J とこれと嵌め合うような櫛型の共通電極 17 J Z とが設けられている。なお、櫛型の画素電極 17 i ・ 17 j ・ 17 I ・ 17 J はそれぞれ、平面的に視て走査信号線の近傍に位置する根元部と該根元部から列方向に伸びる歯部とからなり、画素電極 17 i の根元部および画素電極 17 I の根元部に重なるように保持容量配線 18 p が設けられ、画素電極 17 j の根元部および画素電極 17 J の根元部に重なるように保持容量配線 18 q が設けられている。

10

【0201】

また、共通電極 17 i z はデータ信号線 15 x ・ 15 y に重なり、共通電極 17 j z もデータ信号線 15 x ・ 15 y に重なり、共通電極 17 I Z はデータ信号線 15 X ・ 15 Y に重なり、共通電極 17 J Z もデータ信号線 15 X ・ 15 Y に重なっている。また、間在配線 4 1 は、画素電極 17 i z および画素電極 17 I z の間隙下並びに画素電極 17 j z および画素電極 17 J Z の間隙下を通っている。

【0202】

そして、走査信号線 16 i がトランジスタ 12 i のゲート電極として機能し、トランジスタ 12 i のソース電極はデータ信号線 15 x に接続され、ドレイン電極はドレイン引き出し電極を介して容量電極 37 i に接続されている。容量電極 37 i は保持容量配線 18 p 上に位置し、2 個のコンタクトホール 11 i を介して画素電極 17 i の根元部に接続され、さらに、共通電極 17 i z がコンタクトホール 11 i を介して保持容量配線 18 p に接続されている。また、走査信号線 16 j がトランジスタ 12 j のゲート電極として機能し、トランジスタ 12 j のソース電極はデータ信号線 15 y に接続され、ドレイン電極はドレイン引き出し電極を介して容量電極 37 j に接続されている。容量電極 37 j は保持容量配線 18 q 上に位置し、2 個のコンタクトホール 11 j を介して画素電極 17 j の根元部に接続され、さらに、共通電極 17 j z がコンタクトホール 11 j を介して保持容量配線 18 q に接続されている。

20

【0203】

同様に、走査信号線 16 I がトランジスタ 12 I のゲート電極として機能し、トランジスタ 12 I のソース電極はデータ信号線 15 X に接続され、ドレイン電極はドレイン引き出し電極を介して容量電極 37 I に接続されている。容量電極 37 I は保持容量配線 18 p 上に位置し、2 個のコンタクトホール 11 I を介して画素電極 17 I の根元部に接続され、さらに、共通電極 17 I Z がコンタクトホール 11 I を介して保持容量配線 18 p に接続されている。また、走査信号線 16 J がトランジスタ 12 J のゲート電極として機能し、トランジスタ 12 J のソース電極はデータ信号線 15 Y に接続され、ドレイン電極はドレイン引き出し電極を介して容量電極 37 J に接続されている。容量電極 37 J は保持容量配線 18 q 上に位置し、2 個のコンタクトホール 11 J を介して画素電極 17 J の根元部に接続され、さらに、共通電極 17 J Z がコンタクトホール 11 J を介して保持容量配線 18 q に接続されている。

30

40

【0204】

本液晶パネルでは、保持容量配線 18 p および容量電極 37 i がゲート絶縁膜を介して重なる部分に上記保持容量 i が形成され、保持容量配線 18 q および容量電極 37 j がゲート絶縁膜を介して重なる部分に上記保持容量 j が形成され、保持容量配線 18 p および容量電極 37 I がゲート絶縁膜を介して重なる部分に上記保持容量 I が形成され、保持容量配線 18 q および容量電極 37 J がゲート絶縁膜を介して重なる部分に上記保持容量 J が形成される。

【0205】

図 4 8 は図 4 7 の矢視断面図である。同図に示すように、本液晶パネルは、アクティブマトリクス基板 3 と、これに対向するカラーフィルタ基板 30 と、両基板 (3・30) 間

50

に配される液晶層 40 とを備える。アクティブマトリクス基板 3 では、ガラス基板 31 上に保持容量配線 18 p が形成され、これを覆うようにゲート絶縁膜 43 が形成されている。

なお、断面には含まれないが、ゲート絶縁膜 43 の下層には、走査信号線が形成されている。ゲート絶縁膜 43 の上層には、容量電極 37 i、データ信号線 15 y、間在配線 41、およびデータ信号線 15 X が形成されている。なお、断面には含まれないが、ゲート絶縁膜 43 の上層には、各トランジスタの半導体層 (i 層および n+ 層) と、n+ 層に接するソース電極およびドレイン電極が形成されている。さらに、各データ信号線および間在配線 41 を含むメタル層を覆うように無機層間絶縁膜 25 が形成され、無機層間絶縁膜 25 上に、これよりも厚い有機層間絶縁膜 26 が形成されている。有機層間絶縁膜 26 上には画素電極 17 i・17 I および共通電極 17 i z が形成され、さらに、これら画素電極および共通電極を覆うように配向膜 9 が形成されている。なお、コンタクトホール 11 i の形成部では無機層間絶縁膜 25 および有機層間絶縁膜 26 が割り貫かれ、画素電極 17 i と容量電極 37 i とが接触している。また、コンタクトホール 11 i の形成部ではゲート絶縁膜 43、無機層間絶縁膜 25 および有機層間絶縁膜 26 が割り貫かれ、共通電極 17 i z と保持容量配線 18 p とが接触している。また、上記のように、保持容量配線 18 p および容量電極 37 i がゲート絶縁膜 43 を介して重なる部分に上記保持容量 i が形成されている。

10

【0206】

一方、カラーフィルタ基板 30 では、ガラス基板 32 上にブラックマトリクス 13 および着色層 (カラーフィルタ層) 14 が形成され、これを覆うように配向膜 19 が形成されている。

20

【0207】

図 47 の液晶パネルでは共通電極が櫛型の画素電極と同層に形成されているがこれに限定されない。共通電極をデータ信号線や間在配線と同層に形成することもできる。図 49 に示す液晶パネルでは、ベタ状の共通電極 17 i z を櫛型の画素電極 17 i と対向するように透明導電体 (ITO, IZO, ZnO など) 層に設け、ベタ状の共通電極 17 j z を櫛形の画素電極 17 j と対向するように透明導電体層に設け、ベタ状の共通電極 17 I Z を櫛型の画素電極 17 I と対向するように透明導電体層に設け、ベタ状の共通電極 17 J Z を櫛型の画素電極 17 J と対向するように透明導電体層に設けている。

30

【0208】

なお、本液晶パネルでは画素電極 17 i はデータ信号線 15 x・15 y に重なり、画素電極 17 j もデータ信号線 15 x・15 y に重なり、画素電極 17 I はデータ信号線 15 X・15 Y に重なり、画素電極 17 J もデータ信号線 15 X・15 Y に重なっている。

【0209】

図 50 は図 49 の矢視断面図である。同図に示すように、アクティブマトリクス基板 3 では、ガラス基板 31 上に保持容量配線 18 p が形成され、これを覆うようにゲート絶縁膜 43 が形成されている。ゲート絶縁膜 43 の上層には、容量電極 37 i、共通電極 17 i z、データ信号線 15 y、間在配線 41、およびデータ信号線 15 X が形成されている。さらに、共通電極 17 i z および間在配線 41 を含むメタル層を覆うように無機層間絶縁膜 25 が形成され、無機層間絶縁膜 25 上に、これよりも厚い有機層間絶縁膜 26 が形成されている。有機層間絶縁膜 26 上には画素電極 17 i・17 I が形成され、さらに、これら画素電極を覆うように配向膜 9 が形成されている。なお、コンタクトホール 11 i の形成部では無機層間絶縁膜 25 および有機層間絶縁膜 26 が割り貫かれ、画素電極 17 i と容量電極 37 i とが接触している。また、コンタクトホール 11 i の形成部ではゲート絶縁膜 43 が割り貫かれ、共通電極 17 i z と保持容量配線 18 p とが接触している。

40

【0210】

なお、上記各実施の形態では、間在配線 41 をゲート絶縁膜 43 上でデータ信号線 15 y・15 X の間隙となる部分に設けているがこれに限定されない。例えば、間在配線 41

50

を、無機層間絶縁膜 25 上でかつデータ信号線 15 y・15 X の間隙上となる部分に設けることもできるし、無機層間絶縁膜 26 上でかつデータ信号線 15 y・15 X の間隙上となる部分に設けることもできるし、ゲート絶縁膜を 2 層にしてこれら 2 層に挟まれ、かつデータ信号線 15 y・15 X の間隙下となる部分に設けることもできる。

【0211】

本実施の形態では、以下のようにして、本液晶表示ユニットおよび液晶表示装置を構成する。すなわち、本液晶パネルの両面に、2枚の偏光板 A・B を、偏光板 A の偏光軸と偏光板 B の偏光軸とが互いに直交するように貼り付ける。なお、偏光板には必要に応じて、光学補償シート等を積層してもよい。次に、図 51 (a) に示すように、ドライバ (ゲートドライバ 202、ソースドライバ 201) を接続する。ここでは、一例として、ドライバを T C P 方式による接続について説明する。まず、液晶パネルの端子部に A C F を仮圧着する。ついで、ドライバが乗せられた T C P をキャリアテープから打ち抜き、パネル端子電極に位置合わせし、加熱、本圧着を行う。その後、ドライバ T C P 同士を連結するための回路基板 203 (P W B) と T C P の入力端子とを A C F で接続する。これにより、液晶表示ユニット 200 が完成する。その後、図 51 (b) に示すように、液晶表示ユニットの各ドライバ (201・202) に、回路基板 203 を介して表示制御回路 209 を接続し、照明装置 (バックライトユニット) 204 と一体化することで、液晶表示装置 210 となる。

10

【0212】

図 52 は、本液晶表示装置の構成を示すブロック図である。同図に示されるように、本液晶表示装置は、表示部 (液晶パネル) と、ソースドライバ (S D) と、ゲートドライバ (G D) と、表示制御回路とを備えている。ソースドライバはデータ信号線を駆動し、ゲートドライバは走査信号線を駆動し、表示制御回路は、ソースドライバおよびゲートドライバを制御する。なお、必要に応じて保持容量配線 (C s 配線) を駆動する保持容量配線駆動回路を設けてもよい。

20

【0213】

表示制御回路は、外部の信号源 (例えばチューナ) から、表示すべき画像を表すデジタルビデオ信号 D v と、当該デジタルビデオ信号 D v に対応する水平同期信号 H S Y および垂直同期信号 V S Y と、表示動作を制御するための制御信号 D c とを受け取る。また、表示制御回路は、受け取ったこれらの信号 D v , H S Y , V S Y , D c に基づき、そのデジタルビデオ信号 D v の表す画像を表示部に表示させるための信号として、データスタートパルス信号 S S P と、データクロック信号 S C K と、表示すべき画像を表すデジタル画像信号 D A (ビデオ信号 D v に対応する信号) と、ゲートスタートパルス信号 G S P と、ゲートクロック信号 G C K と、ゲートドライバ出力制御信号 (走査信号出力制御信号) G O E とを生成し、これらを出力する。

30

【0214】

より詳しくは、ビデオ信号 D v を内部メモリで必要に応じてタイミング調整等を行った後に、デジタル画像信号 D A として表示制御回路から出力し、そのデジタル画像信号 D A の表す画像の各画素に対応するパルスからなる信号としてデータクロック信号 S C K を生成し、水平同期信号 H S Y に基づき 1 水平走査期間毎に所定期間だけハイレベル (H レベル) となる信号としてデータスタートパルス信号 S S P を生成し、垂直同期信号 V S Y に基づき 1 フレーム期間 (1 垂直走査期間) 毎に所定期間だけ H レベルとなる信号としてゲートスタートパルス信号 G S P を生成し、水平同期信号 H S Y に基づきゲートクロック信号 G C K を生成し、水平同期信号 H S Y および制御信号 D c に基づきゲートドライバ出力制御信号 G O E を生成する。

40

【0215】

上記のようにして表示制御回路において生成された信号のうち、デジタル画像信号 D A 、データ信号 (データデータ信号) の極性を制御する極性反転信号 P O L 、データスタートパルス信号 S S P 、およびデータクロック信号 S C K は、ソースドライバに入力され、ゲートスタートパルス信号 G S P とゲートクロック信号 G C K とゲートドライバ出力制御

50

信号 G O E とは、ゲートドライバに入力される。

【 0 2 1 6 】

ソースドライバは、デジタル画像信号 D A、データクロック信号 S C K、データスタートパルス信号 S S P、および極性反転信号 P O L に基づき、デジタル画像信号 D A の表す画像の各走査信号線における画素値に相当するアナログ電位（データ信号）を 1 水平走査期間毎に順次生成し、これらのデータ信号をデータ信号線に出力する。

【 0 2 1 7 】

ゲートドライバは、ゲートスタートパルス信号 G S P およびゲートクロック信号 G C K と、ゲートドライバ出力制御信号 G O E とに基づき、ゲート信号を生成し、これらを走査信号線に出力し、これによって走査信号線を選択的に駆動する。

10

【 0 2 1 8 】

上記のようにソースドライバおよびゲートドライバにより表示部（液晶パネル）のデータ信号線および走査信号線が駆動されることで、選択された走査信号線に接続されたトランジスタ（T F T）を介して、データ信号線から画素電極にデータ信号が書き込まれる。これにより各副画素の液晶層に電圧が印加され、これによってバックライトからの光の透過量が制御され、デジタルビデオ信号 D v の示す画像が表示される。

【 0 2 1 9 】

次に、本液晶表示装置をテレビジョン受信機に適用するときの一構成例について説明する。図 5 3 は、テレビジョン受信機用の液晶表示装置 8 0 0 の構成を示すブロック図である。液晶表示装置 8 0 0 は、液晶表示ユニット 8 4 と、Y / C 分離回路 8 0 と、ビデオクロマ回路 8 1 と、A / D コンバータ 8 2 と、液晶コントローラ 8 3 と、バックライト駆動回路 8 5 と、バックライト 8 6 と、マイコン（マイクロコンピュータ）8 7 と、階調回路 8 8 とを備えている。なお、液晶表示ユニット 8 4 は、液晶パネルと、これを駆動するためのソースドライバおよびゲートドライバとで構成される。

20

【 0 2 2 0 】

上記構成の液晶表示装置 8 0 0 では、まず、テレビジョン信号としての複合カラー映像信号 S c v が外部から Y / C 分離回路 8 0 に入力され、そこで輝度信号と色信号に分離される。これらの輝度信号と色信号は、ビデオクロマ回路 8 1 にて光の 3 原色に対応するアナログ R G B 信号に変換され、さらに、このアナログ R G B 信号は A / D コンバータ 8 2 により、デジタル R G B 信号に変換される。このデジタル R G B 信号は液晶コントローラ 8 3 に入力される。また、Y / C 分離回路 8 0 では、外部から入力された複合カラー映像信号 S c v から水平および垂直同期信号も取り出され、これらの同期信号もマイコン 8 7 を介して液晶コントローラ 8 3 に入力される。

30

【 0 2 2 1 】

液晶表示ユニット 8 4 には、液晶コントローラ 8 3 からデジタル R G B 信号が、上記同期信号に基づくタイミング信号と共に所定のタイミングで入力される。また、階調回路 8 8 では、カラー表示の 3 原色 R , G , B それぞれの階調電位が生成され、それらの階調電位も液晶表示ユニット 8 4 に供給される。液晶表示ユニット 8 4 では、これらの R G B 信号、タイミング信号および階調電位に基づき内部のソースドライバやゲートドライバ等により駆動用信号（データ信号、ゲート信号等）が生成され、それらの駆動用信号に基づき、内部の液晶パネルにカラー画像が表示される。なお、この液晶表示ユニット 8 4 によって画像を表示するには、液晶表示ユニット内の液晶パネルの後方から光を照射する必要がある。この液晶表示装置 8 0 0 では、マイコン 8 7 の制御の下にバックライト駆動回路 8 5 がバックライト 8 6 を駆動することにより、液晶パネルの裏面に光が照射される。上記の処理を含め、システム全体の制御はマイコン 8 7 が行う。なお、外部から入力される映像信号（複合カラー映像信号）としては、テレビジョン放送に基づく映像信号のみならず、カメラにより撮像された映像信号や、インターネット回線を介して供給される映像信号なども使用可能であり、この液晶表示装置 8 0 0 では、様々な映像信号に基づいた画像表示が可能である。

40

【 0 2 2 2 】

50

液晶表示装置 800 でテレビジョン放送に基づく画像を表示する場合には、図 5 4 に示すように、液晶表示装置 800 にチューナ部 90 が接続され、これによって本テレビジョン受像機 701 が構成される。このチューナ部 90 は、アンテナ（不図示）で受信した受信波（高周波信号）の中から受信すべきチャンネルの信号を抜き出して中間周波信号に変換し、この中間周波数信号を検波することによってテレビジョン信号としての複合カラー映像信号 S c v を取り出す。この複合カラー映像信号 S c v は、既述のように液晶表示装置 800 に入力され、この複合カラー映像信号 S c v に基づく画像が該液晶表示装置 800 によって表示される。

【0223】

図 5 5 は、本テレビジョン受像機の一構成例を示す分解斜視図である。同図に示すように、本テレビジョン受像機 701 は、その構成要素として、液晶表示装置 800 の他に第 1 筐体 801 および第 2 筐体 806 を有しており、液晶表示装置 800 を第 1 筐体 801 と第 2 筐体 806 とで包み込むようにして挟持した構成となっている。第 1 筐体 801 には、液晶表示装置 800 で表示される画像を透過させる開口部 801 a が形成されている。また、第 2 筐体 806 は、液晶表示装置 800 の背面側を覆うものであり、当該表示装置 800 を操作するための操作用回路 805 が設けられると共に、下方に支持用部材 808 が取り付けられている。

【0224】

本アレイ基板は、複数の走査信号線とデータ信号が供給される複数のデータ信号線とを備え、隣り合う第 1 および第 2 画素領域列それぞれに複数の画素領域が含まれ、第 1 および第 2 画素領域列それぞれに対応して複数本ずつデータ信号線が設けられたアレイ基板であって、一方が第 1 画素領域列に対応して設けられたデータ信号線で、他方が第 2 画素領域列に対応して設けられたデータ信号線である 2 本の隣り合うデータ信号線の間隙または該間隙下あるいは該間隙上に、データ信号とは別の信号が供給される間在配線が設けられていることを特徴とする。

【0225】

本アレイ基板（例えば、アクティブマトリクス基板）を備えた表示装置（例えば、液晶表示装置）を駆動する場合には、上記間在配線にデータ信号とは別の信号（例えば、定電位信号や周期的に極性が反転する信号）を供給する。これにより、画素とその隣接画素に対応するデータ信号線との間のクロストークを低減することができ、表示品位を高めることができる。

【0226】

本アレイ基板においては、上記第 1 および第 2 画素領域列それぞれに対応して 2 本ずつデータ信号線が設けられ、各画素領域には 1 つ以上の画素電極が含まれ、第 1 画素領域列に含まれる 1 つの画素電極は、トランジスタを介して、第 1 画素領域列に対応する 2 本のデータ信号線のいずれかに接続され、第 2 画素領域列に含まれる 1 つの画素電極は、トランジスタを介して、第 2 画素領域列に対応する 2 本のデータ信号線のいずれかに接続されている構成とすることもできる。

【0227】

本アレイ基板においては、上記間在配線は各データ信号線と同層に形成されている構成とすることもできる。

【0228】

本アレイ基板においては、第 1 画素領域列に含まれる各画素電極は、第 1 画素領域列に対応して設けられた 2 本のデータ信号線それぞれに重なるように配され、第 2 画素領域列に含まれる各画素電極は、第 2 画素領域列に対応して設けられた 2 本のデータ信号線それぞれに重なるように配されている構成とすることもできる。

【0229】

本アレイ基板においては、第 1 および第 2 画素領域列それぞれにおいて、連続する 2 つの画素領域の一方に含まれる画素電極がトランジスタを介して接続されるデータ信号線と、他方に含まれる画素電極がトランジスタを介して接続されるデータ信号線とが異なっ

10

20

30

40

50

いる構成とすることもできる。

【0230】

本アレイ基板においては、第1画素領域列の奇数番目となる画素領域に含まれる画素電極がトランジスタを介して接続するデータ信号線と、第2画素領域列の偶数番目となる画素領域に含まれる画素電極がトランジスタを介して接続するデータ信号線とが、上記間在配線を挟んで隣り合う構成とすることもできる。

【0231】

本アレイ基板においては、トランジスタのゲート電極を覆うゲート絶縁膜と、トランジスタのチャンネルを覆う層間絶縁膜とが設けられ、各データ信号線および間在配線はゲート絶縁膜上に形成され、各画素電極は層間絶縁膜上に形成されている構成とすることもできる。

10

【0232】

本アレイ基板においては、上記層間絶縁膜には、無機絶縁膜とこれよりも厚い有機絶縁膜とが含まれる構成とすることもできる。

【0233】

本アレイ基板においては、複数の保持容量配線を備え、上記間在配線が少なくとも1本の保持容量配線に接続されている構成とすることもできる。

【0234】

本アレイ基板においては、第1画素領域列に含まれる各画素電極および第2画素領域列に含まれる各画素電極が、上記間在配線に重なるように配されている構成とすることもできる。

20

【0235】

本アレイ基板においては、第1画素領域列に対応して設けられた2本のデータ信号線の間隔を100とした場合に、該2本のデータ信号線のうち間在配線に隣接する方と該間在配線との間隔が、2～198である構成とすることもできる。

【0236】

本アレイ基板においては、第1画素領域列に対応して設けられた2本のデータ信号線の間隔は、該2本のデータ信号線のうち間在配線に隣接する方と該間在配線との間隔に実質的に等しい構成とすることもできる。

【0237】

本アレイ基板においては、1つの画素領域に複数の画素電極が設けられている構成とすることもできる。

30

【0238】

本アレイ基板においては、複数の保持容量配線を備え、1つの画素領域に設けられた2つの画素電極が、同一の走査信号線に繋がる別々のトランジスタを介して同一のデータ信号線に接続され、一方の画素電極が保持容量配線と容量を形成し、他方の画素電極が別の保持容量配線と容量を形成している構成とすることもできる。

【0239】

本アレイ基板においては、1つの画素領域に設けられた2つの画素電極が容量を介して接続され、一方の画素電極のみが1本の走査信号線に繋がるトランジスタを介してデータ信号線に接続されている構成とすることもできる。

40

【0240】

本アレイ基板においては、複数の保持容量配線を備え、1つの画素領域に設けられた2つの画素電極が、同一の走査信号線に繋がる別々のトランジスタを介して同一のデータ信号線に接続されるとともに、一方の画素電極が別の走査信号線に繋がるトランジスタを介して、保持容量配線と容量を形成する容量電極に接続されている構成とすることもできる。

【0241】

本アレイ基板においては、複数の保持容量配線を備え、1つの画素領域に設けられた2つの画素電極が、同一の走査信号線に繋がる別々のトランジスタを介して同一のデータ信

50

号線に接続されるとともに、一方の画素電極が別の走査信号線に繋がるトランジスタを介して、他方の画素電極と容量を形成する容量電極に接続され、この容量電極が保持容量配線とも容量を形成している構成とすることもできる。

【0242】

本アレイ基板においては、各画素電極に対応してカラーフィルタが設けられている構成とすることもできる。

【0243】

本アレイ基板においては、各画素領域に設けられた楕型の画素電極と、該画素電極と同層に形成された共通電極とを備える構成とすることもできる。

【0244】

本アレイ基板においては、各画素領域に設けられた楕型の画素電極と、該画素電極と異なる層に形成された共通電極とを備える構成とすることもできる。

【0245】

本液晶パネルは、上記アレイ基板を備えることを特徴とする。

【0246】

本液晶表示装置は、上記液晶パネルを備えることを特徴とする。

【0247】

本液晶表示装置においては、上記間在配線には定電位信号が供給される構成とすることもできる。

【0248】

本液晶表示装置においては、上記間在配線には周期的に極性が反転する信号が供給される構成とすることもできる。

【0249】

本液晶表示装置においては、上記間在配線には、実効値が実質的に共通電極の電位となる信号が供給される構成とすることもできる。

【0250】

本液晶表示装置は、上記アレイ基板を備え、走査信号線を2本ずつ同時選択していく構成とすることもできる。

【0251】

本液晶表示装置においては、第1および第2画素領域列それぞれにおいて、連続する2つの画素領域の一方に含まれる画素電極がトランジスタを介して接続されるデータ信号線と、他方に含まれる画素電極がトランジスタを介して接続されるデータ信号線とが異なっており、上記連続する2つの画素領域の一方に含まれる画素電極が接続されるトランジスタが、同時選択される2本の走査信号線の一方に接続され、上記連続する2つの画素領域の他方に含まれる画素電極が接続されるトランジスタが、同時選択される上記2本の走査信号線の他方に接続されている構成とすることもできる。

【0252】

なお本願では、走査信号線がトランジスタのゲート電極として機能する場合も、「トランジスタが走査信号線に接続されている、あるいはトランジスタのゲート電極が走査信号線に接続されている」と表現する。

【0253】

本液晶表示装置においては、第1画素領域列に対応する2本のデータ信号線の一方には一垂直走査期間中第1極性のデータ信号を供給するとともに、他方には一垂直走査期間中第2極性のデータ信号を供給し、第2画素領域列に対応する2本のデータ信号線の一方には一垂直走査期間中第1極性のデータ信号を供給するとともに、他方には一垂直走査期間中第2極性のデータ信号を供給する構成とすることもできる。

【0254】

本液晶表示装置においては、第1画素領域列の奇数番目となる画素領域に含まれる画素電極がトランジスタを介して接続するデータ信号線と、第2画素領域列の偶数番目となる画素領域に含まれる画素電極がトランジスタを介して接続するデータ信号線とが、上記間

10

20

30

40

50

在配線を挟んで隣り合い、これら間在配線を挟んで隣り合う2本のデータ信号線それぞれには、同一水平走査期間に同一極性のデータ信号を供給する構成とすることもできる。

【0255】

本液晶表示装置は、上記アレイ基板を備え、各保持容量配線には周期的に極性が反転する信号が供給されることを特徴とする。この場合、上記間在配線が複数の保持容量配線に接続されている構成とすることもできる。そして、上記間在配線に接続する各保持容量配線には同位相の信号が供給される構成とすることもできる。

【0256】

また、本テレビジョン受像機は、上記液晶表示装置と、テレビジョン放送を受信するチューナ部とを備えることを特徴とする。

10

【0257】

本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を公知技術や技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。また、各実施の形態で記載した作用効果等もほんの例示に過ぎない。

【産業上の利用可能性】

【0258】

本発明のアクティブマトリクス基板およびこれを備えた液晶パネルは、例えば液晶テレビに好適である。

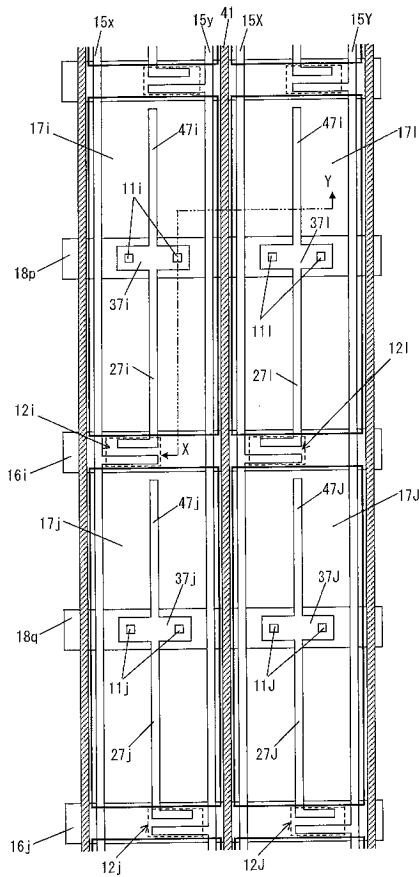
【符号の説明】

【0259】

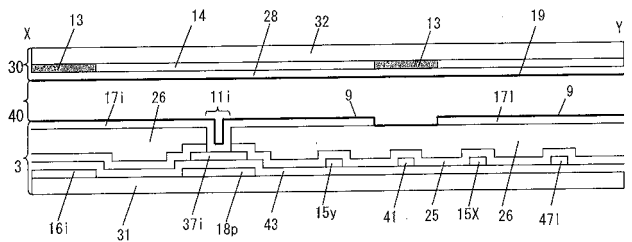
20

101 ~ 108 画素領域
 12 i 12 j 12 m 12 n トランジスタ
 15 x 15 y 15 X 15 Y データ信号線
 16 i 16 j 走査信号線
 17 i 17 j 17 m 17 n 画素電極
 18 p 18 r 18 s 保持容量配線
 41 間在配線
 画素領域列

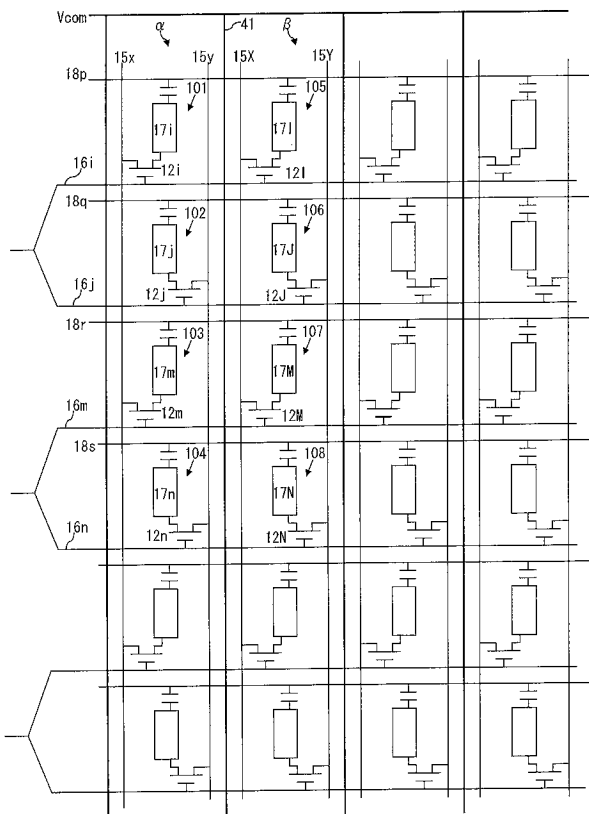
【 図 1 】



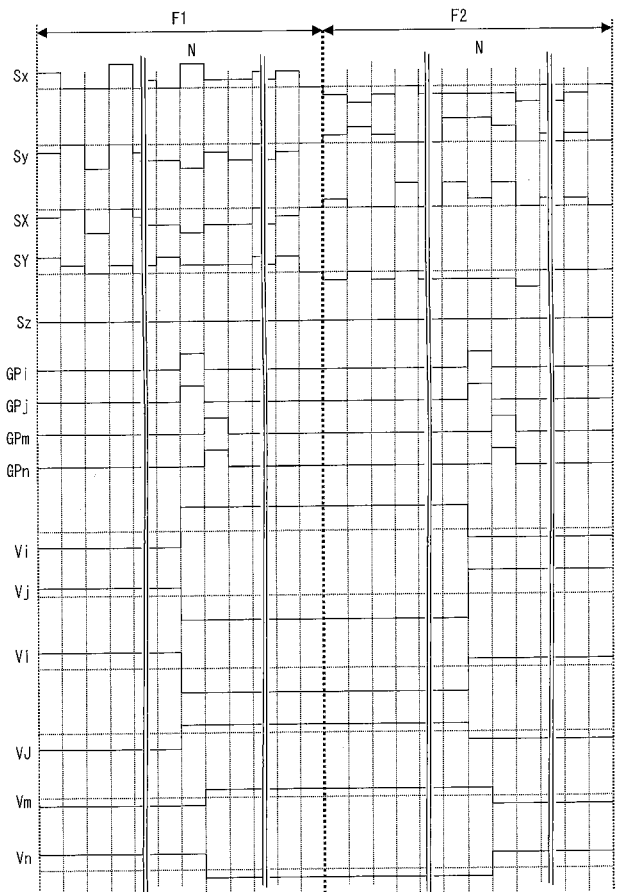
【 図 2 】



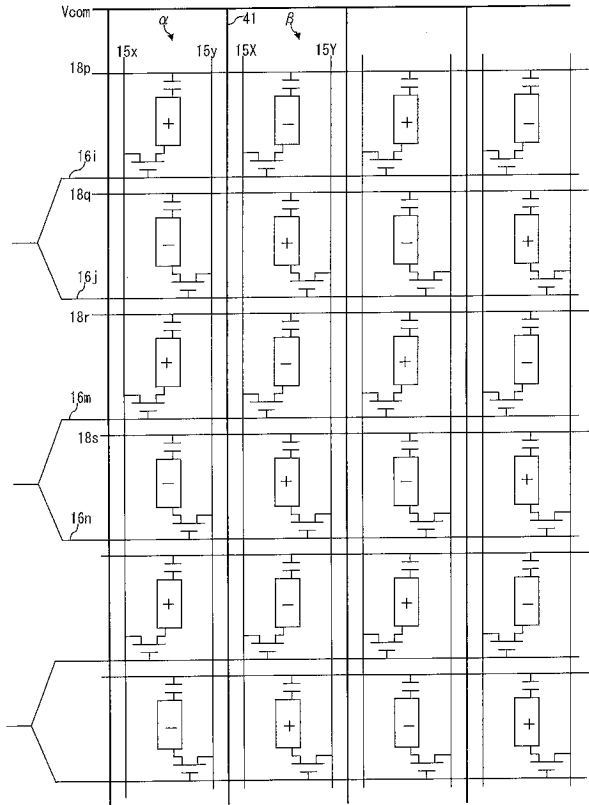
【 図 3 】



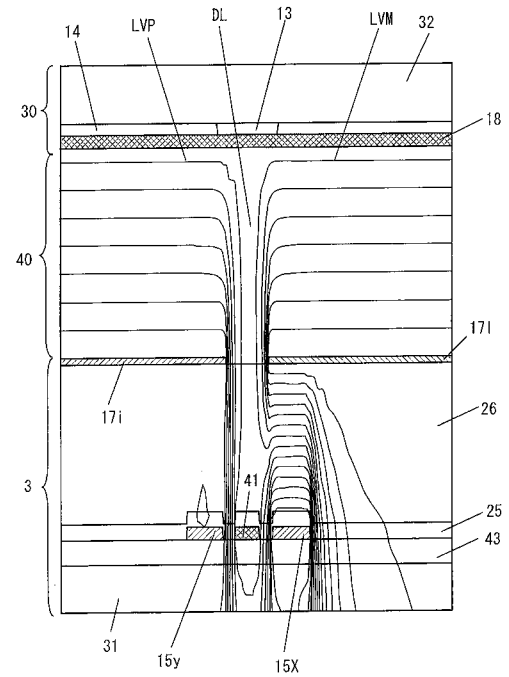
【 図 4 】



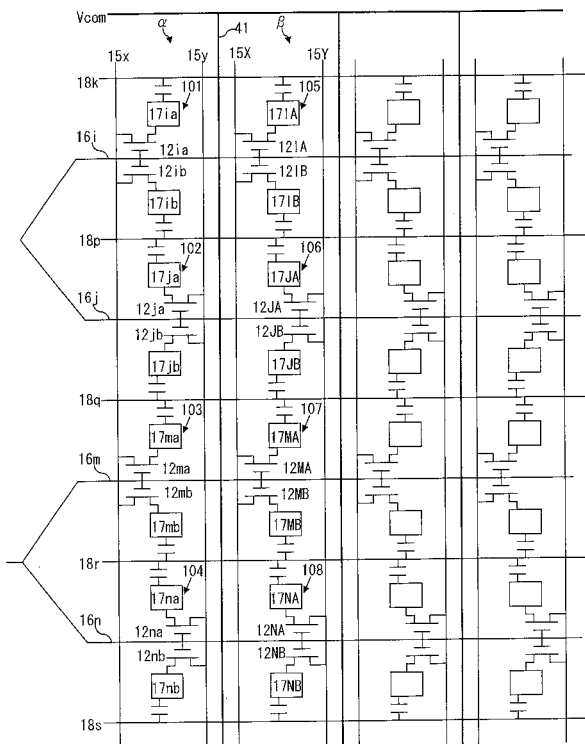
【 図 5 】



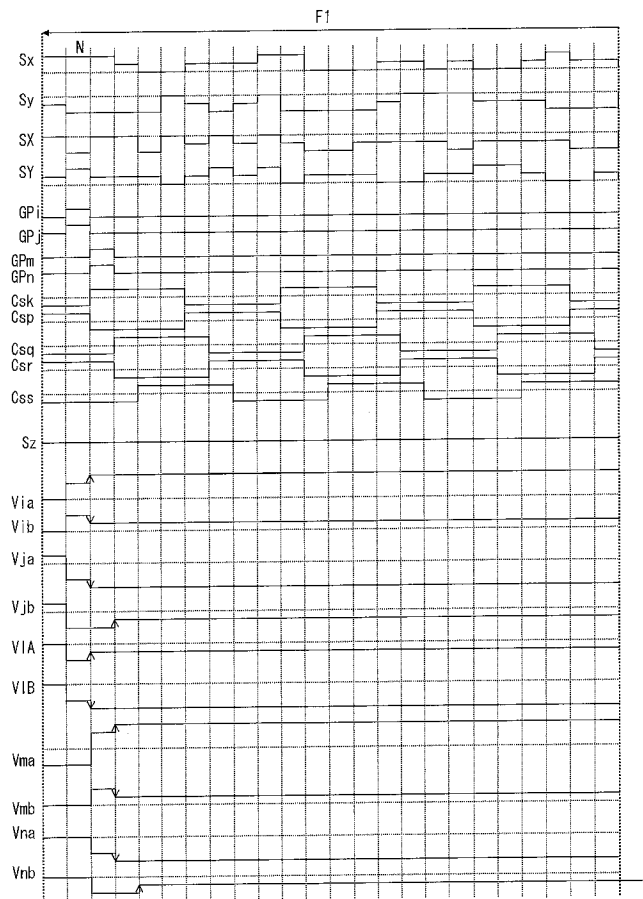
【 図 6 】



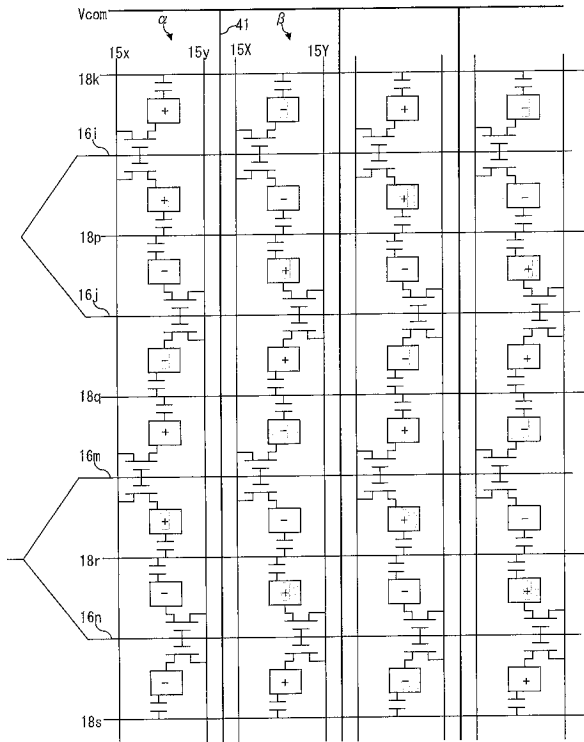
【 図 7 】



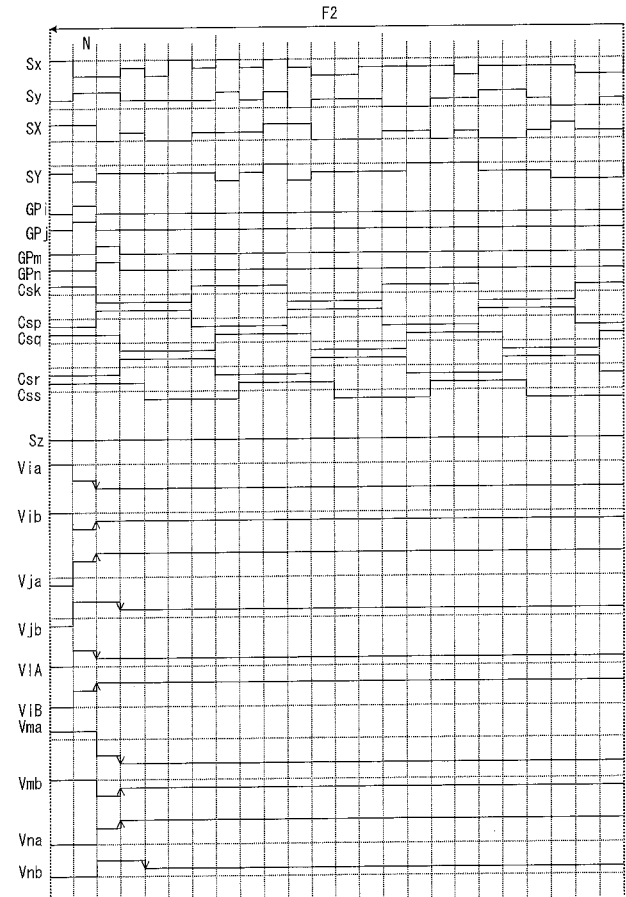
【 図 8 】



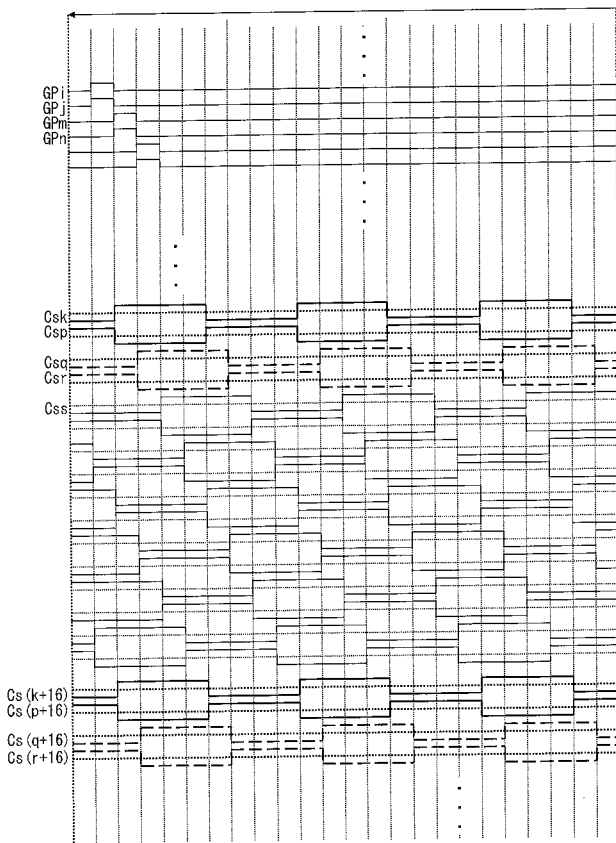
【 図 9 】



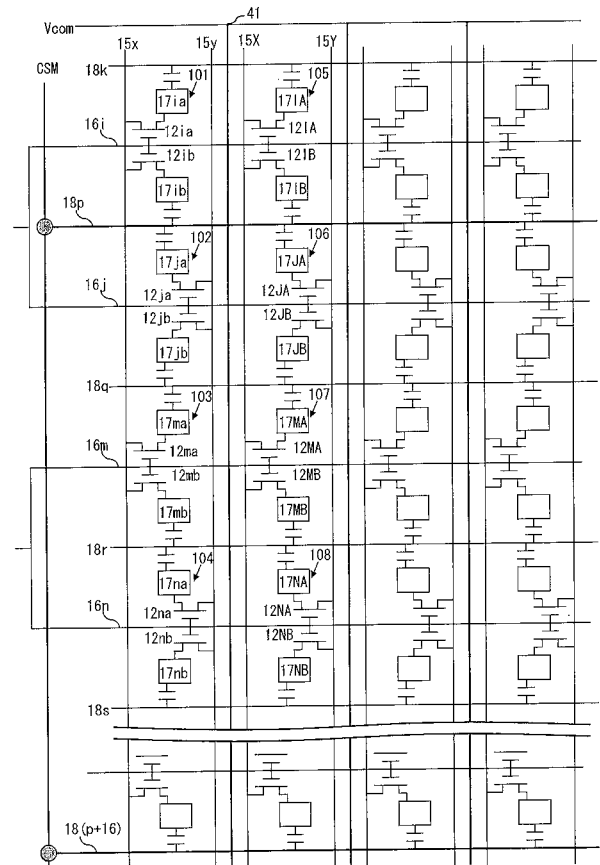
【 図 1 0 】



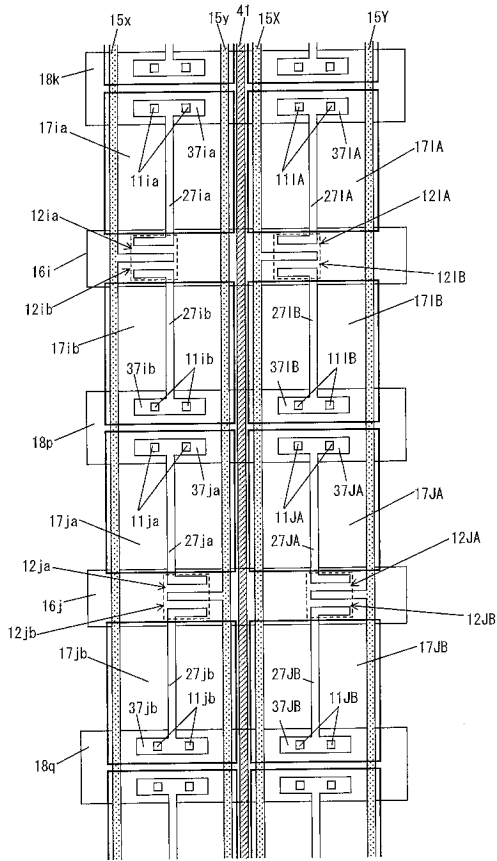
【 図 1 1 】



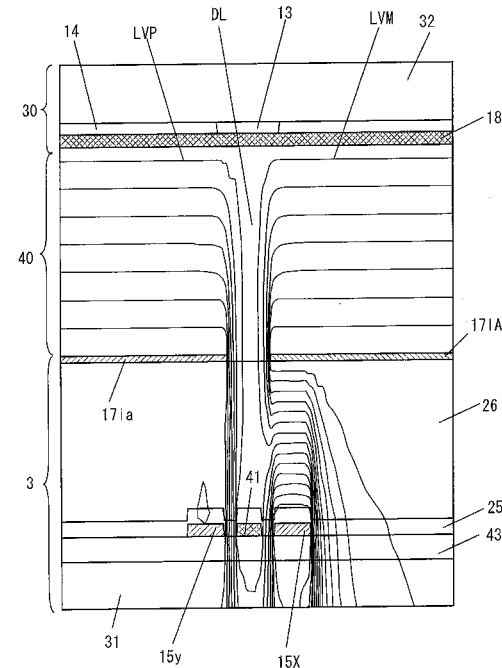
【 図 1 2 】



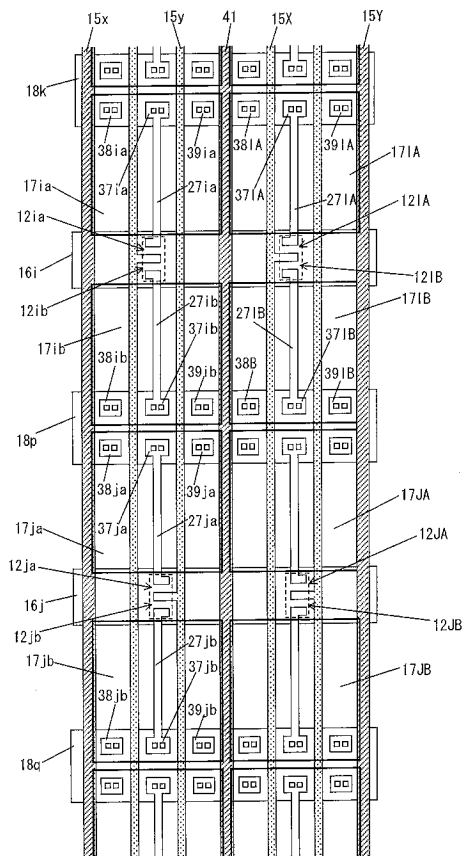
【 図 1 3 】



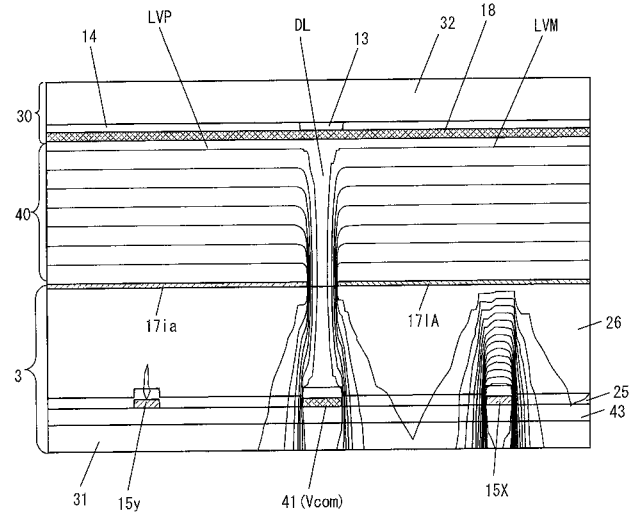
【 図 1 4 】



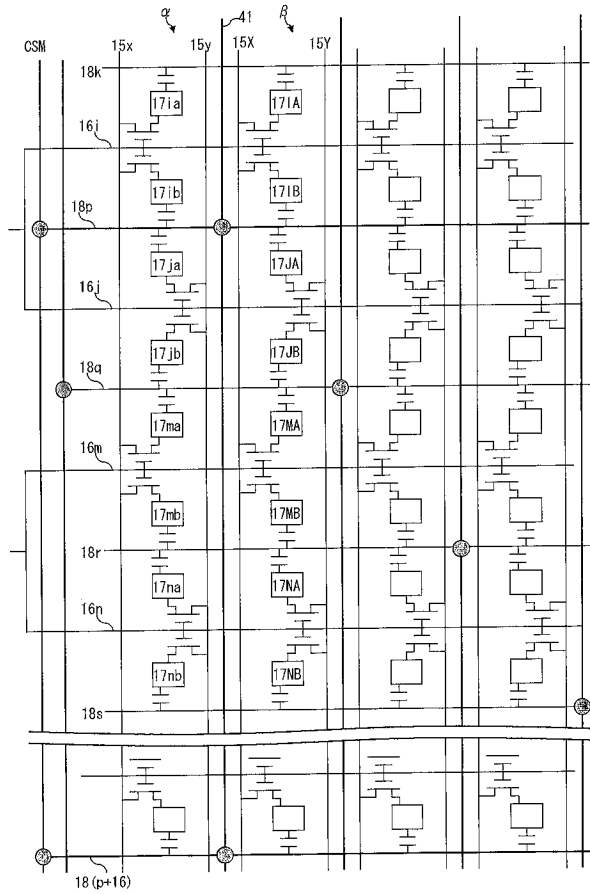
【 図 1 5 】



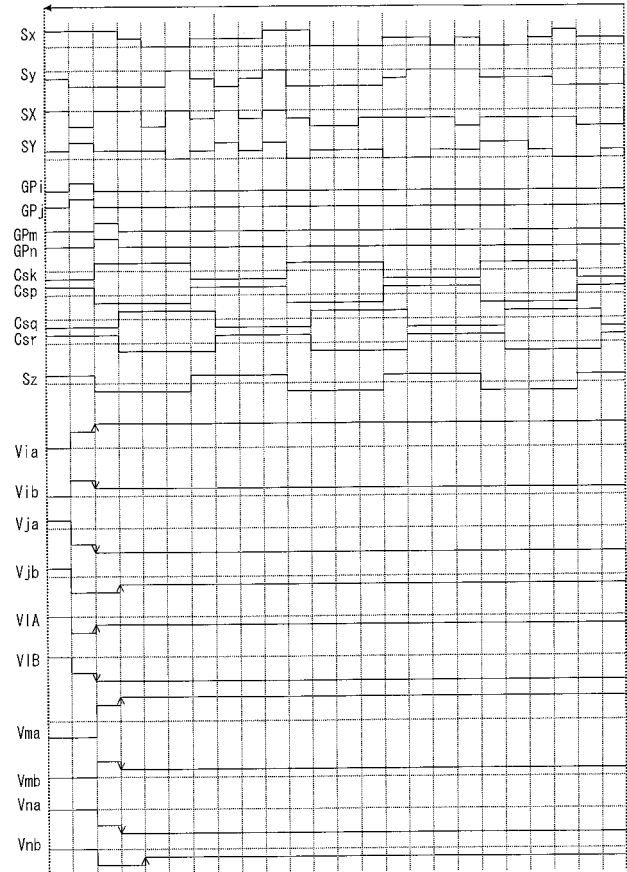
【 図 1 6 】



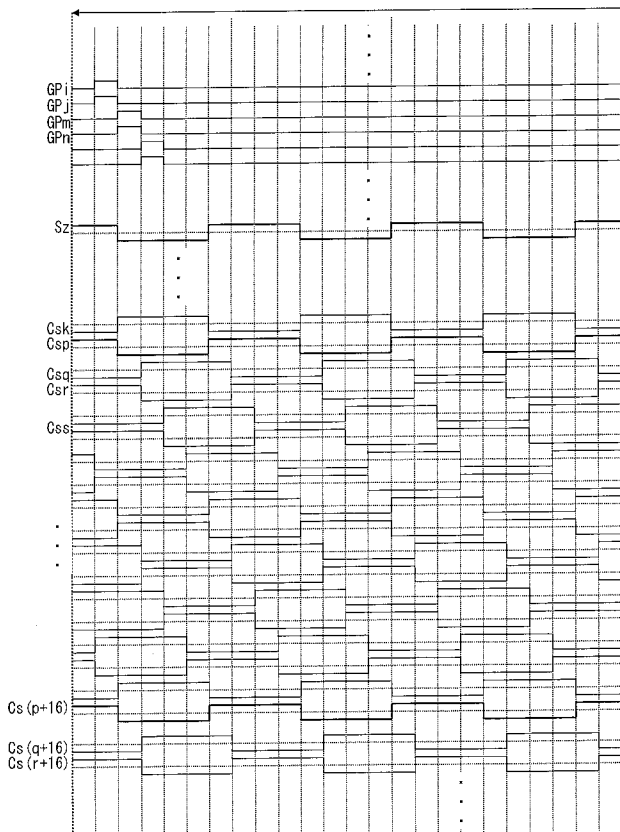
【 図 1 7 】



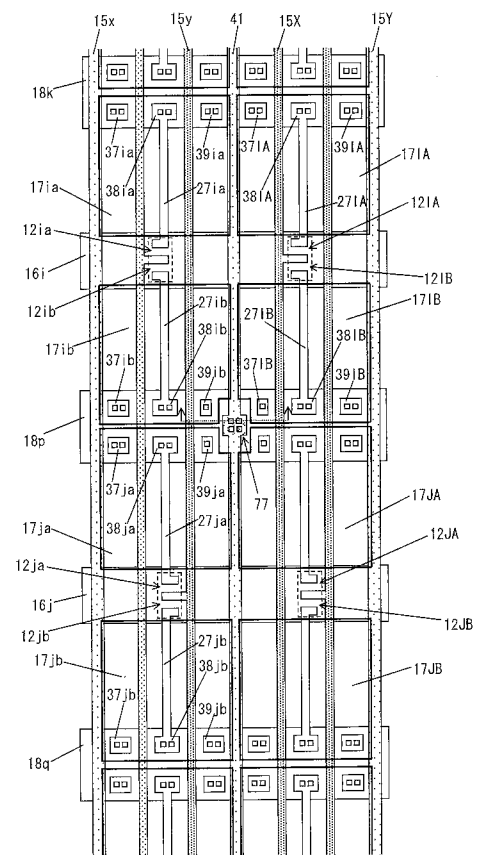
【 図 1 8 】



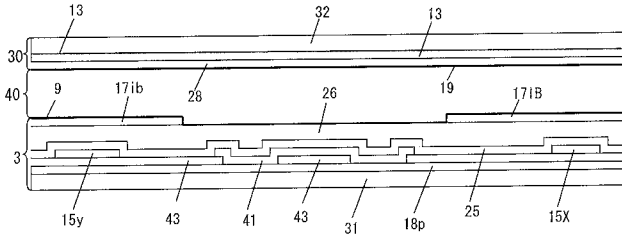
【 図 1 9 】



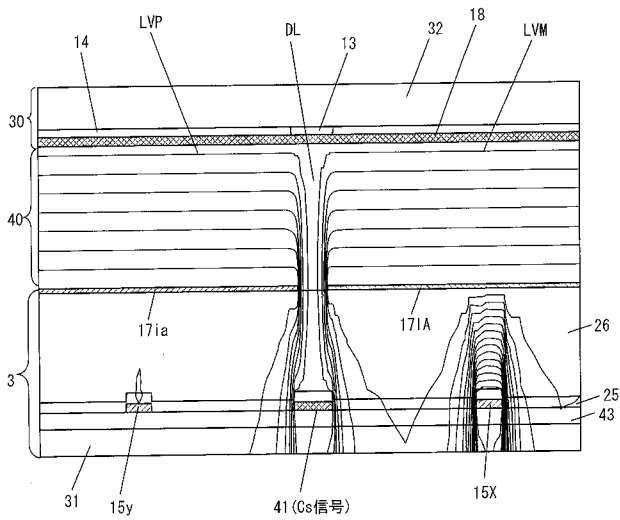
【 図 2 0 】



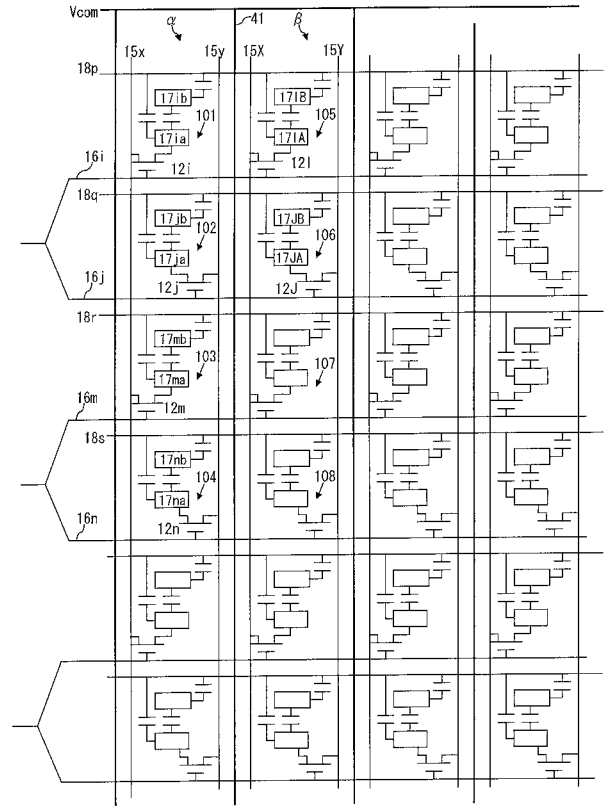
【 図 2 1 】



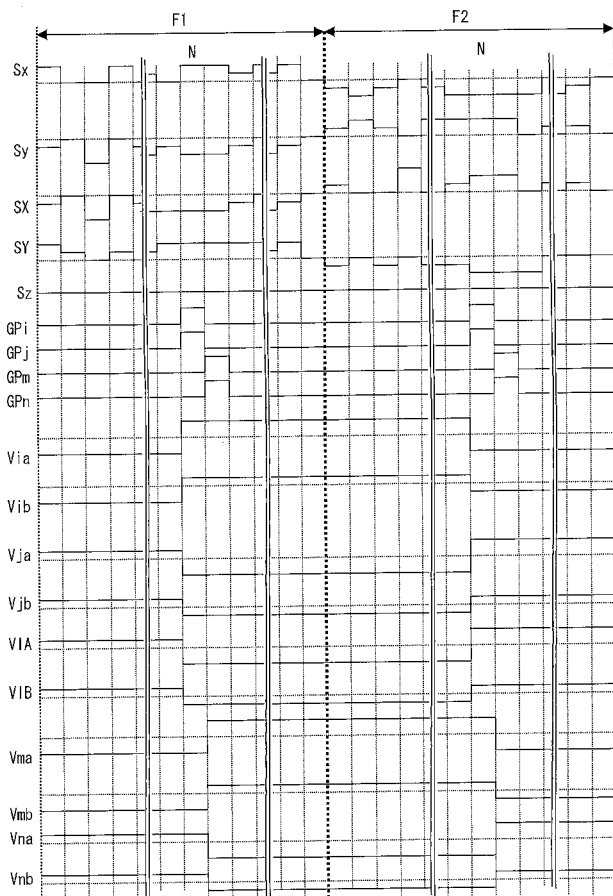
【 図 2 2 】



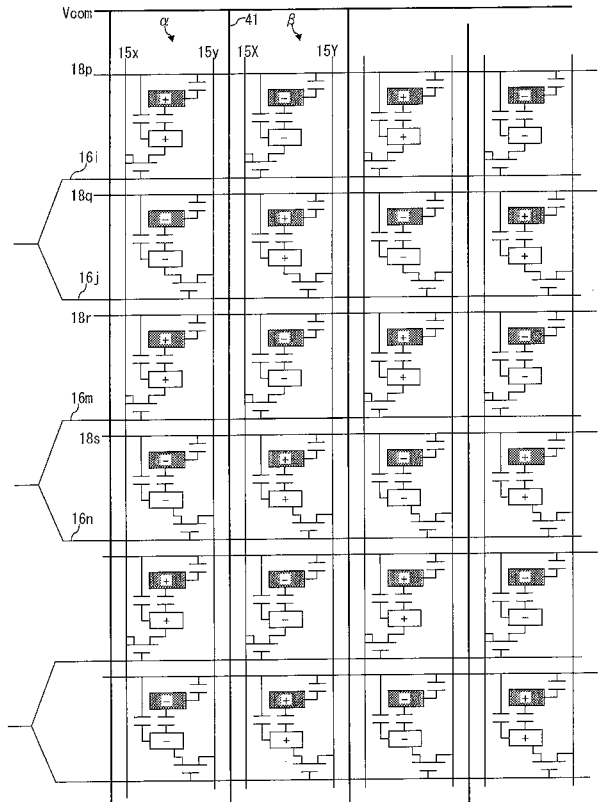
【 図 2 3 】



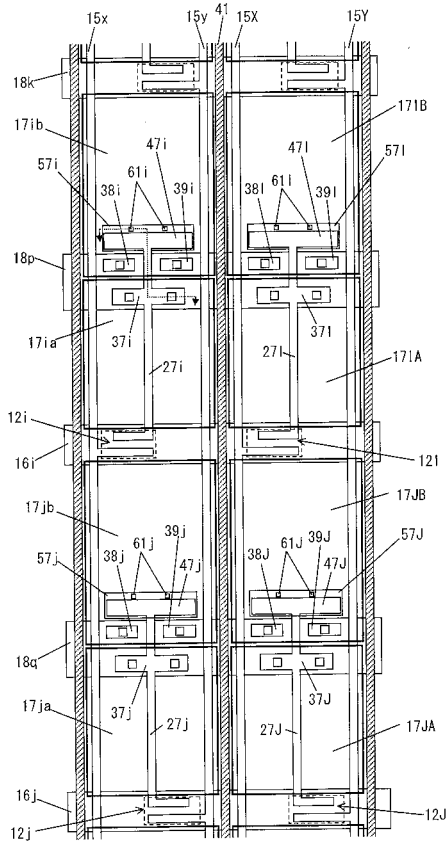
【 図 2 4 】



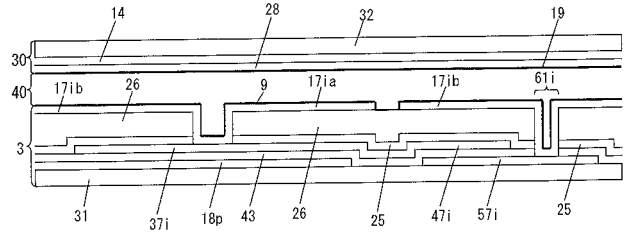
【 図 2 5 】



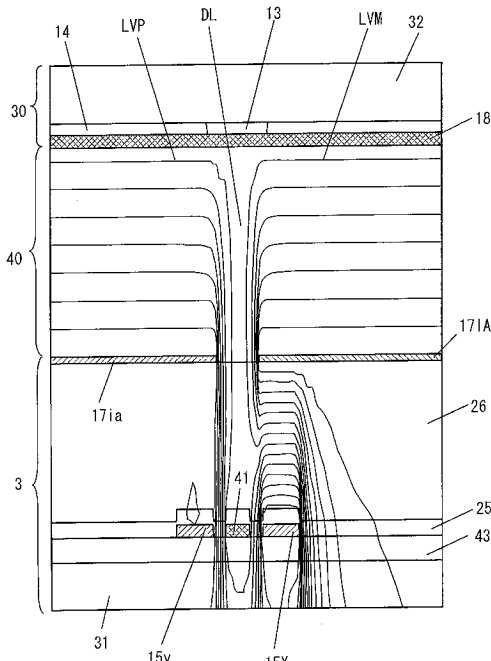
【 図 2 6 】



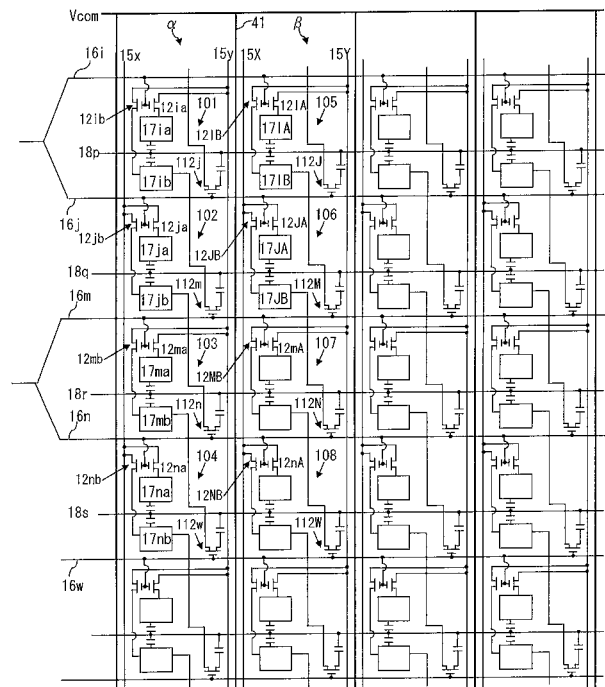
【 図 2 7 】



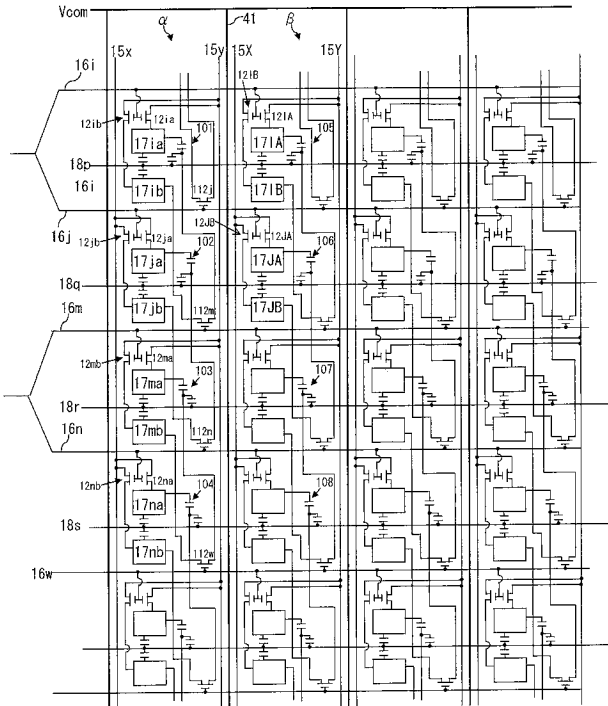
【 図 2 8 】



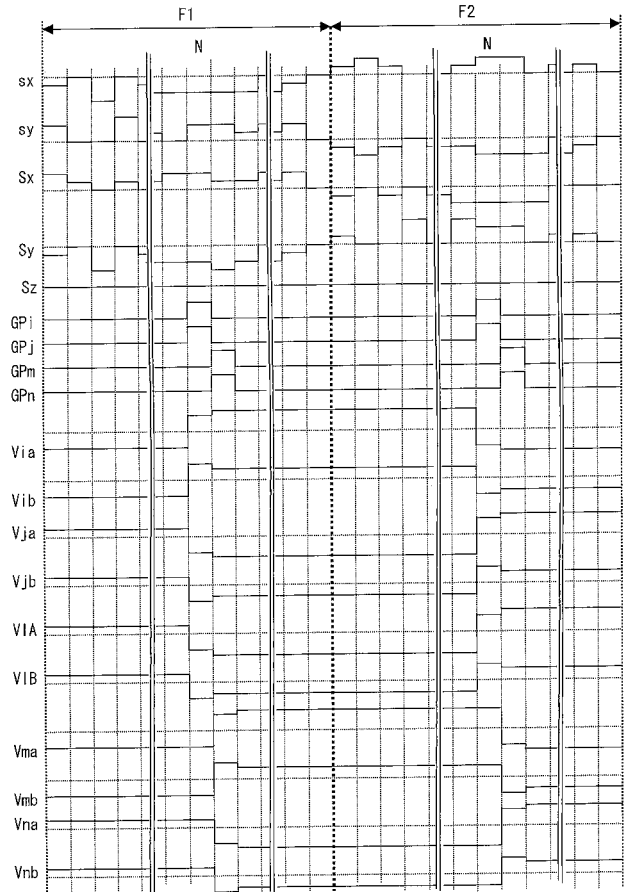
【 図 2 9 】



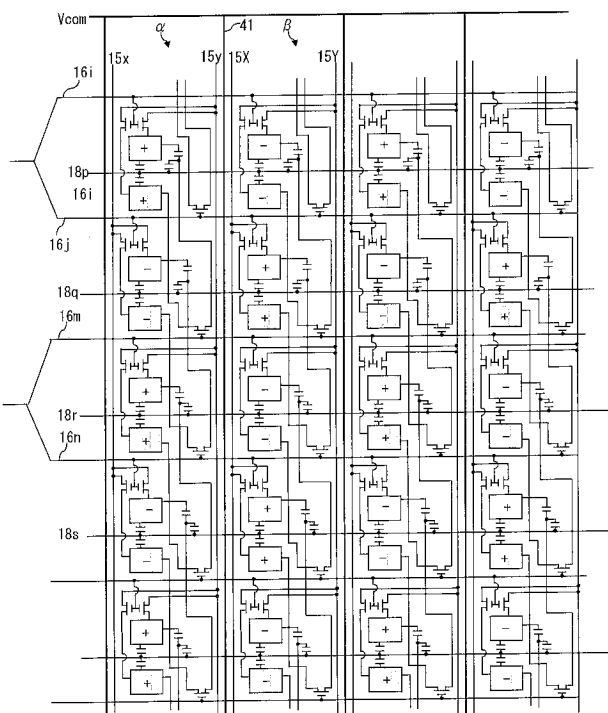
【 図 3 4 】



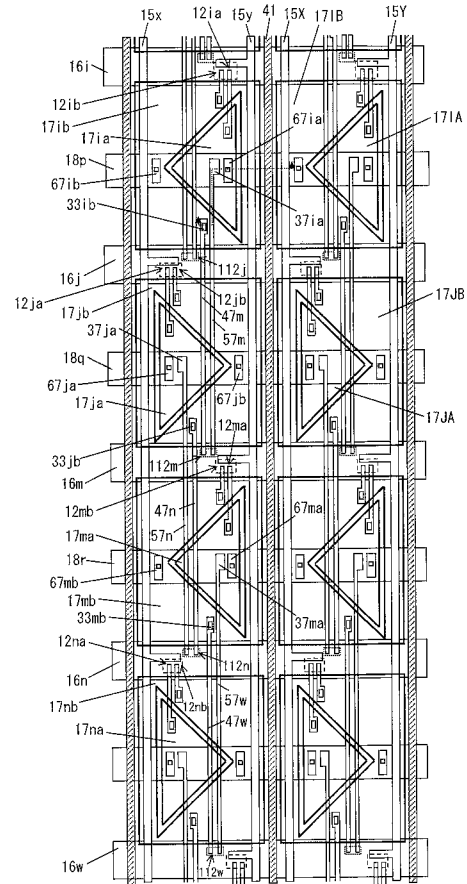
【 図 3 5 】



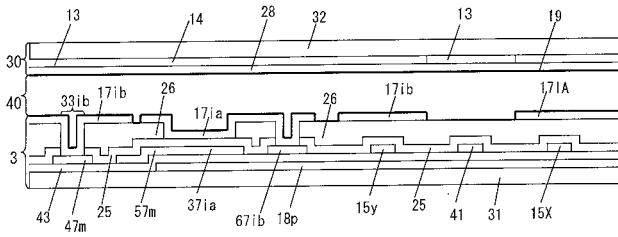
【 図 3 6 】



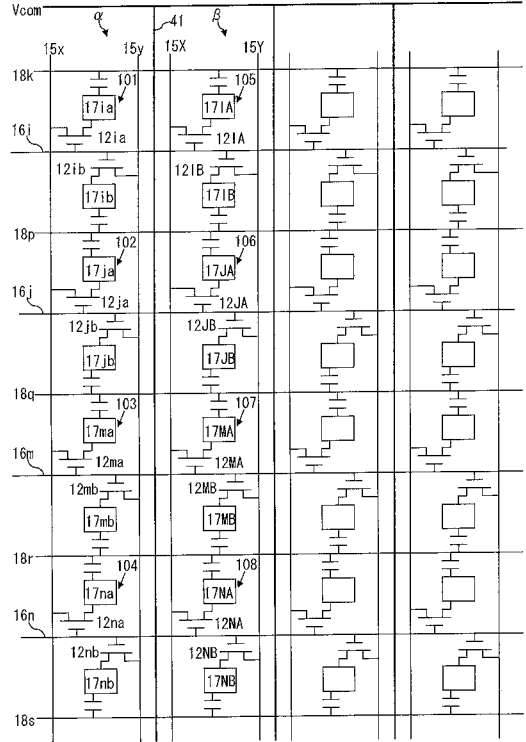
【 図 3 7 】



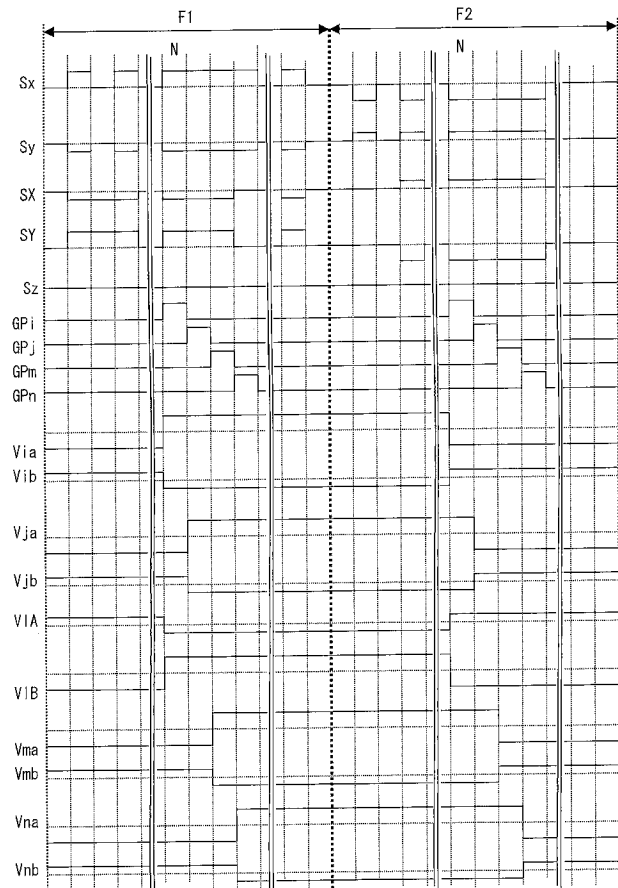
【 図 3 8 】



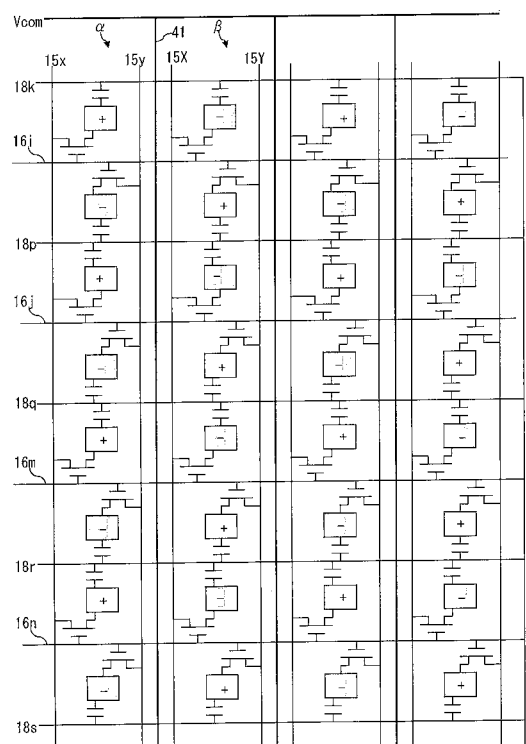
【 図 3 9 】



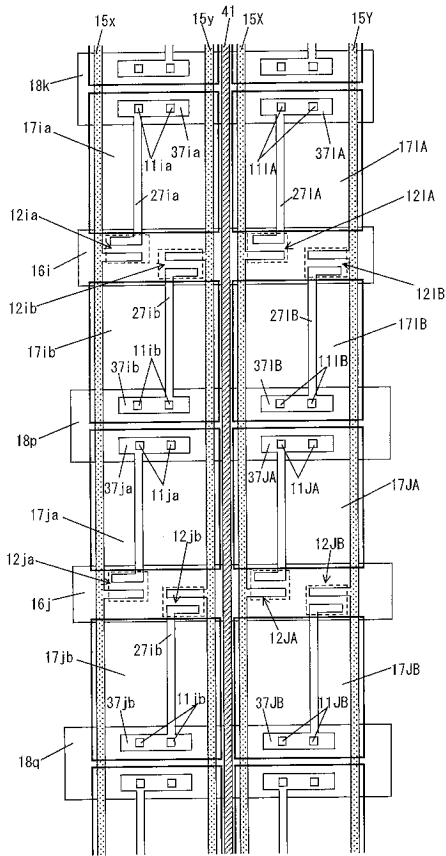
【 図 4 0 】



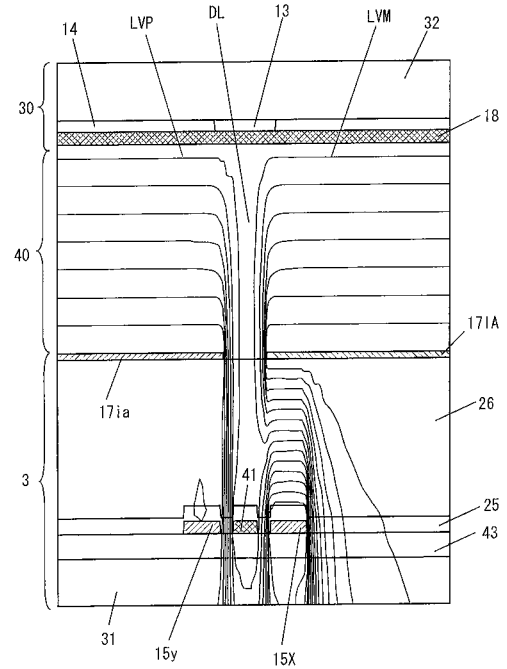
【 図 4 1 】



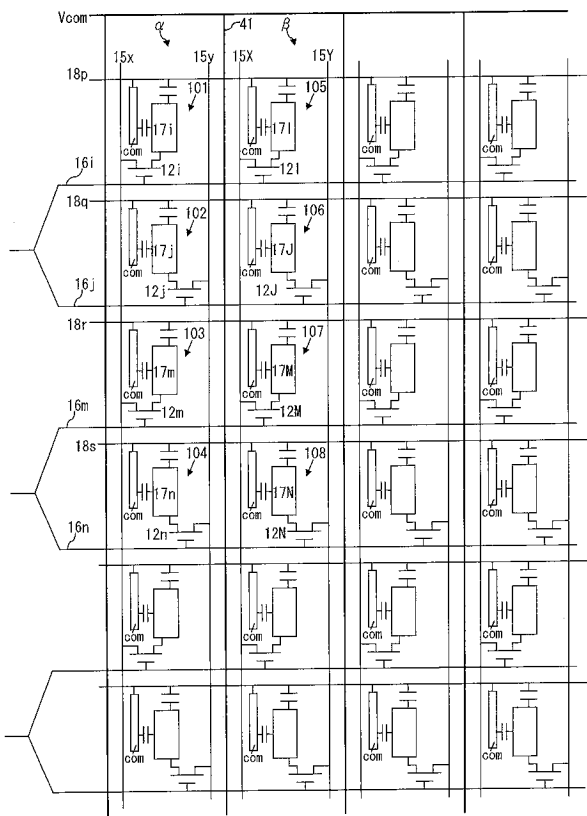
【 図 4 2 】



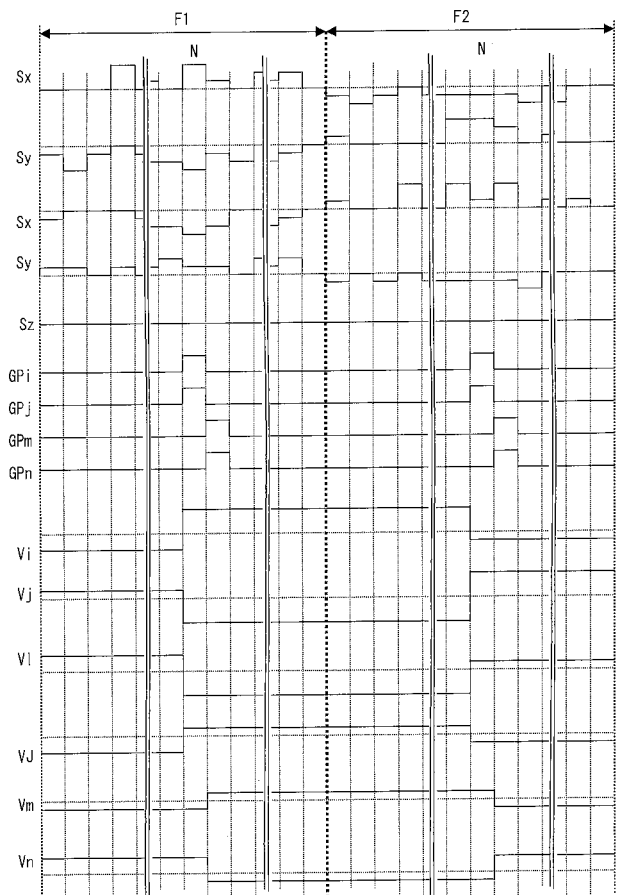
【 図 4 3 】



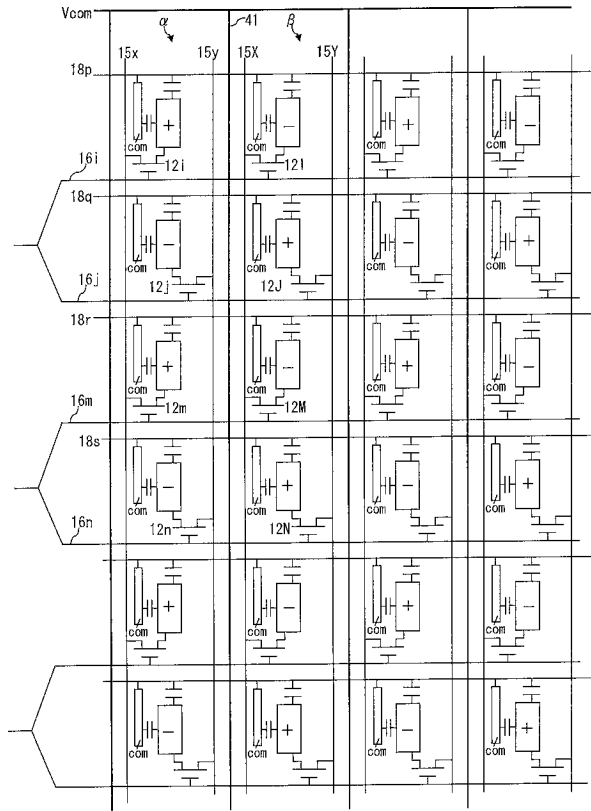
【 図 4 4 】



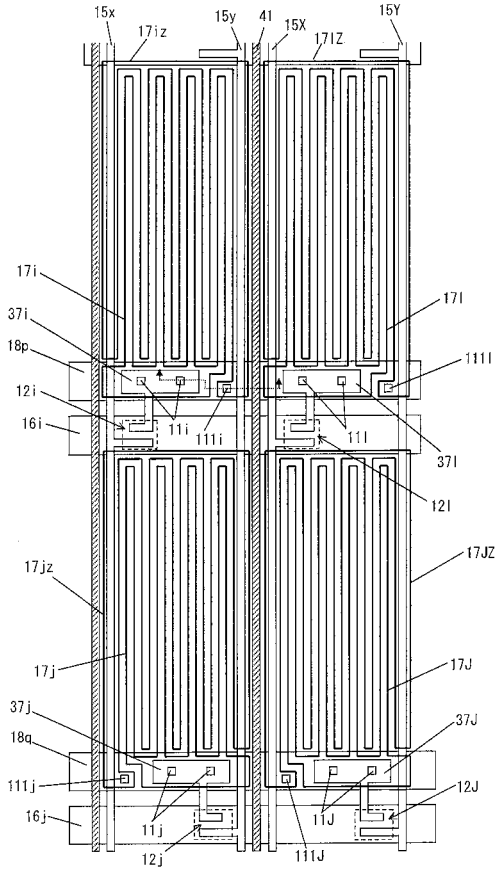
【 図 4 5 】



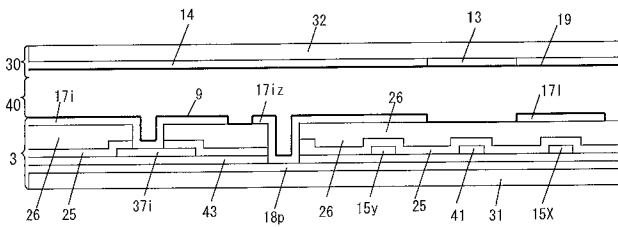
【 図 4 6 】



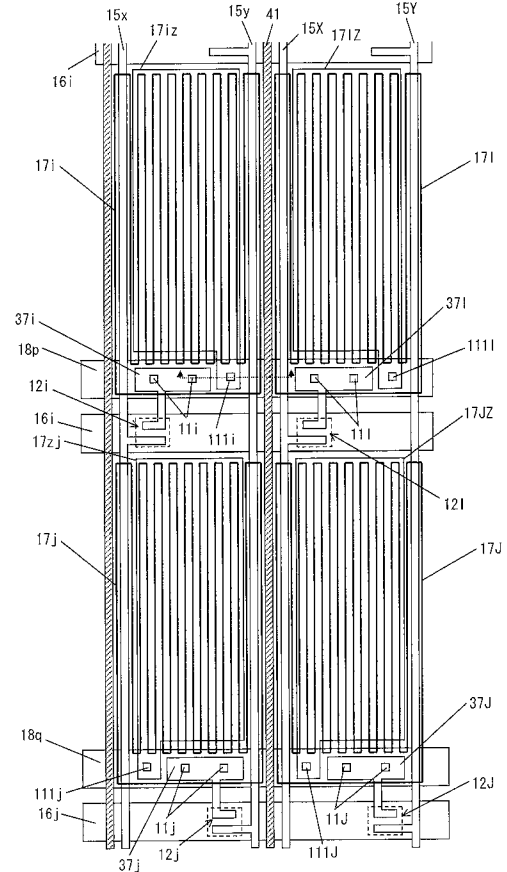
【 図 4 7 】



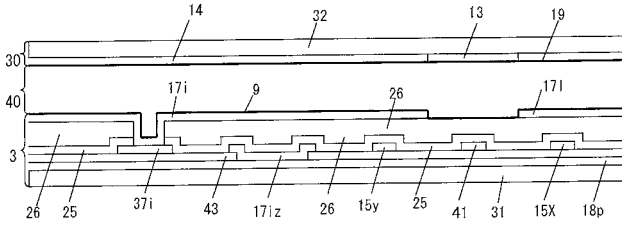
【 図 4 8 】



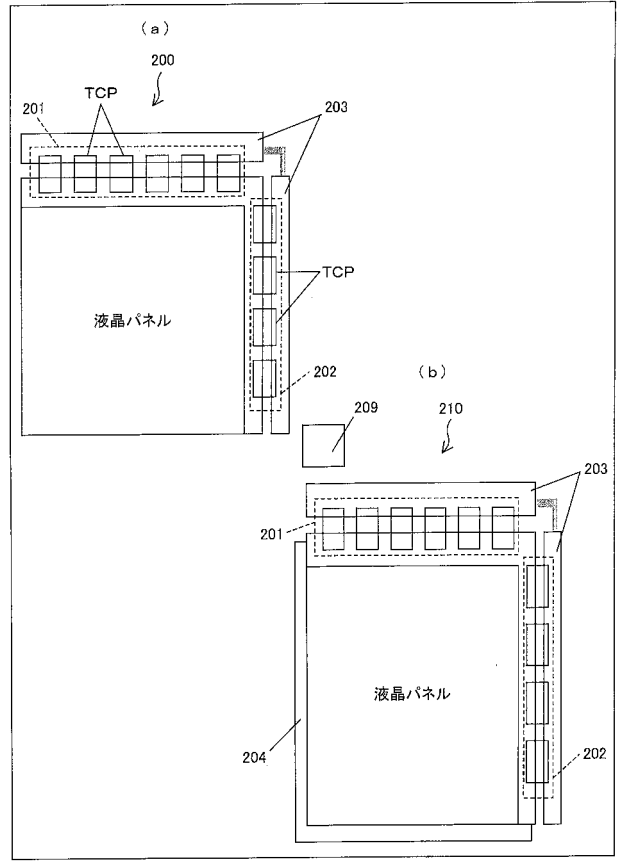
【 図 4 9 】



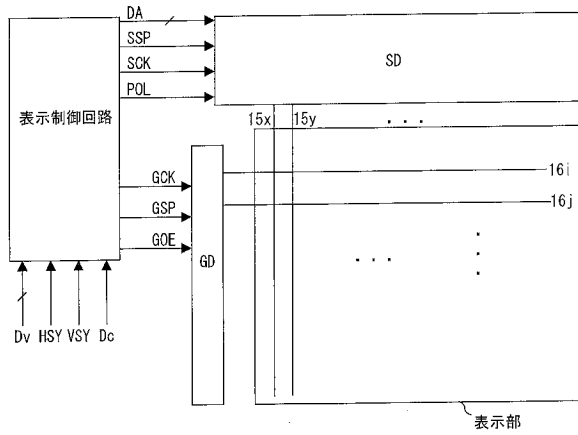
【図50】



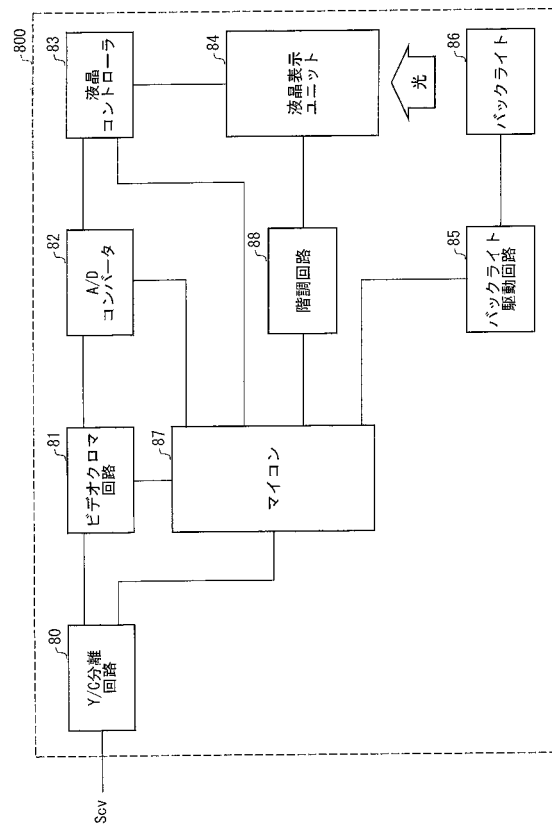
【図51】



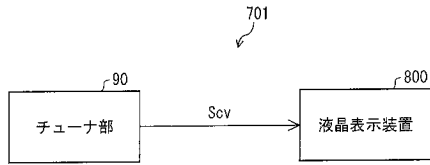
【図52】



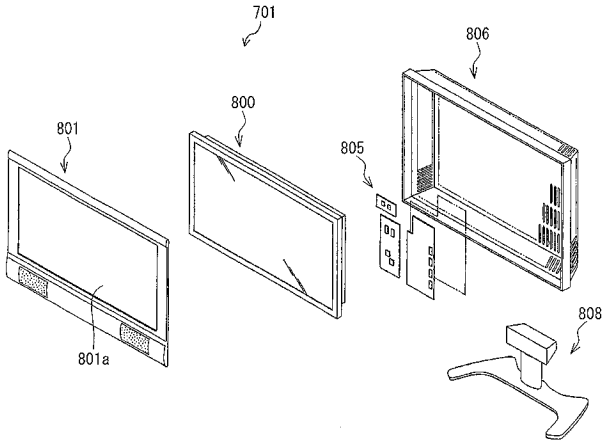
【図53】



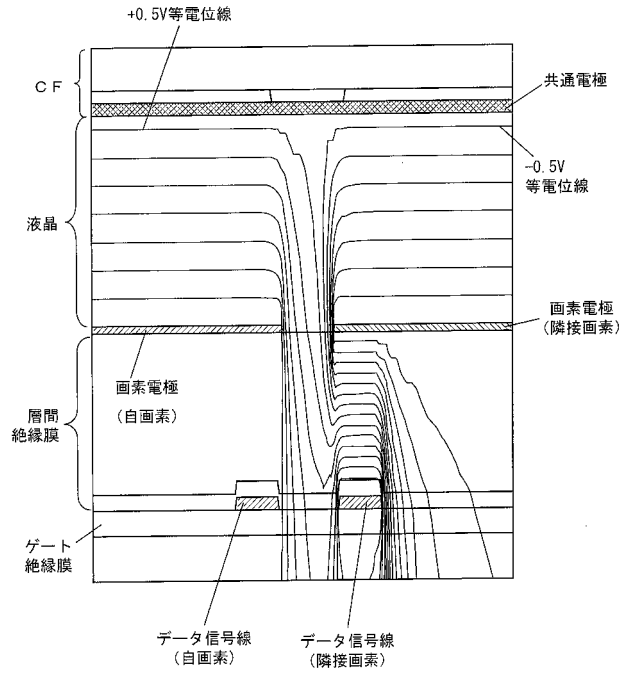
【図54】



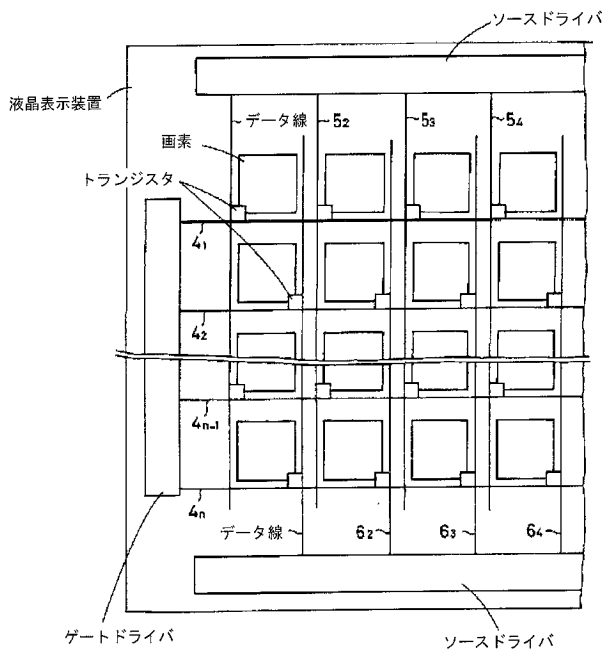
【図55】



【図56】



【図57】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2010/000765
A. CLASSIFICATION OF SUBJECT MATTER G02F1/1343(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/36(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G02F1/1343, G02F1/133, G02F1/1368, G09G3/36 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010 Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-253987 A (Matsushita Electric Industrial Co., Ltd.), 25 September 1998 (25.09.1998), entire text; fig. 1 to 12 (Family: none)	1-9, 11-23, 25-30, 33 10, 24, 31-32
Y A	JP 2005-338592 A (Sony Corp.), 08 December 2005 (08.12.2005), entire text; fig. 1 to 16 (Family: none)	1-9, 11-23, 25-30, 33 10, 24, 31-32
Y	WO 2008/090660 A1 (Sharp Corp.), 31 July 2008 (31.07.2008), entire text; fig. 1 to 25 (Family: none)	13-18
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 10 May, 2010 (10.05.10)		Date of mailing of the international search report 18 May, 2010 (18.05.10)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/000765

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-58007 A (Sanyo Epson Imaging Devices Corp.), 08 March 2007 (08.03.2007), entire text; fig. 1 to 9 (Family: none)	19-20
Y	JP 3-185428 A (Seiko Epson Corp.), 13 August 1991 (13.08.1991), claim 4; page 3, upper right column, line 14 to lower left column, line 4 & US 5247289 A & EP 435101 A1 & DE 69014842 C	26-29

国際調査報告		国際出願番号 PCT/JP2010/000765									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G02F1/1343(2006.01)i, G02F1/133(2006.01)i, G02F1/1368(2006.01)i, G09G3/36(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G02F1/1343, G02F1/133, G02F1/1368, G09G3/36											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2010年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2010年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2010年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2010年	日本国実用新案登録公報	1996-2010年	日本国登録実用新案公報	1994-2010年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2010年										
日本国実用新案登録公報	1996-2010年										
日本国登録実用新案公報	1994-2010年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y A	JP 10-253987 A (松下電器産業株式会社) 1998.09.25, 全文, 第1-12 図 (ファミリーなし)	1-9, 11-23, 25-30, 33 10, 24, 31-32									
Y A	JP 2005-338592 A (ソニー株式会社) 2005.12.08, 全文, 第1-16 図 (ファミリーなし)	1-9, 11-23, 25-30, 33 10, 24, 31-32									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 10.05.2010		国際調査報告の発送日 18.05.2010									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 鈴木 俊光	2L 9115								
		電話番号 03-3581-1101	内線 3255								

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 0 0 7 6 5
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2008/090660 A1 (シャープ株式会社) 2008.07.31, 全文, 第1-25 図 (ファミリーなし)	13-18
Y	JP 2007-58007 A (三洋エプソンイメージングデバイス株式会社) 2007.03.08, 全文, 第1-9図 (ファミリーなし)	19-20
Y	JP 3-185428 A (セイコーエプソン株式会社) 1991.08.13, 請求項4, 第3頁右上欄第14行-左下欄第4行 & US 5247289 A & EP 435101 A1 & DE 69014842 C	26-29

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 2H193 ZA04 ZA07 ZB13 ZB14 ZC13 ZC14 ZC16 ZC21 ZD02 ZD24
5C006 AA01 AA22 BB16 BC06 FA22
5C080 AA10 BB06 CC03 DD09 EE19 FF11 GG08 JJ02 JJ03 JJ04
JJ06 KK43

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	阵列基板，液晶面板，液晶显示装置，电视接收器		
公开(公告)号	JPWO2010103726A1	公开(公告)日	2012-09-13
申请号	JP2011503666	申请日	2010-02-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	杉原利典 津幡俊英		
发明人	杉原 利典 津幡 俊英		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G02F1/136286 G02F2001/134345 G02F2001/136218 G09G3/3607 G09G3/3614 G09G3/3655 G09G2300/0426 G09G2300/0447 G09G2320/0209		
FI分类号	G02F1/1368 G02F1/1343 G02F1/133.550 G09G3/36 G09G3/20.624.B		
F-TERM分类号	2H092/GA14 2H092/GA29 2H092/GA51 2H092/JA26 2H092/JA46 2H092/JB69 2H092/KA05 2H092/KA12 2H092/KA18 2H092/KB04 2H092/KB25 2H092/MA05 2H092/MA07 2H092/MA10 2H092/MA13 2H092/MA30 2H092/NA01 2H092/PA06 2H193/ZA04 2H193/ZA07 2H193/ZB13 2H193/ZB14 2H193/ZC13 2H193/ZC14 2H193/ZC16 2H193/ZC21 2H193/ZD02 2H193/ZD24 5C006/AA01 5C006/AA22 5C006/BB16 5C006/BC06 5C006/FA22 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD09 5C080/EE19 5C080/FF11 5C080/GG08 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK43		
优先权	2009061993 2009-03-13 JP		
其他公开文献	JP5275447B2		
外部链接	Espacenet		

摘要(译)

本文公开的阵列基板包括：扫描信号线（16i和16j）；以及分别向其提供数据信号的数据信号线（15x，15y，15X和15Y）；第一像素区域列；第一像素区域列与第二像素区域列相邻，第二像素区域列包括像素区域，其中：设置有与第一像素区域列对应的两条数据信号线，与第一像素区域列对应的两条数据信号线。提供第二像素区域列，在两条相邻的数据信号线（15y和15X）之间提供间隙，两条相邻的数据信号线中的一条与第一像素区域列相对应，两条相邻的数据信号线中的另一条对应于第二像素区域列；间隙线41设置在间隙内，Vcom信号被提供给间隙线41。这提高了其中每个像素列对应于多条数据信号线的液晶显示装置的显示质量。

