

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6293898号
(P6293898)

(45) 発行日 平成30年3月14日(2018.3.14)

(24) 登録日 平成30年2月23日(2018.2.23)

(51) Int.Cl.

F I

G02F 1/1368 (2006.01)

G02F 1/1368

G02F 1/1343 (2006.01)

G02F 1/1343

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 641C

G09G 3/20 642K

請求項の数 18 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2016-539386 (P2016-539386)
 (86) (22) 出願日 平成25年10月23日(2013.10.23)
 (65) 公表番号 特表2016-530569 (P2016-530569A)
 (43) 公表日 平成28年9月29日(2016.9.29)
 (86) 国際出願番号 PCT/CN2013/085780
 (87) 国際公開番号 W02015/043036
 (87) 国際公開日 平成27年4月2日(2015.4.2)
 審査請求日 平成28年3月8日(2016.3.8)
 (31) 優先権主張番号 201310440073.8
 (32) 優先日 平成25年9月24日(2013.9.24)
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 515203228
 深▲せん▼市華星光電技術有限公司
 中華人民共和國廣東省深▲せん▼市光明新
 區塘明大道9-2號518132
 (74) 代理人 100143720
 弁理士 米田 耕一郎
 (74) 代理人 100080252
 弁理士 鈴木 征四郎
 (72) 発明者 陳政鴻
 中華人民共和國廣東省深▲せん▼市光明新
 區塘明大道9-2號518132
 (72) 発明者 廖作敏
 中華人民共和國廣東省深▲せん▼市光明新
 區塘明大道9-2號518132

最終頁に続く

(54) 【発明の名称】 配列基板及び液晶表示パネル

(57) 【特許請求の範囲】

【請求項1】

複数本の第一走査線と、複数本の第二走査線と、複数本の第三走査線と、複数本のデータ線と、複数個の画素ユニットとからなる配列基板であって、

各前記画素ユニットは、それぞれ一本の第一走査線、一本の第二走査線、一本の第三走査線、一本のデータ線と対応するとともに、

各前記画素ユニットは、第一画素エリアと、第二画素エリアと、第三画素エリアとからなり、

且つ各前記画素ユニットは、R画素ユニット、G画素ユニット、B画素ユニットの中のいずれか一つであり、

更に、

前記第一画素エリア、第二画素エリア、第三画素エリアに対して印加される電圧は、それぞれVa、Vb、Vcであり、

前記第一画素エリアは、第一画素電極と、第一スイッチとからなり、

前記第二画素エリアは、第二画素電極と、第二スイッチとからなり、

前記第三画素エリアは、第三画素電極と、第三スイッチとからなり、

前記第一画素電極は、第一スイッチを通して前記画素ユニットと対応する前記第一走査線及びデータ線と接続され、

前記第二画素電極は、第二スイッチを通して前記画素ユニットと対応する前記第二走査線及びデータ線と接続され、

前記第三画素電極は、第三スイッチを通して前記画素ユニットと対応する前記第三走査線及びデータ線と接続され、

更に、

前記第一走査線が走査信号を入力することで第一スイッチが導通するよう制御された時、前記データ線は、前記第一スイッチを通して前記第一画素電極に V_a 電圧を入力し、

前記第二走査線が走査信号を入力することで第二スイッチが導通するよう制御された時、前記データ線は、前記第二スイッチを通して前記第二画素電極に V_b 電圧を入力し、

前記第三走査線が走査信号を入力することで第三スイッチが導通するよう制御された時、前記データ線は、前記第三スイッチを通して前記第三画素電極に V_c 電圧を入力し、

また更に、

前記 V_a 、 V_b 、 V_c の関係性は、 $V_a > V_b > V_c$ であり、

前記第一画素エリア、第二画素エリア、第三画素エリアが前記画素ユニット領域で占める面積の比率は、それぞれ $5\% - 22\%$ 、 $23\% - 40\%$ 、 $40\% - 70\%$ の範囲であることを特徴とする配列基板。

【請求項 2】

請求項 1 に記載の配列基板において、

更に、前記第一画素エリアが前記画素ユニット領域で占める面積の比率は、 $7\% - 15\%$ の範囲であり、

前記第二画素エリアが前記画素ユニット領域で占める面積の比率は、 $23\% - 30\%$ の範囲であり、

前記第三画素エリアが前記画素ユニット領域で占める面積の比率は、 $60\% - 70\%$ の範囲である

ことを特徴とする配列基板。

【請求項 3】

請求項 1 に記載の配列基板において、

更に、前記第一画素エリアが前記画素ユニット領域で占める面積の比率は、 $17\% - 22\%$ の範囲であり、

前記第二画素エリアが前記画素ユニット領域で占める面積の比率は、 $33\% - 40\%$ の範囲であり、

前記第三画素エリアが前記画素ユニット領域で占める面積の比率は、 $40\% - 50\%$ の範囲である

ことを特徴とする配列基板。

【請求項 4】

請求項 1 に記載の配列基板において、

更に、前記第一画素エリアが前記画素ユニット領域で占める面積の比率は、 $10\% - 20\%$ の範囲であり、

前記第二画素エリアが前記画素ユニット領域で占める面積の比率は、 $25\% - 40\%$ の範囲であり、

前記第三画素エリアが前記画素ユニット領域で占める面積の比率は、 $45\% - 65\%$ の範囲である

ことを特徴とする配列基板。

【請求項 5】

請求項 1 に記載の配列基板において、

更に、前記複数の第一走査線、複数の第二走査線、複数の第三走査線は、行毎に配列し、

前記データ線は、列毎に配列し、

前記第一画素電極、第二画素電極、第三画素電極は、列方向に沿って配列する

ことを特徴とする配列基板。

【請求項 6】

請求項 1 に記載の配列基板において、

10

20

30

40

50

更に、前記第一スイッチは、第一薄膜トランジスタであり、
前記第一画素電極は、前記第一薄膜トランジスタを通して前記画素ユニットと対応する
前記第一走査線及びデータ線と接続され、
前記第二スイッチは、第二薄膜トランジスタであり、
前記第二画素電極は、前記第二薄膜トランジスタを通して前記画素ユニットと対応する
前記第二走査線及びデータ線と接続され、
前記第三スイッチは、第三薄膜トランジスタであり、
前記第三画素電極は、前記第三薄膜トランジスタを通して前記画素ユニットと対応する
前記第三走査線及びデータ線と接続される
ことを特徴とする配列基板。

10

【請求項 7】

複数個の画素ユニットからなる配列基板であって、
各前記画素ユニットは、第一画素エリアと、第二画素エリアと、第三画素エリアとから
なり、
更に、
前記第一画素エリア、第二画素エリア、第三画素エリアに対して印加される電圧は、そ
れぞれ V_a 、 V_b 、 V_c であり、
前記 V_a 、 V_b 、 V_c の関係性は、 $V_a > V_b > V_c$ であり、
前記第一画素エリア、第二画素エリア、第三画素エリアが前記画素ユニット領域で占め
る面積の比率は、それぞれ 5 % - 22 %、23 % - 40 %、40 % - 70 % の範囲である
ことを特徴とする配列基板。

20

【請求項 8】

請求項 7 に記載の配列基板において、
更に、前記第一画素エリアが前記画素ユニット領域で占める面積の比率は、7 % - 15
% の範囲であり、
前記第二画素エリアが前記画素ユニット領域で占める面積の比率は、23 % - 30 % の
範囲であり、
前記第三画素エリアが前記画素ユニット領域で占める面積の比率は、60 % - 70 % の
範囲である
ことを特徴とする配列基板。

30

【請求項 9】

請求項 7 に記載の配列基板において、
更に、前記第一画素エリアが前記画素ユニット領域で占める面積の比率は、17 % - 2
2 % の範囲であり、
前記第二画素エリアが前記画素ユニット領域で占める面積の比率は、33 % - 40 % の
範囲であり、
前記第三画素エリアが前記画素ユニット領域で占める面積の比率は、40 % - 50 % の
範囲である
ことを特徴とする配列基板。

【請求項 10】

請求項 7 に記載の配列基板において、
更に、前記第一画素エリアが前記画素ユニット領域で占める面積の比率は、10 % - 2
0 % の範囲であり、
前記第二画素エリアが前記画素ユニット領域で占める面積の比率は、25 % - 40 % の
範囲であり、前記第三画素エリアが前記画素ユニット領域で占める面積の比率は、45 %
- 65 % の範囲である
ことを特徴とする配列基板。

40

【請求項 11】

請求項 7 に記載の配列基板において、
更に、各前記画素ユニットは、R 画素ユニット、G 画素ユニット、B 画素ユニットの中

50

のいずれか一つである

ことを特徴とする配列基板。

【請求項 1 2】

請求項 7 に記載の配列基板において、

更に、前記配列基板には、複数本の第一走査線と、複数本の第二走査線と、複数本の第三走査線と、複数本のデータ線が設けられ、

各前記画素ユニットは、それぞれ一本の第一走査線、一本の第二走査線、一本の第三走査線、一本のデータ線と対応し、

前記第一画素エリアは、第一画素電極と、第一スイッチとからなり、

前記第二画素エリアは、第二画素電極と、第二スイッチとからなり、

前記第三画素エリアは、第三画素電極と、第三スイッチとからなり、

前記第一画素電極は、第一スイッチを通して前記画素ユニットと対応する前記第一走査線及びデータ線と接続され、

前記第二画素電極は、第二スイッチを通して前記画素ユニットと対応する前記第二走査線及びデータ線と接続され、

前記第三画素電極は、第三スイッチを通して前記画素ユニットと対応する前記第三走査線及びデータ線と接続され、

更に、

前記第一走査線が走査信号を入力することで第一スイッチが導通するよう制御された時、

前記データ線は、前記第一スイッチを通して前記第一画素電極に V a 電圧を入力し、

前記第二走査線が走査信号を入力することで第二スイッチが導通するよう制御された時、

前記データ線は、前記第二スイッチを通して前記第二画素電極に V b 電圧を入力し、

前記第三走査線が走査信号を入力することで第三スイッチが導通するよう制御された時、

前記データ線は、前記第三スイッチを通して前記第三画素電極に V c 電圧を入力する

ことを特徴とする配列基板。

【請求項 1 3】

請求項 1 2 に記載の配列基板において、

更に、前記複数の第一走査線、複数の第二走査線、複数の第三走査線は、行毎に配列し

、

前記データ線は、列毎に配列し、

前記第一画素電極、第二画素電極、第三画素電極は、列方向に沿って配列する

ことを特徴とする配列基板。

【請求項 1 4】

請求項 1 2 に記載の配列基板において、

更に、前記第一スイッチは、第一薄膜トランジスタであり、

前記第一画素電極は、前記第一薄膜トランジスタを通して前記画素ユニットと対応する前記第一走査線及びデータ線と接続され、

前記第二スイッチは、第二薄膜トランジスタであり、

前記第二画素電極は、前記第二薄膜トランジスタを通して前記画素ユニットと対応する前記第二走査線及びデータ線と接続され、

前記第三スイッチは、第三薄膜トランジスタであり、

前記第三画素電極は、前記第三薄膜トランジスタを通して前記画素ユニットと対応する前記第三走査線及びデータ線と接続される

ことを特徴とする配列基板。

【請求項 1 5】

配列基板と、カラーフィルタ基板と、前記配列基板とカラーフィルタ基板の間に位置する液晶層とからなる液晶表示パネルであって、

前記配列基板は、複数個の画素ユニットからなり、

各前記画素ユニットは、それぞれ第一画素エリアと、第二画素エリアと、第三画素エリアとからなり、

更に、前記第一画素エリア、第二画素エリア、第三画素エリアに対して印加される電圧は、それぞれ V_a 、 V_b 、 V_c であり、

前記 V_a 、 V_b 、 V_c の関係性は、 $V_a > V_b > V_c$ であり、

前記第一画素エリア、第二画素エリア、第三画素エリアが前記画素ユニット領域で占める面積の比率は、それぞれ 5 % - 22 %、23 % - 40 %、40 % - 70 % の範囲であることを特徴とする液晶表示パネル。

【請求項 16】

請求項 15 に記載の液晶表示パネルにおいて、

更に、前記第一画素エリアが前記画素ユニット領域で占める面積の比率は、7 % - 15 % の範囲であり、

10

前記第二画素エリアが前記画素ユニット領域で占める面積の比率は、23 % - 30 % の範囲であり、

前記第三画素エリアが前記画素ユニット領域で占める面積の比率は、60 % - 70 % の範囲である

ことを特徴とする液晶表示パネル。

【請求項 17】

請求項 15 に記載の液晶表示パネルにおいて、

更に、前記第一画素エリアが前記画素ユニット領域で占める面積の比率は、17 % - 22 % の範囲であり、

前記第二画素エリアが前記画素ユニット領域で占める面積の比率は、33 % - 40 % の範囲であり、

20

前記第三画素エリアが前記画素ユニット領域で占める面積の比率は、40 % - 50 % の範囲である

ことを特徴とする液晶表示パネル。

【請求項 18】

請求項 15 に記載の液晶表示パネルにおいて、

更に、前記第一画素エリアが前記画素ユニット領域で占める面積の比率は、10 % - 20 % の範囲であり、

前記第二画素エリアが前記画素ユニット領域で占める面積の比率は、25 % - 40 % の範囲であり、

30

前記第三画素エリアが前記画素ユニット領域で占める面積の比率は、45 % - 65 % の範囲である

ことを特徴とする液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示技術に関し、特に、配列基板及び液晶表示パネルに関する。

【背景技術】

【0002】

従来の CRT ディスプレイと比較して、液晶ディスプレイは、軽量薄型・低消費電力・画面の再現性が高く明滅が無い等の多くの長所を備えており、画像表示の市場において主流の発展方向となっている。液晶ディスプレイは、主に液晶の光電効果を利用しており、液晶に電圧を印加して液晶分子の捩れを制御することで、バックライトから発される光線が液晶層を通過するか、或は液晶層を通過しないかによる選択的な明暗効果を実現し、これにより異なる色と図案を表示して、画像表示の目的を果たす。

40

【0003】

しかし、液晶ディスプレイには、色ズレの問題が存在している。液晶ディスプレイは、液晶を利用して表示を行うため、異なる視野角において、液晶分子の有効屈折率が異なることにより光透過度の変化を引き起こす。具体的には、斜め視野角において透光能力が低下して、斜め視野角方向と正面視野角方向とで再現される色が一致しない。つまり、正面視

50

野角では正常な画像であっても広視野角では正常に表示されず、色ズレが観察される。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、広視野角における色の差を効果的に減少させて、表示品質を向上させる、配列基板及び液晶表示パネルを提供することを目的とする。

【課題を解決するための手段】

【0005】

上述の目的を達成するために、本発明が提供する配列基板は、複数本の第一走査線と、複数本の第二走査線と、複数本の第三走査線と、複数本のデータ線と、複数の画素ユニットとからなる。各画素ユニットは、一本の第一走査線・一本の第二走査線・一本の第三走査線・一本のデータ線と対応するとともに、各画素ユニットは、第一画素エリアと第二画素エリアと第三画素エリアとからなり、且つ各画素ユニットは、R画素ユニット・G画素ユニット・B画素ユニットの中のいずれか一つである。また、第一画素エリア・第二画素エリア・第三画素エリアに対して印加される電圧は、それぞれ V_a ・ V_b ・ V_c である。第一画素エリアは、第一画素電極と第一スイッチとからなり、第二画素エリアは、第二画素電極と第二スイッチとからなり、第三画素エリアは、第三画素電極と第三スイッチとからなる。第一画素電極は、第一スイッチを通して前記画素ユニットと対応する第一走査線及びデータ線と接続され、第二画素電極は、第二スイッチを通して前記画素ユニットと対応する第二走査線及びデータ線と接続され、第三画素電極は、第三スイッチを通して前記画素ユニットと対応する第三走査線及びデータ線と接続される。第一走査線が走査信号を入力することで第一スイッチが導通するよう制御された時、データ線は第一スイッチを通して第一画素電極に V_a 電圧を入力するとともに、第二走査線が走査信号を入力することで第二スイッチが導通するよう制御された時、データ線は第二スイッチを通して第二画素電極に V_b 電圧を入力し、且つ第三走査線が走査信号を入力することで第三スイッチが導通するよう制御された時、データ線は第三スイッチを通して第三画素電極に V_c 電圧を入力する。尚、 V_a ・ V_b ・ V_c の関係性は、 $V_a > V_b > V_c$ となる。このうち、第一画素エリア・第二画素エリア・第三画素エリアが画素ユニット領域で占める面積の比率は、それぞれ5%・25%・20%・45%・35%・75%の範囲である。

【0006】

このうち、第一画素エリアが画素ユニット領域で占める面積の比率は7%・15%の範囲であり、第二画素エリアが画素ユニット領域で占める面積の比率は23%・30%の範囲であり、第三画素エリアが画素ユニット領域で占める面積の比率は60%・70%の範囲である。

【0007】

また、このうち、第一画素エリアが画素ユニット領域で占める面積の比率は17%・22%の範囲であり、第二画素エリアが画素ユニット領域で占める面積の比率は33%・40%の範囲であり、第三画素エリアが画素ユニット領域で占める面積の比率は40%・50%の範囲である。

【0008】

また、このうち、第一画素エリアが画素ユニット領域で占める面積の比率は10%・20%の範囲であり、第二画素エリアが画素ユニット領域で占める面積の比率は25%・40%の範囲であり、第三画素エリアが画素ユニット領域で占める面積の比率は45%・65%の範囲である。

【0009】

このうち、複数本の第一走査線・複数本の第二走査線・複数本の第三走査線は行毎に配列し、データ線は列毎に配列し、第一画素電極・第二画素電極・第三画素電極は列方向に沿って配列する。

【0010】

このうち、第一スイッチは第一薄膜トランジスタであり、第一画素電極は第一薄膜トラン

10

20

30

40

50

ジスタを通して前記画素ユニットと対応する第一走査線及びデータ線と接続される。第二スイッチは第二薄膜トランジスタであり、第二画素電極は第二薄膜トランジスタを通して前記画素ユニットと対応する第二走査線及びデータ線と接続される。第三スイッチは第三薄膜トランジスタであり、第三画素電極は第三薄膜トランジスタを通して前記画素ユニットと対応する第三走査線及びデータ線と接続される。

【0011】

また、上述の目的を達成するために、本発明が提供するもう一つの配列基板は、複数の画素ユニットからなるとともに、各画素ユニットは、第一画素エリアと、第二画素エリアと、第三画素エリアとからなる。第一画素エリア・第二画素エリア・第三画素エリアに対して印加される電圧は、それぞれ $V_a \cdot V_b \cdot V_c$ であり、 $V_a \cdot V_b \cdot V_c$ の関係性は、 $V_a > V_b > V_c$ となる。このうち、第一画素エリア・第二画素エリア・第三画素エリアが画素ユニット領域で占める面積の比率は、それぞれ 5 % - 25 %・20 % - 45 %・35 % - 75 % の範囲である。

10

【0012】

このうち、第一画素エリアが画素ユニット領域で占める面積の比率は 7 % - 15 % の範囲であり、第二画素エリアが画素ユニット領域で占める面積の比率は 23 % - 30 % の範囲であり、第三画素エリアが画素ユニット領域で占める面積の比率は 60 % - 70 % の範囲である。

【0013】

また、このうち、第一画素エリアが画素ユニット領域で占める面積の比率は 17 % - 22 % の範囲であり、第二画素エリアが画素ユニット領域で占める面積の比率は 33 % - 40 % の範囲であり、第三画素エリアが画素ユニット領域で占める面積の比率は 40 % - 50 % の範囲である。

20

【0014】

また、このうち、第一画素エリアが画素ユニット領域で占める面積の比率は 10 % - 20 % の範囲であり、第二画素エリアが画素ユニット領域で占める面積の比率は 25 % - 40 % の範囲であり、第三画素エリアが画素ユニット領域で占める面積の比率は 45 % - 65 % の範囲である。

【0015】

このうち、各画素ユニットは、R画素ユニット・G画素ユニット・B画素ユニットの中のいずれか一つである。

30

【0016】

このうち、配列基板には更に、複数の第一走査線と、複数の第二走査線と、複数の第三走査線と、複数のデータ線が設けられる。各画素ユニットは、一本の第一走査線・一本の第二走査線・一本の第三走査線・一本のデータ線と対応する。第一画素エリアは、第一画素電極と第一スイッチとからなり、第二画素エリアは、第二画素電極と第二スイッチとからなり、第三画素エリアは、第三画素電極と第三スイッチとからなる。第一画素電極は、第一スイッチを通して前記画素ユニットと対応する第一走査線及びデータ線と接続され、第二画素電極は、第二スイッチを通して前記画素ユニットと対応する第二走査線及びデータ線と接続され、第三画素電極は、第三スイッチを通して前記画素ユニットと対応する第三走査線及びデータ線と接続される。第一走査線が走査信号を入力することで第一スイッチが導通するよう制御された時、データ線は第一スイッチを通して第一画素電極に V_a 電圧を入力するとともに、第二走査線が走査信号を入力することで第二スイッチが導通するよう制御された時、データ線は第二スイッチを通して第二画素電極に V_b 電圧を入力し、且つ第三走査線が走査信号を入力することで第三スイッチが導通するよう制御された時、データ線は第三スイッチを通して第三画素電極に V_c 電圧を入力する。

40

【0017】

このうち、複数の第一走査線・複数の第二走査線・複数の第三走査線は行毎に配列し、データ線は列毎に配列し、第一画素電極・第二画素電極・第三画素電極は列方向に沿って配列する。

50

【 0 0 1 8 】

このうち、第一スイッチは第一薄膜トランジスタであり、第一画素電極は第一薄膜トランジスタを通して前記画素ユニットと対応する第一走査線及びデータ線と接続される。第二スイッチは第二薄膜トランジスタであり、第二画素電極は第二薄膜トランジスタを通して前記画素ユニットと対応する第二走査線及びデータ線と接続される。第三スイッチは第三薄膜トランジスタであり、第三画素電極は第三薄膜トランジスタを通して前記画素ユニットと対応する第三走査線及びデータ線と接続される。

【 0 0 1 9 】

また、上述の目的を達成するために、本発明が提供する液晶表示パネルは、配列基板と、カラーフィルタ基板と、配列基板とカラーフィルタ基板の間に位置する液晶層とからなる。配列基板は、複数個の画素ユニットからなるとともに、各画素ユニットは、第一画素エリアと、第二画素エリアと、第三画素エリアとからなる。第一画素エリア・第二画素エリア・第三画素エリアに対して印加される電圧は、それぞれ $V_a \cdot V_b \cdot V_c$ であり、 $V_a \cdot V_b \cdot V_c$ の関係性は、 $V_a > V_b > V_c$ となる。このうち、第一画素エリア・第二画素エリア・第三画素エリアが画素ユニット領域で占める面積の比率は、それぞれ 5 % - 25 %・20 % - 45 %・35 % - 75 % の範囲である。

10

【 0 0 2 0 】

このうち、第一画素エリアが画素ユニット領域で占める面積の比率は 7 % - 15 % の範囲であり、第二画素エリアが画素ユニット領域で占める面積の比率は 23 % - 30 % の範囲であり、第三画素エリアが画素ユニット領域で占める面積の比率は 60 % - 70 % の範囲である。

20

【 0 0 2 1 】

また、このうち、第一画素エリアが画素ユニット領域で占める面積の比率は 17 % - 22 % の範囲であり、第二画素エリアが画素ユニット領域で占める面積の比率は 33 % - 40 % の範囲であり、第三画素エリアが画素ユニット領域で占める面積の比率は 40 % - 50 % の範囲である。

【 0 0 2 2 】

また、このうち、第一画素エリアが画素ユニット領域で占める面積の比率は 10 % - 20 % の範囲であり、第二画素エリアが画素ユニット領域で占める面積の比率は 25 % - 40 % の範囲であり、第三画素エリアが画素ユニット領域で占める面積の比率は 45 % - 65 % の範囲である。

30

【 発明の効果 】

【 0 0 2 3 】

以上により、本発明は従来技術と比較して以下の有益な効果を備える。本発明の配列基板において、各画素ユニットは第一画素エリアと第二画素エリアと第三画素エリアとからなるとともに、第一画素エリアに印加される電圧 V_a ・第二画素エリアに印加される電圧 V_b ・第三画素エリアに印加される電圧 V_c の関係性は $V_a > V_b > V_c$ であり、且つ第一画素エリア・第二画素エリア・第三画素エリアが画素ユニット領域で占める面積の比率はそれぞれ 5 % - 25 %・20 % - 45 %・35 % - 75 % の範囲である。これにより、広視野角と正面視野角において観察される差を縮めて、広視野角における色ズレ低減効果を達成することが出来る。

40

【 図面の簡単な説明 】

【 0 0 2 4 】

【 図 1 】 本発明の実施例 1 における配列基板の構造を示した概略図である。

【 図 2 】 本発明の実施例 2 における液晶表示パネルの構造を示した概略図である。

【 発明を実施するための形態 】

【 0 0 2 5 】

以下では、図と実施例を参照しつつ、本発明について詳しく説明する。

【 0 0 2 6 】

(実施例 1)

50

図 1 を参照する。本発明の実施例 1 において、配列基板は、複数本の第一走査線 101 と、複数本の第二走査線 102 と、複数本の第三走査線 103 と、複数本のデータ線 104 と、複数個の画素ユニット 105 とからなる。各画素ユニット 105 は、一本の第一走査線 101 ・一本の第二走査線 102 ・一本の第三走査線 103 ・データ線 104 と対応する。また、各画素ユニット 105 は、R 画素ユニット・G 画素ユニット・B 画素ユニットの中のいずれか一つに相当する。

【0027】

各画素ユニット 105 は、第一画素エリア A と、第二画素エリア B と、第三画素エリア C とからなる。このうち、第一画素エリア A は、第一スイッチ Q1 と第一画素電極 M1 とからなり、第二画素エリア B は、第二スイッチ Q2 と第二画素電極 M2 とからなり、第三画素エリア C は、第三スイッチ Q3 と第三画素電極 M3 とからなる。第一スイッチ Q1 ・第二スイッチ Q2 ・第三スイッチ Q3 は、いずれも制御端と、入力端と、出力端とからなる。第一スイッチ Q1 の制御端は、画素ユニット 105 と対応する第一走査線 101 と電氣的に接続され、第一スイッチ Q1 の入力端は、画素ユニット 105 と対応するデータ線 104 と電氣的に接続され、第一スイッチ Q1 の出力端は、画素ユニット 105 と対応する第一画素電極 M1 と電氣的に接続される。第二スイッチ Q2 の制御端は、画素ユニット 105 と対応する第二走査線 102 と電氣的に接続され、第二スイッチ Q2 の入力端は、画素ユニット 105 と対応するデータ線 104 と電氣的に接続され、第二スイッチ Q2 の出力端は、画素ユニット 105 と対応する第二画素電極 M2 と電氣的に接続される。第三スイッチ Q3 の制御端は、画素ユニット 105 と対応する第三走査線 103 と電氣的に接続され、第三スイッチ Q3 の入力端は、画素ユニット 105 と対応するデータ線 104 と電氣的に接続され、第三スイッチ Q3 の出力端は、画素ユニット 105 と対応する第三画素電極 M3 と電氣的に接続される。本実施例において、第一スイッチ Q1 ・第二スイッチ Q2 ・第三スイッチ Q3 は、いずれも薄膜トランジスタであり、それぞれ第一薄膜トランジスタ・第二薄膜トランジスタ・第三薄膜トランジスタとする。このうち、スイッチの制御端は、薄膜トランジスタのゲートに相当し、スイッチの入力端は、薄膜トランジスタのソースに相当し、スイッチの出力端は、薄膜トランジスタのドレインに相当する。また、その他の実施形態において、三つのスイッチは三極管・ダーリントン管等であることも可能であり、ここでは限定しない。

【0028】

第一走査線 101 ・第二走査線 102 ・第三走査線 103 は行毎に配列し、データ線 104 は列毎に配列し、第一画素エリア A ・第二画素エリア B ・第三画素エリア C は列方向に沿って順に配列する。即ち、三つの画素電極 M1 ・M2 ・M3 も、列方向に沿って順に配列する。その他の実施形態において、第一走査線・第二走査線・第三走査線は列毎に配列することも可能であり、データ線は行毎に配列することも可能であり、ここでは限定しない。当然ながら、三つの画素エリアは列方向に沿って自由に配列することも可能である。例えば、第一画素エリアが第二画素エリアと第三画素エリアの間に位置する、或は第三画素エリアが第一画素エリアと第二画素エリアの間に位置する配列も可能であり、ここで具体的な制限は加えない。

【0029】

第一走査線 101 ・第二走査線 102 ・第三走査線 103 に対して順に走査信号を入力するとともに、第一走査線 101 が走査信号を入力することで第一スイッチ Q1 が導通するよう制御された時、データ線 104 は第一スイッチ Q1 を通して第一画素電極 M1 に Va 電圧を入力し、これにより第一画素エリア A の電圧が Va となる。また、第二走査線 102 が走査信号を入力することで第二スイッチ Q2 が導通するよう制御された時、データ線 104 は第二スイッチ Q2 を通して第二画素電極 M2 に Vb 電圧を入力し、これにより第二画素エリア B の電圧が Vb となる。更にまた、第三走査線 103 が走査信号を入力することで第三スイッチ Q3 が導通するよう制御された時、データ線 104 は第三スイッチ Q3 を通して第三画素電極 M3 に Vc 電圧を入力し、これにより第三画素エリア C の電圧が Vc となる。このうち、第一画素電極 M1 ・第二画素電極 M2 ・第三画素電極 M3 の入力

電圧はそれぞれ異なっており、電圧 $V_a \cdot V_b \cdot V_c$ の関係性は、 $V_a > V_b > V_c$ となる。即ち、三つの画素エリア $A \cdot B \cdot C$ の間における電圧の関係性も、 $V_a > V_b > V_c$ となる。第一画素エリア A ・第二画素エリア B ・第三画素エリア C の間における電圧の関係性に基づいて、第一画素エリア A ・第二画素エリア B ・第三画素エリア C が画素ユニット 105 領域で占める面積比率を制御することにより、より良好な色ズレ低減効果が得られる。尚、多くの実験とシミュレーションを経て導き出された結論は、以下の通りである。一つの画素ユニット 105 において、第一画素エリア A が画素ユニット 105 領域で占める面積の比率は 5 % - 25 % の範囲であり、第二画素エリア B が画素ユニット 105 領域で占める面積の比率は 20 % - 45 % の範囲であり、第三画素エリア C が画素ユニット 105 領域で占める面積の比率は 35 % - 75 % の範囲であり、且つ三つの画素エリア $A \cdot B \cdot C$ が占める面積の総和は画素ユニット 105 の面積である。

10

【0030】

更に、第一画素エリア A が画素ユニット 105 において占める面積の比率は 7 % - 15 % の範囲であり、第二画素エリア B が画素ユニット 105 において占める面積の比率は 23 % - 30 % の範囲であり、第三画素エリア C が画素ユニット 105 において占める面積の比率は 60 % - 70 % の範囲であることも可能である。尚、三つの画素エリア $A \cdot B \cdot C$ が占める面積の総和は、画素ユニット 105 の面積である。例えば、本実施例において、第一画素エリア A が画素ユニット 105 領域で占める面積の比率は 9 % であり、第二画素エリア B が画素ユニット 105 領域で占める面積の比率は 26 % であり、第三画素エリア C が画素ユニット 105 領域で占める面積の比率は 65 % である。当然ながら、その他の実施形態において、第一画素エリア・第二画素エリア・第三画素エリアが画素ユニット領域でそれぞれ占める面積の比率は、12 %・28 %・60 %、或は 15 %・23 %・62 % 等が可能であり、ここでは制限せず、上述の条件に合う値であればいずれも可能である。

20

【0031】

本実施例において、一つの画素ユニット 105 を三つの画素エリア $A \cdot B \cdot C$ に分けるとともに、三つの画素エリア $A \cdot B \cdot C$ に対してそれぞれ異なる電圧を印加し、且つ第一画素エリア A に印加する電圧 V_a ・第二画素エリア B に印加する電圧 V_b ・第三画素エリア C に印加する電圧 V_c が $V_a > V_b > V_c$ となるようにする。以上を基礎とした上で、多くの実験シミュレーションを経て導き出された結論において、第一画素エリア A ・第二画素エリア B ・第三画素エリア C が画素ユニット 105 において占める面積の比率は、それぞれ 5 % - 25 %・20 % - 45 %・35 % - 75 % の範囲である。これにより、広視野角における色の差を更に減少させて、より良好な色ズレ低減効果が得られるとともに、表示品質の向上が可能となる。

30

【0032】

また、別の実施形態では、本発明の三つの画素エリアが画素ユニットにおいて占める面積の比率が、それぞれ 5 % - 25 %・20 % - 45 %・35 % - 75 % の範囲であるという条件に合うことを前提として、更に、以下の形態も可能である。第一画素エリアが画素ユニット領域で占める面積の比率は 17 % - 22 % の範囲であり、第二画素エリアが画素ユニットにおいて占める面積の比率は 33 % - 40 % の範囲であり、第三画素エリアが画素ユニット領域で占める面積の比率は、40 % - 50 % の範囲である。当然ながら、その他の実施形態において、第一画素エリア・第二画素エリア・第三画素エリアが画素ユニット領域で占める面積の比率は、その他の範囲であることも可能である。例えば、それぞれ 9 % - 16 %・28 % - 38 %・48 % - 55 % の範囲である。また例えば、それぞれ 10 % - 20 %・25 % - 40 %・45 % - 65 % の範囲である。

40

【0033】

このほか、配列基板は、三本のデータ線を用いて三つの画素エリアに対してそれぞれ相應の電圧を印加することも可能である。例えば、各画素ユニットは第一データ線・第二データ線・第三データ線・一本の走査線と対応し、第一画素エリアにおける第一画素電極は第一スイッチを通して第一データ線及び走査線と接続され、第二画素エリアにおける第二画

50

素電極は第二スイッチを通して第二データ線及び走査線と接続され、第三画素エリアにおける第三画素エリア電極は第三スイッチを通して第三データ線及び走査線と接続される。走査線が走査信号を入力した時、第一データ線が第一画素電極に V_a 電圧を入力し、第二データ線が第二画素電極に V_b 電圧を入力し、第三データ線が第三画素電極に V_c 電圧を入力する。また、電圧 $V_a \cdot V_b \cdot V_c$ の関係性は、 $V_a > V_b > V_c$ となる。以上の方法によっても同様に、三つの画素エリアに対してそれぞれ異なる電圧を印加することが可能である。このうち、三つの画素エリアが画素ユニットにおいて占める面積の比率は、それぞれ 5% - 25%・20% - 45%・35% - 75% の範囲である。これにより、広視野角における色の差を効果的に減少させて、表示品質を向上させることが可能である。

【0034】

10

(実施例2)

図2を参照する。本発明の液晶表示パネルは、配列基板201と、カラーフィルタ基板202と、配列基板201とカラーフィルタ基板202の間に位置する液晶層203とからなる。このうち、配列基板201は、上述した実施例の中のいずれかの配列基板である。

【0035】

以上は、本発明の実施例について述べたに過ぎず、これにより本発明の請求範囲を限定するものではない。本発明の明細書及び図の内容を利用してなされた同等の効果を持つ構造やフローについての変更、或は、他の関連技術における直接的・間接的な運用は、いずれも本発明の特許保護の範囲内に含まれる。

【符号の説明】

20

【0036】

- 101 第一走査線
- 102 第二走査線
- 103 第三走査線
- 104 データ線
- 105 画素ユニット
- 201 配列基板
- 202 カラーフィルタ基板
- 203 液晶層
- A 第一画素エリア
- B 第二画素エリア
- C 第三画素エリア
- M1 第一画素電極
- M2 第二画素電極
- M3 第三画素電極
- Q1 第一スイッチ
- Q2 第二スイッチ
- Q3 第三スイッチ

30

【図 1】

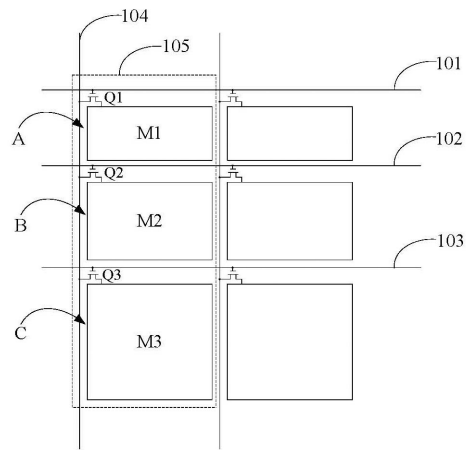


FIG. 1

【図 2】

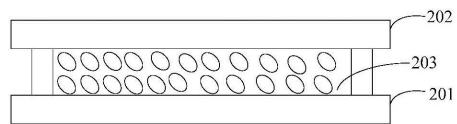


FIG. 2

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 4 B

審査官 磯野 光司

(56)参考文献 特開 2 0 0 9 - 2 3 7 2 6 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 6 2 - 1 / 1 3 6 8

专利名称(译)	阵列基板和液晶显示板		
公开(公告)号	JP6293898B2	公开(公告)日	2018-03-14
申请号	JP2016539386	申请日	2013-10-23
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
当前申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	陳政鴻 廖作敏		
发明人	陳政鴻 廖作敏		
IPC分类号	G02F1/1368 G02F1/1343 G09G3/36 G09G3/20		
CPC分类号	G02F1/134336 G02F2201/123 G02F1/1362 G09G2300/0439 G09G3/2003 G09G3/36 G09G2300/0452 G09G2300/0495 G09G2320/0242		
FI分类号	G02F1/1368 G02F1/1343 G09G3/36 G09G3/20.641.C G09G3/20.642.K G09G3/20.624.B		
代理人(译)	鈴木 征四郎		
优先权	201310440073.8 2013-09-24 CN		
其他公开文献	JP2016530569A		
外部链接	Espacenet		

摘要(译)

提供一种阵列基板和液晶显示面板，其减小宽视角处的色差以改善显示质量。在本发明的阵列基板中，每个像素单元包括第一像素区域，第二像素区域和第三像素区域。施加到第一像素区域的电压Va，施加到第二像素区域的电压Vb和施加到第三像素区域的电压Vc之间的关系是Va>Vb>Vc。此外，在第一像素区域，第二像素区域第三像素区域由像素单元区域所占的面积的比例为5%-25%，20%-45%35%-75%分别%，的范围内。

(19) 日本国特許庁 (JP)	(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6293898号 (P6293898)
(45) 発行日 平成30年3月14日 (2018.3.14)	(24) 登録日 平成30年2月23日 (2018.2.23)	
(51) Int. Cl. F 1 G02F 1/1368 (2006.01) G02F 1/1343 (2006.01) G09G 3/36 (2006.01) G09G 3/20 (2006.01)		
(21) 出願番号 特願2016-539386 (P2016-539386) (86) (22) 出願日 平成25年10月23日 (2013.10.23) (65) 公表番号 特表2016-530569 (P2016-530569A) (43) 公表日 平成28年9月29日 (2016.9.29) (86) 国際出願番号 PCT/CN2013/085780 (87) 国際公開番号 W02015/043036 (87) 国際公開日 平成27年4月2日 (2015.4.2) 審査請求日 平成28年3月8日 (2016.3.8) (31) 優先権主張番号 201310440073.8 (32) 優先日 平成25年9月24日 (2013.9.24) (33) 優先権主張国 中国 (CN)		
(73) 特許権者 515203228 深▲せん▼市華星光電技術有限公司 中華人民共和國廣東省深▲せん▼市光明新 區塘明大道9-2號518132 (74) 代理人 100143720 弁理士 米田 耕一郎 (74) 代理人 100080252 弁理士 鈴木 征四郎 (72) 発明者 陳政鴻 中華人民共和國廣東省深▲せん▼市光明新 區塘明大道9-2號518132 (72) 発明者 廖作敏 中華人民共和國廣東省深▲せん▼市光明新 區塘明大道9-2號518132		
請求項の数 18 (全 13 頁) 最終頁に続く		
(54) 【発明の名称】 配列基板及び液晶表示パネル		

最終頁に続く