

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6253187号
(P6253187)

(45) 発行日 平成29年12月27日(2017.12.27)

(24) 登録日 平成29年12月8日(2017.12.8)

(51) Int.Cl.	F I
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO2F 1/133 (2006.01)	GO2F 1/133 550

請求項の数 12 (全 16 頁)

(21) 出願番号	特願2013-218380 (P2013-218380)	(73) 特許権者	510280589
(22) 出願日	平成25年10月21日(2013.10.21)		京東方科技集団股▲ふん▼有限公司
(65) 公開番号	特開2014-85670 (P2014-85670A)		BOE TECHNOLOGY GROU P CO., LTD.
(43) 公開日	平成26年5月12日(2014.5.12)		中華人民共和国100015北京市朝陽區
審査請求日	平成28年5月17日(2016.5.17)		酒仙橋路10號
(31) 優先権主張番号	201210405075.9		No. 10 Jiuxianqiao R d., Chaoyang Distric t, Beijing 100015, CH INA
(32) 優先日	平成24年10月22日(2012.10.22)	(74) 代理人	100133514
(33) 優先権主張国	中国 (CN)		弁理士 寺山 啓進
		(74) 代理人	100122910
			弁理士 三好 広之

最終頁に続く

(54) 【発明の名称】 アレイ基板、液晶表示装置およびアレイ基板の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

行列分布をなす複数のピクセルユニットを含むアレイ基板において、

前記複数のピクセルユニットの各々は、第1薄膜トランジスタ、第2薄膜トランジスタ、第1ピクセル電極および第2ピクセル電極を含み、

前記第1薄膜トランジスタは、ドレイン電極が前記第1ピクセル電極に電気接続し、前記第2薄膜トランジスタは、ドレイン電極が前記第2ピクセル電極に電気接続し、かつ前記第1ピクセル電極と前記第2ピクセル電極は電気絶縁し、前記第1ピクセル電極と前記第2ピクセル電極との間に電圧差が存在するとき、前記第1ピクセル電極と前記第2ピクセル電極との間に電界を形成し、

前記第2ピクセル電極は、全層被覆電極であり、前記第1ピクセル電極は、帯状電極であり、前記第1ピクセル電極は、絶縁層を介して前記第2ピクセル電極に設けられ、

前記第2薄膜トランジスタのドレイン電極が延伸して前記第2ピクセル電極を形成するアレイ基板。

【請求項 2】

請求項 1 に記載のアレイ基板において、

前記複数のピクセルユニットの各々は、2本のゲート線と1本のデータ線を更に含み、

前記第1薄膜トランジスタは、ゲート電極が前記2本のゲート線のうちの第1ゲート線に電気接続し、前記第2薄膜トランジスタは、ゲート電極が前記2本のゲート線のうちの第2ゲート線に電気接続し、前記第1、第2薄膜トランジスタは、ソース電極が前記デー

タ線に電気接続するアレイ基板。

【請求項 3】

請求項 1 に記載のアレイ基板において、

前記複数のピクセルユニットの各々は、2本のゲート線と2本のデータ線を更に含み、

前記第1薄膜トランジスタは、ゲート電極が前記2本のゲート線のうちの第1ゲート線に電気接続し、前記第2薄膜トランジスタは、ゲート電極が前記2本のゲート線のうちの第2ゲート線に電気接続し、前記第1薄膜トランジスタは、ソース電極が前記2本のデータ線のうちの第1データ線に電気接続し、前記第2薄膜トランジスタは、ソース電極が前記2本のデータ線のうちの第2データ線に電気接続するアレイ基板。

【請求項 4】

請求項 1 に記載のアレイ基板において、

前記複数のピクセルユニットの各々は、1本のゲート線と2本のデータ線を更に含み、前記第1薄膜トランジスタ、前記第2薄膜トランジスタは、ゲート電極が前記ゲート線に電気接続し、前記第1薄膜トランジスタは、ソース電極が前記2本のデータ線のうちの第1データ線に電気接続し、前記第2薄膜トランジスタは、ソース電極が前記2本のデータ線のうちの第2データ線に電気接続するアレイ基板。

【請求項 5】

請求項 1 に記載のアレイ基板において、

前記第1薄膜トランジスタは、ドレイン電極がビアホールを介して前記第1ピクセル電極に電気接続し、前記第2薄膜トランジスタは、ドレイン電極が前記第2ピクセル電極に直接的に電気接続するアレイ基板。

【請求項 6】

請求項 1 に記載のアレイ基板において、

前記第1薄膜トランジスタと前記第2薄膜トランジスタは、寄生容量が同一であるアレイ基板。

【請求項 7】

請求項 1 ないし 6 のいずれか一つに記載のアレイ基板において、

一つの前記ピクセルユニットは、同列で隣接行に位置する別の前記ピクセルユニットと1本のゲート線を共用するアレイ基板。

【請求項 8】

請求項 1 ないし 7 のいずれか一つに記載のアレイ基板を有する液晶表示装置。

【請求項 9】

行列分布となす複数のピクセルユニットを含むアレイ基板の駆動方法において、

前記複数のピクセルユニットの各々は、第1薄膜トランジスタ、第2薄膜トランジスタ、第1ピクセル電極および第2ピクセル電極を含み、前記第1薄膜トランジスタのドレイン電極が前記第1ピクセル電極に電気接続し、前記第2薄膜トランジスタのドレイン電極が前記第2ピクセル電極に電気接続し、かつ前記第1ピクセル電極と前記第2ピクセル電極が電気絶縁し、前記第2ピクセル電極は、全層被覆電極であり、前記第1ピクセル電極は、帯状電極であり、前記第1ピクセル電極は、絶縁層を介して前記第2ピクセル電極に設けられ、前記第2薄膜トランジスタのドレイン電極が延伸して前記第2ピクセル電極を形成し、

前記駆動方法は、

前記第1ピクセル電極に第1電圧を提供することと、前記第2ピクセル電極に第2電圧を提供することと、前記第1電圧と前記第2電圧との間に電圧差が存在するとき、前記第1ピクセル電極と前記第2ピクセル電極との間に電界を形成することを含むアレイ基板の駆動方法。

【請求項 10】

請求項 9 に記載の方法において、

前記複数のピクセルユニットの各々には、2本のゲート線と1本のデータ線を更に含み、

、

10

20

30

40

50

前記ピクセルユニットの第 1 ピクセル電極に第 1 電圧を提供するステップにおいて、具体的に、

前記第 1 薄膜トランジスタのゲート電極に電気接続する前記 2 本のゲート線のうちの第 1 ゲート線にターンオン電圧を印加することによって、前記第 1 薄膜トランジスタをオンにし、

前記第 1 薄膜トランジスタのソース電極に電気接続する前記データ線を介して前記第 1 ピクセル電極に前記第 1 電圧を印加することを含み、

前記ピクセルユニットの第 2 ピクセル電極に第 2 電圧を提供するステップにおいて、具体的に、

前記第 2 薄膜トランジスタのゲート電極に電気接続する前記 2 本のゲート線のうちの第 2 ゲート線にターンオン電圧を印加することによって、前記第 2 薄膜トランジスタをオンにし、

前記第 2 薄膜トランジスタのソース電極に電気接続する前記データ線を介して前記第 2 ピクセル電極に前記第 2 電圧を印加することを含むアレイ基板の駆動方法。

【請求項 1 1】

請求項 9 に記載の方法において、

前記複数のピクセルユニットの各々には、2 本のゲート線と 2 本のデータ線を更に含み、

前記ピクセルユニットの第 1 ピクセル電極に第 1 電圧を提供するステップにおいて、具体的に、

前記第 1 薄膜トランジスタのゲート電極に電気接続する前記 2 本のゲート線のうちの第 1 ゲート線にターンオン電圧を印加することによって、前記第 1 薄膜トランジスタをオンにし、

前記第 1 薄膜トランジスタのソース電極に電気接続する前記 2 本のデータ線のうちの第 1 データ線を介して前記第 1 ピクセル電極に前記第 1 電圧を印加することを含み、

前記ピクセルユニットの第 2 ピクセル電極に第 2 電圧を提供するステップにおいて、具体的に、

前記第 2 薄膜トランジスタのゲート電極に電気接続する前記 2 本のゲート線のうちの第 2 ゲート線にターンオン電圧を印加することによって、前記第 2 薄膜トランジスタをオンにし、

前記第 2 薄膜トランジスタのソース電極に電気接続する前記 2 本のデータ線のうちの第 2 データ線を介して前記第 2 ピクセル電極に前記第 2 電圧を印加することを含むアレイ基板の駆動方法。

【請求項 1 2】

請求項 9 に記載の方法において、

前記複数のピクセルユニットの各々には、1 本のゲート線と 2 本のデータ線を更に含み、

前記ピクセルユニットの第 1 ピクセル電極に第 1 電圧を提供するステップと、前記ピクセルユニットの第 2 ピクセル電極に第 2 電圧を提供するステップは、同時に行なわれ、具体的に、

前記第 1 薄膜トランジスタのゲート電極と第 2 薄膜トランジスタのゲート電極の両方に電気接続する前記ゲート線にターンオン電圧を印加することによって、前記第 1、第 2 薄膜トランジスタを同時にオンにし、

前記第 1 薄膜トランジスタのソース電極に電気接続する前記 2 本のデータ線のうちの第 1 データ線を介して前記第 1 ピクセル電極に前記第 1 電圧を印加するとともに、前記第 2 薄膜トランジスタのソース電極に電気接続する前記 2 本のデータ線のうちの第 2 データ線を介して前記第 2 ピクセル電極に前記第 2 電圧を印加することを含むアレイ基板の駆動方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、液晶表示技術分野に関し、特にアレイ基板、液晶表示装置およびアレイ基板の駆動方法に関する。

【 背景技術 】

【 0 0 0 2 】

現在、液晶表示装置のアレイ基板における各ピクセルユニットの駆動は、ピクセルユニットを被覆するピクセル電極に電圧を印加してピクセル電極とコモン電極との間に電界を形成させることで、該ピクセルにおける液晶分子を電界の作用で一定の角度偏向させ、光の透過と遮断を実現する。

【 0 0 0 3 】

10

コモン電極は、全てのピクセルユニットに統一のコモン電圧 V_{com} を提供する。ピクセル電極は、対応するピクセルユニットにピクセル電圧 V_{pixel} を提供し、該電圧の大きさによって、該ピクセルユニットを通過する光の量を制御する。液晶表示装置は、ワンフレームの画像を表示しようとするとき、通常行走査の方式を採用する。すなわち、ピクセルユニットは、行ごとにオンになり、次の行のピクセルユニットがオンになる直前に、現在行のピクセルユニットがオフになる。ピクセルユニットがオンになるときにピクセル電圧がピクセル電極に印加し、それによって画像の表示を実現する。

【 0 0 0 4 】

上述のピクセル電圧と統一のコモン電圧との間の電界を利用して画像表示を実現する過程において、同列で隣接行に位置する2つのピクセルユニットのピクセル電圧が異なる場合、後にオンとなるピクセルユニットのピクセル電極がコモン電極に結合し、コモン電極上のコモン電圧に変化を生じさせ、それによって前にオンとなるピクセルユニットのピクセル電極とコモン電極との間の電界に変化を生じさせ、緑がかった表示 (greenish) 現象を招いてしまう。

20

【 0 0 0 5 】

また、通常ピクセル電極は、対応するピクセルユニットにおける薄膜トランジスタのドレイン電極に接続する。該ピクセルユニットがオフとなったときに、薄膜トランジスタがオフとなる。薄膜トランジスタがオフとなった際にリーク電流と寄生容量が存在するため、ピクセル電極上のピクセル電圧は、時間の経過とともに次第に低下し、それによってピクセル電極とコモン電極との間の電圧差に変化を生じさせ、さらに画面フリッカー (Flicker) 現象を招いてしまう。

30

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

本発明の実施例は、ピクセルユニット、アレイ基板、液晶表示パネル、液晶表示装置およびアレイ基板の駆動方法を提供し、従来の液晶表示装置が画像を表示するときに存在する緑がかった表示現象と画面フリッカー現象を解決した。

【 課題を解決するための手段 】

【 0 0 0 7 】

上記目的を達成するために、本発明の実施例は、以下の技術案を採用する。

40

【 0 0 0 8 】

第1薄膜トランジスタ、第2薄膜トランジスタ、第1ピクセル電極および第2ピクセル電極を含むピクセルユニットにおいて、前記第1薄膜トランジスタは、ドレイン電極が前記第1ピクセル電極に電気接続し、前記第2薄膜トランジスタは、ドレイン電極が前記第2ピクセル電極に電気接続し、かつ前記第1ピクセル電極と前記第2ピクセル電極は電気絶縁し、前記第1ピクセル電極と前記第2ピクセル電極との間に電圧差が存在するとき、前記第1ピクセル電極と前記第2ピクセル電極との間に電界を形成する。

【 0 0 0 9 】

前記ピクセルユニットにおいて、2本のゲート線と1本のデータ線を更に含み、前記第1薄膜トランジスタは、ゲート電極が前記2本のゲート線のうちの第1ゲート線に電気接

50

続し、前記第2薄膜トランジスタは、ゲート電極が前記2本のゲート線のうちの第2ゲート線に電気接続し、前記第1、第2薄膜トランジスタは、ソース電極が前記データ線に電気接続することが好ましい。

【0010】

前記ピクセルユニットにおいて、2本のゲート線と2本のデータ線を更に含み、前記第1薄膜トランジスタは、ゲート電極が前記2本のゲート線のうちの第1ゲート線に電気接続し、前記第2薄膜トランジスタは、ゲート電極が前記2本のゲート線のうちの第2ゲート線に電気接続し、前記第1薄膜トランジスタは、ソース電極が前記2本のデータ線のうちの第1データ線に電気接続し、前記第2薄膜トランジスタは、ソース電極が前記2本のデータ線のうちの第2データ線に電気接続することが好ましい。

10

【0011】

前記ピクセルユニットにおいて、1本のゲート線と2本のデータ線を更に含み、前記第1、2薄膜トランジスタは、ゲート電極が前記ゲート線に電気接続し、前記第1薄膜トランジスタは、ソース電極が前記2本のデータ線のうちの第1データ線に電気接続し、前記第2薄膜トランジスタは、ソース電極が前記2本のデータ線のうちの第2データ線に電気接続することが好ましい。

【0012】

さらに、前記第2ピクセル電極は、全層被覆電極であり、前記第1ピクセル電極は、帯状電極であり、前記第1ピクセル電極は、絶縁層を介して前記第2ピクセル電極に設けられる。

20

【0013】

さらに、前記第1薄膜トランジスタは、ドレイン電極がビアホールを介して前記第1ピクセル電極に電気接続し、前記第2薄膜トランジスタは、ドレイン電極が前記第2ピクセル電極に直接的に電気接続する。

【0014】

前記第1ピクセル電極と前記第2ピクセル電極は、同一の層に形成されており、かつ前記第1ピクセル電極と前記第2ピクセル電極は、ともに帯状電極であることが好ましい。

【0015】

さらに、前記第1薄膜トランジスタと前記第2薄膜トランジスタは、全てのパラメータが同一である。

30

【0016】

前記第1薄膜トランジスタと前記第2薄膜トランジスタに生じる寄生容量が同一であることが好ましい。

【0017】

前記第1ピクセル電極、前記第2ピクセル電極は、前記データ線と同一の層に形成されていることが好ましい。

【0018】

行列分布をなす複数の上記ピクセルユニットを有するアレイ基板。

【0019】

一つの前記ピクセルユニットは、同列で隣接行に位置する別の前記ピクセルユニットと1本のゲート線を共用することが好ましい。

40

【0020】

上記アレイ基板を有する液晶表示パネル。

【0021】

上記液晶表示パネルを有する液晶表示装置。

【0022】

第1薄膜トランジスタ、第2薄膜トランジスタ、第1ピクセル電極および第2ピクセル電極を含み、前記第1薄膜トランジスタのドレイン電極が前記第1ピクセル電極に電気接続し、前記第2薄膜トランジスタのドレイン電極が前記第2ピクセル電極に電気接続し、かつ前記第1ピクセル電極と前記第2ピクセル電極が電気絶縁するピクセルユニットの駆

50

動方法において、前記第 1 ピクセル電極に第 1 電圧を提供することと、前記第 2 ピクセル電極に第 2 電圧を提供することと、前記第 1 電圧と前記第 2 電圧との間に電圧差が存在するとき、前記第 1 ピクセル電極と前記第 2 ピクセル電極との間に電界を形成することを含む。

【 0 0 2 3 】

前記ピクセルユニットには、2本のゲート線と1本のデータ線を更に含み、前記ピクセルユニットの第1ピクセル電極に第1電圧を提供するステップにおいて、具体的に、前記第1薄膜トランジスタのゲート電極に電気接続する前記2本のゲート線のうちの第1ゲート線にターンオン電圧を印加することによって、前記第1薄膜トランジスタをオンにし、前記第1薄膜トランジスタのソース電極に電気接続する前記データ線を介して前記第1ピクセル電極に前記第1電圧を印加することを含み、前記ピクセルユニットの第2ピクセル電極に第2電圧を提供するステップにおいて、具体的に、前記第2薄膜トランジスタのゲート電極に電気接続する前記2本のゲート線のうちの第2ゲート線にターンオン電圧を印加することによって、前記第2薄膜トランジスタをオンにし、前記第2薄膜トランジスタのソース電極に電気接続する前記データ線を介して前記第2ピクセル電極に前記第2電圧を印加することを含むことが好ましい。

10

【 0 0 2 4 】

前記ピクセルユニットには、2本のゲート線と2本のデータ線を更に含み、前記ピクセルユニットの第1ピクセル電極に第1電圧を提供するステップにおいて、具体的に、前記第1薄膜トランジスタのゲート電極に電気接続する前記2本のゲート線のうちの第1ゲート線にターンオン電圧を印加することによって、前記第1薄膜トランジスタをオンにし、前記第1薄膜トランジスタのソース電極に電気接続する前記2本のデータ線のうちの第1データ線を介して前記第1ピクセル電極に前記第1電圧を印加することを含み、前記ピクセルユニットの第2ピクセル電極に第2電圧を提供するステップにおいて、具体的に、前記第2薄膜トランジスタのゲート電極に電気接続する前記2本のゲート線のうちの第2ゲート線にターンオン電圧を印加することによって、前記第2薄膜トランジスタをオンにし、前記第2薄膜トランジスタのソース電極に電気接続する前記2本のデータ線のうちの第2データ線を介して前記第2ピクセル電極に前記第2電圧を印加することを含むことが好ましい。

20

【 0 0 2 5 】

前記ピクセルユニットには、1本のゲート線と2本のデータ線を更に含み、前記ピクセルユニットの第1ピクセル電極に第1電圧を提供するステップと、前記ピクセルユニットの第2ピクセル電極に第2電圧を提供するステップは、同時に行なわれ、具体的に、前記第1薄膜トランジスタのゲート電極と第2薄膜トランジスタのゲート電極の両方に電気接続する前記ゲート線にターンオン電圧を印加することによって、前記第1、第2薄膜トランジスタを同時にオンにし、前記第1薄膜トランジスタのソース電極に電気接続する前記2本のデータ線のうちの第1データ線を介して前記第1ピクセル電極に前記第1電圧を印加するとともに、前記第2薄膜トランジスタのソース電極に電気接続する前記2本のデータ線のうちの第2データ線を介して前記第2ピクセル電極に前記第2電圧を印加することを含むことが好ましい。

30

【発明の効果】

【 0 0 2 6 】

本発明の実施例によるピクセルユニット、アレイ基板、液晶表示パネル、液晶表示装置およびアレイ基板の駆動方法において、ピクセルユニットには2つのピクセル電極が設けられており、かつ各ピクセル電極が対応する薄膜トランジスタによってそれぞれ制御されるため、2つのピクセル電極間の電圧差で液晶分子の偏向を制御することができるが、アレイ基板におけるその他のピクセルユニットのピクセル電極上の電圧に影響を与えないことで、緑がかった表示現象の発生を回避した。また、ピクセルユニットのオフ時に、2つのピクセル電極をそれぞれ制御する2つの薄膜トランジスタに同一の寄生容量を有することができるため、2つのピクセル電極間の電圧差を安定に保持することで、画面フリッカ

40

50

一現象の発生を回避した。

【図面の簡単な説明】

【0027】

本発明の実施例における技術案をより明確に説明するために、以下、実施例に使用される図面について簡単に紹介する。

【図1】本発明の実施例によるピクセルユニットの上面図である。

【図2】(a)は、図1に示すピクセルユニットのA-A'に沿った断面図であり、(b)は、図1に示すピクセルユニットのB-B'に沿った断面図である。

【図3】本発明の実施例による別のピクセルユニットの上面図である。

【図4】本発明の実施例によるアレイ基板の部分上面図である。

【図5】本発明の実施例によるアレイ基板駆動方法の電圧波形図である。

【図6】(a)～(c)は、本発明の実施例によるピクセルユニットのゲート線、データ線と薄膜トランジスタの3種類の接続方式の簡略図である。

【発明を実施するための形態】

【0028】

以下、本発明の実施例における図面と結びつけて、本発明の実施例における技術案について明確かつ完全的な記載をする。

【0029】

本発明の実施例によるピクセルユニットは、図1に示すように、第1薄膜トランジスタT1、第2薄膜トランジスタT2、第1ピクセル電極Pおよび第2ピクセル電極PBを含む。第1薄膜トランジスタT1は、ドレイン電極15が第1ピクセル電極Pに電気接続し、第2薄膜トランジスタT2は、ドレイン電極16が第2ピクセル電極PBに電気接続し、かつ第1ピクセル電極Pと第2ピクセル電極PBは電気絶縁する。第1ピクセル電極Pと第2ピクセル電極PBとの間に電圧差が存在するとき、第1ピクセル電極Pと第2ピクセル電極PBとの間に電界を形成して液晶分子回転を制御する。

【0030】

本発明の実施例によるピクセルユニットの特徴は、電界形成用の2つの電極がともにアレイ基板上に形成されており、しかも2つの電極間が電気絶縁することである。このような構造のピクセルユニットは、ADS(AD-SDSとも言う。ADvanced Super Dimension Switch)方式液晶パネルとIPS(In-Plane Switching)方式液晶パネルに広く応用されており、ADS/IPS方式液晶パネルを採用した液晶表示装置にはより広い可視角度を有する。

【0031】

そのなか、ADS表示方式は、同一平面内のスリット電極縁で生じる電界およびスリット電極層と板状電極層との間に生じる電界によって多次元電界を形成し、液晶ボックス内スリット電極間、電極直上に配向する全ての液晶分子を回転させ、それによって液晶稼働効率を向上し、光透過効率を増大する。ADS技術は、TFT-LCD製品の画面品質を向上することができ、高解析率、高透過率、低電力損失、広い視野角、高開口率、低色収差、プッシュムラ(push Mura)がないなどのメリットを有する。

【0032】

IPS表示方式は、複数の平行しかつ交差に配列する帯状ピクセル電極と帯状コモン電極によって水平電界を形成する。該水平電界は、電界方向が該ピクセルユニットが形成された基板に平行する電界であり、しかも該水平電界は、該ピクセルユニットにおける液晶分子の偏向を駆動して、画像表示を実現する。

【0033】

本発明の実施例によるピクセルユニットは、従来のADS/IPS方式液晶パネルにおけるピクセルユニットとの主な区別は、2つのTFT(Thin Film Transistor: 薄膜トランジスタ)を含み、2つの電極(ピクセル電極)をそれぞれ制御することにある。

【0034】

従来のアレイ基板において各ピクセルユニットが一つのコモン電極を共用するため、一

10

20

30

40

50

ツンピクセルユニットがオンになるときに、ピクセルユニットがコモン電極と結合してコモン電極の電圧に変化を生じさせ、緑がかった表示現象を招いてしまうことがある。一方、本発明の実施例によるピクセルユニットは、2つの互いに絶縁するピクセル電極を設置することによって従来のコモン電極を代えて、かつ該2つのピクセル電極が該ピクセルユニットにおける2つのTFTによってそれぞれ制御される。したがって、該ピクセルユニットがオンとなると、該ピクセルユニットにおける、他のピクセルユニットから独立した2つの電極（ピクセル電極）が液晶分子回転を制御し、その他のピクセルユニットに与える影響も与えないので、緑がかった表示現象の発生を回避した。

【0035】

さらに、第1薄膜トランジスタと第2薄膜トランジスタは、全てのパラメータが同一である。具体的に、第1薄膜トランジスタと第2薄膜トランジスタの寄生容量が同一である。この寄生容量は、薄膜トランジスタのゲート電極とソース電極との間の寄生容量、ゲート電極とドレイン電極との間の寄生容量、およびソース電極とドレイン電極との間の寄生容量を含む。また、本発明の実施例によるピクセルユニットがオンとなると、2つのピクセル電極間に電界を形成し、その後ピクセルユニットがオフとなり、すなわち2つのピクセル電極をそれぞれ制御するTFTをオフにする。このとき、2つのTFTとともに寄生容量が存在するため、2つのピクセル電極上の電圧が同時に低下する。プロセスパラメータを制御することによって、2つのTFTのゲート電極と、2つのピクセル電極に接続するドレイン電極またはソース電極との間に生じる寄生容量を同一にすることができる。上記2つの寄生容量が同一であるため、2つのピクセル電極の電圧降下を一致させて保持することができ、それによって2つのピクセル電極間の電圧差が安定し、さらに画面フリッカー現象の発生を回避する。

【0036】

上述分析から、本発明の実施例によるピクセルユニットにおいて、2つのピクセル電極が設けられており、かつ各ピクセル電極が対応する薄膜トランジスタによってそれぞれ制御されるため、2つのピクセル電極間の電圧差で液晶分子の偏向を制御することができるが、アレイ基板におけるその他のピクセルユニットのピクセル電極上の電圧に影響を与えないことで、緑がかった表示現象の発生を回避したことが分かる。また、ピクセルユニットのオフ時に、2つのピクセル電極をそれぞれ制御する2つの薄膜トランジスタに同一の寄生容量を有することができるため、2つのピクセル電極間の電圧差を安定に保持することで、画面フリッカー現象の発生を回避した。

【0037】

上記ピクセルユニットには、ゲート線とデータ線を更に含む。ゲート線は、薄膜トランジスタのゲート電極に接続し、薄膜トランジスタのゲート電極に電圧を提供することによって薄膜トランジスタをオンにする。データ線は、薄膜トランジスタのソース電極に接続し、薄膜トランジスタのドレイン電極に接続するピクセル電極に電圧を提供する。上記ピクセルユニットには、第1ピクセル電極と第2ピクセル電極の電圧を保持するための蓄積容量（図示せず）が更に設けられている。蓄積容量は、ピクセル電極とコモン電極線との間に生じるものであってもよいし、ピクセル電極とゲート線との間に生じるものであってもよい。

【0038】

図6aないし図6cにおいて、ゲート線およびデータ線と、薄膜トランジスタとの接続の3種類の方式を示し、かつ図6aないし図6cにおいて同一の部品には同一の図面記号が付されている。

【0039】

図6aは、図1におけるゲート線およびデータ線と、薄膜トランジスタとの接続方式と同じであり、図1の簡略図であり、かつ図6aと図1における同一の部品には同一の図面記号が付されている。図1および図6aに示すように、ピクセルユニットにおいて、2本のゲート線G1、G2と1本のデータ線D2を含む。第1薄膜トランジスタT1は、ゲート電極11が2本のゲート線のうちの第1ゲート線G1に電気接続し、第2薄膜トランジ

10

20

30

40

50

スタ T 2 は、ゲート電極 1 2 が 2 本のゲート線のうちの第 2 ゲート線 G 2 に電気接続し、第 1 薄膜トランジスタ T 1 のソース電極 1 3、第 2 薄膜トランジスタ T 2 のソース電極 1 4 がデータ線 D 2 に電気接続する。

【 0 0 4 0 】

図 6 b に示すように、ピクセルユニットにおいて、2 本のゲート線 G 1、G 2 と 2 本のデータ線 D 1、D 2 を含む。第 1 薄膜トランジスタ T 1 は、ゲート電極 1 1 が 2 本のゲート線のうちの第 1 ゲート線 G 1 に電気接続し、第 2 薄膜トランジスタ T 2 は、ゲート電極 1 2 が 2 本のゲート線のうちの第 2 ゲート線 G 2 に電気接続し、第 1 薄膜トランジスタ T 1 は、ソース電極 1 3 が 2 本のデータ線のうちの第 1 データ線 D 1 に電気接続し、第 2 薄膜トランジスタ T 2 は、ソース電極 1 4 が 2 本のデータ線のうちの第 2 データ線 D 2 に電気接続する。

10

【 0 0 4 1 】

図 6 c に示すように、ピクセルユニットにおいて、1 本のゲート線 G 1 と 2 本のデータ線 D 1、D 2 を含んでよい。第 1 薄膜トランジスタ T 1 のゲート電極 1 1、第 2 薄膜トランジスタ T 2 のゲート電極 1 2 がゲート線 G 1 に電気接続し、第 1 薄膜トランジスタ T 1 は、ソース電極 1 3 が 2 本のデータ線のうちの第 1 データ線 D 1 に電気接続し、第 2 薄膜トランジスタ T 2 は、ソース電極 1 4 が 2 本のデータ線のうちの第 2 データ線 D 2 に電気接続する。

【 0 0 4 2 】

図 1 に示すピクセルユニットは、ADS 方式表示パネルにおけるピクセルユニットである。その中、第 2 ピクセル電極 P B は、全層被覆電極（板状電極に見なしてよい）であり、第 1 ピクセル電極 P は、帯状電極（スリット電極に見なしてよい）であり、第 1 ピクセル電極 P は、絶縁層（図示せず）を介して第 2 ピクセル電極 P B に設けられる。もちろん、第 1 ピクセル電極 P、第 2 ピクセル電極 P B の形状および第 1 ピクセル電極 P と第 2 ピクセル電極 P B の上下位置関係は、図 1 に限定されず、第 1 ピクセル電極 P と第 2 ピクセル電極 P B との間に多次元電界を実現可能なその他の形式であってもよい。

20

【 0 0 4 3 】

図 1 に示すピクセルユニットにおいて、2 つの薄膜トランジスタ T 1、T 2 が同時に形成し、かつ第 2 ピクセル電極 P B がデータ線 D 2 と同一の層に形成することが好ましい。それによって第 2 薄膜トランジスタ T 2 は、ドレイン電極が第 2 ピクセル電極 P B に直接的に電気接続する。第 1 ピクセル電極 P が絶縁層を介して第 2 ピクセル電極 P B を被覆するため、第 1 薄膜トランジスタ T 1 は、ドレイン電極がビアホール Y を介して第 1 ピクセル電極 P に電気接続する。図 2 a と図 2 b を参照する。

30

【 0 0 4 4 】

図 2 a は、図 1 における A - A' に沿った第 1 薄膜トランジスタ T 1 の断面図であり、下から順に基板 2 1、ゲート電極 1 1、ゲート絶縁層 2 2、半導体層 2 3 およびソース / ドレイン電極接触層 2 4 を含む。第 1 薄膜トランジスタのゲート電極 1 1 は、ゲート線 G 1 に電気接続する。第 1 薄膜トランジスタのソース電極 1 3 は、ソース電極接触層 2 4 a を被覆し、データ線 D 2 に電気接続する。第 1 薄膜トランジスタのドレイン電極 1 5 は、ドレイン電極接触層 2 4 b を被覆する。ドレイン電極 1 5、ソース電極 1 3、一部暴露の半導体層 2 3 には絶縁層 2 5 が被覆する。絶縁層 2 5 にはビアホール 2 8 が設けられ、絶縁層上に形成される第 1 ピクセル電極 P がビアホール 2 8 を介してドレイン電極 1 5 に電気接続する。

40

【 0 0 4 5 】

図 2 b は、図 1 における B - B' に沿った第 2 薄膜トランジスタ T 2 の断面図であり、下から順に基板 2 1、ゲート電極 1 2、ゲート絶縁層 2 2、半導体層 2 6 およびソース / ドレイン電極接触層 2 7 を含む。第 2 薄膜トランジスタのゲート電極 1 2 は、ゲート線 G 2 に電気接続する。第 2 薄膜トランジスタ T 2 のソース電極 1 4 は、ソース電極接触層 2 7 a を被覆し、データ線 D 2 に電気接続する。第 2 薄膜トランジスタ T 2 のドレイン電極 1 6 は、ドレイン電極接触層 2 7 b を被覆し、ドレイン電極 1 6 の延伸部が第 2 ピクセル

50

電極 P B とする。

【 0 0 4 6 】

図 1、図 2 a および図 2 b における同一の構成部分には同一の図面記号が付される。

【 0 0 4 7 】

図 2 a および図 2 b に示す構造は、プロセス簡単化の前提において提案される好ましい構造であり、すなわち、2つの T F T が同時に形成し、ピクセルユニット形成工程を減少する。もちろん、2つの T F T は、同時形成でなくてもよい。かつ、2つの T F T は、必ずしも図 2 a および図 2 b に示すボトムゲート型構造ではなく、一方の T F T がボトムゲート型構造で他方の T F T がトップゲート型構造であり、または2つの T F T がともにトップゲート型構造であってもよい。それによって、ピクセル電極と T F T のドレイン電極との電気接続は、図 2 a および図 2 b に示す接続方式に限定されず、具体的な接続方式が T F T の構造およびピクセル電極と T F T との相対位置に応じて具体的に決まる。例えば、ピクセル電極が T F T のドレイン電極の上または下に位置する場合、すなわちピクセル電極と T F T のドレイン電極とは同一の層に形成されていない場合、ピクセル電極と T F T のドレイン電極とはビアホールを介して互いに電気接続する。ピクセル電極と T F T のドレイン電極とは同一の層に形成されている場合、ピクセル電極と T F T のドレイン電極とは直接的に電気接続し、ピクセル電極が延伸して T F T のドレイン電極を形成するか、T F T のドレイン電極が延伸してピクセル電極を形成する。

【 0 0 4 8 】

図 3 に示すピクセルユニットは、I P S 方式表示パネルにおけるピクセルユニットであり、図 1 に示すピクセルユニットとの区別は、2つのピクセル電極の構造および位置にある。図 3 において、第 1 ピクセル電極 P ' と第 2 ピクセル電極 P B ' が同一の層に形成し、かつ第 1 ピクセル電極 P ' と第 2 ピクセル電極 P B ' がともに帯状電極である。また、図 3 に示すように、第 1 ピクセル電極 P ' と第 2 ピクセル電極 P B ' は互いに交差に配置する。

【 0 0 4 9 】

図 3 において、図 1 と同一の構成部分には同一の図面記号が付されている。

【 0 0 5 0 】

図 3 に示すピクセルユニットにおいて、2つの薄膜トランジスタ T 1、T 2 が同時に形成し、かつ第 1 ピクセル電極 P ' と第 2 ピクセル電極 P B ' がデータ線 D 1、D 2 と同一の層に形成し、第 1 薄膜トランジスタ T 1 のドレイン電極 1 5 が第 1 ピクセル電極 P ' に直接的に電気接続し、かつ第 2 薄膜トランジスタ T 2 のドレイン電極 1 6 が第 2 ピクセル電極 P B ' に直接的に電気接続することが好ましい。

【 0 0 5 1 】

上述のように、図 3 における2つの T F T が同時に形成することが好ましく、ピクセルユニット形成工程を減少する。もちろん、2つの T F T は、同時形成でなくてもよい。かつ、2つの T F T は、一方の T F T がボトムゲート型構造で他方の T F T がトップゲート型構造であり、または2つの T F T がともにトップゲート型構造かボトムゲート型構造であってもよい。それによって、ピクセル電極と T F T のドレイン電極との電気接続は、上記の直接的な電気接続に限定せず、具体的な接続方式が T F T の構造およびピクセル電極と T F T との相対位置に応じて具体的に決まる。

【 0 0 5 2 】

もちろん、図 1 と図 3 は、ピクセルユニットの模式図に過ぎない。図 1 に示す第 1 ピクセル電極 P は、3本のスリットを含み、かつスリットが縦方向である。図 3 に示す第 1 ピクセル電極 P '、第 2 ピクセル電極 P B ' は2つの分岐しか含まない。本分野の技術者が知っているように、2つのピクセル電極の形状は、2つのピクセル電極間においてピクセルユニットの表面に平行する多次元電界または水平電界を生じさせ、2つのピクセル電極を電気絶縁させるようなあらゆる形状である。

【 0 0 5 3 】

本発明の実施例は、行列分布をなす複数の上記ピクセルユニットを含むアレイ基板を更

10

20

30

40

50

に提供している。図4は、該アレイ基板における隣接する4つのピクセルユニットCを示している。該4つのピクセルユニットCは、図3に示すピクセルユニットの構造を採用する。その中、一つのピクセルユニットCは、同列で隣接行に位置するピクセルユニットと1本のゲート線を共用してよい。もちろん、本発明は、これに限定しない。図4から、同列に位置する2つの隣接するピクセルCの境界に1本のゲート線 G_i が設けられており、かつゲート線 G_i に接近し該隣接する2つのピクセルユニットのそれぞれに位置するTFTのゲート電極がともに該ゲート線 G_i に接続する。なお、 i は、ゲート線の番号を示し、 G_i は、 i 本目のゲート線を示す。該アレイ基板には n 行 m 列のピクセルユニットを有すると仮定すると、該アレイ基板のゲート線は、計 $n+1$ 本ある。図4におけるアルファベット j は、ピクセルユニットの列番号を示し、すなわち、アルファベット j に対応する列のピクセルユニットが j 列目のピクセルユニットである。 j 列目のピクセルユニットにおけるTFTのソース電極はデータ線 D_j に接続する。同様に、 $j-1$ 列目のピクセルユニットにおけるTFTのソース電極はデータ線 D_{j-1} に接続し、 $j+1$ 列目のピクセルユニットにおけるTFTのソース電極はデータ線 D_{j+1} に接続する。

【0054】

図4に示すアレイ基板は、図3に示すピクセルユニットの構造を採用するが、もちろん本分野の技術者が知っていて本発明に適用するその他のピクセルユニットの構造を採用してもよい。

【0055】

本発明の実施例によるアレイ基板において、本発明の上記実施例による、単独のTFTによってそれぞれ制御される2つのピクセル電極を有するデュアル電極型ピクセルユニットを採用しているため、従来技術を使用して生じる緑がかった表示現象と画面フリッカー現象を回避できる。

【0056】

本発明の実施例において、液晶表示パネルと液晶表示装置も提供している。該液晶表示パネルには上記実施例に記載するアレイ基板を有する。該液晶表示装置には該液晶表示パネルを有する。該液晶表示パネルと液晶表示装置には、ともに本発明の上記実施例による、単独のTFTによってそれぞれ制御される2つのピクセル電極を有するデュアル電極型ピクセルユニットを採用しているため、従来技術を使用して生じる緑がかった表示現象と画面フリッカー現象を回避できる。

【0057】

本発明の実施例において、ピクセルユニットの駆動方法も提供している。該ピクセルユニットは、図1に示すように、第1薄膜トランジスタ T_1 、第2薄膜トランジスタ T_2 、第1ピクセル電極 P および第2ピクセル電極 PB を含み、第1薄膜トランジスタ T_1 のドレイン電極が第1ピクセル電極 P に電気接続し、第2薄膜トランジスタ T_2 のドレイン電極が第2ピクセル電極 PB に電気接続し、かつ第1ピクセル電極と第2ピクセル電極が電気絶縁する。該駆動方法において、第1ピクセル電極 P に第1電圧を提供することと、第2ピクセル電極 PB に第2電圧を提供することと、第1電圧と第2電圧との間に電圧差が存在するとき、該第1ピクセル電極と第2ピクセル電極との間に電界を形成することを含む。

【0058】

本発明の実施例によるピクセルユニットの駆動方法において、2つの互いに絶縁するピクセル電極をピクセルユニットに設置することによって従来のコモン電極を代えて、かつ該2つのピクセル電極が該ピクセルユニットにおける2つのTFTによってそれぞれ制御される。したがって、該ピクセルユニットがオンとなるとき、電圧が2つのTFTを介して他のピクセルユニットから独立した2つの電極（ピクセル電極）にそれぞれ印加されて液晶分子回転を制御し、その他のピクセルユニットにいかなる影響も与えないので、緑がかった表示現象の発生を回避した。

【0059】

また、ピクセルユニットがオンとなるとき、2つのピクセル電極間に電界を形成し、そ

10

20

30

40

50

の後ピクセルユニットがオフとなり、すなわち2つのピクセル電極をそれぞれ制御するTFTをオフにする。このとき、2つのTFTとともにリーク電流が存在するため、2つのピクセル電極上の電圧が同時に低下する。プロセスパラメータを制御することによって2つのTFTの寄生容量を同一にすることができる。したがって、2つのピクセル電極の電圧降下を一致させて保持することができ、それによって2つのピクセル電極間の電圧差が安定し、さらに画面フリッカー現象の発生を回避する。

【0060】

上述分析から、本発明の実施例によるピクセルユニットにおいて、ピクセルユニットには2つのピクセル電極が設けられており、かつ各ピクセル電極が対応する薄膜トランジスタによってそれぞれ制御されるため、2つのピクセル電極間の電圧差で液晶分子の偏向を制御することができるが、アレイ基板におけるその他のピクセルユニットのピクセル電極上の電圧に影響を与えないことで、緑がかった表示現象の発生を回避したことが分かる。また、ピクセルユニットのオフ時に、2つのピクセル電極をそれぞれ制御する2つの薄膜トランジスタに同一の寄生容量を有することができるため、2つのピクセル電極間の電圧差を安定に保持することで、画面フリッカー現象の発生を回避した。

【0061】

上記実施例において、図6aないし図6cによってピクセルユニットにおけるゲート線およびデータ線と薄膜トランジスタとの接続の3種類の方式を示したが、対応的に、異なる接続方式のピクセルユニットについて異なる駆動方法を有する。以下、図6aないし図6cにおけるピクセルの駆動方法についてそれぞれ説明する。

【0062】

図6aに示すように、ピクセルユニットには、2本のゲート線G1、G2と1本のデータ線D2を含む。上記ピクセルユニットの駆動方法において第1ピクセル電極Pに第1電圧を提供するステップは、具体的に、第1薄膜トランジスタT1のゲート電極11に電気接続する2本のゲート線のうちの第1ゲート線G1にターンオン電圧を印加することによって、第1薄膜トランジスタT1をオンにし、第1薄膜トランジスタT1のソース電極13に電気接続するデータ線D2を介して第1ピクセル電極Pに第1電圧を印加することを含む。

【0063】

上記ピクセルユニットの駆動方法において第2ピクセル電極PBに第2電圧を提供するステップは、具体的に、第2薄膜トランジスタT2のゲート電極12に電気接続する2本のゲート線のうちの第2ゲート線G2にターンオン電圧を印加することによって、第2薄膜トランジスタT2をオンにし、第2薄膜トランジスタT2のソース電極14に電気接続するデータ線D2を介して第2ピクセル電極PBに第2電圧を印加することを含む。

【0064】

図6bに示すように、ピクセルユニットには、2本のゲート線G1、G2と2本のデータ線D1、D2を含む。上記ピクセルユニットの駆動方法において第1ピクセル電極Pに第1電圧を提供するステップは、具体的に、第1薄膜トランジスタT1のゲート電極11に電気接続する2本のゲート線のうちの第1ゲート線G1にターンオン電圧を印加することによって、第1薄膜トランジスタT1をオンにし、第1薄膜トランジスタT1のソース電極13に電気接続する2本のデータ線のうちの第1データ線D1を介して第1ピクセル電極Pに第1電圧を印加することを含む。

【0065】

上記ピクセルユニットの駆動方法において第2ピクセル電極PBに第2電圧を提供するステップは、具体的に、第2薄膜トランジスタT2のゲート電極12に電気接続する2本のゲート線のうちの第2ゲート線G2にターンオン電圧を印加することによって、第2薄膜トランジスタT2をオンにし、第2薄膜トランジスタT2のソース電極14に電気接続する2本のデータ線のうちの第2データ線D2を介して第2ピクセル電極PBに第2電圧を印加することを含む。

【0066】

図 6 c に示すように、ピクセルユニットには、1 本のゲート線 G 1 と 2 本のデータ線 D 1、D 2 を含む。上記ピクセルユニットの駆動方法において第 1 ピクセル電極 P に第 1 電圧を提供するステップと、第 2 ピクセル電極に第 2 電圧を提供するステップは、同時に行なわれる。具体的に、第 1 薄膜トランジスタ T 1 のゲート電極 1 1 と第 2 薄膜トランジスタ T 2 のゲート電極 1 2 の両方に電気接続するゲート線 G 1 にターンオン電圧を印加することによって、第 1 薄膜トランジスタ T 1 と第 2 薄膜トランジスタ T 2 を同時にオンにし、第 1 薄膜トランジスタ T 1 のソース電極 1 3 に電気接続する 2 本のデータ線のうちの第 1 データ線 D 1 を介して第 1 ピクセル電極 P に第 1 電圧を印加するとともに、第 2 薄膜トランジスタ T 2 のソース電極 1 4 に電気接続する 2 本のデータ線のうちの第 2 データ線 D 2 を介して第 2 ピクセル電極 P B に第 2 電圧を印加することを含む。

10

【0067】

アレイ基板における各ピクセルユニットがどのように駆動されるかをより明確に説明するために、以下、図 4 と図 5 と結びつけてアレイ基板駆動方法の一つの具体的な実例を記載する。

【0068】

該方法は、図 4 に示すアレイ基板を駆動するために用いる。行走査方式を採用し、すなわち、行ごとにゲート線に電圧を印加する。

【0069】

具体的に、ワンフレーム画像の表示時間内に、図 4 に示すアレイ基板における j 列目のピクセルユニットのデータ線 D_j に対して、図 5 に示すデータ電圧 Data_in を印加すると仮定する。波形図からわかるように、指定した時間インターバル $t_1 \sim t_8$ において、データ線に順次印加する電圧は、0 v、- 2 v、+ 3 v、- 2 v、0 v、0 v、- 2 v、1 v である。同時に該フレーム画像の表示時間内に、指定した時間インターバル $t_1 \sim t_8$ において、i - 1 本目ゲート線ないし i + 6 本目ゲート線に順次ターンオン電圧を印加する。すなわち、第 1 時間インターバル t_1 のとき、i - 1 行目ゲート線 G_{i-1} にターンオン電圧を印加し、i 行目ピクセルユニットの第 1 薄膜トランジスタがオンとなり、i 行 j 列目のピクセル C において第 1 薄膜トランジスタ T 1 に接続する第 1 ピクセル電極 P に 0 v 電圧を印加する。第 2 時間インターバル t_2 のとき、i - 1 行目ゲート線 G_{i-1} がオフとなり、すなわち i - 1 行目ピクセルユニットの第 1 薄膜トランジスタ T 1 がオフとなる。蓄積容量の作用によって、第 1 ピクセル電極 P 上の電圧は、ワンフレーム画像の表示終了まで保持できる。i 本目ゲート線 G_i にターンオン電圧を印加し、i 行目ピクセルユニットの第 2 薄膜トランジスタ T 2 および i + 1 行目のピクセルユニットの第 1 薄膜トランジスタがオンとなり、i 行 j 列目のピクセル C において第 2 薄膜トランジスタ T 2 に接続する第 2 ピクセル電極 P B に - 2 v 電圧を印加し、同時に i + 1 行 j 列目のピクセルにおいて第 1 薄膜トランジスタに接続する第 1 ピクセル電極にも - 2 v 電圧を印加する。それによって、i 行 j 列目のピクセル C において第 1 ピクセル電極 P と第 2 ピクセル電極 P B との間に (- 2 - 0) v の電圧差を形成し、すなわち - 2 v の電圧差を形成する。水平電界を形成して該ピクセルユニットを駆動して表示をする。同様に、i 行目ゲート線 G_i がオフとなり、i + 1 行目のゲート線 G_{i+1} がオンとなるとき、蓄積容量によって、i 行 j 列目のピクセルユニット C における第 2 ピクセル電極の電圧をワンフレーム画像表示終了まで保持させる。これに準じて類推する。図 5 において、P と示す実線の波形は、各ピクセルユニットの第 1 ピクセル電極 P に順に印加した電圧を示し、P B と示す点線の波形は、各ピクセルユニットの第 2 ピクセル電極 P B に順に印加した電圧を示す。第 2 ピクセル電極 P B 上の電圧から第 1 ピクセル電極 P 上の電圧を減じて電圧差 ΔV を取得する。該電圧差は、ピクセルユニットにおける液晶分子の偏向を制御する電圧である。

20

30

40

【0070】

該駆動方法を採用することによって、同一の液晶分子偏向電圧を取得する前提において、単一のピクセル電極に印加する電圧の絶対値を明らかに低下させることができる。例えば、図 5 に示すように、時間インターバル t_2 のとき、取得した両ピクセル電極間の電圧差が + 5 v であり、2 つのピクセル電極に印加する電圧がそれぞれ - 2 v と + 3 v である

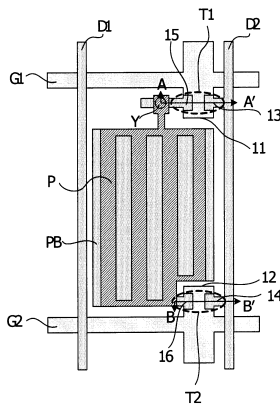
50

。従来の一つのピクセル電極と一つのコモン電極のピクセルユニット構造を駆動する場合、通常コモン電極の電圧が0に設定される。ピクセル電極とコモン電極間の+5vの電圧差を取得しようとする、該ピクセル電極に+5vの電圧を印加する必要がある。

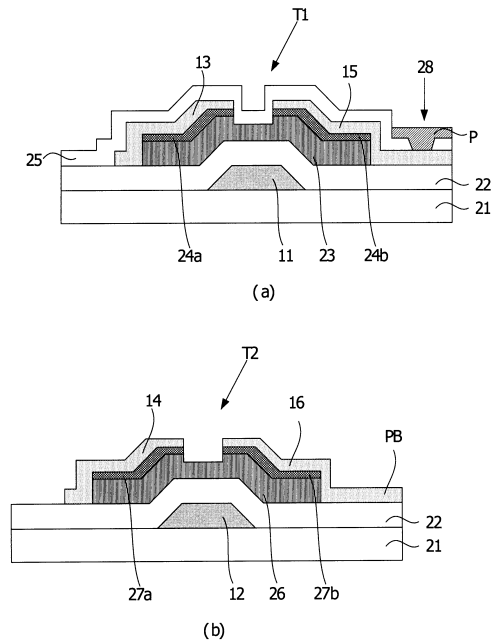
【0071】

以上の記載は、本発明の具体的な実施形態に過ぎない。しかし、本発明の保護範囲は、これに限らない。本技術分野を熟知する技術者が本発明によって開示された技術範囲内において容易に想到できるあらゆる変形形態または代替形態は、いずれも本発明の保護範囲内にカバーされる。したがって、本発明の保護範囲は、記載した請求項の保護範囲を基準とするべきである。

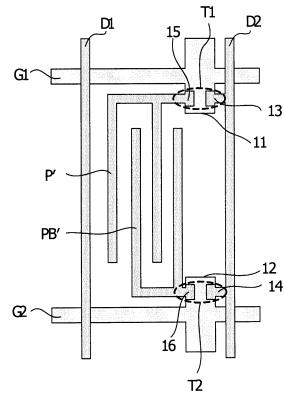
【図1】



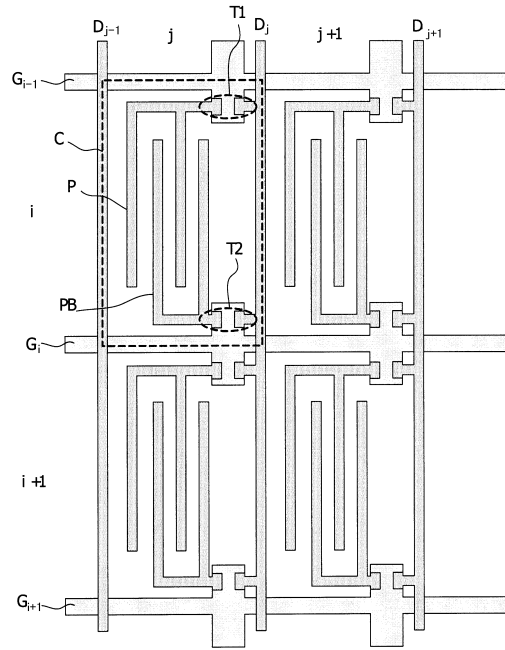
【図2】



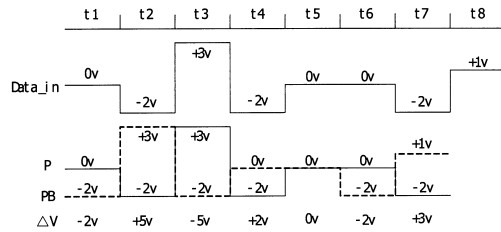
【図 3】



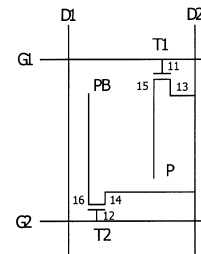
【図 4】



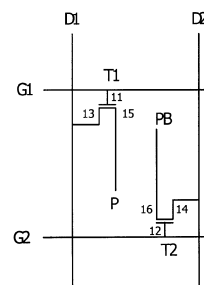
【図 5】



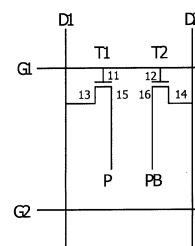
【図 6】



(a)



(b)



(c)

フロントページの続き

(72)発明者 リュウ ヨフ
中華人民共和国北京市経済技術開発区地澤路9号

審査官 磯崎 忠昭

(56)参考文献 米国特許出願公開第2010/0245700(US, A1)
特開2012-008536(JP, A)
特開2010-277068(JP, A)
特開2005-077424(JP, A)
特開2003-091014(JP, A)
米国特許出願公開第2012/0099037(US, A1)
特開2006-215462(JP, A)
特開2010-002504(JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F	1/1368
G02F	1/133
G02F	1/1343

专利名称(译)	阵列基板，液晶显示装置和阵列基板的驱动方法		
公开(公告)号	JP6253187B2	公开(公告)日	2017-12-27
申请号	JP2013218380	申请日	2013-10-21
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
当前申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
[标]发明人	リュウヨフ		
发明人	リュウ ヨフ		
IPC分类号	G02F1/1368 G02F1/133		
CPC分类号	G02F1/134363 G02F1/13624 G09G3/3659 G09G2300/0847 G09G2320/0247 H01L27/1251 H01L27/1255 H05B47/10		
FI分类号	G02F1/1368 G02F1/133.550		
F-TERM分类号	2H192/AA24 2H192/BB01 2H192/BB11 2H192/CB05 2H192/CB12 2H192/CB22 2H192/CC22 2H192/CC62 2H192/GD61 2H193/ZA04 2H193/ZA19 2H193/ZB02 2H193/ZB03 2H193/ZE40 2H193/ZQ16		
代理人(译)	三好浩之		
审查员(译)	矶崎忠明		
优先权	201210405075.9 2012-10-22 CN		
其他公开文献	JP2014085670A		
外部链接	Espacenet		

摘要(译)

传统的液晶显示装置，以解决显示图像时存在的显示现象和屏幕闪烁现象偏绿。在本发明的实施例，由于具有以像素为单位设置两个像素电极，并且每个像素电极通过与两个像素电极之间的电压差对应的薄膜晶体管，液晶分别控制它可以控制分子的偏转，这并不影响对其他像素单元在阵列基板的像素电极的电压，并避免显示症状绿色的发生。另外，当关断像素单位，所以能够在相同的寄生电容分别控制两个像素电极，两个薄膜晶体管，通过稳定地保持两个像素电极之间的电压差，屏幕闪烁被避免了。点域1

(19) 日本国特許庁(JP)	(12) 特 許 公 報(B2)	(11) 特許番号 特許第6253187号 (P6253187)
(45) 発行日 平成29年12月27日(2017.12.27)	(24) 登録日 平成29年12月8日(2017.12.8)	
(51) Int. Cl. G02F 1/1368 (2006.01) G02F 1/133 (2006.01)	FI G02F 1/1368 G02F 1/133 550	
請求項の数 12 (全 16 頁)		
(21) 出願番号 特願2013-218380(P2013-218380)	(73) 特許権者 510280589	
(22) 出願日 平成25年10月21日(2013.10.21)	京東方科技集團股▲ふん▼有限公司	
(65) 公開番号 特開2014-85670(P2014-85670A)	BOE TECHNOLOGY GROUP CO., LTD.	
(43) 公開日 平成26年5月12日(2014.5.12)	中華人民共和國100015北京市朝陽區酒仙橋路10號	
審査請求日 平成28年5月17日(2016.5.17)	No.10 Jiuxianqiao Rd., Chaoyang District, Beijing 100015, CHINA	
(31) 優先権主張番号 201210405075.9	(74) 代理人 100133514	
(32) 優先日 平成24年10月22日(2012.10.22)	弁理士 寺山 啓進	
(33) 優先権主張国 中国(CN)	(74) 代理人 100122810	
	弁理士 三好 広之	
最終頁に続く		
(54) 【発明の名称】 アレイ基板、液晶表示装置およびアレイ基板の駆動方法		