

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6239276号
(P6239276)

(45) 発行日 平成29年11月29日 (2017.11.29)

(24) 登録日 平成29年11月10日 (2017.11.10)

(51) Int. Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1368 (2006.01)	GO2F 1/1368
HO1L 21/336 (2006.01)	HO1L 29/78 612Z
HO1L 29/786 (2006.01)	

請求項の数 10 (全 12 頁)

(21) 出願番号	特願2013-131496 (P2013-131496)	(73) 特許権者	510280589
(22) 出願日	平成25年6月24日 (2013. 6. 24)		京東方科技集團股▲ふん▼有限公司
(65) 公開番号	特開2014-26277 (P2014-26277A)		BOE TECHNOLOGY GROU P CO., LTD.
(43) 公開日	平成26年2月6日 (2014. 2. 6)		中華人民共和国100015北京市朝陽區
審査請求日	平成28年5月20日 (2016. 5. 20)		酒仙橋路10號
(31) 優先権主張番号	201220367115.0		No. 10 Jiuxianqiao R d., Chaoyang Distric t, Beijing 100015, CH INA
(32) 優先日	平成24年7月26日 (2012. 7. 26)	(73) 特許権者	512116114
(33) 優先権主張国	中国 (CN)		北京京▲東▼方▲顯▼示技▲術▼有限公司
			中華人民共和国100176北京市經濟技 術開發區▲經▼海一路118号
			最終頁に続く

(54) 【発明の名称】 アレイ基板、液晶ディスプレイパネル及び液晶ディスプレイ装置

(57) 【特許請求の範囲】

【請求項 1】

基板平面内で互いに交差する第1方向と第2方向に沿ってそれぞれ延在するゲートラインとデータラインを含む複数のアレイ基板ユニットを含むアレイ基板であって、

各アレイ基板ユニットは、四つのアレイ基板サブユニットを含み、前記四つのアレイ基板サブユニットは、前記第1方向と前記第2方向で配列されてサブユニット行とサブユニット列を形成し、且つ、各サブユニット行と各サブユニット列は、それぞれ二つのアレイ基板サブユニットを有し、

各アレイ基板サブユニット内に、三つの画素と、該三つの画素に電氣的に接続される1本のデータラインと3本のゲートラインを含み、前記3本のゲートラインは第1ゲートライン、第2ゲートライン、第3ゲートラインであり、且つ、

各サブユニット行の二つのアレイ基板サブユニットは前記3本のゲートラインを共用し、各サブユニット列の二つのアレイ基板サブユニットは1本のデータラインとその中の1本のゲートラインを共用し、

各アレイ基板サブユニット内において、前記第1ゲートライン、前記三つの画素、前記第2ゲートライン及び前記第3ゲートラインが、前記第2方向に順次に配列されており、

各アレイ基板ユニット内において、第1サブユニット行と第2サブユニット行が前記第2方向に順次に配列され、前記第1サブユニット行の第3ゲートラインと前記第2サブユニット行の第1ゲートラインが同一のゲートラインであるアレイ基板。

【請求項 2】

10

20

各アレイ基板サブユニット内において、前記三つの画素が第 1 方向に沿って配列される請求項 1 に記載のアレイ基板。

【請求項 3】

各アレイ基板サブユニット内において、各画素がスイッチを介して対応するゲートラインとデータラインにそれぞれ電氣的に接続される請求項 1 又は 2 に記載のアレイ基板。

【請求項 4】

前記スイッチが T F T である請求項 3 に記載のアレイ基板。

【請求項 5】

前記三つの画素が、それぞれ第 1 画素、第 2 画素、第 3 画素であり、且つ、

各アレイ基板サブユニット内において、前記第 1 画素は第 1 T F T と第 2 T F T を介して前記第 1 ゲートライン、前記第 2 ゲートライン、前記データラインとそれぞれ電氣的に接続し、前記第 1 T F T のゲート電極は前記第 3 ゲートラインと接続し、前記第 1 T F T のドレイン電極は前記第 1 ゲートラインと接続し、前記第 1 T F T のソース電極は前記第 2 T F T のゲート電極と接続し、前記第 2 T F T のドレイン電極は前記データラインと接続し、前記第 2 T F T のソース電極は前記第 1 画素と接続し、

第 2 画素は第 3 T F T と第 4 T F T を介して前記第 2 ゲートライン、前記第 3 ゲートライン、前記データラインとそれぞれ電氣的に接続し、前記第 3 T F T のゲート電極は前記第 3 ゲートラインと接続し、前記第 3 T F T のドレイン電極は前記第 2 ゲートラインと接続し、前記第 3 T F T のソース電極は前記第 4 T F T のゲート電極と接続し、前記第 4 T F T のドレイン電極は前記データラインと接続し、前記第 4 T F T のソース電極は前記第 2 画素と接続し、

第 3 画素は第 5 T F T を介して前記第 1 ゲートライン、前記データラインとそれぞれ電氣的に接続し、前記第 5 T F T のゲート電極は前記第 1 ゲートラインと接続し、前記第 5 T F T のドレイン電極は前記データラインと接続し、前記第 5 T F T のソース電極は前記第 3 画素と接続する請求項 4 に記載のアレイ基板。

【請求項 6】

前記複数のアレイ基板ユニットがマトリックス状に配列され、且つ、前記第 2 方向において、前のアレイ基板ユニットの最後の 1 本である第 3 ゲートラインと次のアレイ基板ユニットの最初の 1 本である第 1 ゲートラインが同一のゲートラインである請求項 1 ~ 5 のいずれか 1 項に記載のアレイ基板。

【請求項 7】

前記第 1 方向と前記第 2 方向が互いに垂直である請求項 1 ~ 6 のいずれか 1 項に記載のアレイ基板。

【請求項 8】

前記ゲートラインは駆動信号を提供し、前記データラインは極性連続反転の電圧信号を提供する請求項 1 ~ 7 のいずれか 1 項に記載のアレイ基板。

【請求項 9】

カラーフィルター基板、アレイ基板及び前記カラーフィルター基板と前記アレイ基板との間にある液晶を含む液晶ディスプレイパネルであって、前記アレイ基板は請求項 1 ~ 8 のいずれか 1 項に記載のアレイ基板である液晶ディスプレイパネル。

【請求項 10】

バックライト、液晶パネル及び前記液晶パネルに制御信号を提供するための集積回路パッドを含み、前記液晶パネルがカラーフィルター基板、アレイ基板及び前記カラーフィルター基板と前記アレイ基板との間にある液晶を含む液晶ディスプレイ装置であって、前記アレイ基板が請求項 1 ~ 8 のいずれか 1 項に記載のアレイ基板である液晶ディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アレイ基板、液晶ディスプレイパネル及び液晶ディスプレイ装置に関する。

【背景技術】

【0002】

液晶ディスプレイ装置は、パネル内の画素電極と共通電極との間で電界を形成して、液晶分子の配列を制御し、且つ、光に対する液晶分子の屈折率を制御することによって、画面を表示するフラットパネルディスプレイ装置である。液晶ディスプレイ装置のパネルは、アレイ基板とカラーフィルター基板から構成される。アレイ基板は、水平に延在するゲートラインと垂直に延在するデータラインから構成され、且つ、各ゲートラインと各データラインとが交差する箇所に一つのスイッチが設けられ、各画素を制御する。

【0003】

アレイ基板は、通常に一定の数のアレイ基板ユニットにより構成される。従来の技術においては、アレイ基板ユニットに関する設計案が多い。

10

【0004】

図1は、その中の一種のアレイ基板ユニットの構成の概略図である。図1で示すアレイ基板ユニットは、Dual Gate駆動方式で駆動されており、その具体的な構成は、アレイ基板ユニットに水平に延在する第1ゲートラインG1、第2ゲートラインG2、第3ゲートラインG3及び第4ゲートラインG4と、垂直に延在する第1データラインD1、第2データラインD2及び第3データラインD3とを設置する。第1ゲートラインG1と第2ゲートラインG2との間に画素R1、画素G1、画素B1、画素R2、画素G2及び画素B2を設置し、各画素が第1ゲートラインG1と第2ゲートラインG2との間に水平に配列される。同じく、第3ゲートラインG3と第4ゲートラインG4との間に画素R3、画素G3、画素B3、画素R4、画素G4及び画素B4を設置し、各画素が第3ゲートラインG3と第4ゲートラインG4との間に水平に配列される。画素R1、画素G1、画素B1及びこれらに接続されるゲートラインとデータラインが第1アレイ基板サブユニットを構成し、画素R2、画素G2、画素B2及びこれらに接続されるゲートラインとデータラインが第2アレイ基板サブユニットを構成し、画素R3、画素G3、画素B3及びこれらに接続されるゲートラインとデータラインが第3アレイ基板サブユニットを構成し、画素R4、画素G4、画素B4及びこれらに接続されるゲートラインとデータラインが第4アレイ基板サブユニットを構成する。各アレイ基板サブユニット内において、各画素とゲートライン及びデータラインとの接続方式は類似し、単に接続されるゲートラインとデータラインが違うだけである。以下、第1アレイ基板サブユニットを例として説明をする。画素R1はスイッチを介して第1ゲートラインG1と第1データラインD1にそれぞれ電氣的に接続されており、画素G1はスイッチを介して第2ゲートラインG2と第1データラインD1にそれぞれ電氣的に接続されており、画素B1はスイッチを介して第2ゲートラインG2と第2データラインD2にそれぞれ電氣的に接続される。

20

30

【0005】

図2は、他の一種のアレイ基板ユニットの構成の概略図である。図2に示すアレイ基板ユニットは、Triple Gate駆動方式で駆動されており、その具体的な構成は、アレイ基板ユニットに水平に延在する第1ゲートラインG1、第2ゲートラインG2、第3ゲートラインG3、第4ゲートラインG4、第5ゲートラインG5及び第6ゲートラインG6と、垂直に延在する第1データラインD1及び第2データラインD2とを設置する。図1の画素構成とは違うのは、図2における各画素は、長辺が水平方向に沿って、短辺が垂直方向に沿う。画素R1と画素R2は、第1ゲートラインG1の上方に水平配列され、画素R1は、第1ゲートラインG1と第1データラインD1にそれぞれ電氣的に接続されており、画素R2は、第1ゲートラインG1と第2データラインD2にそれぞれ電氣的に接続されており、画素G1と画素G2は、第1ゲートラインG1と第2ゲートラインG2との間に水平配列され、画素G1は、第2ゲートラインG2と第1データラインD1に電氣的にそれぞれ接続されており、画素G2は、第2ゲートラインG2と第2データラインD2にそれぞれ電氣的に接続されており、画素B1と画素B2は、第2ゲートラインG2と第3ゲートラインG3との間に水平配列され、画素B1は、第3ゲートラインG3と第1データラインD1にそれぞれ電氣的に接続されており、画素B2は、第3ゲートライ

40

50

ン G 3 と第 2 データライン D 2 にそれぞれ電氣的に接続されており、画素 R 3 と画素 R 4 は、第 3 ゲートライン G 3 と第 4 ゲートライン G 4 との間に水平配列され、画素 R 3 は、第 4 ゲートライン G 4 と第 1 データライン D 1 にそれぞれ電氣的に接続されており、画素 R 4 は、第 4 ゲートライン G 4 と第 2 データライン D 2 にそれぞれ電氣的に接続されており、画素 G 3 と画素 G 4 は、第 4 ゲートライン G 4 と第 5 ゲートライン G 5 との間に水平配列され、画素 G 3 は、第 5 ゲートライン G 5 と第 1 データライン D 1 にそれぞれ電氣的に接続されており、画素 G 4 は、第 5 ゲートライン G 5 と第 2 データライン D 2 にそれぞれ電氣的に接続されており、画素 B 3 と画素 B 4 は、第 5 ゲートライン G 5 と第 6 ゲートライン G 6 との間に水平配列され、画素 B 3 は、第 6 ゲートライン G 6 と第 1 データライン D 1 にそれぞれ電氣的に接続されており、画素 B 4 は、第 6 ゲートライン G 6 と第 2 データライン D 2 にそれぞれ電氣的に接続される。

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

アレイ基板ユニットからなるアレイ基板がパネルと結合する際、チップ・オン・フィルム (COF、Chip On Film) を使う必要があり、使われる COF の数は、ゲートラインとデータラインの数に係わり、ゲートラインとデータラインが多いほど、需要する COF の数も多いので、生産コストが高くなる。この故、どのようにアレイ基板ユニットを設計して、ゲートラインとデータラインの数を減らし、これにより液晶パネルの生産に必要となる COF の数を減らすのが従来の技術において解決すべく課題となっている。

20

【課題を解決するための手段】

【0007】

本発明は、液晶パネルの生産に必要となる COF の数を減らすことができるアレイ基板ユニット、アレイ基板、液晶ディスプレイパネル及び液晶ディスプレイ装置を提供する。

【0008】

本発明のアレイ基板は、複数のアレイ基板ユニットを含み、各アレイ基板ユニットは、基板平面内で互いに交差する第 1 方向と第 2 方向に沿ってそれぞれ延在するゲートラインとデータラインを含み、その中で、

各アレイ基板ユニットは、四つのアレイ基板サブユニットを含み、前記四つのアレイ基板サブユニットは第 1 方向と第 2 方向に配列されてサブユニット行とサブユニット列を形成し、且つ、各サブユニット行及びサブユニット列は、それぞれ二つのアレイ基板サブユニットを有し、

30

各アレイ基板サブユニットは、三つの画素と、この三つの画素に電氣的に接続される 1 本のデータラインと 3 本のゲートラインとを含み、前記 3 本のゲートラインは、それぞれ第 1 ゲートライン、第 2 ゲートライン及び第 3 ゲートラインであり、

各サブユニット行の二つのアレイ基板サブユニットは前記 3 本のゲートラインを共用し、各サブユニット列の二つのアレイ基板サブユニットは 1 本のデータラインとその中の 1 本のゲートラインを共用する。

【0009】

40

また、本発明は、カラーフィルター基板と、前記アレイ基板と、前記カラーフィルター基板と前記アレイ基板との間にある液晶とを備える液晶パネルを提供する。

【0010】

また、本発明は、バックライトと、液晶パネルと、液晶パネルに制御信号を提供するための集積回路パッドを含み、その中で、前記液晶パネルが、カラーフィルター基板と、前記アレイ基板と、前記カラーフィルター基板と前記アレイ基板との間にある液晶とを含む液晶ディスプレイ装置を提供する。

【0011】

本発明で提供されるアレイ基板ユニットは、5 本のゲートラインと 2 本のデータラインを含み、Dual Gate 駆動方式で駆動されるアレイ基板ユニットに比べて 1 本のデ

50

ータラインを減らし、T r i p l e G a t e 駆動方式で駆動されるアレ基板ユニットに比べて1本のゲートラインを減らし、各液晶パネルが数百のアレ基板ユニットを含むので、液晶パネルの生産に必要となるC O F の量を有効的に減らす。

本発明の技術案をより明確に説明するために、以下、実施形態の図面に対して簡単に説明する。明らかに、以下に述べる図面は、単に本発明の部分的実施形態に係わり、本発明に対する制限ではない。

【図面の簡単な説明】

【0012】

【図1】従来の技術におけるD u a l G a t e 駆動方式であるアレ基板ユニットの構成の概略図である。

10

【図2】従来の技術におけるT r i p l e G a t e 駆動方式であるアレ基板ユニットの構成の概略図である。

【図3 a】本発明の実施形態における一つのアレ基板サブユニットの構成の概略図である。

【図3 b】本発明の実施形態におけるアレ基板ユニットの構成の概略図である。

【図4】本発明の実施形態における各ゲートラインが提供する駆動信号の波形の概略図である。

【発明を実施するための形態】

【0013】

本発明の目的、技術案及びメリットをより明確にするために、以下、本発明の実施形態の図面を参照しながら、本発明の実施形態に対して明確且つ完全に説明する。なお、説明する実施形態は、本発明の実施形態の一部に過ぎず、全部の実施形態ではない。説明する本発明の実施形態に基づいて、当業者が創作活動をしないう前提で得られるすべてのほかの実施形態は、全部本発明の保護内に入る。

20

【0014】

液晶パネルの生産に必要となるC O F の量を減らすために、本発明の実施形態は、アレ基板ユニット、アレ基板、液晶ディスプレイパネル及び液晶ディスプレイ装置を提供する。

【0015】

本発明の実施形態が提供するアレ基板ユニットは、四つのアレ基板サブユニットを含み、各アレ基板サブユニットは、水平方向と垂直方向において二つずつ対称であるように配列されており、各アレ基板サブユニット内に画素R、画素G、画素Bである三つの画素と、前記三つの画素に電氣的に接続される1本のデータラインと3本のゲートラインとを含む。3本のゲートラインは、それぞれゲートラインG1、ゲートラインG2及びゲートラインG3である。水平に配列された二つのアレ基板サブユニットは、3本のゲートラインを共用し、垂直に配列された二つのアレ基板サブユニットは、1本のデータラインとその中の1本のゲートラインを共用する。

30

【0016】

例えば、四つのアレ基板サブユニットが水平方向と垂直方向に配列されて、サブユニット行とサブユニット列を形成し、且つ、各サブユニット行と各サブユニット列は、すべて二つのアレ基板サブユニットを有する。

40

【0017】

例えば、各アレ基板サブユニット内に、三つの画素と、この三つの画素に電氣的に接続される1本のデータラインと3本のゲートラインとを含み、前記3本のゲートラインが第1ゲートライン、第2ゲートライン及び第3ゲートラインであり、且つ、各サブユニット行の二つのアレ基板サブユニットが前記3本のゲートラインを共用し、各サブユニット列の二つのアレ基板サブユニットが1本のデータラインとその中の1本のゲートラインを共用する。

【0018】

例えば、各アレ基板サブユニット内において、前記3本のゲートライン中の第1ゲ

50

トライン、三つの画素、前記 3 本のゲートライン中の第 2 ゲートライン及び前記 3 本のゲートライン中の第 3 ゲートラインが前記第 2 方向に順次に配列されており、各アレイ基板ユニット内において、第 1 サブユニット行と第 2 サブユニット列が前記第 2 方向に順次に配列され、前記第 1 サブユニット行の第 3 ゲートラインと前記第 2 サブユニット行の第 1 ゲートラインが同一のゲートラインである。例えば、各アレイ基板サブユニット内において、前記三つの画素は、第 1 方向に沿って配列される。

【 0 0 1 9 】

例えば、図 3 a は、一つのアレイ基板サブユニットの構成の概略図であり、各アレイ基板サブユニット内において、画素 R は、第 1 T F T 3 8 と第 2 T F T 3 9 を介してそれぞれゲートライン G 1、ゲートライン G 3 及びデータラインと電氣的に接続する。例えば、第 1 T F T 3 8 のゲート電極はゲートライン G 3 と接続し、第 1 T F T 3 8 のドレイン電極はゲートライン G 1 と接続し、第 1 T F T 3 8 のソース電極は第 2 T F T 3 9 のゲート電極と接続し、第 2 T F T 3 9 のドレイン電極はデータラインと接続し、第 2 T F T 3 9 のソース電極は画素 R と接続する。画素 G は、第 3 T F T 3 1 0 と第 4 T F T 3 1 1 を介してそれぞれゲートライン G 2、ゲートライン G 3 及びデータラインと電氣的に接続する。例えば、第 3 T F T 3 1 0 のゲート電極はゲートライン G 3 と接続し、第 3 T F T 3 1 0 のドレイン電極はゲートライン G 2 と接続し、第 3 T F T 3 1 0 のソース電極は第 4 T F T 3 1 1 のゲート電極と接続し、第 4 T F T 3 1 1 のドレイン電極はデータラインと接続し、第 4 T F T 3 1 1 のソース電極は画素 G と接続する。画素 B は、第 5 T F T 3 1 2 を介してそれぞれゲートライン G 1 とデータラインに電氣的に接続する。例えば、第 5 T F T 3 1 2 のゲート電極はゲートライン G 1 と接続し、第 5 T F T 3 1 2 のドレイン電極はデータラインと接続し、第 5 T F T 3 1 2 のソース電極は画素 B と接続する。

【 0 0 2 0 】

四つのアレイ基板サブユニットからなるアレイ基板ユニットにおいて、水平方向に順次に配列された二つのアレイ基板サブユニットが 3 本のゲートラインを共用し、垂直方向に順次に配列された二つのアレイ基板サブユニットが 1 本のデータラインを共用する。垂直方向において、下方のアレイ基板サブユニットの最初の 1 本のゲートラインと上方のアレイ基板サブユニットの最後の 1 本のゲートラインは同一である。説明の便宜のために、第 1 ゲートライン 3 1、第 2 ゲートライン 3 2、第 3 ゲートライン 3 3 で水平に配列された二つのアレイ基板サブユニット（図 3 b の上側）と電氣的に接続する 3 本のゲートラインを示し、第 3 ゲートライン 3 3、第 4 ゲートライン 3 4、第 5 ゲートライン 3 5 で水平に配列された他の二つのアレイ基板サブユニット（図 3 b の下側）と電氣的に接続する 3 本のゲートラインを示す。即ち、図 3 b に示すように、水平に配列された二つのアレイ基板サブユニットは、第 1 ゲートライン、第 2 ゲートライン及び第 3 ゲートラインを共用し、水平に配列された他の二つのアレイ基板サブユニットは、第 3 ゲートライン、第 4 ゲートライン及び第 5 ゲートラインを共用する。

【 0 0 2 1 】

アレイ基板ユニットは、水平に延在する第 1 ゲートライン 3 1、第 2 ゲートライン 3 2、第 3 ゲートライン 3 3、第 4 ゲートライン 3 4 及び第 5 ゲートライン 3 5 と、垂直に延在する第 1 データライン 3 6 及び第 2 データライン 3 7 を含み、第 1 ゲートライン 3 1 と第 2 ゲートライン 3 2 との間に順次に画素 R 1、画素 G 1、画素 B 1、画素 R 2、画素 G 2、画素 B 2 を設置し、第 3 ゲートライン 3 3 と第 4 ゲートライン 3 4 との間に順次に画素 R 3、画素 G 3、画素 B 3、画素 R 4、画素 G 4、画素 B 4 を設置する。各ゲートラインは駆動信号を提供し、各データラインは極性連続反転の電圧信号を提供する。

【 0 0 2 2 】

例えば、画素 R 1 は、それぞれ第 1 ゲートライン 3 1、第 3 ゲートライン 3 3 及び第 1 データライン 3 6 と電氣的に接続し、画素 G 1 は、それぞれ第 2 ゲートライン 3 2、第 3 ゲートライン 3 3 及び第 1 データライン 3 6 と電氣的に接続し、画素 B 1 は、それぞれ第 1 ゲートライン 3 1 及び第 1 データライン 3 6 と電氣的に接続し、画素 R 2 は、それぞれ第 1 ゲートライン 3 1、第 3 ゲートライン 3 3 及び第 2 データライン 3 7 と電氣的に接続

し、画素 G 2 は、それぞれ第 2 ゲートライン 3 2、第 3 ゲートライン 3 3 及び第 2 データライン 3 7 と電氣的に接続し、画素 B 2 は、それぞれ第 1 ゲートライン 3 1 及び第 2 データライン 3 7 と電氣的に接続し、画素 R 3 は、それぞれ第 3 ゲートライン 3 3、第 5 ゲートライン 3 5 及び第 1 データライン 3 6 と電氣的に接続し、画素 G 3 は、それぞれ第 4 ゲートライン 3 4、第 5 ゲートライン 3 5 及び第 1 データライン 3 6 と電氣的に接続し、画素 B 3 は、それぞれ第 3 ゲートライン 3 3 及び第 1 データライン 3 6 と電氣的に接続し、画素 R 4 は、それぞれ第 3 ゲートライン 3 3、第 5 ゲートライン 3 5 及び第 2 データライン 3 7 と電氣的に接続し、画素 G 4 は、それぞれ第 4 ゲートライン 3 4、第 5 ゲートライン 3 5 及び第 2 データライン 3 7 と電氣的に接続し、画素 B 4 は、それぞれ第 3 ゲートライン 3 3 及び第 2 データライン 3 7 と電氣的に接続する。

10

【 0 0 2 3 】

画素 R 1、画素 G 1、画素 B 1 及び各画素にそれぞれ接続されるゲートラインとデータラインが第 1 アレイ基板サブユニットを構成する。即ち、画素 R 1、画素 G 1、画素 B 1 及び第 1 ゲートライン 3 1、第 2 ゲートライン 3 2、第 3 ゲートライン 3 3、第 1 データライン 3 6 が第 1 アレイ基板サブユニットを構成する。画素 R 2、画素 G 2、画素 B 2 及び各画素にそれぞれ接続されるゲートラインとデータラインが第 2 アレイ基板サブユニットを構成する。即ち、画素 R 2、画素 G 2、画素 B 2 及び第 1 ゲートライン 3 1、第 2 ゲートライン 3 2、第 3 ゲートライン 3 3、第 2 データライン 3 7 が第 2 アレイ基板サブユニットを構成する。第 2 アレイ基板サブユニットと第 1 アレイ基板サブユニットは、3 本のゲートライン、即ち、第 1 ゲートライン 3 1、第 2 ゲートライン 3 2、第 3 ゲートライン 3 3 を共用する。画素 R 3、画素 G 3、画素 B 3 及び各画素にそれぞれ接続されるゲートラインとデータラインが第 3 アレイ基板サブユニットを構成する。即ち、画素 R 3、画素 G 3、画素 B 3 及び第 3 ゲートライン 3 3、第 4 ゲートライン 3 4、第 5 ゲートライン 3 5、第 1 データライン 3 6 が第 3 アレイ基板サブユニットを構成する。第 3 アレイ基板サブユニットと第 1 アレイ基板サブユニットは、第 1 データライン 3 6 と第 3 ゲートライン 3 3 を共用する。画素 R 4、画素 G 4、画素 B 4 及び各画素にそれぞれ接続されるゲートラインとデータラインが第 4 アレイ基板サブユニットを構成する。即ち、画素 R 4、画素 G 4、画素 B 4 及び第 3 ゲートライン 3 3、第 4 ゲートライン 3 4、第 5 ゲートライン 3 5、第 2 データライン 3 7 が第 4 アレイ基板サブユニットを構成する。第 4 アレイ基板サブユニットと第 3 アレイ基板サブユニットは、3 本のゲートライン、即ち、第 3 ゲートライン 3 3、第 4 ゲートライン 3 4、第 5 ゲートライン 3 5 を共用し、第 4 アレイ基板サブユニットと第 2 アレイ基板サブユニットは、第 2 データライン 3 7 と第 3 ゲートライン 3 3 を共用する。各アレイ基板サブユニット内において、各画素はスイッチを介して対応するゲートラインとデータラインにそれぞれ電氣的に接続されており、このスイッチは T F T (薄膜電界効果トランジスタ) であってもよいが、これに限らない。

20

30

【 0 0 2 4 】

例えば、各画素が T F T を介して対応するゲートラインとデータラインに接続される際、図 3 に示すように、具体的構成は、第 1 アレイ基板サブユニット内において、画素 R 1 は第 1 T F T 3 8 と第 2 T F T 3 9 を介してそれぞれ第 1 ゲートライン 3 1、第 3 ゲートライン 3 3、第 1 データライン 3 6 と電氣的に接続する。例えば、第 1 T F T 3 8 のゲート電極は第 3 ゲートライン 3 3 と接続し、第 1 T F T 3 8 のドレイン電極は第 1 ゲートライン 3 1 と接続し、第 1 T F T 3 8 のソース電極は第 2 T F T 3 9 のゲート電極と接続し、第 2 T F T 3 9 のドレイン電極は第 1 データラインと接続し、第 2 T F T 3 9 のソース電極は画素 R 1 と接続する。画素 G 1 は第 3 T F T 3 1 0 と第 4 T F T 3 1 1 を介してそれぞれ第 2 ゲートライン 3 2、第 3 ゲートライン 3 3、第 1 データライン 3 6 と電氣的に接続する。例えば、第 3 T F T 3 1 0 のゲート電極は第 3 ゲートライン 3 3 と接続し、第 3 T F T 3 1 0 のドレイン電極は第 2 ゲートライン 3 2 と接続し、第 3 T F T 3 1 0 のソース電極は第 4 T F T 3 1 1 のゲート電極と接続し、第 4 T F T 3 1 1 のドレイン電極は第 1 データラインと接続し、第 4 T F T 3 1 1 のソース電極は画素 G 1 と接続する。画素 B 1 は第 5 T F T 3 1 2 を介してそれぞれ第 1 ゲートライン 3 1、第 1 データラインと電

40

50

氣的に接続する。例えば、第5 T F T 3 1 2のゲート電極は第1ゲートライン3 1と接続し、第5 T F T 3 1 2のドレイン電極は第1データラインと接続し、第5 T F T 3 1 2のソース電極は画素B 1と接続する。

【0025】

第2アレイ基板サブユニット内において、画素R 2は第1 T F T 3 8と第2 T F T 3 9を介して第1ゲートライン3 1、第3ゲートライン3 3、第2データラインとそれぞれ電氣的に接続する。例えば、第1 T F T 3 8のゲート電極は第3ゲートライン3 3と接続し、第1 T F T 3 8のドレイン電極は第1ゲートライン3 1と接続し、第1 T F T 3 8のソース電極は第2 T F T 3 9のゲート電極と接続し、第2 T F T 3 9のドレイン電極は第2データラインと接続し、第2 T F T 3 9のソース電極は画素R 2と接続する。画素G 2は第3 T F T 3 1 0と第4 T F T 3 1 1を介して第2ゲートライン3 2、第3ゲートライン3 3、第2データラインとそれぞれ電氣的に接続する。例えば、第3 T F T 3 1 0のゲート電極は第3ゲートライン3 3と接続し、第3 T F T 3 1 0のドレイン電極は第2ゲートライン3 2と接続し、第3 T F T 3 1 0のソース電極は第4 T F T 3 1 1のゲート電極と接続し、第4 T F T 3 1 1のドレイン電極は第2データラインと接続し、第4 T F T 3 1 1のソース電極は画素G 2と接続する。画素B 2は第5 T F T 3 1 2とを介して第1ゲートライン3 1、第2データラインとそれぞれ電氣的に接続する。例えば、第5 T F T 3 1 2のゲート電極は第1ゲートライン3 1と接続し、第5 T F T 3 1 2のドレイン電極は第2データラインと接続し、第5 T F T 3 1 2のソース電極は画素B 2と接続する。

【0026】

第3アレイ基板サブユニット内において、画素R 3は第1 T F T 3 8と第2 T F T 3 9を介して第3ゲートライン3 3、第5ゲートライン3 5、第1データラインとそれぞれ電氣的に接続する。例えば、第1 T F T 3 8のゲート電極は第5ゲートライン3 5と接続し、第1 T F T 3 8のドレイン電極は第3ゲートライン3 3と接続し、第1 T F T 3 8のソース電極は第2 T F T 3 9のゲート電極と接続し、第2 T F T 3 9のドレイン電極は第1データラインと接続し、第2 T F T 3 9のソース電極は画素R 3と接続する。画素G 3は第3 T F T 3 1 0と第4 T F T 3 1 1を介して第4ゲートライン3 4、第5ゲートライン3 5、第1データライン3 6とそれぞれ電氣的に接続する。例えば、第3 T F T 3 1 0のゲート電極は第5ゲートライン3 5と接続し、第3 T F T 3 1 0のドレイン電極は第4ゲートライン3 4と接続し、第3 T F T 3 1 0のソース電極は第4 T F T 3 1 1のゲート電極と接続し、第4 T F T 3 1 1のドレイン電極は第1データライン3 6と接続し、第4 T F T 3 1 1のソース電極は画素G 3と接続する。画素B 3は第5 T F T 3 1 2とを介して第3ゲートライン3 3、第1データライン3 6とそれぞれ電氣的に接続する。例えば、第5 T F T 3 1 2のゲート電極は第3ゲートライン3 3と接続し、第5 T F T 3 1 2のドレイン電極は第1データライン3 6と接続し、第5 T F T 3 1 2のソース電極は画素B 3と接続する。

【0027】

第4アレイ基板サブユニット内において、画素R 4は第1 T F T 3 8と第2 T F T 3 9を介して第3ゲートライン3 3、第5ゲートライン3 5、第2データライン3 7とそれぞれ電氣的に接続する。例えば、第1 T F T 3 8のゲート電極は第5ゲートライン3 5と接続し、第1 T F T 3 8のドレイン電極は第3ゲートライン3 3と接続し、第1 T F T 3 8のソース電極は第2 T F T 3 9のゲート電極と接続し、第2 T F T 3 9のドレイン電極は第2データライン3 7と接続し、第2 T F T 3 9のソース電極は画素R 4と接続する。画素G 4は第3 T F T 3 1 0と第4 T F T 3 1 1を介して第4ゲートライン3 4、第5ゲートライン3 5、第2データライン3 7とそれぞれ電氣的に接続する。例えば、第3 T F T 3 1 0のゲート電極は第5ゲートライン3 5と接続し、第3 T F T 3 1 0のドレイン電極は第4ゲートライン3 4と接続し、第3 T F T 3 1 0のソース電極は第4 T F T 3 1 1のゲート電極と接続し、第4 T F T 3 1 1のドレイン電極は第2データライン3 7と接続し、第4 T F T 3 1 1のソース電極は画素G 4と接続する。画素B 4は第5 T F T 3 1 2とを介して第3ゲートライン3 3、第2データライン3 7とそれぞれ電氣的に接続する。例

えば、第5 T F T 3 1 2のゲート電極は第3ゲートライン33と接続し、第5 T F T 3 1 2のドレイン電極は第2データライン37と接続し、第5 T F T 3 1 2のソース電極は画素B4と接続する。

【0028】

図4は、本発明の実施形態における各ゲートラインが提供する駆動信号の波形の概略図である。その中で、時点1に到達する際、第1ゲートライン31、第3ゲートライン33はハイレベルであり、残りのゲートラインはローレベルである。このように、第1データライン36が画素R1と画素B1を充電し、第2データライン37が画素R2と画素B2を充電する。画素R1に対する電圧を8Vとし、画素B1に対する電圧を16Vとすると、時点1で画素B1に対する充電は予備充電であり、画素B1に対する次の充電時に8Vから始まればよい。同じく、時点1で画素B2に対する充電は予備充電であり、画素B2に対する次の充電時に8Vから始まればよい。時点2で、第2ゲートライン32、第3ゲートライン33はハイレベルであり、第1データライン36がG1を充電し、第2データライン37が画素G2を充電する。時点3で、第1ゲートライン31はハイレベルであり、第1データライン36がB1を充電し、第2データライン37が画素B2を充電する。上述したように、各ゲートラインは、受けた駆動信号のハイレベルまたはローレベルによって、各データラインが時点4、時点5、時点6、時点7及び時点8で各画素に対する充電を行うことを制御する。

【0029】

以上、第1～5ゲートラインでアレイ基板ユニットの構成を説明した。なお、アレイ基板ユニットにおけるアレイ基板サブユニットの構成は同じである。実際に、各アレイ基板サブユニットは3本のゲートラインを含み、垂直方向において隣接するサブユニット行の間にある第3ゲートラインと第1ゲートラインは同一のゲートライン（共用）である。つまり、上述した第1～5ゲートラインのそれぞれを、第1サブユニット行の第1ゲートライン、第1サブユニット行の第2ゲートライン、第1サブユニット行の第3ゲートライン（又は、第2サブユニット行の第1ゲートライン）、第2サブユニット行の第2ゲートライン及び第2サブユニット行の第3ゲートラインとも呼ばれる。

【0030】

上述した実施形態において、水平方向と垂直方向は、それぞれアレイ基板平面内の互いに垂直な二つの方向である。しかし、本発明の実施形態に係わるアレイ基板はこれらの二つの方向のみで互いに垂直であることに限らなく、他の角度で互いに交差してもよい。

【0031】

例えば、予め設定された本発明の実施形態に提供されるアレイ基板ユニットによりアレイ基板を構成し、当該アレイ基板は液晶パネルへの構成に用いられ、当該液晶パネルにおいて、液晶はカラーフィルター基板とアレイ基板との間に充填される。また、液晶パネル、バックライト及び液晶パネルに制御信号を提供するための集積回路ボードにより液晶ディスプレイパネルを構成する。上述した各装置において、アレイ基板ユニットとして本発明で提供するアレイ基板ユニットを適用したことを除いて、他の部分の構成は従来と同じであるので、ここで説明を省略する。

【0032】

また、本発明のアレイ基板によれば、多数のアレイ基板ユニットがマトリックス状に配列され、且つ、垂直方向において、前のアレイ基板ユニットの最後の1本である第3ゲートラインと次のアレイ基板ユニットの最初の1本である第1ゲートラインは同一のゲートラインになることができる。

【0033】

本発明は、アレイ基板ユニット、アレイ基板、液晶ディスプレイパネル及び液晶ディスプレイ装置を提供する。各アレイ基板ユニットは、四つのアレイ基板サブユニットを含み、各アレイ基板サブユニットは、水平方向と垂直方向に二つずつ対称であるように配列される。各アレイ基板サブユニットは、三つの画素と、この三つの画素に接続される1本のデータラインと3本のゲートラインとを含む。水平に配列された二つのアレイ基板サブユ

ニットは3本のゲートラインを共用し、垂直に配列された二つのアレイ基板サブユニットは1本のデータラインとその中の1本のゲートラインを共用する。従って、本発明で提供するアレイ基板ユニットは、5本のゲートラインと2本のデータラインを含み、Dual Gate方式で駆動されるアレイ基板ユニットに比べて1本のデータラインを減らし、Triple Gate方式で駆動されるアレイ基板ユニットに比べて1本のゲートラインを減らす。各液晶パネルが数百のアレイ基板ユニットを含むので、液晶パネルの生産に必要なCOFの使用量を有効的に減らすことができる。

【0034】

上述したのは、本発明の範例的实施形態に過ぎない、本発明の保護範囲を制限するものではない。本発明の保護範囲は、特許請求の範囲によって定められる。

10

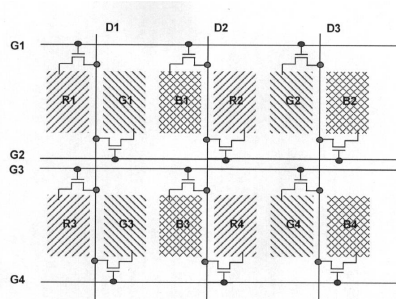
【符号の説明】

【0035】

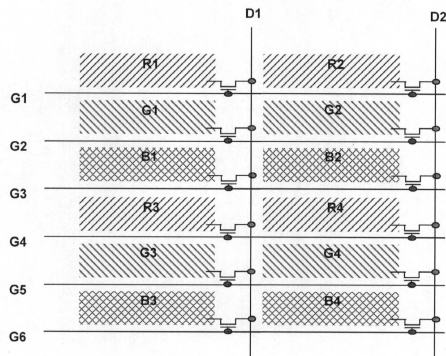
- 31 第1ゲートライン
- 32 第2ゲートライン
- 33 第3ゲートライン
- 34 第4ゲートライン
- 35 第5ゲートライン
- 36 第1データライン
- 37 第2データライン
- 38 第1TFT
- 39 第2TFT
- 310 第3TFT
- 311 第4TFT
- 312 第5TFT

20

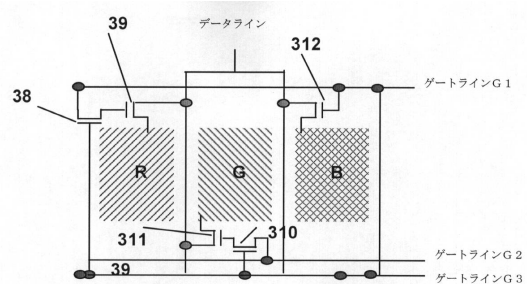
【図1】



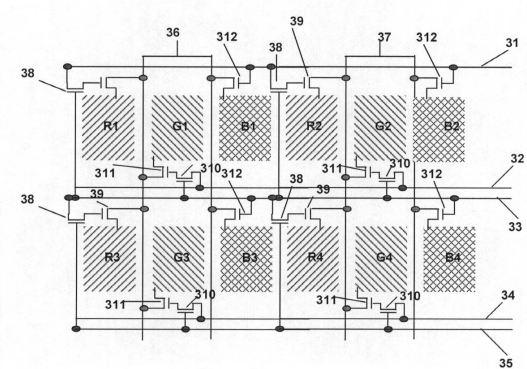
【図2】



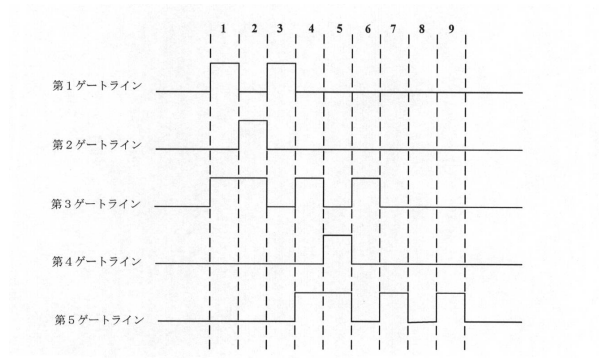
【図3a】



【図3b】



【図4】



フロントページの続き

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100089037

弁理士 渡邊 隆

(74)代理人 100110364

弁理士 実広 信哉

(72)発明者 王 宝▲強▼

中華人民共和国 1 0 0 1 7 6 北京市▲經▼▲濟▼技▲術▼▲開▼▲發▼区地▲澤▼路 9 号

審査官 廣田 かおり

(56)参考文献 特開 2 0 0 4 - 0 9 3 6 9 1 (J P , A)

米国特許出願公開第 2 0 0 2 / 0 1 4 5 6 9 6 (U S , A 1)

米国特許出願公開第 2 0 0 3 / 0 1 8 9 5 5 9 (U S , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3

G 0 2 F 1 / 1 3 6 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6

专利名称(译)	阵列基板，液晶显示面板和液晶显示装置		
公开(公告)号	JP6239276B2	公开(公告)日	2017-11-29
申请号	JP2013131496	申请日	2013-06-24
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司 北京京▲东▼方▲显▼示技▲术▼有限公司		
当前申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司 北京京▲东▼方▲显▼示技▲术▼有限公司		
[标]发明人	王宝強		
发明人	王 宝▲強▼		
IPC分类号	G02F1/1343 G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	G02F1/13624 G02F1/136286		
FI分类号	G02F1/1343 G02F1/1368 H01L29/78.612.Z		
F-TERM分类号	2H092/GA28 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB42 2H092/PA06 2H092/PA08 2H192/AA24 2H192/CB13 2H192/CC22 2H192/CC24 2H192/CC62 2H192/GD61 5F110/AA16 5F110/BB01 5F110/EE37 5F110/NN72		
代理人(译)	村山彦 渡边 隆		
优先权	201220367115.0 2012-07-26 CN		
其他公开文献	JP2014026277A		
外部链接	Espacenet		

摘要(译)

本发明实施例提供一种阵列基板，液晶显示面板和液晶显示装置。阵列基板包括多个阵列基板单元，每个阵列基板单元包括：栅极线和数据线，它们分别沿基板平面中的第一方向和第二方向彼此交叉延伸。每个阵列基板单元包括四个阵列基板子单元，它们沿第一方向和第二方向排列，形成子单元行和子单元列，子单元行和子单元列各有两个阵列基板子单元。三条栅极线由每个子单元行中的两个阵列基板子单元共享，并且一条数据线和一条栅极线由每个子单元列中的两个阵列基板子单元共享。

(19) 日本国特許庁 (JP)	(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6239276号 (P6239276)
(45) 発行日 平成29年11月29日 (2017. 11. 29)	(24) 登録日 平成29年11月10日 (2017. 11. 10)	
(51) Int. Cl. G02F 1/1343 (2006. 01) G02F 1/1368 (2006. 01) H01L 21/336 (2006. 01) H01L 29/786 (2006. 01)	FI G02F 1/1343 G02F 1/1368 H01L 29/78 612 Z	
請求項の数 10 (全 12 頁)		
(21) 出願番号 特願2013-131496 (P2013-131496) (22) 出願日 平成25年6月24日 (2013. 6. 24) (65) 公開番号 特開2014-26277 (P2014-26277A) (43) 公開日 平成26年2月6日 (2014. 2. 6) 審査請求日 平成28年5月20日 (2016. 5. 20) (31) 優先権主張番号 201220367115.0 (32) 優先日 平成24年7月26日 (2012. 7. 26) (33) 優先権主張国 中国 (CN)	(73) 特許権者 510280589 京東方科技集團股▲ふん▼有限公司 BOE TECHNOLOGY GROU P CO., LTD. 中華人民共和國100015北京市朝陽區 酒仙橋路10號 No. 10 Jiuxianqiao R d., Chaoyang Distric t, Beijing 100015, CH INA (73) 特許権者 512116114 北京京▲東▼方▲显▼示技▲術▼有限公司 中華人民共和國100176北京市經濟技 術開發區▲經▼海一路118号	
最終頁に続く		
(54) 【発明の名称】 アレイ基板、液晶ディスプレイパネル及び液晶ディスプレイ装置		