

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6227530号  
(P6227530)

(45) 発行日 平成29年11月8日(2017.11.8)

(24) 登録日 平成29年10月20日(2017.10.20)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 622E

G09G 3/20 622B

G09G 3/20 622R

G02F 1/133 550

請求項の数 9 (全 13 頁)

(21) 出願番号 特願2014-526374 (P2014-526374)  
 (86) (22) 出願日 平成24年8月21日(2012.8.21)  
 (65) 公表番号 特表2014-524598 (P2014-524598A)  
 (43) 公表日 平成26年9月22日(2014.9.22)  
 (86) 国際出願番号 PCT/CN2012/080420  
 (87) 国際公開番号 WO2013/026387  
 (87) 国際公開日 平成25年2月28日(2013.2.28)  
 審査請求日 平成27年7月13日(2015.7.13)  
 (31) 優先権主張番号 201110241400.8  
 (32) 優先日 平成23年8月22日(2011.8.22)  
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 507134301  
 北京京東方光電科技有限公司  
 中華人民共和国北京経済技術開発区西環中  
 路8號  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100110364  
 弁理士 実広 信哉  
 (72) 発明者 ▲陳▼ 希  
 中華人民共和国100176北京市▲經▼  
 ▲濟▼技▲術▼▲開▼▲發▼区地▲澤▼路  
 9号

最終頁に続く

(54) 【発明の名称】 ゲートドライバ集積回路、シフトレジスタ及びディスプレイスクリーン

(57) 【特許請求の範囲】

【請求項1】

ゲートドライバ集積回路であって、

ゲート電極が前記ゲートドライバ集積回路の入力端に接続され、ドレイン電極が電源電圧VDDに接続され、ソース電極がプルアップノードとしての第1のノードに接続される第1の薄膜トランジスタTFTと、

ゲート電極が前記ゲートドライバ集積回路のリセット端に接続され、ソース電極が共通接続電圧VSSに接続され、ドレイン電極が前記第1のノードに接続される第2のTFTと、

ゲート電極が前記第1のノードに接続され、ドレイン電極が第1のクロック信号の入力端に接続され、ソース電極が出力端に接続される第3のTFTと、

ゲート電極が第2のクロック信号の入力端に接続され、ドレイン電極が出力端に接続され、ソース電極が低電圧信号端に接続される第4のTFTと、

前記第1のノードと出力端との間に接続される電気容量と、

第1のクロック信号の入力端、第2のクロック信号の入力端、及び前記第1のノードと出力端との間に接続され、かつ低レベル信号端に接続され、前記ゲートドライバ集積回路が作動しない時期内に、前記第1のノードと出力端を低レベルに維持するプルダウンモジュールと、を備え、

前記プルダウンモジュールは、

ドレイン電極が第2のクロック信号の入力端に接続され、ソース電極がプルダウンノード

10

20

ドとしての第2のノードに接続される第5のTFTと、

ドレイン電極が前記第2のノードに接続され、ゲート電極が前記第1のノードに接続され、ソース電極が低電圧信号端に接続される第6のTFTと、

ゲート電極及びドレイン電極が第2のクロック信号の入力端とともに接続され、ソース電極が前記第5のTFTのゲート電極に接続される第7のTFTと、

ドレイン電極が前記第7のTFTのソース電極に接続され、ゲート電極が前記第1のノードに接続され、ソース電極が低電圧信号端に接続される第8のTFTと、

ドレイン電極が前記第1のノードに接続され、ゲート電極が前記第2のノードに接続され、ソース電極が低電圧信号端に接続される第9のTFTと、

ドレイン電極が前記出力端に接続され、ゲート電極が前記第2のノードに接続され、ソース電極が低電圧信号端に接続される第10のTFTと、を備える

ことを特徴とするゲートドライバ集積回路。

#### 【請求項2】

前記ゲートドライバ集積回路が奇数行目のゲートライン信号を制御する場合、第1のクロック信号の入力端が第1のクロック信号線に接続され、第2のクロック信号の入力端が第2のクロック信号線に接続され、

前記ゲートドライバ集積回路が偶数行目のゲートライン信号を制御する場合、第2のクロック信号の入力端が第1のクロック信号線に接続され、第1のクロック信号の入力端が第2のクロック信号線に接続される

ことを特徴とする請求項1に記載のゲートドライバ集積回路。

#### 【請求項3】

シフトレジスタであって、

複数のゲートドライバ集積回路を備え、各ゲートドライバ集積回路は、対応する行のゲートライン信号を制御するものであり、第N行のゲートライン信号を制御するゲートドライバ集積回路は、入力端が第N-1行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、出力端が第N+1行のゲートライン信号を制御するゲートドライバ集積回路の入力端に接続され、リセット端が第N+1行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、Nが2以上であり、

各ゲートドライバ集積回路は、

ゲート電極が前記ゲートドライバ集積回路の入力端に接続され、ドレイン電極が電源電圧VDDに接続され、ソース電極がプルアップノードとしての第1のノードに接続される第1の薄膜トランジスタTFTと、

ゲート電極が前記ゲートドライバ集積回路のリセット端に接続され、ソース電極が共通接続電圧VSSに接続され、ドレイン電極が前記第1のノードに接続される第2のTFTと、

ゲート電極が前記第1のノードに接続され、ドレイン電極が第1のクロック信号の入力端に接続され、ソース電極が出力端に接続される第3のTFTと、

ゲート電極が第2のクロック信号の入力端に接続され、ドレイン電極が出力端に接続され、ソース電極が低電圧信号端に接続される第4のTFTと、

前記第1のノードと出力端との間に接続される電気容量と、

第1のクロック信号の入力端、第2のクロック信号の入力端、及び前記第1のノードと出力端との間に接続され、かつ低レベル信号端に接続され、前記ゲートドライバ集積回路が作動しない時期内に、前記第1のノードと出力端を低レベルに維持するプルダウンモジュールと、を備え、

前記プルダウンモジュールは、

ドレイン電極が第2のクロック信号の入力端に接続され、ソース電極がプルダウンノードとしての第2のノードに接続される第5のTFTと、

ドレイン電極が前記第2のノードに接続され、ゲート電極が前記第1のノードに接続され、ソース電極が低電圧信号端に接続される第6のTFTと、

ゲート電極及びドレイン電極が第2のクロック信号の入力端とともに接続され、ソース

10

20

30

40

50

電極が前記第 5 の T F T のゲート電極に接続される第 7 の T F T と、

ドレイン電極が前記第 7 の T F T のソース電極に接続され、ゲート電極が前記第 1 のノードに接続され、ソース電極が低電圧信号端に接続される第 8 の T F T と、

ドレイン電極が前記第 1 のノードに接続され、ゲート電極が前記第 2 のノードに接続され、ソース電極が低電圧信号端に接続される第 9 の T F T と、

ドレイン電極が前記出力端に接続され、ゲート電極が前記第 2 のノードに接続され、ソース電極が低電圧信号端に接続される第 10 の T F T と、を備える

ことを特徴とするシフトレジスタ。

【請求項 4】

奇数行目のゲートライン信号を制御するゲートドライバ集積回路は、第 1 のクロック信号の入力端が第 1 のクロック信号線に接続され、第 2 のクロック信号の入力端が第 2 のクロック信号線に接続され、

偶数行目のゲートライン信号を制御するゲートドライバ集積回路は、第 2 のクロック信号の入力端が第 1 のクロック信号線に接続され、第 1 のクロック信号の入力端が第 2 のクロック信号線に接続される

ことを特徴とする請求項 3 に記載のシフトレジスタ。

【請求項 5】

順方向走査をスタートする場合、前記 V D D がコンスタントな高レベルを提供し、前記 V S S がコンスタントな低レベルを提供し、奇数行目のゲートライン信号を制御するゲートドライバ集積回路では、

前記ゲートドライバ集積回路の入力端に高レベルのパルス信号を入力し、前記第 1 の T F T のドレイン電極で前記第 1 のノードに充電し、

第 1 のクロック信号の入力端が第 1 のクロック信号線に提供される高レベルのクロック信号を受信し、前記第 3 の T F T が高レベルを出力するように前記出力端を制御し、前記第 6 の T F T を導通し、前記第 2 のノードの電圧を低電圧信号端の電圧までプルダウンし、

前記第 2 の T F T のゲート電極に接続される前記リセット端が高レベルであって、前記第 1 のノードを放電し、

第 2 のクロック信号の入力端が第 2 のクロック信号線に提供される高レベルのクロック信号を受信し、前記第 4 の T F T で前記出力端を放電し、前記第 5 の T F T で前記第 2 のノードに充電し、前記第 1 のノードに放電するように第 9 の T F T を制御し、出力端を放電するように前記第 10 の T F T を制御する

ことを特徴とする請求項 4 に記載のシフトレジスタ。

【請求項 6】

順方向走査をスタートする場合、前記 V D D がコンスタントな高レベルを提供し、前記 V S S がコンスタントな低レベルを提供し、偶数行目のゲートライン信号を制御するゲートドライバ集積回路では、

ゲートドライバ集積回路の入力端に高レベルのパルス信号を入力し、前記第 1 の T F T のドレイン電極で前記第 1 のノードに充電し、

第 1 のクロック信号の入力端が第 2 のクロック信号線に提供される高レベルのクロック信号を受信し、前記第 3 の T F T によって高レベルを出力するように前記出力端を制御し、前記第 6 の T F T を導通し、前記第 2 のノードの電圧を低電圧信号端の電圧までプルダウンし、

前記第 2 の T F T のゲート電極に接続される前記リセット端が高レベルであって、前記第 1 のノードを放電し、第 2 のクロック信号の入力端が第 1 のクロック信号線に提供される高レベルのクロック信号を受信し、前記第 4 の T F T で前記出力端を放電し、前記第 5 の T F T で前記第 2 のノードに充電し、前記第 1 のノードに放電するように第 9 の T F T を制御し、出力端を放電するように前記第 10 の T F T を制御する

ことを特徴とする請求項 4 に記載のシフトレジスタ。

【請求項 7】

逆方向走査をスタートするとき、前記VDDがコンスタントな低レベルを提供し、前記VSSがコンスタントな高レベルを提供し、奇数行目のゲートライン信号を制御するゲートドライバ集積回路では、

ゲートドライバ集積回路のリセット端に高レベルのパルス信号を入力し、前記第2のTFETのソース電極で前記第1のノードに充電し、

第1のクロック信号の入力端が第1のクロック信号線に提供される高レベルのクロック信号を受信し、前記第3のTFETによって高レベルを出力するように前記出力端を制御し、前記第6のTFETを導通し、前記第2のノードの電圧を低電圧信号端の電圧までプルダウンし、

前記第1のTFETのゲート電極に接続される前記入力端が高レベルであって、前記第1のノードを放電し、

第2のクロック信号の入力端が第2のクロック信号線に提供される高レベルのクロック信号を受信し、前記第4のTFETで前記出力端を放電し、前記第5のTFETで前記第2のノードに充電し、前記第1のノードを放電するように第9のTFETを制御し、出力端を放電するように前記第10のTFETを制御する

ことを特徴とする請求項4に記載のシフトレジスタ。

#### 【請求項8】

逆方向走査をスタートするとき、前記VDDがコンスタントな低レベルを提供し、前記VSSがコンスタントな高レベルを提供し、偶数行目のゲートライン信号を制御するゲートドライバ集積回路では、

ゲートドライバ集積回路のリセット端に高レベルのパルス信号を入力し、前記第2のTFETのソース電極で前記第1のノードに充電し、

第1のクロック信号の入力端が第2のクロック信号線に提供される高レベルのクロック信号を受信し、前記第3のTFETによって高レベルを出力するように前記出力端を制御し、前記第6のTFETを導通し、前記第2のノードの電圧を低電圧信号端の電圧までプルダウンし、

前記第1のTFETのゲート電極に接続される前記入力端が高レベルであり、前記第1のノードを放電し、第2のクロック信号の入力端が第1のクロック信号線に提供される高レベルのクロック信号を受信し、前記第4のTFETによって前記出力端を放電し、前記第5のTFETによって前記第2のノードに充電し、前記第1のノードを放電するように第9のTFETを制御し、出力端を放電するように前記第10のTFETを制御する

ことを特徴とする請求項4に記載のシフトレジスタ。

#### 【請求項9】

ディスプレイスクリーンであって、請求項3～8のいずれか1項に記載のシフトレジスタ及び画素回路を構成する素子のアレイ基板を備え、

前記シフトレジスタの信号出力端が前記アレイ基板のゲートラインに接続される

ことを特徴とするディスプレイスクリーン。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、液晶ディスプレイという技術分野に関し、特に、ゲートドライバ集積回路、シフトレジスタ及びディスプレイスクリーンに関する。

#### 【背景技術】

#### 【0002】

GOA (Gate Drive on Array、ゲートドライバ集積) とは、LCD (Liquid Crystal Display、液晶ディスプレイ) パネルのゲートドライバをガラス基板上に集積する技術である。そして、GOA回路は、アレイ基板のゲートラインに接続され、シフトレジスタとして、ゲートライン信号を制御する。GOA技術は、従来のCOF (Chip On Film、チップオンフィルム) 及びCOG (Chip On Glass、チップオンガラス) 技術に対して、コストを低減しただけではない

10

20

30

40

50

。

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0003】

然し、従来技術では、GOAパネルの走査方向は、上から下へ走査し、または下から上へ走査するような単一方向に限る。図1は、従来技術に係る単一方向に走査するGOA回路であり、入力端INPUTの信号が高レベルである場合、TFT(Thin Film Transistor、薄膜トランジスタ)M1をオンし、PUノードに充電し、クロック信号CLKが高レベルである場合、M3を導通し、出力端OUTPUTがCLKのパルス信号を出力するとともに、電気容量C1のブートストラッピング(Bootstrap)作用によって、PUノードをさらに向上させ、そして、リセット端RESETが高レベルになり、TFT M2及びM4をオンし、PUノード及びOUTPUTを放電し、そして、クロック信号CLKBによってPDノードを制御し、PUノード及びOUTPUTを放電する。これによって、この行が作動しない時期に、ノイズが生じないことが確保された。このようなパネルをシステムエンドと組み合わせるときの、システムエンドによってICが異なる(ICが上または下向け)ため、デバッグソフトウェアによって画像を逆にする必要がある可能性があり、不便である。

10

## 【課題を解決するための手段】

## 【0004】

本発明は、GOA回路の双方向走査を図れるとともに、ゲートドライバ集積回路の安定性を確保できるゲートドライバ集積回路、シフトレジスタ及びディスプレイスクリーンを提供する。

20

## 【0005】

本発明の実施例に係るゲートドライバ集積回路は、

ゲート電極が上記ゲートドライバ集積回路の入力端に接続され、ドレイン電極が電源電圧VDDに接続され、ソース電極がプルアップノードとしての第1のノードに接続される第1の薄膜トランジスタTFTと、

ゲート電極が上記ゲートドライバ集積回路のリセット端に接続され、ソース電極が共通接続電圧VSSに接続され、ドレイン電極が上記第1のノードに接続される第2のTFTと、

30

ゲート電極が上記第1のノードに接続され、ドレイン電極が第1のクロック信号の入力端に接続され、ソース電極が出力端に接続される第3のTFTと、

ゲート電極が第2のクロック信号の入力端に接続され、ドレイン電極が出力端に接続され、ソース電極が低電圧信号端に接続される第4のTFTと、

上記第1のノードと出力端との間に接続される電気容量と、

第1のクロック信号の入力端、第2のクロック信号の入力端、及び第1のノードと出力端との間に接続され、かつ低レベル信号端に接続され、上記ゲートドライバ集積回路が作動しない時期内に、上記第1のノードと出力端を低レベルに維持するプルダウンモジュールと、を備える。

## 【0006】

40

本発明の実施例は、シフトレジスタであって、複数の上記ゲートドライバ集積回路を備え、各ゲートドライバ集積回路は、対応する行のゲートライン信号を制御するものであり、第N行のゲートライン信号を制御するゲートドライバ集積回路は、入力端が第N-1行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、出力端が第N+1行のゲートライン信号を制御するゲートドライバ集積回路の入力端に接続され、リセット端が第N+1行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、Nが2以上である。

## 【0007】

本発明の実施例はディスプレイスクリーンであって、上記シフトレジスタ及びアレイ基板を備え、

50

上記シフトレジスタの信号出力端が上記アレイ基板のゲートラインに接続される。

【発明の効果】

【 0 0 0 8 】

本発明の実施例に係るゲートドライバ集積回路、シフトレジスタ及びディスプレイスクリーンは、ゲートドライバ集積回路における入力端およびリセット端の機能を対称にして実現することによって、ゲートドライバ集積回路を双方向走査することができるようになり、かつノードの充放電特性が変更されなく、回路の信頼性及び安定性が確保された。

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】従来技術に係る G O A 回路を示す概略図である。

10

【図 2】本発明の実施例に係るゲートドライバ集積回路の構造概略図である。

【図 3】本発明の他の実施例に係るシフトレジスタの構造概略図である。

【図 4】本発明の実施例に係るゲートドライバ集積回路の具体的な構造概略図である。

【図 5】本発明の実施例に係る、順方向走査時に、奇数行目のゲートライン信号を制御するゲートドライバ集積回路の各エンドの電圧のシーケンス図である。

【図 6】本発明の実施例に係る、順方向走査時に、偶数行目のゲートライン信号を制御するゲートドライバ集積回路の各エンドの電圧のシーケンス図である。

【図 7】本発明の実施例に係る、逆方向走査時に、奇数行目のゲートライン信号を制御するゲートドライバ集積回路の各エンドの電圧のシーケンス図である。

【図 8】本発明の実施例に係る、逆方向走査時に、偶数行目のゲートライン信号を制御するゲートドライバ集積回路の各エンドの電圧シーケンス図である。

20

【発明を実施するための形態】

【 0 0 1 0 】

以下、図面を参照しながら、本発明の実施例をさらに詳しく説明する。

【 0 0 1 1 】

本発明の実施例はゲートドライバ集積回路であり、図 2 に示すように、このゲートドライバ集積回路は、

ゲート電極が上記ゲートドライバ集積回路の入力端 I N P U T に接続され、ドレイン電極が電源電圧 V D D に接続され、ソース電極がプルアップノードとしての第 1 のノード P U に接続される第 1 の薄膜トランジスタ T F T M 1 と、

30

ゲート電極が上記ゲートドライバ集積回路のリセット端 R E S E T に接続され、ソース電極が共通接続電圧 V S S に接続され、ドレイン電極が上記第 1 のノード P U に接続される第 2 の T F T M 2 と、

ゲート電極が上記第 1 のノード P U に接続され、ドレイン電極が第 1 のクロック信号の入力端 X に接続され、ソース電極が出力端 O U T P U T に接続される第 3 の T F T M 3 と、

ゲート電極が第 2 のクロック信号の入力端 Y に接続され、ドレイン電極が出力端 O U T P U T に接続され、ソース電極が低電圧信号端 V G L に接続される第 4 の T F T M 4 と、

、

上記第 1 のノード P U と出力端 O U T P U T との間に接続される電気容量 C 1 と、  
第 1 のクロック信号の入力端 X、第 2 のクロック信号の入力端 Y、及び第 1 のノード P U と出力端 O U T P U T との間に接続され、且つ低レベル信号端 V G L に接続され、上記ゲートドライバ集積回路が作動しない時期内に上記第 1 のノード P U 及び出力端 O U T P U T を低レベルに維持するプルダウンモジュール 1 1 と、を備える。

40

【 0 0 1 2 】

上記プルダウンモジュール 1 1 は、

ドレイン電極が第 2 のクロック信号の入力端に接続され、ソース電極がプルダウンノードとしての第 2 のノードに接続される第 5 の T F T と、

ドレイン電極が上記第 2 のノードに接続され、ゲート電極が上記第 1 のノードに接続され、ソース電極が低電圧信号端に接続される第 6 の T F T と、

50

ゲート電極及びドレイン電極が第2のクロック信号の入力端とともに接続され、ソース電極が上記第5のTFTのゲート電極に接続される第7のTFTと、

ドレイン電極が上記第7のTFTのソース電極に接続され、ゲート電極が上記第1のノードに接続され、ソース電極が低電圧信号端に接続される第8のTFTと、

ドレイン電極が上記第1のノードに接続され、ゲート電極が上記第2のノードに接続され、ソース電極が低電圧信号端に接続される第9のTFTと、

ドレイン電極が上記出力端に接続され、ゲート電極が上記第2のノードに接続され、ソース電極が低電圧信号端に接続される第10のTFTと、を備える。

【0013】

ゲートドライバ集積回路は、奇数行目のゲートライン信号を制御する場合、第1のクロック信号の入力端XがCLKのような第1のクロック信号線に接続され、第2のクロック信号の入力端YがCLKBのような第2のクロック信号線に接続され、偶数行目のゲートライン信号を制御する場合、第2のクロック信号の入力端Yが第1のクロック信号線に接続され、第1のクロック信号の入力端Xが第2のクロック信号線に接続されることが好ましい。

【0014】

上記複数のゲートドライバ集積回路をカスケードして、双方向走査を行える。それは以下の状況を含む。

【0015】

(1) 順方向走査、即ち、第1の行から最後の行へ走査し、且つ該ゲートドライバ集積回路が奇数行目のゲートライン信号を制御する。

順方向走査をスタートする場合、VDDがコンスタントな高レベルを提供し、VSSがコンスタントな低レベルを提供し、ゲートドライバ集積回路の入力端に高レベルのパルス信号を入力し、第1のTFTのドレイン電極で第1のノードに充電し、第1のクロック信号の入力端が第1のクロック信号線に提供される高レベルのクロック信号を受信し、上記第3のTFTは高レベルを出力するように上記出力端を制御し、上記第6のTFTは導通され、上記第2のノードの電圧を低電圧信号端の電圧までプルダウンし、上記第2のTFTのゲート電極が接続する上記リセット端は高レベルであって、上記第1のノードを放電し、第2のクロック信号の入力端が第2のクロック信号線に提供される高レベルのクロック信号を受信し、上記第4のTFTで上記出力端を放電し、上記第5のTFTで上記第2のノードに充電し、上記第1のノードを放電するように第9のTFTを制御し、出力端を放電するように上記第10のTFTを制御する。

【0016】

(2) 順方向走査、即ち、第1の行から最後の行まで走査し、且つ該ゲートドライバ集積回路が偶数行目のゲートライン信号を制御する。

順方向走査をスタートする場合、VDDがコンスタントな高レベルを提供し、VSSがコンスタントな低レベルを提供し、ゲートドライバ集積回路の入力端に高レベルのパルス信号を入力し、上記第1のTFTのドレイン電極で上記第1のノードに充電し、第1のクロック信号の入力端が第2のクロック信号線に提供される高レベルのクロック信号を受信し、上記第3のTFTによって高レベルを出力するように上記出力端を制御し、上記第6のTFTを導通し、上記第2のノードの電圧を低電圧信号端の電圧までプルダウンし、上記第2のTFTゲート電極に接続される上記リセット端が高レベルであって、上記第1のノードを放電し、第2のクロック信号の入力端が第1のクロック信号線に提供される高レベルのクロック信号を受信し、上記第4のTFTで上記出力端を放電し、上記第5のTFTで上記第2のノードに充電し、上記第1のノードを放電するように第9のTFTを制御し、出力端を放電するように上記第10のTFTを制御する。

【0017】

(3) 逆方向走査、即ち、最後の行から第1の行に走査し、該ゲートドライバ集積回路が奇数行目のゲートライン信号を制御する。

逆方向走査をスタートするとき、VDDがコンスタントな低レベルを提供し、VSSが

10

20

30

40

50

コンスタントな高レベルを提供し、ゲートドライバ集積回路のリセット端に高レベルのパルス信号を入力し、上記第2のTFTのソース電極で上記第1のノードに充電し、第1のクロック信号の入力端が第1のクロック信号線に提供される高レベルのクロック信号を受信し、上記第3のTFTによって高レベルを出力するように上記出力端を制御し、上記第6のTFTを導通し、上記第2のノードの電圧を低電圧信号端の電圧までプルダウンし、上記第1のTFTのゲート電極に接続される上記入力端が高レベルであって、上記第1のノードを放電し、第2のクロック信号の入力端が第2のクロック信号線に提供される高レベルのクロック信号を受信し、上記第4のTFTで上記出力端を放電し、上記第5のTFTで上記第2のノードに充電し、上記第1のノードを放電するように第9のTFTを制御し、出力端を放電するように上記第10のTFTを制御する。

10

**【0018】**

(4) 逆方向走査、即ち、最後の行から第1の行に走査し、該ゲートドライバ集積回路が偶数行目のゲートライン信号制御する。

逆方向走査をスタートするとき、VDDがコンスタントな低レベルを提供し、VSSがコンスタントな高レベルを提供し、ゲートドライバ集積回路のリセット端に高レベルのパルス信号を入力し、上記第2のTFTのソース電極で上記第1のノードに充電し、第1のクロック信号の入力端が第2のクロック信号線に提供される高レベルのクロック信号を受信し、上記第3のTFTによって高レベルを出力するように上記出力端を制御し、上記第6のTFTを導通し、上記第2のノードの電圧を低電圧信号端の電圧までプルダウンし、上記第1のTFTゲート電極に接続される上記入力端が高レベルであり、上記第1のノードを放電し、第2のクロック信号の入力端が第1のクロック信号線に提供される高レベルのクロック信号を受信し、上記第4のTFTによって上記出力端を放電し、上記第5のTFTによって上記第2のノードに充電し、上記第1のノードを放電するように第9のTFTを制御し、出力端を放電するように上記第10のTFTを制御する。

20

**【0019】**

上記低電圧信号端は、コンスタントな低レベルを当該ゲートドライバ集積回路に提供することが好ましい。

**【0020】**

上記から分かるように、本発明に係るゲートドライバ集積回路は、ゲートドライバ集積回路における入力端およびリセット端の機能を対称にして設計することによって、ゲートドライバ集積回路が双方向走査することができるようになり、かつノードの充放電特性が変更されなく、回路の信頼性及び安定性が向上される。

30

**【0021】**

同じ構想に基づき、本発明の実施例は複数の上記ゲートドライバ集積回路を有するシフトレジスタであって、各ゲートドライバ集積回路が対応する行のゲートライン信号を制御する。図3に示すように、第N行のゲートライン信号を制御するゲートドライバ集積回路は、入力端が第N-1行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、出力端が第N+1行のゲートライン信号を制御するゲートドライバ集積回路の入力端に接続され、リセット端が第N+1行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、Nが2以上である。奇数行目のゲートライン信号を制御するゲートドライバ集積回路は、第1のクロック信号の入力端XがCLKのような第1のクロック信号線に接続され、第2のクロック信号の入力端YがCLKBのような第2のクロック信号線に接続され、偶数行目のゲートライン信号を制御するゲートドライバ集積回路は、第2のクロック信号の入力端Yが第1のクロック信号線に接続され、第1のクロック信号の入力端Xが第2のクロック信号線に接続される。

40

**【0022】**

以下、具体的な実施例によって、10T1Cを例として、本発明に係るシフトレジスタにおけるゲートドライバ集積回路を詳しく説明する。図4に示すように、第1の薄膜トランジスタTFT M1は、ゲート電極が該ゲートドライバ集積回路の入力端INPUTに接続され、ドレイン電極が電源電圧VDDに接続され、ソース電極がプルアップノードと

50



しての第1のノードPUに接続され、第2のTFT M2は、ゲート電極が該ゲートドライバ集積回路のリセット端RESETに接続され、ソース電極が共通接続電圧VSSに接続され、ドレイン電極が第1のノードPUに接続され、第3のTFT M3は、ゲート電極が第1のノードPUに接続され、ドレイン電極が第1のクロック信号の入力端Xに接続され、ソース電極が出力端OUTPUTに接続され、第4のTFT M4は、ゲート電極が第2のクロック信号の入力端Yに接続され、ドレイン電極が出力端OUTPUTに接続され、ソース電極が低電圧信号端VGLに接続され、電気容量C1は、第1のノードPUと出力端OUTPUTとの間に接続され、第5のTFT M5は、ドレイン電極が第2のクロック信号の入力端Yに接続され、ソース電極がプルダウンノードとしての第2のノードPDに接続され、第6のTFT M6は、ドレイン電極が第2のノードPDに接続され、ゲート電極が第1のノードPUに接続され、ソース電極が低電圧信号端VGLに接続され、第7のTFT M7は、ゲート電極及びドレイン電極が第2のクロック信号の入力端Yにともに接続され、ソース電極が第5のTFT M5のゲート電極に接続され、第8のTFT M8は、ドレイン電極が第7のTFT M7のソース電極に接続され、ゲート電極が第1のノードPUに接続され、ソース電極が低電圧信号端VGLに接続され、第9のTFT M9は、ドレイン電極が第1のノードPUに接続され、ゲート電極が第2のノードPDに接続され、ソース電極が低電圧信号端VGLに接続され、第10のTFT M10は、ドレイン電極が出力端OUTPUTに接続され、ゲート電極が第2のノードPDに接続され、ソース電極が低電圧信号端に接続され。それにおいて、TFT M3のドレイン電極が第1のクロック信号の入力端Xであり、TFT M5のドレイン電極が第2のクロック信号の入力端Yである。この行が奇数行目であるとき、第1のクロック信号の入力端Xが第1のクロック信号線CLKに接続され、第2のクロック信号の入力端Yが第2のクロック信号線CLKBに接続される。この行が偶数行目であるとき、第1のクロック信号の入力端Xが第2のクロック信号線CLKBに接続され、第2のクロック信号の入力端Yが第1のクロック信号線CLKに接続される。

#### 【0023】

図5は、順方向走査時に奇数行目のゲートライン信号を制御するゲートドライバ集積回路の各入力信号エントの電圧のシーケンス図である。図に示すように、順方向走査（第1の行から最後の行へ）するとき、VDDがコンスタントな高電圧を提供し、VSSがコンスタントな低電圧を提供し、入力端INPUTに高レベルのパルス信号を入力し、M1を導通させ、電圧制御バスバーのPUノードに充電し、そして、第1のクロック信号の入力端Xが第1のクロック信号線CLKに提供される高レベルのクロック信号を入力し、M3を導通させ、高レベルを出力するように出力端OUTPUTを制御するとともに、電気容量C1に蓄積される電荷がPUノードへ移動し、PUノードの電圧をさらに向上する。それとともに、PUノード電圧が上昇してM6を導通させ、第2のノードPDの電圧を低電圧信号端VGLの電圧までプルダウンする。そして、リセット端RESETが高レベルであり、M2を導通させ、PUノードを放電するとともに、第2のクロック信号の入力端Yが第2のクロック信号線CLKBに提供される高レベルのクロック信号を入力し、M4を導通させ、出力端OUTPUTを放電し、さらに、M5を導通させ、PDノードに充電し、PUノードを放電するようにPDノードに対応するプルダウンM9を制御し、出力端OUTPUTを放電するようにPDノードに対応するプルダウンTFT M10を制御する。

#### 【0024】

図6は、順方向走査時に、偶数行目のゲートライン信号を制御するゲートドライバ集積回路の各エントの電圧のシーケンス図である。この図に示すように、順方向走査（第1の行から最後の行）時に、VDDがコンスタントな高電圧を提供し、VSSがコンスタントな低電圧を提供し、入力端INPUTに高レベルのパルス信号を入力し、M1を導通させ、PUノードに充電し、そして、第1のクロック信号の入力端Xに第2のクロック信号線CLKBに提供される高レベルのクロック信号を入力し、M3を導通させ、このとき、出力端OUTPUTが高レベルを出力するとともに、電気容量C1に蓄積する電荷がPUノ

10

20

30

40

50

ードに移動し、P U ノードの電圧をさらに向上する。それとともに、P U ノードの電圧が M 6 を導通させるまで上昇し、第 2 のノード P D の電圧を低電圧信号端 V G L の電圧までプルダウンする。そして、リセット端 R E S E T が高レベルであり、M 2 を導通させ、P U ノードを放電するとともに、第 2 のクロック信号の入力端 Y に第 1 のクロック信号線 C L K に提供される高レベルのクロック信号を入力し、M 4 を導通させ、出力端 O U T P U T を放電し、さらに、M 5 を導通させ、P D ノードに充電し、P U ノードを放電するように P D ノードに対応するプルダウン T F T M 9 を制御し、出力端 O U T P U T を放電するように P D ノードに対応するプルダウン M 1 0 を制御する。

【 0 0 2 5 】

図 7 は、逆方向走査時に奇数行目のゲートライン信号を制御するゲートドライバ集積回路の各入力信号エンドの電圧のシーケンス図である。この図に示すように、逆方向走査（最後の行から第 1 の行）時に、V D D がコンスタントな低電圧を提供し、V S S がコンスタントな高電圧を提供し、リセット端 R E S E T に高レベルのパルス信号を入力し、M 2 を導通させ、P U ノードに充電し、そして、第 1 のクロック信号の入力端 X が第 1 のクロック信号線 C L K に提供される高レベルのクロック信号を入力し、M 3 を導通させ、このとき、出力端 O U T P U T が高レベルを出力するとともに、電気容量 C 1 に蓄積する電荷が P U ノードに移動し、P U ノードの電圧をさらに向上する。それとともに、P U ノード電圧が M 6 を導通させるまで上昇し、第 2 のノード P D の電圧を低電圧信号端 V G L の電圧までプルダウンする。そして、入力端 I N P U T が高レベルであり、M 1 を導通させ、P U ノードを放電するとともに、第 2 のクロック信号の入力端 Y が第 2 のクロック信号線 C L K B に提供される高レベルのクロック信号を入力し、M 4 を導通させ、出力端 O U T P U T を放電し、さらに、M 5 を導通し、P D ノードに充電し、P U ノードを放電するように P D ノードに対応するプルダウン M 9 を制御し、出力端 O U T P U T を放電するように P D ノードに対応する M 1 0 を制御する。

【 0 0 2 6 】

図 8 は、逆方向走査時に偶数行目のゲートライン信号を制御するゲートドライバ集積回路の各入力信号エンドの電圧のシーケンス図である。この図に示すように、逆方向走査（最後の行から第 1 の行）時に、V D D がコンスタントな低電圧を提供し、V S S がコンスタントな高電圧を提供し、リセット端 R E S E T に高レベルのパルス信号を入力し、M 2 を導通させ、P U ノードに充電し、そして、第 1 のクロック信号の入力端 X が第 2 のクロック信号線 C L K B に提供される高レベルのクロック信号が入力し、M 3 を導通させ、このとき、出力端 O U T P U T が高レベルを出力するとともに、電気容量 C 1 に蓄積する電荷が P U ノードに移動し、P U ノードの電圧をさらに向上する。それとともに、P U ノード電圧が M 6 を導通させるまで上昇し、第 2 のノード P D の電圧を低電圧信号端 V G L の電圧までプルダウンする。そして、入力端 I N P U T が高レベルであり、M 1 を導通させ、P U ノードを放電するとともに、第 2 のクロック信号の入力端 Y が第 1 のクロック信号線 C L K に提供される高レベルのクロック信号を入力し、M 4 を導通させ、出力端 O U T P U T を放電し、さらに、M 5 を導通させ、P D ノードに充電し、P U ノードを放電するように P D ノードに対応する M 9 を制御し、出力端 O U T P U T を放電するように P D ノードに対応する M 1 0 を制御する。

【 0 0 2 7 】

上記から分かるように、本発明に係るゲートドライバ集積回路は、ゲートドライバ集積回路における入力端およびリセット端の機能を対称にして設計することによって、ゲートドライバ集積回路が双方向走査することができるようになり、ノードの充放電特性が変更されなく、回路の信頼性及び安定性が確保される。

【 0 0 2 8 】

同じ構想に基づき、本発明の実施例はディスプレイスクリーンであって、上記シフトレジスタ及びアレイ基板を備え、上記シフトレジスタの各ゲートドライバ集積回路の信号出力端は、上記アレイ基板の、該ゲートドライバ集積回路に制御されるゲートライン信号のゲートラインに接続される。

10

20

30

40

50

## 【 0 0 2 9 】

上記から分かるように、本発明に係るゲートドライバ集積回路、シフトレジスタ及びディスプレイスクリーンは、ゲートドライバ集積回路における入力端およびリセット端の機能を対称にして設計することによって、ゲートドライバ集積回路が双方向走査することができるように、ノードの充放電特性が変更されなく、回路の信頼性及び安定性が確保される。

## 【 0 0 3 0 】

本発明の精神と範囲から逸脱しない範囲で本発明を修正する、または変更することができる。本発明に対する修正または変更は、本発明の特許請求の範囲及びそれに均等する範囲内であれば、本発明はこれらの修正または変更を含む。

10

【 図 1 】

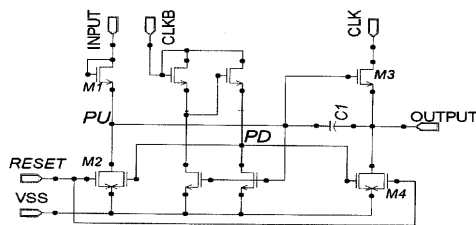
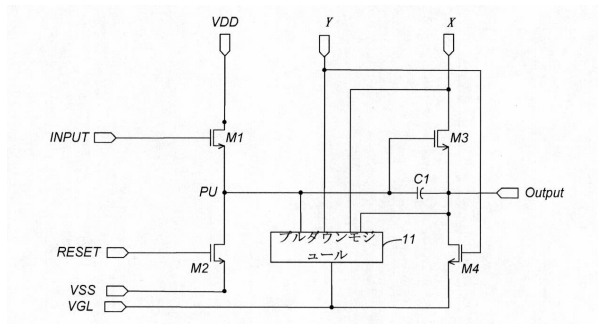
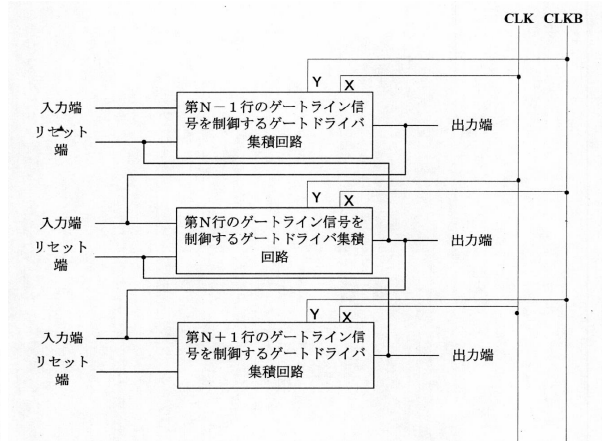


図 1

【 図 2 】



【 図 3 】



【 図 4 】

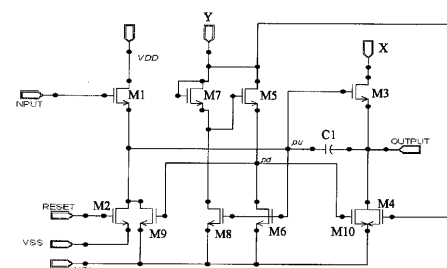


図 4

【図 5】

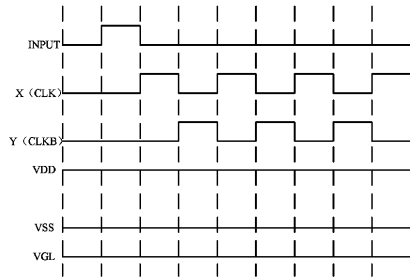


图 5

【図 7】

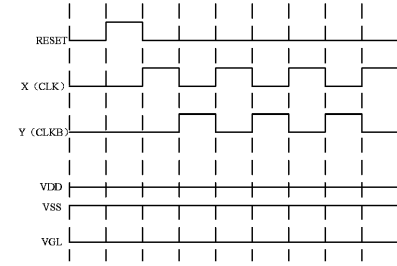


图 7

【図 6】

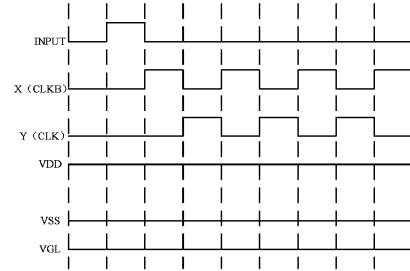


图 6

【図 8】

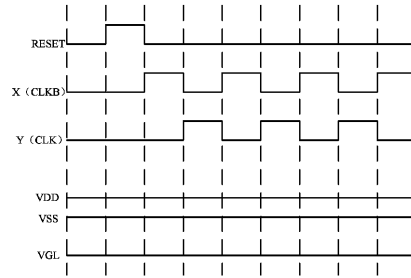


图 8

---

フロントページの続き

審査官 橋本 直明

(56)参考文献 特開 2 0 0 9 - 0 8 6 6 2 0 ( J P , A )  
米国特許出願公開第 2 0 0 8 / 0 0 1 2 8 1 8 ( U S , A 1 )  
特開 2 0 0 9 - 0 9 2 9 8 2 ( J P , A )  
特開 2 0 1 1 - 0 6 0 4 1 1 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)  
G 0 9 G      3 / 3 6  
G 0 2 F      1 / 1 3 3  
G 0 9 G      3 / 2 0

专利名称(译)	栅极驱动器集成电路，移位寄存器和显示屏		
公开(公告)号	<a href="#">JP6227530B2</a>	公开(公告)日	2017-11-08
申请号	JP2014526374	申请日	2012-08-21
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	陳 希		
发明人	▲陳▼ 希		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3674 G09G2300/0408 G09G2310/0283 G09G2310/0286 G09G2310/08 G11C19/28 H03K5/153		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.622.B G09G3/20.622.R G02F1/133.550		
代理人(译)	村山彦 渡边 隆		
审查员(译)	Naoaki桥本		
优先权	201110241400.8 2011-08-22 CN		
其他公开文献	JP2014524598A		
外部链接	<a href="#">Espacenet</a>		

## 摘要(译)

本发明涉及液晶显示器领域，尤其涉及栅极驱动器集成电路，移位寄存器和显示屏。集成电路栅极驱动器包括：第一薄膜晶体管TFT，第二TFT，第三TFT，第四TFT，包括一电容，和一个下拉模块，下拉模块下拉模块，第一时钟信号，第二时钟信号输入端的输入端，和连接在输出端之间的第一个节点，以及连接到低电平信号端，栅极驱动器集成电路不操作并且在该时段内将第一节点和输出终端维持在低水平。由输入端的对称来实现功能和栅极驱动器集成电路的复位端子，栅极驱动器集成电路将能够双向扫描，而不是被改变的节点的充放电特性，的电路可靠性和稳定性得到保证。

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)		(11) 特許番号 特許第6227530号 (P6227530)	
(45) 発行日 平成29年11月8日 (2017.11.8)		(24) 登録日 平成29年10月20日 (2017.10.20)			
(51) Int. Cl.		F I			
G 0 9 G 3 / 3 6 (2006. 01)		G O 9 G 3 / 3 6			
G 0 9 G 3 / 2 0 (2006. 01)		G O 9 G 3 / 2 0		6 2 2 E	
G 0 2 F 1 / 1 3 3 (2006. 01)		G O 9 G 3 / 2 0		6 2 2 B	
		G O 9 G 3 / 2 0		6 2 2 R	
		G O 2 F 1 / 1 3 3		5 5 0	
請求項の数 9 (全 13 頁)					
<hr/>					
(21) 出願番号 特願2014-526374 (P2014-526374)		(73) 特許権者 507134301			
(86) (22) 出願日 平成24年8月21日 (2012. 8. 21)		北京東方光電科技有限公司			
(65) 公表番号 特表2014-524598 (P2014-524598A)		中華人民共和國北京經濟技術開發區西環中			
(43) 公表日 平成26年9月22日 (2014. 9. 22)		路8號			
(86) 国際出願番号 PCT/CN2012/080420		(74) 代理人 100108453			
(87) 国際公開番号 W02013/025387		弁理士 村山 彦彦			
(87) 国際公開日 平成25年2月28日 (2013. 2. 28)		(74) 代理人 100089037			
(31) 優先権主張番号 201110241400. 8		弁理士 渡邊 隆			
(32) 優先日 平成23年8月22日 (2011. 8. 22)		(74) 代理人 100110364			
(33) 優先権主張国 中国 (CN)		弁理士 荒広 信哉			
		(72) 発明者 ▲陳▼ 希			
		中華人民共和國100176北京市▲経▼			
		▲溝▼技▲術▼▲開▼区地▲溝▼路			
		9号			
最終頁に続く					
<hr/>					
(54) 【発明の名称】 ゲートドライバ素子回路、シフトレジスタ及びディスプレイスクリーン					