

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6101406号
(P6101406)

(45) 発行日 平成29年3月22日 (2017.3.22)

(24) 登録日 平成29年3月3日 (2017.3.3)

(51) Int. Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

請求項の数 13 (全 17 頁)

(21) 出願番号	特願2016-526398 (P2016-526398)	(73) 特許権者	515203228
(86) (22) 出願日	平成25年7月25日 (2013.7.25)		深▲せん▼市華星光電技術有限公司
(65) 公表番号	特表2016-527548 (P2016-527548A)		中華人民共和国廣東省深▲せん▼市光明新
(43) 公表日	平成28年9月8日 (2016.9.8)		區塘明大道9-2號518132
(86) 国際出願番号	PCT/CN2013/080076	(74) 代理人	100143720
(87) 国際公開番号	W02015/006996		弁理士 米田 耕一郎
(87) 国際公開日	平成27年1月22日 (2015.1.22)	(74) 代理人	100080252
審査請求日	平成28年2月12日 (2016.2.12)		弁理士 鈴木 征四郎
(31) 優先権主張番号	201310306890.4	(72) 発明者	姚曉慧
(32) 優先日	平成25年7月19日 (2013.7.19)		中華人民共和国廣東省深▲せん▼市光明新
(33) 優先権主張国	中国 (CN)		區塘明大道9-2號518132
		(72) 発明者	陳政鴻
			中華人民共和国廣東省深▲せん▼市光明新
			區塘明大道9-2號518132

最終頁に続く

(54) 【発明の名称】 アレイ基板及び液晶パネル

(57) 【特許請求の範囲】

【請求項1】

複数の走査線と、複数のデータ線と、複数の画素ユニットと、コモン電圧を入力するコモン電圧と、を含んでなり、

それぞれの該画素ユニットは少なくとも2つの画素電極と、少なくとも2つのスイッチ回路とを含み、少なくとも2つの該画素電極は第1画素電極と第2画素電極とを含み、少なくとも2つの該スイッチ回路は該第1画素電極に作用する第1スイッチ回路と、該第2画素電極に作用する第2スイッチ回路とを含み、

それぞれの該画素ユニットが第1コントロールスイッチをさらに含み、該コントロールスイッチが制御端と第1端と第2端とを含み、

該第1画素電極が該第1スイッチ回路を介して該画素ユニットに対応する該走査線と該データ線とに接続し、

該第2画素電極が該第2スイッチ回路を介して該画素ユニットに対応する走査線に接続し、かつ少なくとも該第2スイッチ回路を介して該第1スイッチ回路に接続して最終的に該第2画素電極と該画素ユニットに対応する該データ線と接続し、該コントロールスイッチの制御端が該画素ユニットに対応する走査線に接続し、該コントロールスイッチの該第1端と該第2画素電極が接続し、該コントロールスイッチの第2端が該コモン電極と接続し、

該画素ユニットに対応する該走査線に走査信号を入力して該第1スイッチ回路と該第2スイッチ回路と該コントロールスイッチとがONになった場合、該第1画素電極が該第1ス

10

20

スイッチ回路を介して該画素ユニットに対応するデータ線のデータ信号を受信し、該第2画素電極が該第1スイッチ回路と該第2スイッチ回路とを順に介して該画素ユニットに対応するデータ線からデータ信号を受信し、該第1スイッチ回路と該第2スイッチ回路の作用の下で該第1画素電極と該第2画素電極との間にゼロの電圧差が存在しなくなり、かつ該第1スイッチ回路がONになった場合の電流通過能力と、該第2スイッチ回路がONになった場合の電流通過能力とが異なって該第1画素電極と該第2画素電極との間に異なる電圧差を得て、該コントロールスイッチが放電薄膜トランジスタであって、

該コントロールスイッチの制御端が該放電薄膜トランジスタのゲートに対応し、

該コントロールスイッチの第1端が該放電薄膜トランジスタのソースに対応し、

該コントロールスイッチの第2端が該放電薄膜トランジスタのドレインに対応し、

該放電薄膜トランジスタがONになった時間内に該第2画素電極の電圧を変化させ、ONになった時間内に該第2画素電極と該コモン電極との電圧差を減少させ、かつゼロにしない

ことを特徴とするアレイ基板。

【請求項2】

請求項1に記載のアレイ基板において、

前記第1スイッチ回路が第1薄膜トランジスタであって、該第2スイッチ回路が第2薄膜トランジスタであって、該第1薄膜トランジスタの幅と長さの比が該第2薄膜トランジスタの幅と長さの比と異なり、第1スイッチ回路がONになった場合の電流通過能力が、第2スイッチ回路がONになった場合の電流通過能力と異なる

ことを特徴とするアレイ基板。

【請求項3】

請求項1に記載のアレイ基板において、

それぞれの前記画素ユニットが第3画素電極と第3スイッチ回路とをさらに含み、該第3画素電極が該第3スイッチ回路を介して該画素ユニットに対応する走査線に接続し、かつ該第3スイッチ回路を介して該第1スイッチ回路と接続し、最終的に該第3画素電極と該画素ユニットに対応するデータ線と接続を実現し、

該第2電極が該第2スイッチ回路と該第3スイッチ回路とを介して該第1スイッチ回路に接続し、最終的に該第2画素電極と該画素ユニットに対応するデータ線との接続を実現する

ことを特徴とするアレイ基板。

【請求項4】

複数の走査線と、複数のデータ線と、複数の画素ユニットと、コモン電圧を入力するコモン電圧と、を含んでなり、

それぞれの該画素ユニットは少なくとも2つの画素電極と、少なくとも2つのスイッチ回路とを含み、少なくとも2つの該画素電極は第1画素電極と第2画素電極とを含み、少なくとも2つの該スイッチ回路は該第1画素電極に作用する第1スイッチ回路と、該第2画素電極に作用する第2スイッチ回路とを含み、それぞれの該画素ユニットが第1コントロールスイッチをさらに含み、該コントロールスイッチが制御端と第1端と第2端とを含み、

該第1画素電極が該第1スイッチ回路を介して該画素ユニットに対応する該走査線と該データ線とに接続し、

該第2画素電極が該第2スイッチ回路を介して該画素ユニットに対応する走査線に接続し、かつ少なくとも該第2スイッチ回路を介して該第1スイッチ回路に接続して最終的に該第2画素電極と該画素ユニットに対応する該データ線と接続し、該コントロールスイッチの制御端が該画素ユニットに対応する走査線に接続し、該コントロールスイッチの該第1端と該第2画素電極が接続し、該コントロールスイッチの第2端が該コモン電極と接続し、

該画素ユニットに対応する該走査線に走査信号を入力して該第1スイッチ回路と該第2スイッチ回路と該コントロールスイッチとがONになった場合、該第1画素電極が該第1ス

10

20

30

40

50

イッチ回路を介して該画素ユニットに対応するデータ線のデータ信号を受信し、

該第2画素電極が少なくとも該第1スイッチ回路と該第2スイッチ回路とを順に介して該画素ユニットに対応するデータ線からデータ信号を受信し、

該第1スイッチ回路と該第2スイッチ回路の作用の下で該第1画素電極と該第2画素電極との間にゼロの電圧差が存在しなくなり、該スイッチ回路がONになった時間内に該第2画素電極の電圧を変化させ、該第2画素電極と該コモン電極との電圧差を減少させ、かつゼロにしない

ことを特徴とするアレイ基板。

【請求項5】

請求項4に記載のアレイ基板において、

前記第1スイッチ回路がONになった場合の電流通過能力が、該第2スイッチ回路がONになった場合の電流通過能力と異なり、該第1画素電極と該第2画素電極との間に異なる電圧差を得る

ことを特徴とするアレイ基板。

【請求項6】

請求項5に記載のアレイ基板において、

前記第1スイッチ回路が第1薄膜トランジスタであって、該第2スイッチ回路が第2薄膜トランジスタであって、該第1薄膜トランジスタの幅と長さの比が該第2薄膜トランジスタの幅と長さの比と異なり、

第1スイッチ回路がONになった場合の電流通過能力が、第2スイッチ回路がONになった場合の電流通過能力と異なる

ことを特徴とするアレイ基板。

【請求項7】

請求項4に記載のアレイ基板において、

それぞれの前記画素ユニットが第3画素電極と第3スイッチ回路とをさらに含み、該第3画素電極が該第3スイッチ回路を介して該画素ユニットに対応する走査線に接続し、かつ該第3スイッチ回路を介して該第1スイッチ回路と接続し、最終的に該第3画素電極と該画素ユニットに対応するデータ線と接続を実現し、

該第2電極が該第2スイッチ回路と該第3スイッチ回路とを介して該第1スイッチ回路に接続し、最終的に該第2画素電極と該画素ユニットに対応するデータ線との接続を実現する

ことを特徴とするアレイ基板。

【請求項8】

請求項4に記載のアレイ基板において、

前記コントロールスイッチが放電薄膜トランジスタであって、

該コントロールスイッチの制御端が該放電薄膜トランジスタのゲートに対応し、

該コントロールスイッチの第1端が該放電薄膜トランジスタのソースに対応し、

該コントロールスイッチの第2端が該放電薄膜トランジスタのドレインに対応し、

該放電薄膜トランジスタがONになった時間内に該第2画素電極と該コモン電極との電圧差を減少させ、かつゼロにしない

ことを特徴とするアレイ基板。

【請求項9】

アレイ基板と、カラーフィルタ基板と、該アレイ基板と該カラーフィルタ基板との間に位置する液晶層を含み、

複数の走査線と、複数のデータ線と、複数の画素ユニットと、コモン電圧を入力するコモン電圧と、を含んでなり、

それぞれの該画素ユニットは少なくとも2つの画素電極と、少なくとも2つのスイッチ回路とを含み、少なくとも2つの該画素電極は第1画素電極と第2画素電極とを含み、少なくとも2つの該スイッチ回路は該第1画素電極に作用する第1スイッチ回路と、該第2画素電極に作用する第2スイッチ回路とを含み、

10

20

30

40

50

それぞれの該画素ユニットが第1コントロールスイッチをさらに含み、該コントロールスイッチが制御端と第1端と第2端とを含み、

該第1画素電極が該第1スイッチ回路を介して該画素ユニットに対応する該走査線と該データ線とに接続し、

該第2画素電極が該第2スイッチ回路を介して該画素ユニットに対応する走査線に接続し、かつ少なくとも該第2スイッチ回路を介して該第1スイッチ回路に接続して最終的に該第2画素電極と該画素ユニットに対応する該データ線と接続し、該コントロールスイッチの制御端が該画素ユニットに対応する走査線に接続し、該コントロールスイッチの該第1端と該第2画素電極が接続し、該コントロールスイッチの第2端が該コモン電極と接続し、

10

該画素ユニットに対応する該走査線に走査信号を入力して該第1スイッチ回路と該第2スイッチ回路と該コントロールスイッチとがONになった場合、該第1画素電極が該第1スイッチ回路を介して該画素ユニットに対応するデータ線のデータ信号を受信し、該第2画素電極が該第1スイッチ回路と該第2スイッチ回路とを順に介して該画素ユニットに対応するデータ線からデータ信号を受信し、該第1スイッチ回路と該第2スイッチ回路の作用の下で該第1画素電極と該第2画素電極との間にゼロの電圧差が存在しなくなり、かつ該第1スイッチ回路がONになった場合の電流通過能力と、該第2スイッチ回路がONになった場合の電流通過能力とが異なって該第1画素電極と該第2画素電極との間に異なる電圧差を得て、該コントロールスイッチが放電薄膜トランジスタであって、

該コントロールスイッチの制御端が該放電薄膜トランジスタのゲートに対応し、

20

該コントロールスイッチの第1端が該放電薄膜トランジスタのソースに対応し、

該コントロールスイッチの第2端が該放電薄膜トランジスタのドレインに対応し、

該放電薄膜トランジスタがONになった時間内に該第2画素電極の電圧を変化させ、ONになった時間内に該第2画素電極と該コモン電極との電圧差を減少させ、かつゼロにしない

ことを特徴とする液晶表示パネル。

【請求項10】

請求項9に記載の液晶表示パネルにおいて、

前記第1スイッチ回路がONになった場合の電流通過能力が、該第2スイッチ回路がONになった場合の電流通過能力と異なり、該第1画素電極と該第2画素電極との間に異なる電圧差を得る

30

ことを特徴とする液晶表示パネル。

【請求項11】

請求項10に記載の液晶表示パネルにおいて、

前記第1スイッチ回路が第1薄膜トランジスタであって、該第2スイッチ回路が第2薄膜トランジスタであって、該第1薄膜トランジスタの幅と長さの比が該第2薄膜トランジスタの幅と長さの比と異なり、第1スイッチ回路がONになった場合の電流通過能力が、第2スイッチ回路がONになった場合の電流通過能力とが異なる

ことを特徴とする液晶表示パネル。

【請求項12】

40

請求項9に記載の液晶表示パネルにおいて、

それぞれの前記画素ユニットが第3画素電極と第3スイッチ回路とをさらに含み、該第3画素電極が該第3スイッチ回路を介して該画素ユニットに対応する走査線に接続し、かつ該第3スイッチ回路を介して該第1スイッチ回路と接続し、最終的に該第3画素電極と該画素ユニットに対応するデータ線と接続を実現し、

該第2電極が該第2スイッチ回路と該第3スイッチ回路とを介して該第1スイッチ回路に接続し、最終的に該第2画素電極と該画素ユニットに対応するデータ線との接続を実現する

ことを特徴とする液晶表示パネル。

【請求項13】

50

請求項 9 に記載の液晶表示パネルにおいて、

前記該コントロールスイッチが放電薄膜トランジスタであって、該コントロールスイッチの制御端が該放電薄膜トランジスタのゲートに対応し、該コントロールスイッチの第 1 端が該放電薄膜トランジスタのソースに対応し、該コントロールスイッチの第 2 端が該放電薄膜トランジスタのドレインに対応し、

該放電薄膜トランジスタが ON になった時間内に該第 2 画素電極と該コモン電極との電圧差を減少させ、かつゼロにしない

ことを特徴とする液晶表示パネル。

【発明の詳細な説明】

【技術分野】

10

【0001】

この発明は液晶表示技術に関し、特にアレイ基板及び液晶表示パネルに関する。

【背景技術】

【0002】

VA (Vertical Alignment) 方式の液晶表示パネルは、応答速度が速く、コントラストが高いなどの長所を有し、目下液晶表示パネルの主流として発展しつつある。但し、異なる視野角においては液晶分子の配向が一致せず、液晶分子の有効な屈折率も異なる。このため、透過光線が強くなるという変化が生まれる。具体的な表現としては、斜めの視野角の光透過能力が下がり、正面方向の視野角に表現される色と一致なくなり、色差が発生する。このため、大視野角において観察すれば、色ずれにより色彩がリアルでなくなっていることが分かる。

20

【発明の概要】

【発明が解決しようとする課題】

【0003】

この発明は、大視野角において見られる色ずれの現象を改善し、画像表示の効果を高めることのできるアレイ基板及び液晶パネルを提供することを課題とする。

【課題を解決するための手段】

【0004】

そこで、本発明者は鋭意研究を重ねた結果、

複数の走査線と、複数のデータ線と、複数の画素ユニットと、コモン電圧を入力するコモン電圧とを含んでなり、

30

それぞれの該画素ユニットは少なくとも 2 つの画素電極と、少なくとも 2 つのスイッチ回路とを含み、少なくとも 2 つの該画素電極は第 1 画素電極と第 2 画素電極とを含み、少なくとも 2 つの該スイッチ回路は該第 1 画素電極に作用する第 1 スwitch 回路と、該第 2 画素電極に作用する第 2 スwitch 回路とを含み、

それぞれの該画素ユニットが第 1 コントロールスイッチをさらに含み、該コントロールスイッチが制御端と第 1 端と第 2 端とを含み、

該第 1 画素電極が該第 1 スwitch 回路を介して該画素ユニットに対応する該走査線と該データ線とに接続し、

該第 2 画素電極が該第 2 スwitch 回路を介して該画素ユニットに対応する走査線に接続し、かつ少なくとも該第 2 スwitch 回路を介して該第 1 スwitch 回路に接続して最終的に該第 2 画素電極と該画素ユニットに対応する該データ線と接続し、該コントロールスイッチの制御端が該画素ユニットに対応する走査線に接続し、該コントロールスイッチの該第 1 端と該第 2 画素電極が接続し、該コントロールスイッチの第 2 端が該コモン電極と接続するアレイ基板と、

40

係るアレイ基板と、

カラーフィルタ基板と、

該アレイ基板と該カラーフィルタ基板との間に位置する液晶層を含む液晶表示パネルによって課題を解決できる点に着眼し、係る知見に基づいて本発明を完成させた。

【0005】

50

以下この発明について説明する。

請求項 1 にアレイ基板は、

複数の走査線と、複数のデータ線と、複数の画素ユニットと、コモン電圧を入力するコモン電圧と、を含んでなり、

それぞれの該画素ユニットは少なくとも 2 つの画素電極と、少なくとも 2 つのスイッチ回路とを含み、少なくとも 2 つの該画素電極は第 1 画素電極と第 2 画素電極とを含み、少なくとも 2 つの該スイッチ回路は該第 1 画素電極に作用する第 1 スwitch回路と、該第 2 画素電極に作用する第 2 スwitch回路とを含み、

それぞれの該画素ユニットが第 1 コントロールスイッチをさらに含み、該コントロールスイッチが制御端と第 1 端と第 2 端とを含み、

該第 1 画素電極が該第 1 スwitch回路を介して該画素ユニットに対応する該走査線と該データ線とに接続し、

該第 2 画素電極が該第 2 スwitch回路を介して該画素ユニットに対応する走査線に接続し、かつ少なくとも該第 2 スwitch回路を介して該第 1 スwitch回路に接続して最終的に該第 2 画素電極と該画素ユニットに対応する該データ線と接続し、該コントロールスイッチの制御端が該画素ユニットに対応する走査線に接続し、該コントロールスイッチの該第 1 端と該第 2 画素電極が接続し、該コントロールスイッチの第 2 端が該コモン電極と接続し、

該画素ユニットに対応する該走査線に走査信号を入力して該第 1 スwitch回路と該第 2 スwitch回路と該コントロールスイッチとが ON になった場合、該第 1 画素電極が該第 1 スwitch回路を介して該画素ユニットに対応するデータ線のデータ信号を受信し、該第 2 画素電極が該第 1 スwitch回路と該第 2 スwitch回路とを順に介して該画素ユニットに対応するデータ線からデータ信号を受信し、該第 1 スwitch回路と該第 2 スwitch回路の作用の下で該第 1 画素電極と該第 2 画素電極との間にゼロの電圧差が存在しなくなり、かつ該第 1 スwitch回路が ON になった場合の電流通過能力と、該第 2 スwitch回路が ON になった場合の電流通過能力とが異なって該第 1 画素電極と該第 2 画素電極との間に異なる電圧差を得て、該コントロールスイッチが放電薄膜トランジスタであって、

該コントロールスイッチの制御端が該放電薄膜トランジスタのゲートに対応し、

該コントロールスイッチの第 1 端が該放電薄膜トランジスタのソースに対応し、

該コントロールスイッチの第 2 端が該放電薄膜トランジスタのドレインに対応し、

該放電薄膜トランジスタが ON になった時間内に該第 2 画素電極の電圧を変化させ、ON になった時間内に該第 2 画素電極と該コモン電極との電圧差を減少させ、かつゼロにしない

ことを特徴とする。

【0006】

請求項 2 に記載するアレイ基板は、

前記第 1 スwitch回路が第 1 薄膜トランジスタであって、該第 2 スwitch回路が第 2 薄膜トランジスタであって、該第 1 薄膜トランジスタの幅と長さの比が該第 2 薄膜トランジスタの幅と長さの比と異なり、第 1 スwitch回路が ON になった場合の電流通過能力が、第 2 スwitch回路が ON になった場合の電流通過能力と異なる

ことを特徴とする。

【0007】

請求項 3 に記載するアレイ基板は、

それぞれの前記画素ユニットが第 3 画素電極と第 3 スwitch回路とをさらに含み、該第 3 画素電極が該第 3 スwitch回路を介して該画素ユニットに対応する走査線に接続し、かつ該第 3 スwitch回路を介して該第 1 スwitch回路と接続し、最終的に該第 3 画素電極と該画素ユニットに対応するデータ線と接続を実現し、

該第 2 電極が該第 2 スwitch回路と該第 3 スwitch回路とを介して該第 1 スwitch回路に接続し、最終的に該第 2 画素電極と該画素ユニットに対応するデータ線との接続を実現する

10

20

30

40

50

ことを特徴とする。

【0008】

請求項4に記載のアレイ基板は、

複数の走査線と、複数のデータ線と、複数の画素ユニットと、コモン電圧を入力するコモン電圧と、を含んでなり、

それぞれの該画素ユニットは少なくとも2つの画素電極と、少なくとも2つのスイッチ回路とを含み、少なくとも2つの該画素電極は第1画素電極と第2画素電極とを含み、少なくとも2つの該スイッチ回路は該第1画素電極に作用する第1スイッチ回路と、該第2画素電極に作用する第2スイッチ回路とを含み、それぞれの該画素ユニットが第1コントロールスイッチをさらに含み、該コントロールスイッチが制御端と第1端と第2端とを含み、

10

該第1画素電極が該第1スイッチ回路を介して該画素ユニットに対応する該走査線と該データ線とに接続し、

該第2画素電極が該第2スイッチ回路を介して該画素ユニットに対応する走査線に接続し、かつ少なくとも該第2スイッチ回路を介して該第1スイッチ回路に接続して最終的に該第2画素電極と該画素ユニットに対応する該データ線と接続し、該コントロールスイッチの制御端が該画素ユニットに対応する走査線に接続し、該コントロールスイッチの該第1端と該第2画素電極が接続し、該コントロールスイッチの第2端が該コモン電極と接続し、

該画素ユニットに対応する該走査線に走査信号を入力して該第1スイッチ回路と該第2スイッチ回路と該コントロールスイッチとがONになった場合、該第1画素電極が該第1スイッチ回路を介して該画素ユニットに対応するデータ線のデータ信号を受信し、

20

該第2画素電極が少なくとも該第1スイッチ回路と該第2スイッチ回路とを順に介して該画素ユニットに対応するデータ線からデータ信号を受信し、

該第1スイッチ回路と該第2スイッチ回路の作用の下で該第1画素電極と該第2画素電極との間にゼロの電圧差が存在しなくなり、該スイッチ回路がONになった時間内に該第2画素電極の電圧を変化させ、該第2画素電極と該コモン電極との電圧差を減少させ、かつゼロにしない

ことを特徴とする。

【0009】

請求項5に記載のアレイ基板は、

前記第1スイッチ回路がONになった場合の電流通過能力が、該第2スイッチ回路がONになった場合の電流通過能力と異なり、該第1画素電極と該第2画素電極との間に異なる電圧差を得る

30

ことを特徴とする。

【0010】

請求項6に記載のアレイ基板は、

前記第1スイッチ回路が第1薄膜トランジスタであって、該第2スイッチ回路が第2薄膜トランジスタであって、該第1薄膜トランジスタの幅と長さの比が該第2薄膜トランジスタの幅と長さの比と異なり、

40

第1スイッチ回路がONになった場合の電流通過能力が、第2スイッチ回路がONになった場合の電流通過能力と異なる

ことを特徴とする。

【0011】

請求項7に記載のアレイ基板は、

それぞれの前記画素ユニットが第3画素電極と第3スイッチ回路とをさらに含み、該第3画素電極が該第3スイッチ回路を介して該画素ユニットに対応する走査線に接続し、かつ該第3スイッチ回路を介して該第1スイッチ回路と接続し、最終的に該第3画素電極と該画素ユニットに対応するデータ線と接続を実現し、

該第2電極が該第2スイッチ回路と該第3スイッチ回路とを介して該第1スイッチ回路

50

に接続し、最終的に該第2画素電極と該画素ユニットに対応するデータ線との接続を実現する

ことを特徴とする。

【0012】

請求項8に記載のアレイ基板は、

前記コントロールスイッチが放電薄膜トランジスタであって、

該コントロールスイッチの制御端が該放電薄膜トランジスタのゲートに対応し、

該コントロールスイッチの第1端が該放電薄膜トランジスタのソースに対応し、

該コントロールスイッチの第2端が該放電薄膜トランジスタのドレインに対応し、

該放電薄膜トランジスタがONになった時間内に該第2画素電極と該コモン電極との電圧差を減少させ、かつゼロにしない

ことを特徴とする。

【0013】

請求項9に記載の液晶表示パネルは、

アレイ基板と、カラーフィルタ基板と、該アレイ基板と該カラーフィルタ基板との間に位置する液晶層を含み、

複数の走査線と、複数のデータ線と、複数の画素ユニットと、コモン電圧を入力するコモン電圧と、を含んでなり、

それぞれの該画素ユニットは少なくとも2つの画素電極と、少なくとも2つのスイッチ回路とを含み、少なくとも2つの該画素電極は第1画素電極と第2画素電極とを含み、少なくとも2つの該スイッチ回路は該第1画素電極に作用する第1スイッチ回路と、該第2画素電極に作用する第2スイッチ回路とを含み、

それぞれの該画素ユニットが第1コントロールスイッチをさらに含み、該コントロールスイッチが制御端と第1端と第2端とを含み、

該第1画素電極が該第1スイッチ回路を介して該画素ユニットに対応する該走査線と該データ線とに接続し、

該第2画素電極が該第2スイッチ回路を介して該画素ユニットに対応する走査線に接続し、かつ少なくとも該第2スイッチ回路を介して該第1スイッチ回路に接続して最終的に該第2画素電極と該画素ユニットに対応する該データ線と接続し、該コントロールスイッチの制御端が該画素ユニットに対応する走査線に接続し、該コントロールスイッチの該第1端と該第2画素電極が接続し、該コントロールスイッチの第2端が該コモン電極と接続し、

該画素ユニットに対応する該走査線に走査信号を入力して該第1スイッチ回路と該第2スイッチ回路と該コントロールスイッチとがONになった場合、該第1画素電極が該第1スイッチ回路を介して該画素ユニットに対応するデータ線のデータ信号を受信し、該第2画素電極が該第1スイッチ回路と該第2スイッチ回路とを順に介して該画素ユニットに対応するデータ線からデータ信号を受信し、該第1スイッチ回路と該第2スイッチ回路の作用の下で該第1画素電極と該第2画素電極との間にゼロの電圧差が存在しなくなり、かつ該第1スイッチ回路がONになった場合の電流通過能力と、該第2スイッチ回路がONになった場合の電流通過能力とが異なって該第1画素電極と該第2画素電極との間に異なる電圧差を得て、該コントロールスイッチが放電薄膜トランジスタであって、

該コントロールスイッチの制御端が該放電薄膜トランジスタのゲートに対応し、

該コントロールスイッチの第1端が該放電薄膜トランジスタのソースに対応し、

該コントロールスイッチの第2端が該放電薄膜トランジスタのドレインに対応し、

該放電薄膜トランジスタがONになった時間内に該第2画素電極の電圧を変化させ、ONになった時間内に該第2画素電極と該コモン電極との電圧差を減少させ、かつゼロにしない

ことを特徴とする。

【0014】

請求項10に記載の液晶表示パネルは、

10

20

30

40

50

前記第1スイッチ回路がONになった場合の電流通過能力が、該第2スイッチ回路がONになった場合の電流通過能力と異なり、該第1画素電極と該第2画素電極との間に異なる電圧差を得ることを特徴とする。

【0015】

請求項11に記載の液晶表示パネルは、

前記第1スイッチ回路が第1薄膜トランジスタであって、該第2スイッチ回路が第2薄膜トランジスタであって、該第1薄膜トランジスタの幅と長さの比が該第2薄膜トランジスタの幅と長さの比と異なり、第1スイッチ回路がONになった場合の電流通過能力が、第2スイッチ回路がONになった場合の電流通過能力と異なることを特徴とする。

10

【0016】

請求項12に記載の液晶表示パネルは、

それぞれの前記画素ユニットが第3画素電極と第3スイッチ回路とをさらに含み、該第3画素電極が該第3スイッチ回路を介して該画素ユニットに対応する走査線に接続し、かつ該第3スイッチ回路を介して該第1スイッチ回路と接続し、最終的に該第3画素電極と該画素ユニットに対応するデータ線と接続を実現し、

該第2電極が該第2スイッチ回路と該第3スイッチ回路とを介して該第1スイッチ回路に接続し、最終的に該第2画素電極と該画素ユニットに対応するデータ線との接続を実現する

20

ことを特徴とする。

【0017】

請求項13に記載の液晶表示パネルは、

前記該コントロールスイッチが放電薄膜トランジスタであって、該コントロールスイッチの制御端が該放電薄膜トランジスタのゲートに対応し、該コントロールスイッチの第1端が該放電薄膜トランジスタのソースに対応し、該コントロールスイッチの第2端が該放電薄膜トランジスタのドレインに対応し、

該放電薄膜トランジスタがONになった時間内に該第2画素電極と該コモン電極との電圧差を減少させ、かつゼロにしない

ことを特徴とする。

30

【図面の簡単な説明】

【0018】

【図1】この発明によるアレイ基板の実施例の構造を示した説明図である。

【図2】図1に開示するアレイ基板の画素ユニットの構造に対する等価回路図である。

【図3】図2の画素ユニットのスイッチ回路とコントロールスイッチとがONになった場合の等価回路図である。

【図4】他の実施の形態によるアレイ基板の構造を示した説明図である。

【図5】図4に開示するアレイ基板の画素ユニットに対する等価回路図である。

【図6】図5に開示する画素ユニットのスイッチ回路とコントロールスイッチとがONになった場合の等価回路図である。

40

【図7】この発明による液晶表示パネルの構造を示した説明図である。

【発明を実施するための形態】

【0019】

液晶技術において、大視野角における色彩の歪みを改善するための、画素のレイアウトにおいて、通常一つの画素が異なる配向の液晶を具える複数の画素エリアに分割し、それぞれの画素エリアに異なる電圧を印加することによって画素エリアの液晶分子の配向を異なるものとし、ここから大視野角における色彩に歪みを改善し、LCS (Low Color Shift)、色ずれ抑制の効果を達成することができ、即ち大視野角における色彩の差異を小さくする効果が得られる。

【0020】

50

以下、実施例を挙げ、図面を参照にしてこの発明を詳述する。

【実施例】

【0021】

図1、2に開示するように、この発明によるアレイ基板は、複数の走査線11と、複数のデータ線12と、複数の画素ユニット13と、コモン電圧を入力するコモン電圧14とを含んでなる。

【0022】

それぞれの画素ユニット13は2つの画素電極と2つスイッチ回路とを含む。2つの画素電極は第1画素電極M1と第2画素電極M2であって、2つのスイッチ回路は、いずれも薄膜トランジスタで実現し、それぞれ第1画素電極M1に作用する第1薄膜トランジスタT1と第2画素電極M2に作用する薄膜トランジスタT2である。第1薄膜トランジスタT1と第2薄膜トランジスタT2は、いずれも制御端と入力端と及び出力端とを含む。第1薄膜トランジスタT1のゲートと第2薄膜トランジスタT2のゲートは、いずれも画素ユニット13に対応する走査線11に電氣的に接続し、第1薄膜トランジスタT1のソースは画素ユニット13に対応するデータ線12に電氣的に接続し、第1薄膜トランジスタT1のドレインは第1画素電極M1と電氣的に接続する。第2薄膜トランジスタT2のソースは第2画素電極M2に電氣的に接続する。ここから第2画素電極M2は第2薄膜トランジスタT2を介して第1薄膜トランジスタT1に接続して、最終的に第2画素電極と画素ユニット13に対応するデータ線12とが接続する。

【0023】

それぞれの画素ユニット13は、コントロールスイッチQ1を含み、コントロールスイッチQ1は制御端と第1端と第2端とを含む。その内コントロールスイッチQ1の制御端は画素ユニット13に対応する走査線11と電氣的に接続し、コントロールスイッチQ1の第1端は第2画素電極M2と電氣的に接続し、コントロールスイッチQ1の第2端はコモン電極と電氣的に接続する。その内、実施例の方式のコントロールスイッチQ1は放電薄膜トランジスタであって、コントロールスイッチQ1制御端は放電薄膜トランジスタのゲートに対応し、コントロールスイッチQ1の第1端は放電薄膜トランジスタのソースに対応し、コントロールスイッチQ1の第2端は放電薄膜トランジスタのドレインに対応する。

【0024】

他の実施の形態において、第1スイッチ回路、第2スイッチ回路、コントロールスイッチはダーリントントランジスタであってもよいが、ここでは限定しない。

【0025】

画素ユニット13を駆動してワークを実行させる場合、コモン電極14にコモン電圧を入力し、走査線11に走査信号を入力して、第1薄膜トランジスタT1と、第2薄膜トランジスタT2と、コントロールスイッチQ1がONになるように制御し、データ線12にデータ信号を入力する。該データ信号は第1薄膜トランジスタT1を介して第1画素電極M1に入力し、第1薄膜トランジスタT1と第2薄膜トランジスタT2を順に通過して第2画素電極M2に至る。ここから第1画素電極M1は第1薄膜トランジスタT1を介してデータ線13からのデータ信号を受け、第2画素電極M2はデータ線13からのデータ信号を受信する。第1薄膜トランジスタT1と第2薄膜トランジスタT2との作用によって、第1画素電極M1の電圧と第2画素電極M2の電圧に一定の差異が存在することになる。具体的に述べれば、図3に開示するように、薄膜トランジスタがONになった場合、薄膜トランジスタは所定の抵抗値を有する抵抗に相当する。該抵抗値の大きさは、薄膜トランジスタの幅と長さの比に関連する。薄膜トランジスタの幅と長さの比が大きくなるほどONになった場合の等価抵抗値が小さくなる。薄膜トランジスタの幅と長さの比が小さくなるほど、ONになった場合の等価抵抗値が大きくなる。仮に第1薄膜トランジスタT1がONになった場合の等価抵抗がR_aであって、第2薄膜トランジスタT2がONになった場合の等価抵抗がR_bであって、コントロールスイッチがONとなった場合の等価抵抗がR_cであったとすれば、走査線11に走査信号を入力した場合の抵抗R_a、抵抗R_b、

抵抗 R_c は直列する。データ線 1 2 にデータ信号を入力した場合、データ信号は抵抗 R_a を介して第 1 画素電極 M_1 に入力し、かつ抵抗 R_a 、抵抗 R_b を順に通過して第 2 画素電極 M_2 に入力する。仮にデータ線 1 2 に入力する電圧が V_s だとすれば、電圧の直列分圧の原理に基づき第 1 画素電極 M_1 の電圧は、次の式 1 の通りになる。

【0026】

【数 1】

$$V_1 = V_s * (R_b + R_c) / (R_a + R_b + R_c) \dots \dots \dots (1)$$

【0027】

また、第 2 画素電極の電圧は次の式 2 の通りになる。

【0028】

【数 2】

$$V_2 = V_s * R_c / (R_a + R_b + R_c) \dots \dots \dots (2)$$

ここから分かるように、第 2 画素電極 M_2 の電圧は第 1 画素電極 M_1 の電圧より低い。ここから第 1 画素電極 M_1 と第 2 画素電極 M_2 との間に一定の差異が存在することになり、両者の間の電圧差はゼロではなくなる。このため大視野角における色ずれを改善し、画像表示の品質を高めることができる。

【0029】

この実施の形態において、第 1 薄膜トランジスタ T_1 と第 2 薄膜トランジスタ T_2 は同一のタイプの薄膜トランジスタである。即ち両者の幅と長さは同一であって、ここから第 1 薄膜トランジスタ T_1 と第 2 薄膜トランジスタ T_2 が ON になった場合、対応する等価の抵抗 R_a と抵抗 R_b との抵抗値が同一になる。このため、第 1 薄膜トランジスタ T_1 と第 2 薄膜トランジスタ T_2 とが ON になった場合の電流通過能力も同一になり、抵抗の直列分圧の原理に基づき、両者は等価の抵抗の抵抗値が同一ではあるものの、同様に第 1 画素電極 M_1 と第 2 画素電極 M_2 とが異なる電圧を有し、大視野角における色ずれを改善する効果を達成することができる。

【0030】

また、コントロールスイッチ Q_1 が ON となった時間内に第 2 画素電極 M_2 の電圧を変化させて、第 2 画素電極 M_2 とコモン電極 1 4 との間の電圧差を減少させ、かつゼロではなくする。

具体的に述べれば、正極性（データ信号 k がコモン電圧より大きい）反転時において、走査線 1 1 に走査信号を入力してコントロールスイッチ Q_1 が ON になるように制御した場合、第 2 画素電極 M_2 の一部の電荷がコモン電極 1 4 に移転し、第 2 画素電極 M_2 の電圧が下がり、第 2 画素電極 M_2 の電圧が第 1 画素電極 M_1 の電圧に比して、さらに一歩進んで異なってくる。しかも第 2 画素電極 M_2 とコモン電極 1 4 との間の電圧差も減少し、ここから大視野角における色ずれをさらに改善することができる。

さらに一歩進んで画像表示の質を高めることができる。負極性（データ信号がコモン電圧より低い）反転時において、第 2 画素電極 M_2 はコモン電極 1 4 を介して充電され、第 2 画素電極 M_2 の電圧が増加する。しかもコントロールスイッチ Q_1 の制御の作用の下で第 2 画素電極 M_2 の増加した電圧が、第 2 画素電極 M_2 と第 1 画素電極 M_1 との電圧の差と異なってくる。ここから第 1 画素電極 M_1 と第 2 画素電極 M_2 との間には、依然として一定の電圧差が存在することになる。しかも第 2 画素電極 M_2 の電圧が増加する状況下において第 2 画素電極 M_2 とコモン電極 1 4 との間の電圧差が減少する。このためさらに一歩進んで大視野角における色ずれを改善することができる。また、コントロールスイッチ Q_1 が ON となる時間内に第 2 画素電極 M_2 とコモン電極 1 4 との間の電圧がゼロでなくなるように制御して、第 2 画素電極の正常な画像表示状態を保証する。よって、正極性の反転であろうと、負極性の反転であろうと、コントロールスイッチが ON になった場合、第 2 画素電極 M_2 の電圧が変化し、第 2 画素電極とコモン電極との間の電圧差が減少し、

10

20

30

40

50

かつゼロではなくなる。この実施の形態におけるコントロールスイッチQ 1は薄膜トランジスタであって、コントロールスイッチQ 1の幅と長さの比が設定値より小さい。このためコントロールスイッチQ 1がONになった場合の電流通過能力は比較的低く、このため第2画素電極M 2とコモン電極1 4との間の電荷の移転速度が遅くなり、コントロールスイッチQ 1がONとなった時間内に第2画素電極M 2とコモン電極1 4との間で電荷の平衡状態には至らない。しかも、両者の間には依然として一定の電圧差が存在し、第2画素電極M 2とコモン電極1 4との間の電荷お移動速度を制御して第1画素電極と第2画素電極M 2との電圧が異なるようにする（負極性反転の場合）。

【0031】

他の実施の形態において、第1薄膜トランジスタと第2薄膜トランジスタとの幅と長さが異なってもよい。ここから第1薄膜トランジスタと第2薄膜トランジスタとがONになった場合の電流通過能力が異なり、第1画素電極と第2画素電極との間に異なる電圧差が異なってくる。例えば、第1薄膜トランジスタの幅と長さの比を第2薄膜トランジスタの幅と長さの比より大きくし、ここから第1画素電極と第2画素電極との間の電圧差を増大させ、さらに好ましい色ずれ改善の効果が得られる。当然のことながら、第1薄膜トランジスタの幅と長さの比を第2薄膜トランジスタの幅と長さの比より小さくしてもよく、実際の必要に応じて選択することができる。よって、ここでは限定はしない。

【0032】

よって、第1薄膜トランジスタと第2薄膜トランジスタとの幅と長さの比を変化させて、ここから第1薄膜トランジスタと第2薄膜トランジスタとがONになった場合の等価抵抗の抵抗値を変化させて、第1画素電極と第2画素電極との間の電圧差を得て、異なるLCS (Low Color Shift) の効果を達することができる。

【0033】

その他の実施の形態において、薄膜トランジスタの幅と長さの比を変化させないで第1画素電極と第2画素電極との間の電圧差を変化させてもよい。第1スイッチ回路は第1薄膜トランジスタを実現させるためだけに使用し、第2スイッチ回路が第2薄膜トランジスタを介して分圧抵抗を実現させてもよく、第1スイッチ回路と第2スイッチとがONになった場合の電流通過能力が異なるようにする。ここから第1画素電圧と第2画素電圧との間の電圧差を得る。具体的に述べれば、第1画素電圧は第1薄膜トランジスタを介して画素ユニットに対応するデータ線に接続し、第2画素電極は第2薄膜トランジスタと分圧抵抗とを順に通過して第1薄膜トランジスタと接続し、最終的に第2画素電極と画素ユニットに対応するデータ線の接続を実現する。第1薄膜トランジスタと第2薄膜トランジスタとの幅と長さの比は同一であってもよく、分圧抵抗の大きさを調整することによって、第2スイッチ回路の電流通過能力を調整することができ、第1スイッチ回路と第2スイッチ回路がONになった場合の電流通過能力を異なったものにする。ここから第1画素電極と第2画素電極との電圧差が得られ、異なるLCS (Low Color Shift) の効果を達することができる。当然のことながら、その他の実施の形態において、第1画素電極と第2画素電極とに異なる電圧を供給するために、第1スイッチ回路は1つ、又は複数の分圧抵抗を含んでもよく、第2スイッチ回路は複数の分圧抵抗を含んでもよく、ここから第1画素電極と第2画素電極のことなる電圧を実現する。

【0034】

図4、5に、この発明によるアレイ基板の他の実施の形態を開示する。図面の開示によれば、それぞれの画素ユニット2 3は第3画素電極M 3と第3スイッチ回路とをさらに含む。第3スイッチ回路は第3薄膜トランジスタT 3である。第3画素電極M 3は第3薄膜トランジスタT 3を介して第1薄膜トランジスタT 1に接続し、最終的に画素電極M 3と画素ユニット2 3に対応するデータ線2 2と接続する。第2画素電極M 2は第2薄膜トランジスタT 2と第3薄膜トランジスタT 3とを介して第1薄膜トランジスタT 1に接続し、最終的に第2画素電極は画素ユニット2 3に対応するデータ線2 2と接続する。具体的に述べれば、3つの薄膜トランジスタT 1、T 2、T 3のゲートは画素ユニット2 3の走査

10

20

30

40

50

線 2 1 に接続し、第 1 薄膜トランジスタ T 1 のソースは画素ユニット 2 3 に対応するデータ線 2 2 に接続し、第 1 薄膜トランジスタ T 1 のドレインは第 1 画素電極 M 1 に接続する。第 3 薄膜トランジスタ T 3 のソースは第 1 薄膜トランジスタ T 1 のドレインに接続し、第 3 薄膜トランジスタ T 3 のドレインは第 3 画素電極 M 3 に接続する。第 2 薄膜トランジスタ T 2 のソースは第 3 薄膜トランジスタのドレインに接続し、第 2 薄膜トランジスタ T 2 のドレインは第 2 画素電極 M 2 に接続する。

【0035】

走査線 2 1 に走査信号を入力して 3 つの薄膜トランジスタ T 1、T 2、T 3 とコントロールスイッチ Q 1 とが ON になった場合、データ線 2 2 にデータ信号を入力し、第 1 画素電極 M 1 が第 1 薄膜トランジスタを介してデータ信号を受信し、第 3 画素電極が第 1 薄膜トランジスタ T 1 と第 3 薄膜トランジスタ T 3 とを順に通過してデータ信号を受信する。第 2 画素電極 M 2 は第 1 薄膜トランジスタ T 1 と第 3 薄膜トランジスタ T 3 を順に通過してデータ信号を受信する。第 3 画素電極 M 3 は第 1 薄膜トランジスタ T 1 と第 3 薄膜トランジスタ T 2 とを通過してデータ信号を受信する。図 6 に開示するように、仮に 3 つの薄膜トランジスタ T 1、T 2、T 3 とコントロールスイッチ Q 1 が ON になった場合、等価の抵抗がそれぞれ R a、R b、R c であって、データ線 2 3 に入力する電圧が V s であれば、第 1 画素電極 M 1 の電圧は、次の式 3 に開示するとおりである。

【0036】

【数 3】

$$V1 = Vs * (Rd + Rb + Rc) / (Ra + Rb + Rd + Rc) \dots \dots (3)$$

【0037】

また、第 3 画素電極 M 3 の電圧は次の式 4 に開示するとおりである。

【0038】

【数 4】

$$V3 = Vs * (Rb + Rc) / (Ra + Rb + Rd + Rc) \dots \dots \dots (4)$$

【0039】

また、第 2 画素電圧 M 2 の電圧は、次の式 5 に開示する通りである。

【0040】

【数 5】

$$V2 = Vs * Rc / (Ra + Rb + Rc) \dots \dots \dots (5)$$

【0041】

以上から明らかなように、第 3 画素電極 M 3 の電圧が第 1 画素電極 M 1 の電圧より低く、第 2 画素電極 M 2 の電圧が第 3 画素電極 M 3 より低い。ここから 3 つの画素電極 M 1、M 2、M 3 の間に一定の電圧差が存在し、大視野角における色ずれを改善することができ、3 つの薄膜トランジスタ T 1、T 2、T 3 の幅と長さを調整することによって、薄膜トランジスタ T 1、T 2、T 3 が ON になった場合の等価の抵抗値を調整することができ、このため 3 つの画素電極 M 1、M 2、M 3 の電圧を調整して 3 者の間に異なる電圧を得て、ここから異なる L C S (L o w C o l o r S h i f t) の効果を達成することができる。

【0042】

その他の実施の形態において、それぞれの画素ユニットは第 4 画素電極と第 5 画素電極とを含む。増加する画素電極については、上述する実施の形態の方式によって実施することができるので、ここでは詳述しない。

【0043】

図 7 に、この発明による液晶表示パネルの実施の形態を開示する。図面の開示によれば、

10

20

30

40

50

この発明の液晶表示パネルはアレイ基板 701 と、カラーフィルタ基板 702 と、アレイ基板 701 とカラーフィルタ基板 702 との間に位置する液晶層 703 とを含む。アレイ基板については、上述するそれぞれの実施の形態によるアレイ基板である。

【0044】

以上述べたこの発明の実施の形態は、この発明の実施の範囲を限定するものではない。この発明の明細書と図面の内容に基づいて行われ、かつ均等の効果を有する工程の変更、もしくは直接又は間接的に他の関連技術運用することは、いずれも同様の道理であって、いずれもこの発明の特許請求の範囲に含まれる。

【符号の説明】

【0045】

11	走査線	
12	データ線	
13	画素ユニット	
14	コモン電極	
21	走査線	
22	データ線	
23	画素ユニット	
701	アレイ基板	
702	カラーフィルタ基板	
703	液晶層	20
M1	第1画素電極	
M2	第2画素電極	
M3	第3画素電極	
T1	第1薄膜トランジスタ	
T2	第2薄膜トランジスタ	
T3	第3薄膜トランジスタ	
Q1	コントロールスイッチ	
Ra	抵抗	
Rb	抵抗	
Rc	抵抗	30

【図 1】

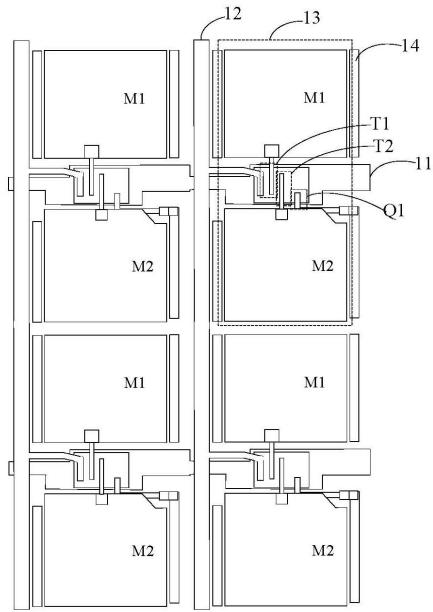


図 1

【図 2】

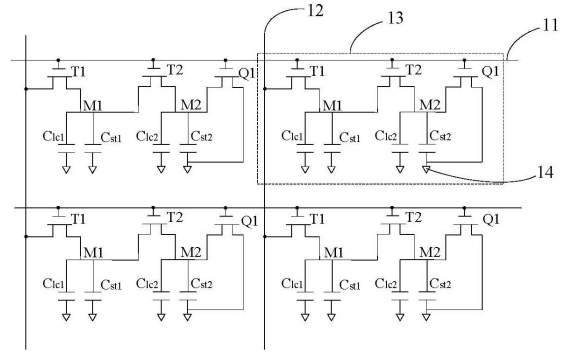


図 2

【図 3】

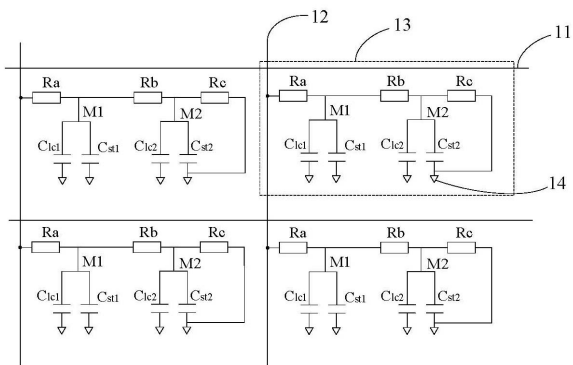


図 3

【図 4】

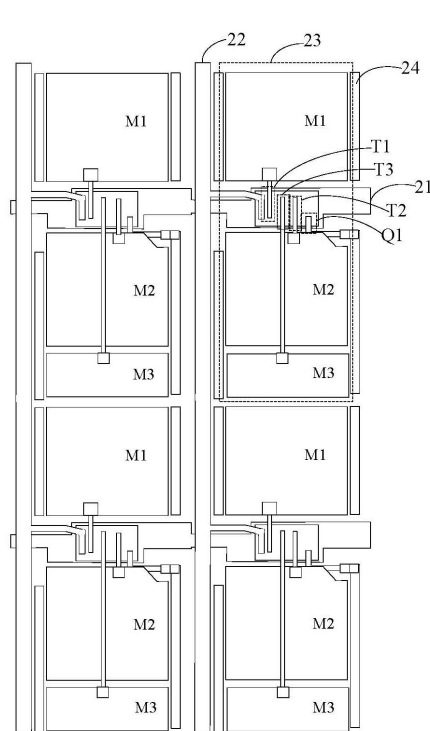


図 4

【図 5】

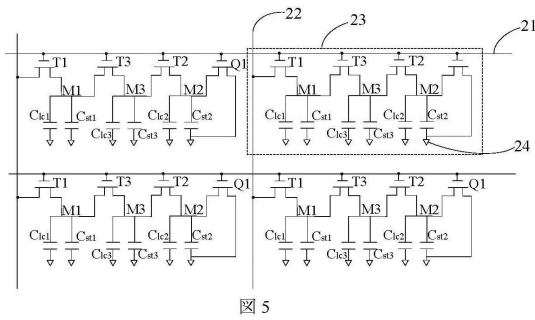


図 5

【図 6】

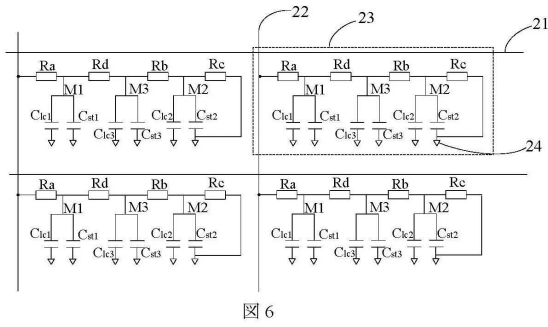


図 6

【図 7】

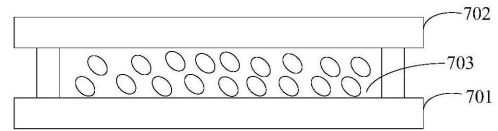


図 7

フロントページの続き

審査官 佐藤 洋允

- (56)参考文献 特開2012-150517 (JP, A)
特開2009-301010 (JP, A)
特開2008-310014 (JP, A)
国際公開第01/040857 (WO, A1)
- (58)調査した分野(Int.Cl., DB名)
G02F1/136-1/1368

专利名称(译)	阵列基板和液晶面板		
公开(公告)号	JP6101406B2	公开(公告)日	2017-03-22
申请号	JP2016526398	申请日	2013-07-25
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
当前申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	姚曉慧 陳政鴻		
发明人	姚曉慧 陳政鴻		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/13624 G02F2001/134345 G09G3/3607 G09G3/3648 G09G2300/0443 G09G2300/0447 G09G2300/0814 G09G2300/0842 G09G2320/0242 G09G2320/028 G02F1/1343 G02F1/136286 G02F1/1368 G09G3/3659 G09G3/3696 G09G2300/0819 G09G2320/0233		
FI分类号	G02F1/1368		
代理人(译)	鈴木 征四郎		
优先权	201310306890.4 2013-07-19 CN		
其他公开文献	JP2016527548A		
外部链接	Espacenet		

摘要(译)

甲改善了在大视角发现色移的现象，提供一种阵列基板，并且能够提高图像显示的效果的液晶面板。阵列基板包括多条扫描线，多条数据线，多个像素单元，包括公共电压输入公共电压，每个像素单元的至少两个像素电极时，和至少两个开关电路，第一反应中的至少两个像素电极包括第一像素电极和第二像素电极，两者的至少所述开关电路是第一像素电极1的开关电路，和作用于所述第二像素电极的第二开关电路，每一个像素单元的进一步包括第一控制开关和所述控制开关控制端和第一端部和第二端第一像素电极通过开关电路连接到扫描线和对应用于像素单元的数据线，第二像素电极通过第二开关电路连接到像素单元，对来经由至少第二开关电路连接到第一开关电路，最后连接到第二像素电极和对应用于像素单元的数据线，以及控制所述开关的控制端被连接到对应用于像素单元中，第一端和被连接时，控制开关的第二端被连接到控制开关的第二像素电极的扫描线，所述共电极，液晶显示面板包括阵列基板，滤色器基板和位于阵列基板和滤色器基板之间的液晶层。点域1

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6101406号 (P6101406)
(45) 発行日 平成29年3月22日 (2017.3.22)		(24) 登録日 平成29年3月3日 (2017.3.3)	
(51) Int. Cl. G02 F 1/1368 (2006.01)		F I G02 F 1/1368	
請求項の数 13 (全 17 頁)			
(21) 出願番号 特願2016-526398 (P2016-526398)		(73) 特許権者 515203228	
(86) (22) 出願日 平成25年7月25日 (2013.7.25)		深▲せん▼市華星光電技術有限公司	
(65) 公表番号 特表2016-527548 (P2016-527548A)		中華人民共和國廣東省深▲せん▼市光明新	
(43) 公表日 平成28年9月8日 (2016.9.8)		區塘明大道9-2號518132	
(86) 国際出願番号 PCT/CN2013/080076		(74) 代理人 100143720	
(87) 国際公開番号 W02015/006996		弁理士 米田 耕一郎	
(87) 国際公開日 平成27年1月22日 (2015.1.22)		(74) 代理人 100080252	
審査請求日 平成28年2月12日 (2016.2.12)		弁理士 鈴木 征四郎	
(31) 優先権主張番号 201310306890.4		(72) 発明者 姚曉慧	
(32) 優先日 平成25年7月19日 (2013.7.19)		中華人民共和國廣東省深▲せん▼市光明新	
(33) 優先権主張国 中国 (CN)		區塘明大道9-2號518132	
		(72) 発明者 陳政鴻	
		中華人民共和國廣東省深▲せん▼市光明新	
		區塘明大道9-2號518132	
最終頁に続く			
(54) 【発明の名称】 アレイ基板及び液晶パネル			