

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6032794号
(P6032794)

(45) 発行日 平成28年11月30日(2016.11.30)

(24) 登録日 平成28年11月4日(2016.11.4)

(51) Int.Cl.	F I
G02F 1/1345 (2006.01)	G02F 1/1345
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 691D
G09F 9/30 (2006.01)	G09G 3/20 611F
G09F 9/00 (2006.01)	G09G 3/20 624B
請求項の数 12 (全 20 頁) 最終頁に続く	

(21) 出願番号 特願2012-131154 (P2012-131154)
 (22) 出願日 平成24年6月8日(2012.6.8)
 (65) 公開番号 特開2013-254168 (P2013-254168A)
 (43) 公開日 平成25年12月19日(2013.12.19)
 審査請求日 平成27年6月5日(2015.6.5)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 100103746
 弁理士 近野 恵一
 (72) 発明者 松元 秀一郎
 千葉県茂原市早野3300番地 株式会社
 ジャパンディスプレイイースト内
 審査官 三笠 雄司

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1基板と、

第2基板と、

前記第1基板と前記第2基板との間に挟持される液晶とを有する液晶表示パネルを備え、前記液晶表示パネルにマトリクス状に配置された複数の画素と、前記複数の画素で構成される表示部とを有する液晶表示装置であって、

前記第1基板は、

前記各画素に走査電圧を入力する複数の走査線と、

前記複数の走査線に前記走査電圧を供給する走査線駆動回路とを有し、

前記第2基板は、タッチパネルの検出電極を有し、

前記各画素は、画素電極と対向電極とを有し、

前記対向電極は、複数のブロックに分割されており、

前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、

前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、

前記分割された各ブロックの対向電極に対して、対向電圧とタッチパネル走査電圧を供給する半導体チップを有し、

前記半導体チップは、一対の長辺を有し、

前記半導体チップは、前記一対の長辺のうち前記表示部側の一方の長辺に形成される第

1 端子群を有し、前記表示部と反対側の他方の長辺に形成される第 2 端子群を有し、
前記第 1 端子群の中で前記半導体チップの前記一方の長辺の端部に配置される複数の端子は、前記分割された各ブロックの対向電極に対して、対向電圧とタッチパネル走査電圧を供給する端子であり、

前記第 2 端子群の中で前記他方の長辺の端部に配置される複数の端子は、前記走査線駆動回路に対して表示制御信号を供給する端子であることを特徴とする液晶表示装置。

【請求項 2】

前記対向電極の分割数を M ($2 \leq M \leq 20$) とするとき、前記半導体チップの前記一方の長辺の端部に配置される複数の端子は、一方の端部に配置される M 個の端子 A 1 と、他方の端部に配置される M 個の端子 A 2 であり、

10

前記半導体チップは、前記複数の端子 A 1 と前記複数の端子 A 2 の各々から、前記分割された各ブロックの対向電極の中で順次選択された対向電極に対して前記タッチパネル走査電圧を供給し、前記選択された対向電極以外の対向電極に対して前記対向電圧を供給するモードと、前記 M 個の端子 A 1 及び前記 M 個の端子 A 2 の中で 1 乃至 N ($1 \leq N < M$) 番目の端子から前記対向電圧を出力し、残りの $N + 1$ 乃至 M 番目の端子から前記タッチパネル走査電圧を出力するモードとに切り替え可能であることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記 N は、 $N = M / 2$ であることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

20

前記走査線駆動回路は、前記液晶表示パネルの内部に内蔵され、 n 型あるいは p 型トランジスタのみを使用して構成される回路であり、

前記半導体チップは、前記複数の端子 A 1 と前記複数の端子 A 2 の各々から、前記分割された各ブロックの対向電極の中で順次選択された対向電極に対して前記タッチパネル走査電圧を供給し、前記選択された対向電極以外の対向電極に対して前記対向電圧を供給することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 5】

前記第 1 基板は、さらに、前記分割された各ブロックの対向電極を選択する対向電極選択回路を有し、

前記対向電極選択回路は、前記走査線駆動回路と前記表示部との間に配置され、

30

前記対向電極選択回路は、前記液晶表示パネルの内部に内蔵され、CMOS 回路構成の回路であり、

前記半導体チップは、前記対向電極選択回路に対して、前記 M 個の端子 A 1 及び前記 M 個の端子 A 2 の中で 1 乃至 N 番目の端子から対向電圧を供給し、残りの $N + 1$ 乃至 M 番目の端子から前記タッチパネル走査電圧を供給することを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 6】

第 1 基板と、

第 2 基板と、

前記第 1 基板と前記第 2 基板との間に挟持される液晶とを有する液晶表示パネルを備え、前記液晶表示パネルにマトリクス状に配置された複数の画素と、前記複数の画素で構成される表示部とを有する液晶表示装置であって、

40

前記第 2 基板は、タッチパネルの検出電極を有し、

前記第 1 基板は、前記各画素に走査電圧を入力する複数の走査線と、

前記複数の画素で構成される表示部の両側に配置され、前記複数の走査線に前記走査電圧を供給する第 1 走査線駆動回路と第 2 走査線駆動回路とを有し、

前記第 1 走査線駆動回路と前記第 2 走査線駆動回路は、前記液晶表示パネルの内部に内蔵される回路であり、

前記各画素は、画素電極と対向電極とを有し、

前記対向電極は、複数のブロックに分割されており、

50

前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、

前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、

前記分割された各ブロックの対向電極に対して、対向電圧とタッチパネル走査電圧を供給するとともに、前記第 1 走査線駆動回路と前記第 2 走査線駆動回路に表示制御信号を供給する半導体チップを有し、

前記半導体チップは一对の長辺を有し、

前記半導体チップは、前記一对の長辺のうち前記表示部側の第 1 の長辺に形成される第 1 端子群を有し、前記表示部と反対側の第 2 の長辺に形成される第 2 端子群を有し、

前記第 1 端子群の中で前記半導体チップの前記第 1 の長辺の端部に配置される複数の端子は、前記分割された各ブロックの対向電極に対して対向電圧とタッチパネル走査電圧を供給する端子であり、

前記第 2 端子群の中で前記半導体チップの前記第 2 の長辺の一方の端に配置される複数の端子は、前記第 1 走査線駆動回路に対して前記表示制御信号を供給する端子 B 1 であり、前記第 2 端子群の中で前記半導体チップの前記第 2 の長辺の他方の端に配置される複数の端子は、前記第 2 走査線駆動回路に対して前記表示制御信号を供給する端子 B 2 であることを特徴とする液晶表示装置。

【請求項 7】

前記半導体チップ内部のレジスタに設定されたデータに基づき、複数の前記端子 B 1 から前記第 1 走査線駆動回路に対して供給される前記表示制御信号の種類、および、複数の前記端子 B 2 から前記第 2 走査線駆動回路に対して供給される前記表示制御信号の種類が異なっていることを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

前記複数の画素で構成される表示部の両側に配置され、前記分割された各ブロックの対向電極を選択する第 1 対向電極選択回路と第 2 対向電極選択回路を有し、

前記第 1 対向電極選択回路と前記第 2 対向電極選択回路は、前記液晶表示パネルの内部に内蔵される回路であり、

前記複数の端子 B 1 と前記複数の端子 B 2 には、前記第 1 対向電極選択回路と前記第 2 対向電極選択回路にアドレス信号を供給する端子も含まれていることを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記第 1 対向電極選択回路と前記第 2 対向電極選択回路は、前記各ブロックの対向電極を選択するアドレスデコーダ回路と、

前記アドレスデコーダ回路で選択されたブロックの対向電極に前記タッチパネル走査電圧を供給し、前記アドレスデコーダ回路で選択されないブロックの対向電極に前記対向電圧を供給する選択回路とを有することを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

第 1 基板と、

第 2 基板と、

前記第 1 基板と前記第 2 基板との間に挟持される液晶とを有する液晶表示パネルを備え、前記液晶表示パネルにマトリクス状に配置された複数の画素と、前記複数の画素で構成される表示部とを有する液晶表示装置であって、

前記第 2 基板は、タッチパネルの検出電極を有し、

前記第 1 基板は、

前記各画素に走査電圧を入力する複数の走査線と、

前記複数の画素で構成される表示部の両側に配置され、前記複数の複数の走査線に前記走査電圧を供給する第 1 走査線駆動回路と第 2 走査線駆動回路とを有し、

前記第 1 走査線駆動回路と前記第 2 走査線駆動回路は、前記液晶表示パネルの内部に内蔵される回路であり、

前記各画素は、画素電極と対向電極とを有し、

10

20

30

40

50

前記対向電極は、複数のブロックに分割されており、

前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、

前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、

前記分割された各ブロックの対向電極に対して、対向電圧とタッチパネル走査電圧を供給するとともに、前記第 1 走査線駆動回路と前記第 2 走査線駆動回路に表示制御信号を供給する半導体チップを有し、

前記半導体チップは一对の長辺を有し、

前記半導体チップは、前記一对の長辺のうち前記表示部側の第 1 の長辺に形成される第 1 端子群を有し、前記表示部と反対側の第 2 の長辺に形成される第 2 端子群を有し、

前記第 1 端子群の中で前記半導体チップの前記第 1 の長辺の端部に配置される複数の端子は、前記分割された各ブロックの対向電極に対して、対向電圧とタッチパネル走査電圧を供給する端子であり、

前記第 2 端子群の中で前記半導体チップの前記第 2 の長辺の中央に配置される複数の端子は、外部からの入力信号群が入力される端子 D であり、

前記第 2 端子群の中で前記半導体チップの前記第 2 の長辺の一方の端に配置される複数の端子は前記第 1 走査線駆動回路に対して前記表示制御信号を供給する端子 B 1 であり、前記第 2 端子群の中で前記半導体チップの前記第 2 の長辺の他方の端に配置される複数の端子は、前記第 2 走査線駆動回路に対して前記表示制御信号を供給する端子 B 2 であり、

前記端子 D と前記端子 B 1 との間に配置される端子 C 1 と、前記端子 D と前記端子 B 2 との間に配置される端子 C 2 は、前記検出電極からの検出電圧が入力される端子であることを特徴とする液晶表示装置。

【請求項 1 1】

前記端子 C 1 あるいは前記端子 C 2 のいずれか一方のみが使用されることを特徴とする請求項 1 0 に記載の液晶表示装置。

【請求項 1 2】

前記対向電極は、前記第 1 基板上で 1 表示ラインの各画素に対して共通に設けられており、

連続する複数の表示ラインの前記各対向電極は、前記第 1 基板上で電気的に接続されて前記ブロック単位に分割された対向電極を構成することを特徴とする請求項 1、請求項 7、または、請求項 1 0 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に係わり、特に、タッチパネルを内蔵したインセル方式の液晶表示装置に適用して有効な技術に関する。

【背景技術】

【0002】

表示画面に使用者の指またはペンなどを用いてタッチ操作（接触押圧操作、以下、単にタッチと称する）して情報を入力する装置（以下、タッチセンサ又はタッチパネルとも称する）を備えた表示装置は、PDA や携帯端末などのモバイル用電子機器、各種の家電製品、現金自動預け払い機（Automated Teller Machine）等に用いられている。

このようなタッチパネルとして、タッチされた部分の容量変化を検出する静電容量方式が知られている。

この静電容量方式タッチパネルとして、下記特許文献 1 に示すように、タッチパネル機能を液晶表示パネルに内蔵した、所謂、インセル方式のタッチパネルを有する液晶表示装置が知られている。

インセル方式のタッチパネルでは、タッチパネルの走査電極を、液晶表示パネルを構成第 1 基板（TF T 基板ともいう）上に形成される対向電極（コモン電極（CT）ともいう）を分割して使用している。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-258182号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一般的に、インセル方式のタッチパネルでは、液晶表示パネルの内部に、走査線（ゲート線）を駆動する走査線駆動回路が内蔵されるのが普通である。

また、液晶表示パネルとして、半導体層にアモルファスシリコン層を使用するn型のアモルファスシリコン薄膜トランジスタで構成される駆動回路（以下、a-Si単チャンネル回路構成の駆動回路という）が内蔵されたもの、半導体層にp型あるいはn型のポリシリコン層を使用するポリシリコン薄膜トランジスタで構成される単チャンネル回路構成の駆動回路（以下、p-Si単チャンネル回路構成の駆動回路という）が内蔵されたもの、あるいは、半導体層にp型とn型のポリシリコン層を使用するp型ポリシリコン薄膜トランジスタとn型ポリシリコン薄膜トランジスタで構成されるCMOS回路構成の駆動回路（以下、CMOS回路構成の駆動回路という）が内蔵されたものがある。

そして、インセル方式のタッチパネルに対応したタッチセンス機能内蔵液晶ドライバICを開発するにあたり、a-Si単チャンネル回路構成の駆動回路を有する液晶表示パネル、p-Si単チャンネル回路構成の駆動回路を有する液晶表示パネル、および、CMOS回路構成の駆動回路を有する液晶表示パネル毎に、個別に液晶ドライバICを開発すると、開発コストと開発期間が増大してしまうという問題がある。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、タッチパネル機能を内蔵した液晶表示装置において、液晶ドライバICの開発コストを低減し、開発期間を短縮することが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

(1) 第1基板と、第2基板と、前記第1基板と前記第2基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、前記第2基板は、タッチパネルの検出電極を有し、前記各画素は、画素電極と対向電極とを有し、前記対向電極は、複数のブロックに分割されており、前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、前記分割された各ブロックの対向電極に対して、対向電圧とタッチパネル走査電圧を供給する半導体チップを有し、前記半導体チップは、前記複数の画素で構成される表示側の辺に形成される第1端子群を有し、前記第1端子群の中で前記半導体チップの両側に配置される複数の端子は、前記分割された各ブロックの対向電極に対して、対向電圧とタッチパネル走査電圧を供給する端子である。

(2) (1)において、前記対向電極の分割数を $M(1 < M < 2)$ とするとき、前記半導体チップの両側に配置される複数の端子は、一方の端に配置される M 個の端子 A_1 と、他方の端に配置される M 個の端子 A_2 であり、前記半導体チップは、前記複数の端子 A_1 と前記複数の端子 A_2 の各々から、前記分割された各ブロックの対向電極の中で順次選択された対向電極に対して前記タッチパネル走査電圧を供給し、前記選択された対向電極以外の対向電極に対して前記対向電圧を供給するモードと、前記 M 個の端子 A_1 及び前記 M 個の端子 A_2 の中で1乃至 $N(1 < N(例えば、N = M / 2) < 2)$ 番目の端子から前記対向電圧を出力し、残りの N 乃至 M 番目の端子から前記タッチパネル走査電圧を出力するモ

10

20

30

40

50

ードとに切り替え可能である。

【 0 0 0 6 】

(3) (2) において、前記第 1 基板は、前記各画素に走査電圧を入力する複数の走査線と、前記複数の複数の走査線に前記走査電圧を供給する走査線駆動回路とを有し、前記走査線駆動回路は、前記液晶表示パネルの内部に内蔵され、n型あるいはp型トランジスタのみを使用して構成される回路であり、前記半導体チップは、前記複数の端子 A 1 と前記複数の端子 A 2 の各々から、前記分割された各ブロックの対向電極の中で順次選択された対向電極に対して前記タッチパネル走査電圧を供給し、前記選択された対向電極以外の対向電極に対して前記対向電圧を供給する。

(4) (2) において、前記第 1 基板は、前記各画素に走査電圧を入力する複数の走査線と、前記複数の複数の走査線に前記走査電圧を供給する走査線駆動回路と、前記分割された各ブロックの対向電極を選択する対向電極選択回路とを有し、前記対向電極選択回路は、前記走査線駆動回路と前記表示領域との間に配置され、前記対向電極選択回路は、前記液晶表示パネルの内部に内蔵され、CMOS回路構成の回路であり、前記半導体チップは、前記対向電極選択回路に対して、前記M個の端子 A 1 及び前記M個の端子 A 2 の中で 1 乃至 N (1 < N < 2) 番目の端子から対向電圧を供給し、残りの N 乃至 M 番目の端子から前記タッチパネル走査電圧を供給する。

【 0 0 0 7 】

(5) 第 1 基板と、第 2 基板と、前記第 1 基板と前記第 2 基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、前記第 2 基板は、タッチパネルの検出電極を有し、前記第 1 基板は、前記各画素に走査電圧を入力する複数の走査線と、前記複数の画素で構成される表示部の両側に配置され、前記複数の複数の走査線に前記走査電圧を供給する第 1 走査線駆動回路と第 2 走査線駆動回路とを有し、前記第 1 走査線駆動回路と前記第 2 走査線駆動回路は、前記液晶表示パネルの内部に内蔵される回路であり、前記各画素は、画素電極と対向電極とを有し、前記対向電極は、複数のブロックに分割されており、前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、前記分割された各ブロックの対向電極に対して、対向電圧とタッチパネル走査電圧を供給するとともに、前記第 1 走査線駆動回路と前記第 2 走査線駆動回路に表示制御信号を供給する半導体チップを有し、前記半導体チップは、前記複数の画素で構成される表示部と反対側の辺に形成される第 2 端子群を有し、前記第 2 端子群の中で前記半導体チップの一方の端に配置される複数の端子は、前記第 1 走査線駆動回路に対して表示制御信号を供給する端子 B 1 であり、前記第 2 端子群の中で前記半導体チップの他方の端に配置される複数の端子は、前記第 2 走査線駆動回路に対して表示制御信号を供給する端子 B 2 である。

【 0 0 0 8 】

(6) (5) において、前記半導体チップ内部のレジスタに設定されたデータに基づき、前記複数の端子 B 1 から前記第 1 走査線駆動回路に対して供給される表示制御信号の種類、および、前記複数の端子 B 2 から前記第 2 走査線駆動回路に対して供給される表示制御信号の種類が異なっている。

(7) (5) において、前記複数の画素で構成される表示部の両側に配置され、前記分割された各ブロックの対向電極を選択する第 1 対向電極選択回路と第 2 対向電極選択回路を有し、前記第 1 対向電極選択回路と前記第 2 対向電極選択回路は、前記液晶表示パネルの内部に内蔵される回路であり、前記複数の端子 B 1 と前記複数端子 B 2 には、前記第 1 対向電極選択回路と前記第 2 対向電極選択回路にアドレス信号を供給する端子も含まれている。

【 0 0 0 9 】

(8) 第 1 基板と、第 2 基板と、前記第 1 基板と前記第 2 基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、前記第 2 基板は、タッチパネルの検出電極を有し、前記各画素は、画素電

10

20

30

40

50

極と対向電極とを有し、前記対向電極は、複数のブロックに分割されており、前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、前記分割された各ブロックの対向電極に対して、対向電圧とタッチパネル走査電圧を供給する半導体チップを有し、前記半導体チップは、前記複数の画素で構成される表示部と反対側の辺に形成される第2端子群を有し、前記第2端子群の中で前記半導体チップの中央に配置される複数の端子は、外部からの入力信号群が入力される端子Dであり、前記第2端子群の中で前記半導体チップの一方の端に配置される複数の端子は前記第1走査線駆動回路に対して表示制御信号を供給する端子B1であり、前記第2端子群の中で前記半導体チップの他方の端に配置される複数の端子は、前記第2走査線駆動回路に対して表示制御信号を供給する端子B2であり、前記端子Dと前記端子B1との間に配置される端子C1と、前記端子Dと前記端子B2との間に配置される端子C2は、前記検出電極からの検出電圧が入力される端子である。

10

(9)(8)において、前記端子C1あるいは前記端子C2のいずれか一方のみが使用される。

【発明の効果】

【0010】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明のタッチパネル機能を内蔵した液晶表示装置によれば、液晶ドライバICの開発コストを低減し、開発期間を短縮することが可能となる。

20

【図面の簡単な説明】

【0011】

【図1】従来例のタッチパネル付き液晶表示装置の概略構成を示す分解斜視図である。

【図2】図1に示すタッチパネルの電極構成を示す平面図である。

【図3】図1に示すタッチパネルの断面構造を示す断面図である。

【図4】タッチパネル内蔵液晶表示装置の概略構成を示す分解斜視図である。

【図5】図4に示すタッチパネル内蔵液晶表示装置における、対向電極と検出電極を説明する図である。

【図6】図4に示すタッチパネル内蔵液晶表示装置の表示部の断面の一部を拡大して示す概略断面図である。

30

【図7】本発明が適用される液晶表示装置の一例の、複数のブロックに分割した対向電極の一例を示す平面図である。

【図8】本発明が適用される液晶表示装置の他の例の、複数のブロックに分割した対向電極の駆動方法を説明するための平面図である。

【図9】図8に示す対向電極選択回路の構成例を示すブロック図である。

【図10】図9に示す選択回路の一例の回路構成を示す回路図である。

【図11】図9に示すアドレスデコーダ回路の一例の回路構成を示す回路図である。

【図12】タッチパネル内蔵液晶表示装置における、タッチパネル検出時と、画素書込み時の駆動波形を説明するための図である。

40

【図13】タッチパネル内蔵液晶表示装置における、タッチパネル検出時と、画素書込み時のタイミングを説明するための図である。

【図14】分割した対向電極を直接駆動する場合の、本発明の実施例の液晶ドライバICの端子(A1)の接続例を示す図である。

【図15】図8に示す対向電極選択回路を使用する場合の、本発明の実施例の液晶ドライバICの端子(A1)の接続例を示す図である。

【図16】本発明の実施例の液晶ドライバICの入力側端子の接続例を示す図である。

【図17】本実施例の液晶ドライバICの、入力側に配置している端子(B1, B2)の接続例を示す図である。

【図18】本実施例の液晶ドライバICにおいて、左側の端子(C1)を使用した場合の

50

構成図である。

【図19】本実施例の液晶ドライバICにおいて、右側の端子(C2)を使用した場合の構成図である。

【発明を実施するための形態】

【0012】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解釈を限定するためのものではない。

図1は、従来例のタッチパネル付き液晶表示装置の概略構成を示す分解斜視図である。 10

図2は、図1に示すタッチパネルの電極構成を示す平面図である。

図3は、図1に示すタッチパネルの断面構造を示す断面図である。

一般的に、タッチパネルは、図2に示すように、容量検出用の走査電極(TX)と、検出電極(RX)を有する。ここでは、例えば、走査電極(TX)を3本(TX1~TX3)、検出電極(RX)を2本(RX1, RX2)で図示しているが、電極数はこれに限らない。

また、タッチパネルは、図1、図3に示すように、タッチパネル基板41と、タッチパネル基板41上に形成される走査電極(TX)および検出電極(RX)と、走査電極(TX)および検出電極(RX)上に形成される層間絶縁膜42と、層間絶縁膜42上に形成され、走査電極(TX)同士を電氣的に接続する接続部(STX)と、前記接続部(STX)上に形成される保護膜43と、前記保護膜43上に配置されるフロントウィンドウ(又は、保護フィルム)44と、前記タッチパネル基板41の液晶表示パネル側に形成されるシールド用の透明電極(例えば、ITO(Indium Tin Oxide)膜で形成される電極)45とで構成される。 20

従来のタッチパネルでは、タッチパネル制御IC(DRT)により、各走査電極(TX)を5V~10V程度の電圧でパルス駆動を行い、タッチパネル制御IC(DRT)において、検出電極(RX)での電圧変化を検出し、タッチ位置の検出を行う。即ち、指等により走査電極(TX)と検出電極(RX)との間の容量値が変化し、走査電極(TX)をパルス駆動した際に、検出電極(RX)で検出される電圧変動が変化することから、検出電極(RX)の電圧を測定することによりタッチ位置を検出することができる。 30

【0013】

タッチパネルは、液晶表示パネルの前面に設置される。従って、液晶表示パネルに表示された画像を使用者が見る場合には、表示画像がタッチパネルを透過する必要があるため、タッチパネルは光透過率が高いことが望ましい。

液晶表示パネルは、図1に示すように、第1基板(SUB1;以下、TFT基板という)、第2基板(SUB2;以下、CF基板という)と、TFT基板(SUB1)とCF基板(SUB2)との間に挟持される液晶(図示せず)とを有する。

また、TFT基板(SUB1)は、CF基板(SUB2)よりも大きな面積を有し、TFT基板(SUB1)の、CF基板(SUB2)と対向しない領域には、液晶ドライバIC(DRV)が実装され、さらに、当該領域の一辺の周辺部には、メインフレキシブル配線基板(MFPC)が実装される。 40

なお、図1において、CTは対向電極(共通電極ともいう)、TFPCはタッチパネル用フレキシブル配線基板、CDは裏面側透明導電膜、52は接続部材、53は接続用フレキシブル配線基板である。

IPS方式の液晶表示パネルは、TN方式の液晶表示パネルやVA方式の液晶表示パネルのように、カラーフィルタが設けられる基板上に対向電極(CT)が存在しない。そのため、表示ノイズを低減する等の理由により、カラーフィルタが設けられる基板上に、例えばITOなどの透明導電膜で構成される裏面側透明導電膜(CD)が形成されている。

【0014】

図4は、液晶表示パネルの内部にタッチパネルを内蔵したタッチパネル内蔵液晶表示装 50

置の概略構成を示す分解斜視図である。

図4において、2はTFT基板、3はCF基板と、21は対向電極（共通電極ともいう）、5は液晶ドライバIC、MFPCはメインフレキシブル配線基板、40はフロントウインドウ、53は接続用フレキシブル配線基板である。

図4に示す液晶表示装置では、CF基板3上の裏面側透明導電膜(CD)を、帯状のパターンに分割して、タッチパネルの検出電極(RX)31となし、TFT基板2の内部に形成される対向電極21を帯状のパターンに分割、即ち、複数のブロックに分割して、タッチパネルの走査電極(TX)として兼用することにより、タッチパネル基板(図1の41)を削減している。そのため、図4に示す液晶表示装置では、図1に示すタッチパネル制御IC(DRT)の機能が、液晶ドライバIC5の内部に設けられる。

10

【0015】

次に、図5を用いて、図4に示す液晶表示装置の対向電極21と検出電極31について説明する。

前述したように、対向電極21はTFT基板2上に設けられているが、複数本の(例えば20本程度)対向電極21が両端で共通に接続され、対向電極信号線22と接続されている。

図5に示す液晶表示装置では、束状の対向電極21が走査電極(TX)を兼用し、また、検出電極31が検出電極(RX)を構成する。

したがって、対向電極信号には、画像表示に用いられる対向電圧と、タッチ位置の検出に用いられるタッチパネル走査電圧とが含まれる。タッチパネル走査電圧が対向電極21に印加されると、対向電極21と一定の間隔を持って配置され容量を構成する検出電極31に検出信号が生じる。この検出信号は検出電極用端子36を介して外部に取り出される。

20

なお、検出電極31の両側にはダミー電極33が形成されている。検出電極31は一方の端部でダミー電極33側に向かい広がりT字状の検出電極用端子36を形成している。また、TFT基板2には対向電極信号線22以外にも駆動回路用入力端子25のような様々な配線、端子等が形成される。

【0016】

図4に示す液晶表示装置における、表示部の断面の一部を拡大した概略断面図を図6に示す。

30

図6に示すようにTFT基板2には画素部200が設けられており、対向電極21は画素の一部として画像表示に用いられる。また、TFT基板2とCF基板3との間には液晶組成物4が挟持されている。CF基板3に設けられた検出電極31とTFT基板に設けられた対向電極21とは容量を形成しており、対向電極21に駆動信号が印加されると検出電極31の電圧が変化する。

この時、図6に示すように、フロントウインドウ40を介して指502等の導電体が近接または接触すると、容量に変化が生じ検出電極31に生じる電圧に、近接・接触が無い場合に比較して変化が生じる。

このように、液晶表示パネルに形成した対向電極21と検出電極31との間に生じる容量の変化を検出することで、液晶表示パネルにタッチパネルの機能を備えることが可能となる。

40

【0017】

図7は、本発明が適用される液晶表示装置の一例の、複数のブロックに分割した対向電極の一例を示す平面図である。図7において、SUB1はTFT基板、DRVは液晶ドライバIC、CT1~CT20は帯状のパターンに分割された各ブロックの対向電極、DLは映像線、CTLは対向電極配線、GESは液晶表示パネルに内蔵された走査線駆動回路、GTLは走査線駆動回路信号配線、TAMはメインフレキシブル配線基板(MFPC)と接続される端子部、ARはマトリクス状に配置された複数の画素で構成される表示領域である。

図7に示す例では、走査線駆動回路(GES)として、a-Si単チャンネル回路構成

50

の駆動回路、あるいは、半導体層にn型のポリシリコン層を使用する、p-Si単チャンネル回路構成の駆動回路が使用される。

静電容量方式のタッチパネルでは、指等による静電容量の変化を検出するため、交流駆動を行うタッチパネル用の走査電極(TX)の幅は約4~5mm程度の幅があることが望ましい。そのため、液晶表示パネルの大型化により走査電極(TX)の本数は増加する。

図7に示す例では、1280表示ラインの対向電極(CT)を、CT1~CT20の20ブロック(1ブロックは64表示ラインの対向電極で構成される)に分割しており、対向電極配線(CTL)は左右に各20本必要となる。

各ブロックの対向電極(CT1~CT20)は、表示動作において寄生容量により電圧変動した場合は画質悪化を引き起こす。そのため、各々のブロックの対向電極(CT1~CT20)と、液晶ドライバIC(DRV)とを接続する対向電極配線(CTL)の抵抗値を下げる必要がある。また、走査線駆動回路(GES)上にも配線があるため、対向電極配線(CTL)を走査線駆動回路(GES)上に配線することはできない。

そのため、対向電極配線(CTL)は、走査線駆動回路(GES)より対向電極(CT)側に配置する。

これに対応し、液晶ドライバIC(DRV)は、半導体チップの表示領域(AR)の中央に映像線(図示せず)に接続される映像線駆動端子(TAD)を配置し、その左右両端に、対向電極配線(CTL)に接続される端子(A1, A2)を配置している。

【0018】

図8は、本発明が適用される液晶表示装置の他の例の、複数のブロックに分割した対向電極の駆動方法を説明するための平面図である。

図8に示す液晶表示装置は、20ブロックに分割した各々の対向電極(CT1~CT20)を、アドレスデコード方式により選択する対向電極選択回路(CTSC)を、液晶表示パネルの内部に内蔵した点で、図7に示す液晶表示装置と相違する。

図8では、対向電極選択回路(CTSC)として、CMOS回路構成の駆動回路が使用される。

20ブロックに分割した対向電極(CT1~CT20)の選択方法をアドレスデコード方式とすることにより、低抵抗が必要となる配線は、対向電極(CT1~CT20)に供給する対向電圧(Vcom)の配線(LVcom)と、タッチパネル走査電圧(Vstc)の配線(LVstc)の2本となる。

本実施例では、タッチパネル走査電圧(Vstc)は、対向電圧(Vcom)に対して、5~10V高い電圧を直流で供給し、アドレス信号線(Saddress)を介して供給されるアドレス信号(address)により走査箇所を選択を行い、タッチパネル走査信号(STC)に従い、走査電極(TX)を兼ねる、選択されたブロックの対向電極(CT)に対して、対向電圧(Vcom)、あるいは、タッチパネル走査電圧(Vstc)を切り替えて出力する。

対向電極(CT)の分割数が増加した場合でも、増加する配線は、アドレス信号線(Saddress)のみであり、液晶表示パネルの左右の額縁の増加を抑制したまま、タッチパネル走査電極として使用する対向電極の分割数を増加させることが可能となる。

【0019】

図9は、図8に示す対向電極選択回路(CTSC)の構成例を示すブロック図である。図9に示すように、対向電極選択回路(CTSC)は、DEC1~DEC20のアドレスデコード回路と、SCH1~SCH20の選択回路で構成されている。

図8に示す液晶表示装置では、タッチパネルの走査電極(TX)が5mmピッチとなるように、64表示ライン分の対向電極(CT)を、液晶表示パネルの内部で電氣的に接続して1つのブロックとし、1280の表示ラインを20分割する。そして、当該20分割された対向電極(CT1~CT20)と、アドレスデコード回路(DEC1~DEC20)とを、1対1で割りつけている。分割数が、20ブロックであるため、アドレス信号線(Sadd)は5bitの5本が必要となる。

アドレス信号(address)により選択された、1ブロックの対向電極、即ち、64

10

20

30

40

50

表示ライン分の対向電極（CT）が、タッチパネル走査信号（STC）により交流駆動を行い、その他の対向電極（CT）は対向電圧を出力する。

【0020】

図10は、図9に示す選択回路（SCH1～SCH20）の一例の回路構成を示す回路図である。

図10に示す選択回路は、アドレスデコーダ回路（DEC1～DEC20）の出力（DECO）と、インバータ（INV1）で反転されたタッチパネル走査信号（STC）の反転信号とを、ノア回路（NOR1）に入力し、当該ノア回路（NOR1）の出力をインバータ（INV2）で反転して、スイッチ回路（SW）に入力することにより、タッチパネル走査電圧（Vstc）、あるいは、対向電圧（Vcom）を選択して各ブロックの対向電極（CT1～CT20）に出力する。

10

これにより、アドレスデコーダ回路（DEC1～DEC20）の一つが選択された場合、タッチパネル走査信号（STC）に従い、各ブロックの対向電極に、タッチパネル走査電圧（Vstc）と、対向電圧（Vcom）とを切り替えて出力する。

即ち、図8に示す選択回路では、アドレスデコーダ回路（DEC1～DEC20）の出力（DECO）が、Lowレベル（以下、Lレベル）、および、タッチパネル走査信号（STC）がHighレベル（以下、Hレベル）のときに、ノア回路（NOR1）の出力がHレベルとなるので、スイッチ回路（SW）は、タッチパネル走査電圧（Vstc）を選択し、タッチパネル走査信号（STC）がLレベル、あるいは、アドレスデコーダ回路（DEC1～DEC20）の出力（DECO）が、Hレベルのときに、ノア回路（NOR1）の出力がLレベルとなるので、スイッチ回路（SW）は、対向電圧（Vcom）を選択する。

20

【0021】

図11は、図7に示すアドレスデコーダ回路（DEC1～DEC20）の一例の回路構成を示す回路図である。

図11に示すように、アドレスデコーダ回路（DEC1～DEC20）には、5個のアドレス信号（address）の各々について、アドレス信号、あるいは、アドレス信号をインバータ（INV）で反転した反転信号が入力され、5個のアドレス信号（address）と5個のアドレス信号（address）の反転信号の組み合わせに基づきデコードする。

30

図11に示すアドレスデコーダ回路では、アドレスデコーダ回路に入力された5個のアドレス信号（address）と5個のアドレス信号（address）の反転信号の中の所定の組み合わせのアドレス信号（add）をナンド回路（NAND1, NAND2）に入力し、当該ナンド回路（NAND1, NAND2）の出力を、ノア回路（NOR2）に入力し、当該ノア回路（NOR2）の出力をインバータ（INV3）で反転して、アドレスデコーダ回路の出力（DECO）としている。したがって、図11に示すアドレスデコーダ回路では、アドレス信号の組み合わせが、自アドレスデコーダ回路に設定されたアドレス信号の組み合わせと一致するときに、Lレベルの電圧が、アドレスデコーダ回路の出力（DECO）として出力され、アドレス信号の組み合わせが、自アドレスデコーダ回路に設定されたアドレス信号の組み合わせと一致しないときに、Hレベルの電圧が、アドレスデコーダ回路の出力（DECO）として出力される。

40

【0022】

図12は、タッチパネル内蔵液晶表示装置における、タッチパネル検出時と、画素書込み時の駆動波形を説明するための図である。

図12のAは、20ブロックに分割された対向電極のうち、11番目のブロックとなる641～704表示ラインの対向電極（CT11）に供給されるタッチパネル走査電圧（Vstc）の電圧波形を示している。また、図12のBは、奇数列の映像線（DL）に供給される映像電圧の波形を、図12のCは、偶数列の映像線（DL）に供給される映像電圧の波形を、図12のDは、641番目の走査線（GL）を介して、641表示ラインの薄膜トランジスタのゲート電極に供給されるゲート信号を示している。さらに、T1は、

50

タッチ位置検出期間、T2は画素書込み期間を示している。

タッチ位置検出期間(T1)は、表示への影響を防止するため、画素書込み期間(T2)以外の期間に設定される。また、タッチ位置検出期間(T1)において、検出感度を増加させるために、同一箇所(走査電極(TX))で複数回のスキャン、即ち、図12では、11番目のブロックの対向電極(CT11)に、複数回タッチパネル走査電圧(Vstc)が供給される。また、画素書込み期間(T2)内には、11番目のブロックの対向電極(CT11)には、タッチパネル走査電圧(Vstc)が供給されず、対向電圧(Vcom)が供給される。

【0023】

図13は、タッチパネル内蔵液晶表示装置における、タッチパネル検出時と、画素書込み時のタイミングを説明するための図である。

図13のAは、1フレームの画素書込み期間(T4)に、1番目の表示ラインから1280表示ラインまでの画素書込みタイミングを示し、図13のBが、20ブロックに分割された各ブロックの対向電極(CT1~CT20)におけるタッチパネル検出タイミングを示す。

図13に示すように、任意の表示ラインの対向電極を走査電極(TX)として機能させ、タッチパネル検出時のスキャン動作は、画素書き込みを行うゲートスキャンとは異なる箇所で行う。なお、図13において、T3は帰線期間、VSYNCは垂直同期信号、HSYNCは水平同期信号を示す。

【0024】

本実施例の液晶ドライバIC(DRV)では、半導体チップの表示領域(AR)の一辺に配置される端子群の中で、中央に映像線(DL)に接続される映像線端子(TAD)を配置し、その左右端に、対向電極配線(CTL)に接続される端子(A1, A2)を配置する。

静電容量方式タッチパネルでは、指等による静電容量の変化を検出するため、交流駆動を行う走査電極の幅は約4~5mm程度の幅があることが望ましいため、液晶表示パネルの大型化により走査電極の本数は増加する。

現在携帯モバイル向けの液晶表示パネルでは、5.5インチの表示領域の要求もあり縦方向の寸法は120mmになるため、5mm幅で対向電極(CT)を分割すると24本になる。一方、現行のスマートフォン向けには、4インチクラスのWVGA(480RGB×800)が一般的で縦方向の寸法は90mmになるので、5mm幅で対向電極(CT)を分割すると18本になる。

そこで、本実施例の液晶ドライバIC(DRV)では、5.5インチの液晶表示パネルまで対応できるように、対向電極配線(CTL)に接続される端子(A1, A2)を24端子としている。

また、本実施例の液晶ドライバIC(DRV)では、様々な対向電極本数の液晶表示パネルに対応できるように、対向電極配線(CTL)に接続するために使用する使用端子数を、1本から24本まで切り替えられるようになっている。

また、前述したように画質劣化防止のため、対向電極配線(CTL)は低抵抗にする必要がある。そのため、本実施例の液晶ドライバIC(DRV)では、半導体チップの出力端子の左右両端に同じ機能を持つ、A1, A2の端子を設けて、対向電極(CT)に対して両側から給電できるようにしている。

【0025】

図14に、分割した対向電極(CT)を直接駆動する場合の、本実施例の液晶ドライバIC(DRV)の端子(A1)の接続例を示す。

なお、図14は、本実施例の液晶ドライバIC(DRV)を構成する半導体チップの表示領域(AR)側の辺に形成されている端子群の中の左側の複数の端子(A1の端子)を図示している。

前述したように、本実施例の液晶ドライバIC(DRV)では、対向電極配線(CTL)に接続するために使用する使用端子数を、TX1~TX24の1本から24本まで切り

10

20

30

40

50

替えられるようになっているが、図14では、TX1～TX20の20本の端を使用している。なお、本実施例の液晶ドライバIC(DRV)を構成する半導体チップの表示領域(AR)側の辺に形成されている端子群の中の右側も同様な構成となっている。

図14では、TX1～TX20の端子の各々に、CT1～CT20の対向電極に接続される対向電極配線(CTL)が接続される。

タッチ位置検出を行う端子は、例えば、図12、図13に示すタイミングで、タッチパネル走査電圧(Vstc)を出力し、その他の端子は、対向電圧(Vcom)を出力する。

図15に、図8に示す対向電極選択回路(CTSC)を使用する場合の、本実施例の液晶ドライバIC(DRV)の端子(A1)の接続例を示す。

本実施例の液晶ドライバIC(DRV)では、内部のレジスタのデータ値を切り替えることにより、TX1～TX12の端子を、タッチパネル走査電圧(Vstc)を出力する端子に、TX13からTX24の端子を、対向電圧(Vcom)を出力する端子に固定して、図8に示す対向電極選択回路(CTSC)に出力する。

図15の場合、本実施例の液晶ドライバIC(DRV)の各出力端子の出力インピーダンスは100のため12本ずつ並列に接続することにより、タッチパネル走査電圧(Vstc)および対向電圧(Vcom)を出力する端子の出力インピーダンスを $100 \div 12 = 8.3$ に低減することができる。

【0026】

従来の液晶ドライバIC(DRV)では、走査線駆動回路(GES)を駆動するための制御信号を出力する端子を、液晶ドライバIC(DRV)を構成する半導体チップの表示領域(AR)側(以下、出力側という)の辺に形成されている端子群の中に配置している。

しかし、対向電極配線(CTL)は、低抵抗にする必要があるため、対向電極配線(CTL)に接続される端子(A1, A2)は、液晶ドライバIC(DRV)を構成する半導体チップの出力側の辺に配置する必要がある。

これに加えて、走査線駆動回路(GES)を駆動するための制御信号を出力する端子を、液晶ドライバIC(DRV)を構成する半導体チップの出力側の辺に配置するとチップサイズが増大し、チップコストの増加につながる。

そこで、本実施例では、走査線駆動回路(GES)を駆動するための制御信号を出力する端子(B1, B2)を、液晶ドライバIC(DRV)を構成する半導体チップの表示領域(AR)と反対側(以下、入力側という)に配置している。

図16に、本実施例の液晶ドライバIC(DRV)の、入力側の端子の接続例を示す。

図16において、TADは映像線端子、A1, A2は対向電極配線(CTL)に接続される端子、B1, B2は走査線駆動回路(GES)を駆動するための制御信号を出力する端子、C1, C2はタッチパネルの検出電極(RX)で検出された検出信号が入力される端子、Dは外部からの入力信号、電源電圧が入力される端子である。

【0027】

図17に、本実施例の液晶ドライバIC(DRV)の、入力側に配置している端子(B1, B2)の接続例を示す。

各画素の薄膜トランジスタ(TFT)の、ゲート選択電圧をVGH、ゲート非選択電圧をVGLとすると、a-Si単チャンネル回路構成の駆動回路、あるいは、p-Si単チャンネル回路構成の駆動回路からなる走査線駆動回路(GES)では、(VGH - VGL)振幅の駆動信号を入力しゲートスキャン動作を行っている。

同じく、CMOS回路構成の駆動回路からなる対向電極選択回路(CTSC)のアドレス信号(address)も(VGH - VGL)振幅の信号である。

しかし、半導体層にアモルファスシリコンを使用するアモルファスシリコン薄膜トランジスタ(a-Si TFT)に必要な電圧レベルは、例えばVGH = 16V, VGL = -13Vであり、半導体層にn型ポリシリコンを使用するポリシリコン薄膜トランジスタ(p-Si TFT)に必要な電圧レベルは、例えばVGH = 11V, VGL = -8Vであり、両者は異なっ

10

20

30

40

50

ている。

また、 $a-Si$ 単チャンネル回路構成の駆動回路、 $p-Si$ 単チャンネル回路構成の駆動回路、および、 $CMOS$ 回路構成の駆動回路は、その回路構成からそれぞれ異なる駆動波形が必要であり、それぞれの駆動波形を個別の出力端子で出力すると端子数の増加によりチップサイズが大きくなってしまう。

【0028】

そこで、本実施例の液晶ドライバIC(DRV)では、液晶表示パネルに内蔵される、 $a-Si$ 単チャンネル回路構成の駆動回路、 $p-Si$ 単チャンネル回路構成の駆動回路、および、 $CMOS$ 回路構成の駆動回路の各々の駆動信号を、同じ共通端子を使用して、レジスタに書き込むデータ値により、各端子から出力される信号、あるいは、波形を切り替

10

えられるようにしている。
また、 VGH 、 VGL の電圧レベルも、レジスタに書き込むデータ値により切替られるようにして、1つの共通端子で、 $a-Si$ 単チャンネル回路構成の駆動回路、 $p-Si$ 単チャンネル回路構成の駆動回路、および、 $CMOS$ 回路構成の駆動回路に対応できるようにしている。

例えば、図17では、液晶ドライバIC(DRV)の右側の端子(B2)のGOUT7の端子では、内蔵回路が $a-Si$ 単チャンネル回路構成の駆動回路(図17の $a-Si$)の場合、「ゲートクロック信号($VG10$)」であり、内蔵回路が $p-Si$ 単チャンネル回路構成の駆動回路(図17の $p-Si$)の場合、「未使用」であり、内蔵回路が $CMOS$ 回路構成の駆動回路(図17の $CMOS$)の場合、「アドレスデコード信号(Tx_ADR1_R)」となっている。

20

【0029】

本実施例のインセル方式のタッチパネルでは、各走査電極(TX)を4V~6V程度の電圧でパルス駆動を行い、検出電極(RX)での電圧変化を検出している。

指等により、走査電極(TX)と検出電極(RX)との間の寄生容量が変化し、走査電極(TX)を4V~6V程度の電圧でパルス駆を行った際の、検出電極(RX)の電圧変動が変化することから、検出電極(RX)の電圧を測定することによりタッチ位置を検出することができる。

そのため、メインフレキシブル配線基板(MFPC)上の検出電極(RX)用の配線は、外来ノイズの影響を受けないように配線の上下配線層や両隣りの配線を、接地電圧(GND)でシールドしている。

30

本実施例の液晶ドライバIC(DRV)では、タッチセンス機能を内蔵するにあたり、検出電極(RX)で検出された検出信号の入力端子位置が課題となる。

本実施例の液晶ドライバIC(DRV)では、入力端子(D)に入力される信号・電圧は、入力信号1、入力信号2、電源、GNDがある。入力信号1と入力信号2は、それぞれ異なるインターフェースの信号であり、2つの信号が同時に使用されることはなく、本体側の構成により、いずれか一方の系統が使用される。

さらに、インセル方式のタッチパネルでは、検出電極(RX)用の配線は、CF基板(3, SUB2)側の基板(例えば、ガラス基板)にFOG(Film On Glass)で接続された接続用フレキシブル配線基板53からTFT基板(2, SUB1)のメインフレキシブル配線基板(MFPC)に接続するため、メインフレキシブル配線基板(MFPC)を含めた製品の外形要求に対して自由にレイアウトできなければならない。

40

そこで、本実施例の液晶ドライバIC(DRV)では、検出電極(RX)で検出された検出信号の入力端子(C1, C2)を、入力端子(D)の両隣りに1セットずつ設けている。

検出電極(RX)で検出された検出信号の入力端子(C1, C2)を、図16に示すように、配置することにより、液晶表示パネル側へ配線する走査線駆動回路信号配線(GTL)とも交差せずノイズの影響を受けない。

さらに、同じ機能を持つ端子を左右に配置することによって、製品の外形要求に合わせて使用端子を選択することができる。なお、検出電極(RX)で検出された検出信号の入

50

力端子（C1，C2）は、製品によりどちらかの端子のみを使用する。

図18に、検出電極（RX）で検出された検出信号の入力端子として、左側の端子（C1）を使用する場合の構成を、図19に、検出電極（RX）で検出された検出信号の入力端子として、右側の端子（C2）を使用する場合の構成を示す。

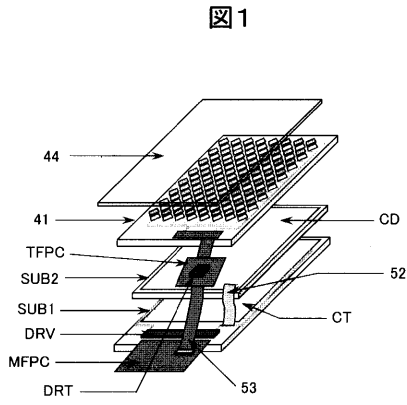
以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【符号の説明】

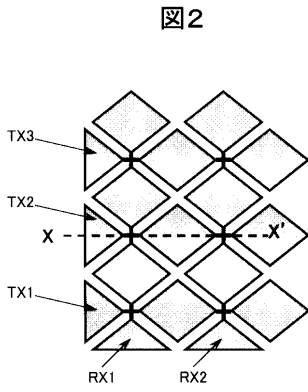
【0030】

2, SUB1	第1基板	10
3, SUB2	第2基板	
4	液晶組成物	
5, DRV	液晶ドライバIC	
21, CT, CT1~CT20	対向電極	
22	対向電極信号線	
25	駆動回路用入力端子	
31	検出電極	
33	ダミー電極	
36	検出電極用端子	
40, 44	フロントウィンドウ（又は、保護フィルム）	20
41	タッチパネル基板	
42, PAS1, PAS2	層間絶縁膜	
43	保護膜	
45	シールド用の透明電極	
52	接続部材	
53	接続用フレキシブル配線基板	
200	画素部	
502	指	
TAD, A1, A2, B1, B2, C1, C2, D	端子	30
TX	タッチパネルの走査電極	
RX	タッチパネルの検出電極	
AR	表示領域	
DRT	タッチパネル制御IC	
MFPC	メインフレキシブル配線基板	
TFPC	タッチパネル用フレキシブル配線基板	
GES	走査線駆動回路	
CTSC	対向電極選択回路	
CTL	対向電極配線	
LVcom, LVstc	配線	
CD	裏面側透明導電膜	40
DEC1~DEC20	アドレスデコーダ回路	
SCH1~SCH20	選択回路	
INV1~INV3	インバータ	
NOR1, NOR2	ノア回路	
NAND1, NAND2	ナンド回路	
SW	スイッチ回路	
STX	接続部	
TAM	メインフレキシブル配線基板（MFPC）と接続される端子部	
GTL	走査線駆動回路信号配線	

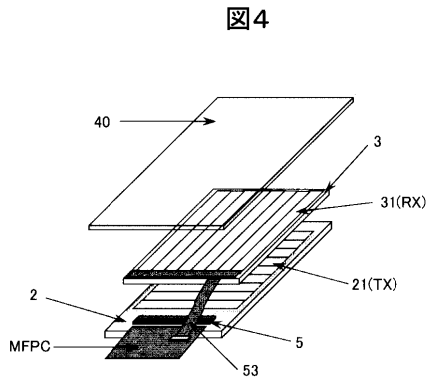
【 図 1 】



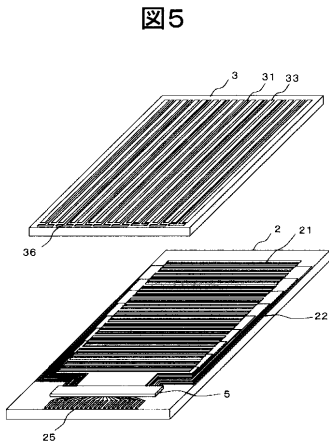
【 図 2 】



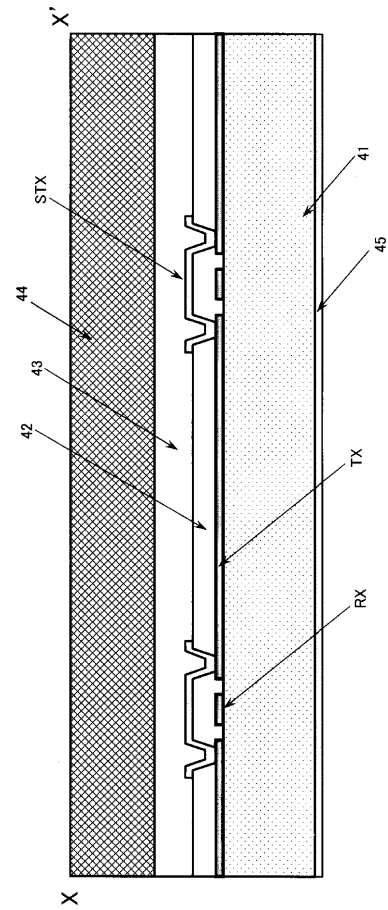
【 図 4 】



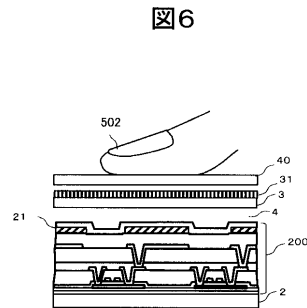
【 図 5 】



【 図 3 】

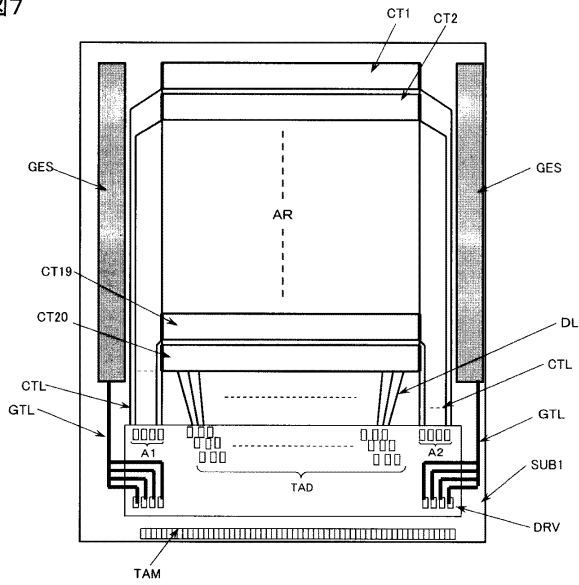


【 図 6 】



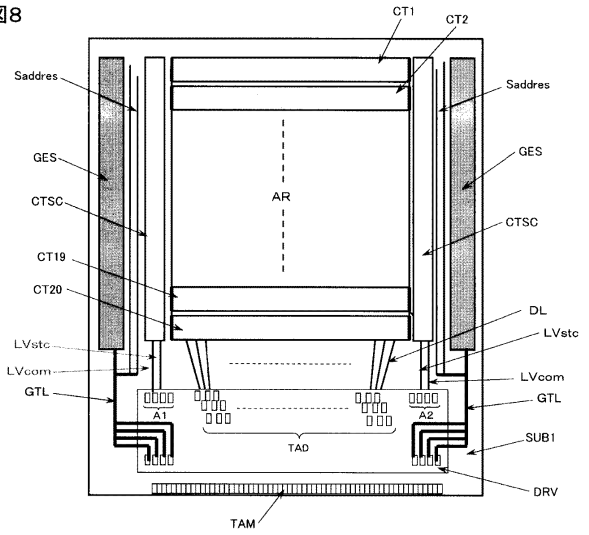
【 図 7 】

図 7



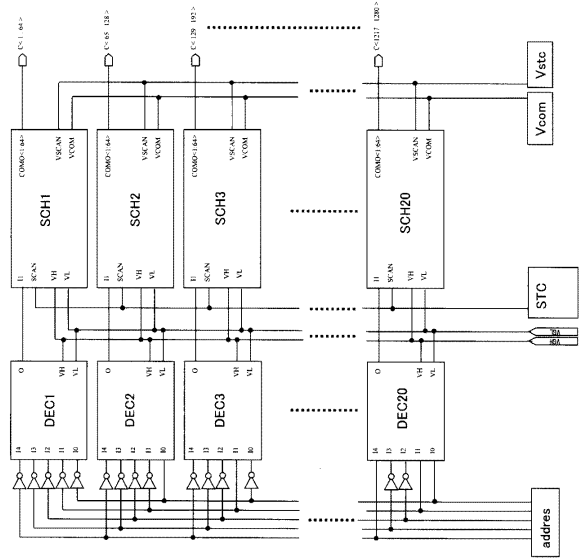
【 図 8 】

図 8



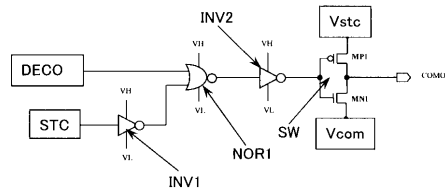
【 図 9 】

図 9



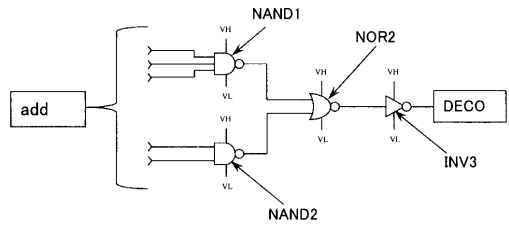
【 図 10 】

図 10

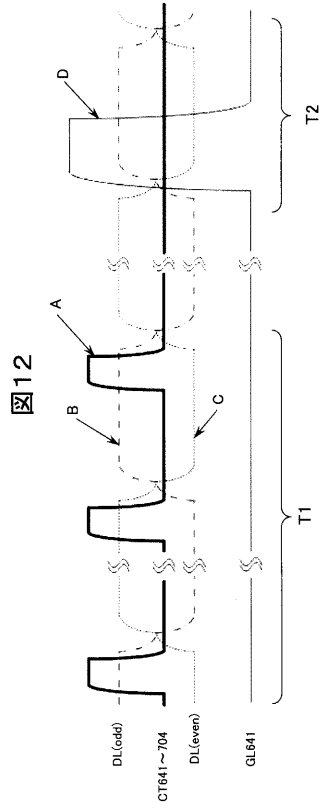


【 図 11 】

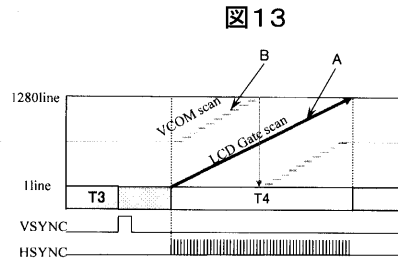
図 11



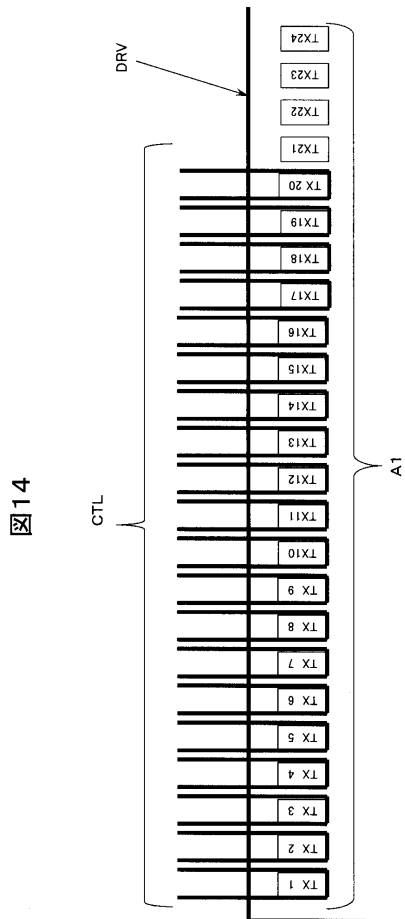
【 図 1 2 】



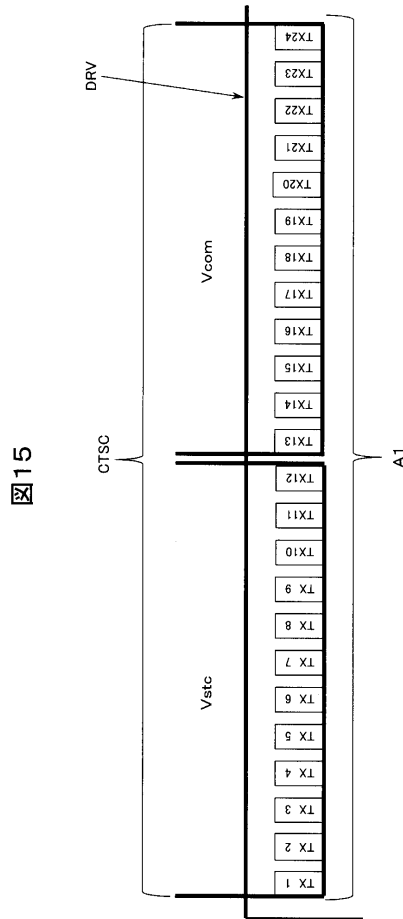
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(51) Int.Cl. F I
G 0 2 F 1/1333 (2006.01) G 0 9 G 3/20 6 2 4 C
G 0 9 F 9/30 3 4 9 Z
G 0 9 F 9/00 3 6 6 A
G 0 9 F 9/00 3 4 6 A
G 0 2 F 1/1333

(56) 参考文献 特開 2 0 0 9 - 2 5 8 1 8 2 (J P , A)
特開 2 0 1 1 - 7 0 0 9 2 (J P , A)
特開平 1 1 - 2 9 5 7 5 6 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 3 3
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 4 5
G 0 2 F 1 / 1 3 6 8
G 0 6 F 3 / 0 4 1
G 0 9 F 9 / 3 0

