

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5955098号
(P5955098)

(45) 発行日 平成28年7月20日 (2016. 7. 20)

(24) 登録日 平成28年6月24日 (2016. 6. 24)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 611G

G09G 3/20 621B

G09G 3/20 623A

G09G 3/20 622A

請求項の数 8 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2012-118367 (P2012-118367)
 (22) 出願日 平成24年5月24日 (2012. 5. 24)
 (65) 公開番号 特開2013-246230 (P2013-246230A)
 (43) 公開日 平成25年12月9日 (2013. 12. 9)
 審査請求日 平成27年4月1日 (2015. 4. 1)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (72) 発明者 宮田 英利
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 (72) 発明者 森下 忠夫
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

審査官 西島 篤宏

最終頁に続く

(54) 【発明の名称】 液晶表示装置、データ線駆動回路、および液晶表示装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

複数の走査線が順次選択される書き込み期間と、前記書き込み期間以上の長さであり且つ前記複数の走査線のいずれもが非選択状態となる休止期間とが、前記書き込み期間と前記休止期間とからなる第1駆動フレーム期間を周期として交互に現れる第1駆動モードで液晶表示部を駆動可能な液晶表示装置であって、

複数のデータ線と、前記複数の走査線と、前記複数のデータ線と前記複数の走査線とに対応してマトリクス状に配置された複数の画素電極と、前記複数の画素電極に対応して設けられた共通電極とを含む前記液晶表示部と、

前記複数のデータ線を介して前記複数の画素電極にデータ信号を与え、前記書き込み期間毎に前記データ信号の極性を反転させるデータ線駆動回路と、

前記複数の走査線を駆動する走査線駆動回路とを備え、

前記データ線駆動回路は、

前記書き込み期間において、複数の正極性の階調電圧のいずれかまたは複数の負極性の階調電圧のいずれかを前記データ信号の電圧とし、

前記休止期間において、前記データ信号の電圧を、前記複数の正極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の正極性の階調電圧の中の最小階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最小階調を示す階調電圧との平均値とすることを特徴とする、液晶表示装置。

【請求項 2】

前記データ線駆動回路および前記走査線駆動回路を制御し、前記書き込み期間からなる第 2 駆動フレーム期間を周期とする第 2 駆動モードと前記第 1 駆動モードとを切り替える表示制御回路をさらに備えることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記共通電極に共通電位を与える共通電位供給回路をさらに備え、

前記共通電位供給回路は、前記第 1 駆動モードと前記第 2 駆動モードとで前記共通電位を互いに同じ値にすることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記データ線駆動回路は、前記休止期間におけるデータ信号の電圧を示す休止期間用電圧信号を受け取るための第 1 端子と、前記書き込み期間と前記休止期間との切り替えを示す切り替え信号を受け取るための第 2 端子とを含むことを特徴とする、請求項 1 に記載の液晶表示装置。

10

【請求項 5】

前記第 1 端子および前記第 2 端子にそれぞれ前記休止期間用電圧信号および前記切り替え信号を与え、前記データ線駆動回路および前記走査線駆動回路を制御する表示制御回路をさらに備えることを特徴とする、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記液晶表示部は、各画素電極と当該画素電極に対応するデータ線とを互いに接続し且つチャネル層が酸化物半導体により形成された薄膜トランジスタをさらに含むことを特徴とする、請求項 1 から 5 までのいずれか 1 項に記載の液晶表示装置。

20

【請求項 7】

複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数の走査線とに対応してマトリクス状に配置された複数の画素電極と、前記複数の画素電極に対応して設けられた共通電極とを含む液晶表示部を備え、前記複数の走査線が順次選択される書き込み期間と、前記書き込み期間以上の長さであり且つ前記複数の走査線のいずれもが非選択状態となる休止期間とが、前記書き込み期間と前記休止期間とからなる第 1 駆動フレーム期間を周期として交互に現れる第 1 駆動モードで液晶表示部を駆動可能な液晶表示装置で使用され、前記複数のデータ線を介して前記複数の画素電極にデータ信号を与え、前記書き込み期間毎に前記データ信号の極性を反転させるデータ線駆動回路であって、

30

前記休止期間におけるデータ信号の電圧を示す休止期間用電圧信号を受け取るための第 1 端子と、

前記書き込み期間と前記休止期間との切り替えを示す切り替え信号を受け取るための第 2 端子と、

前記切り替え信号に基づき、前記書き込み期間において、複数の正極性の階調電圧のいずれかまたは複数の負極性の階調電圧のいずれかを前記データ信号の電圧とし、前記休止期間において、前記休止期間用電圧信号が示す電圧を前記データ信号の電圧とする電圧切り替え回路とを備え、

前記休止期間用電圧信号が示す電圧は、前記複数の正極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の正極性の階調電圧の中の最小階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最小階調を示す階調電圧との平均値であることを特徴とする、データ線駆動回路。

40

【請求項 8】

複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数の走査線とに対応してマトリクス状に配置された複数の画素電極と、前記複数の画素電極に対応して設けられた共通電極とを含む液晶表示部を備え、前記複数の走査線が順次選択される書き込み期間と、前記書き込み期間以上の長さであり且つ前記複数の走査線のいずれもが非選択状態となる休止期間とが、前記書き込み期間と前記休止期間とからなる第 1 駆動フレーム期間を周期として交互に現れる第 1 駆動モードで液晶表示部を駆動可能な液晶表示装置の駆動方法であって、

50

前記複数のデータ線を介して前記複数の画素電極にデータ信号を与え、前記書き込み期間毎に前記データ信号の極性を反転させるデータ線駆動ステップを備え、

前記データ線駆動ステップは、

前記書き込み期間において、複数の正極性の階調電圧のいずれかまたは複数の負極性の階調電圧のいずれかを前記データ信号の電圧とするステップと、

前記休止期間において、前記データ信号の電圧を、前記複数の正極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の正極性の階調電圧の中の最小階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最小階調を示す階調電圧との平均値とするステップとを含むことを特徴とする、駆動方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、低周波駆動を行う液晶表示装置、その液晶表示装置で使用されるデータ線駆動回路、およびその液晶表示装置の駆動方法に関する。

【背景技術】

【0002】

従来から、液晶表示装置などの表示装置において、消費電力の低減が求められている。そこで、例えば特許文献1には、液晶表示装置のゲートライン（走査線）を順次に選択して、ソースラインに印加される電圧（以下「ソースラインの電圧」という場合がある。）の画素電極への書き込みを行う書き込み期間の後に、全てのゲートラインを非走査状態にする休止期間を設ける表示装置の駆動方法が開示されている。休止期間は書き込み期間よりも長く設定され、書き込み期間と休止期間との和は1フレーム期間（1垂直期間ともいう。）に設定される。休止期間では、例えば、ゲートドライバおよび/またはソースドライバに制御用の信号などを与えないようにすることができる。これにより、ゲートドライバおよび/またはソースドライバの動作を休止させることができるので低消費電力化を図ることができる。特許文献1に記載の駆動方法のように、書き込み期間の後に休止期間を設けることにより行う駆動は、例えば「低周波駆動」と呼ばれる。

20

【先行技術文献】

【特許文献】

30

【0003】

【特許文献1】特開2003-131632号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところで、画素電極とソースラインとの間には寄生容量が形成されることが知られている。ソースラインで電位変動が生じると、寄生容量を介して、非選択状態のゲートラインに対応した画素電極にその電位変動が伝達する。このため、画素電極の電位（以下「画素電位」という。）が変動する。上述の特許文献1に記載の表示装置では、休止期間中にソースラインの電圧をどのような値に設定するが言及されていない。したがって、休止期間中のソースラインの電圧値の設定によっては、書き込み期間から休止期間への切り替わり時にソースラインの電圧が大きく変化して画素電位が大きく変動する。これにより、休止期間における表示輝度と次フレーム期間の書き込み期間における表示輝度との差が大きくなる。それゆえに、休止期間から書き込み期間への切り替わり時（フレーム期間の切り替わり時）に大きなフリッカが生じ、結果として表示品位が低下する。

40

【0005】

そこで、本発明は、低周波駆動を行う際の表示品位の低下を従来よりも抑制する液晶表示装置、その液晶表示装置で使用されるデータ線駆動回路、およびその液晶表示装置の駆動方法を提供することを目的とする。

【課題を解決するための手段】

50

【 0 0 0 6 】

本発明の第 1 の局面は、複数の走査線が順次選択される書き込み期間と、前記書き込み期間以上の長さであり且つ前記複数の走査線のいずれもが非選択状態となる休止期間とが、前記書き込み期間と前記休止期間とからなる第 1 駆動フレーム期間を周期として交互に現れる第 1 駆動モードで液晶表示部を駆動可能な液晶表示装置であって、

複数のデータ線と、前記複数の走査線と、前記複数のデータ線と前記複数の走査線とに対応してマトリクス状に配置された複数の画素電極と、前記複数の画素電極に対応して設けられた共通電極とを含む前記液晶表示部と、

前記複数のデータ線を介して前記複数の画素電極にデータ信号を与え、前記書き込み期間毎に前記データ信号の極性を反転させるデータ線駆動回路と、

前記複数の走査線を駆動する走査線駆動回路とを備え、

前記データ線駆動回路は、

前記書き込み期間において、複数の正極性の階調電圧のいずれかまたは複数の負極性の階調電圧のいずれかを前記データ信号の電圧とし、

前記休止期間において、前記データ信号の電圧を、前記複数の正極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の正極性の階調電圧の中の最小階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最小階調を示す階調電圧との平均値とすることを特徴とする。

【 0 0 1 2 】

本発明の第 2 の局面は、本発明の第 1 の局面において、

前記データ線駆動回路および前記走査線駆動回路を制御し、前記書き込み期間からなる第 2 駆動フレーム期間を周期とする第 2 駆動モードと前記第 1 駆動モードとを切り替える表示制御回路をさらに備えることを特徴とする。

【 0 0 1 3 】

本発明の第 3 の局面は、本発明の第 2 の局面において、

前記共通電極に共通電位を与える共通電位供給回路をさらに備え、

前記共通電位供給回路は、前記第 1 駆動モードと前記第 2 駆動モードとで前記共通電位を互いに同じ値にすることを特徴とする。

【 0 0 1 4 】

本発明の第 4 の局面は、本発明の第 1 の局面において、

前記データ線駆動回路は、前記休止期間におけるデータ信号の電圧を示す休止期間用電圧信号を受け取るための第 1 端子と、前記書き込み期間と前記休止期間との切り替えを示す切り替え信号を受け取るための第 2 端子とを含むことを特徴とする。

【 0 0 1 5 】

本発明の第 5 の局面は、本発明の第 4 の局面において、

前記第 1 端子および前記第 2 端子にそれぞれ前記休止期間用電圧信号および前記切り替え信号を与え、前記データ線駆動回路および前記走査線駆動回路を制御する表示制御回路をさらに備えることを特徴とする。

【 0 0 1 6 】

本発明の第 6 の局面は、本発明の第 1 の局面から第 5 の局面までのいずれかにおいて、

前記液晶表示部は、各画素電極と当該画素電極に対応するデータ線とを互いに接続し且つチャネル層が酸化物半導体により形成された薄膜トランジスタをさらに含むことを特徴とする。

【 0 0 1 7 】

本発明の第 7 の局面は、複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数の走査線とに対応してマトリクス状に配置された複数の画素電極と、前記複数の画素電極に対応して設けられた共通電極とを含む液晶表示部を備え、前記複数の走査線が順次選択される書き込み期間と、前記書き込み期間以上の長さであり且つ前記複数の走査線のいずれもが非選択状態となる休止期間とが、前記書き込み期間と前記休止期間とからなる第 1 駆動フレーム期間を周期として交互に現れる第 1 駆動モードで液晶表示部を駆動可

10

20

30

40

50

能な液晶表示装置で使用され、前記複数のデータ線を介して前記複数の画素電極にデータ信号を与え、前記書き込み期間毎に前記データ信号の極性を反転させるデータ線駆動回路であって、

前記休止期間におけるデータ信号の電圧を示す休止期間用電圧信号を受け取るための第1端子と、

前記書き込み期間と前記休止期間との切り替えを示す切り替え信号を受け取るための第2端子と、

前記切り替え信号に基づき、前記書き込み期間において、複数の正極性の階調電圧のいずれかまたは複数の負極性の階調電圧のいずれかを前記データ信号の電圧とし、前記休止期間において、前記休止期間用電圧信号が示す電圧を前記データ信号の電圧とする電圧切り替え回路とを備え、

前記休止期間用電圧信号が示す電圧は、前記複数の正極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の正極性の階調電圧の中の最小階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最小階調を示す階調電圧との平均値であることを特徴とする。

【0018】

本発明の第8の局面は、複数のデータ線と、複数の走査線と、前記複数のデータ線と前記複数の走査線とに対応してマトリクス状に配置された複数の画素電極と、前記複数の画素電極に対応して設けられた共通電極とを含む液晶表示部を備え、前記複数の走査線が順次選択される書き込み期間と、前記書き込み期間以上の長さであり且つ前記複数の走査線のいずれもが非選択状態となる休止期間とが、前記書き込み期間と前記休止期間とからなる第1駆動フレーム期間を周期として交互に現れる第1駆動モードで液晶表示部を駆動可能な液晶表示装置の駆動方法であって、

前記複数のデータ線を介して前記複数の画素電極にデータ信号を与え、前記書き込み期間毎に前記データ信号の極性を反転させるデータ線駆動ステップを備え、

前記データ線駆動ステップは、

前記書き込み期間において、複数の正極性の階調電圧のいずれかまたは複数の負極性の階調電圧のいずれかを前記データ信号の電圧とするステップと、

前記休止期間において、前記データ信号の電圧を、前記複数の正極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最大階調を示す階調電圧と、前記複数の正極性の階調電圧の中の最小階調を示す階調電圧と、前記複数の負極性の階調電圧の中の最小階調を示す階調電圧との平均値とするステップとを含むことを特徴とする。

【発明の効果】

【0019】

本発明の第1の局面によれば、休止期間におけるデータ信号の電圧が、複数の正極性の階調電圧の中の最大階調を示す階調電圧（最大階調正極性電圧）、複数の負極性の階調電圧の中の最大階調を示す階調電圧（最大階調負極性電圧）、正極性階調電圧の中の最小階調を示す階調電圧（最小階調正極性電圧）、および前記複数の負極性の階調電圧の中の最小階調を示す階調電圧（最小階調負極性電圧）の平均値になる。このため、各画素電極に対応するデータ線と当該画素電極との間に形成される寄生容量と、各画素電極に対応するデータ線に当該画素電極を挟んで隣接するデータ線と当該画素電極との間に形成される寄生容量との存在により、書き込み期間から休止期間への切り替わり時に生じる画素電位の変動は次のようになる。なお、以下の発明の効果についての説明では、低周波駆動を行う従来の液晶表示装置は休止期間中のデータ電圧を階調電圧範囲外の電圧に設定するものとする。本発明の第1の局面によれば、休止期間におけるデータ信号の電圧が上記平均値になることにより、書き込み期間から休止期間への切り替わり時のデータ線の電位変動が従来よりも小さくなる。このため、書き込み期間から休止期間への切り替わり時に生じる画素電位の変動が従来よりも小さくなる。これにより、休止期間における表示輝度と次フレーム期間の書き込み期間における表示輝度との差が従来よりも小さくなる。したがって、

休止期間から書き込み期間への切り替わり時（フレーム期間の切り替わり時）に生じるフリッカが従来よりも抑制される。その結果、表示品位の低下を従来よりも抑制できる。また、休止期間におけるデータ信号の電圧が上記平均値になるため、正極性と負極性とで、休止期間から書き込み期間への切り替わり時の画素電位の変動が略均一化される。これにより、表示品位低下の抑制効果を高めることができる。

【 0 0 2 5 】

本発明の第 2 の局面によれば、第 1 駆動モードと第 2 駆動モードとを切り替え可能になるので、用途に応じた表示を行うことができる。

【 0 0 2 6 】

本発明の第 3 の局面によれば、第 1 駆動モードと第 2 駆動モードとを切り替え可能な液晶表示装置において、第 1 駆動モードと第 2 駆動モードとで共通電位が同じ値になるので、駆動モードの切り替えに応じて共通電位を切り替える必要がない。このため、表示品位の低下を簡易な構成で抑制できる。

【 0 0 2 7 】

本発明の第 4 の局面によれば、第 1 端子および第 2 端子を含むデータ線駆動回路を用いて、低周波駆動を行う際の表示品位の低下を抑制可能な液晶表示装置を実現できる。

【 0 0 2 8 】

本発明の第 5 の局面によれば、休止期間電圧信号および前記切り替え信号を表示制御回路がデータ線駆動回路に与えることにより、本発明の第 1 の局面と同様の効果を奏することができる。

【 0 0 2 9 】

本発明の第 6 の局面によれば、チャネル層が酸化物半導体により形成された薄膜トランジスタが用いられる。このため、画素電位を十分に保持できる。これにより、書き込み期間以上の長さの休止期間を設けても、表示品位の低下が生じにくくなる。

【 0 0 3 0 】

本発明の第 7 の局面によれば、当該第 7 の局面に係るデータ線駆動回路を、第 1 駆動モードで液晶表示部を駆動可能な液晶表示装置で使用する事により、本発明の第 1 の局面と同様の効果を奏することができる。

【 0 0 3 1 】

本発明の第 8 の局面によれば、液晶表示装置の駆動方法において、本発明の第 1 の局面と同様の効果を奏することができる。

【図面の簡単な説明】

【 0 0 3 2 】

【図 1】本発明の第 1 の実施形態に係る液晶表示装置の全体構成を示すブロック図である。

【図 2】図 1 に示す液晶表示装置における画素形成部に形成される寄生容量について説明するための回路図である。

【図 3】フリッカパターンについて説明するための図である。（ A ）は、フリッカパターンを示す図である。（ B ）は、第 N フレームでの極性を示す図である。（ C ）は、第 N + 1 フレームでの極性を示す図である。

【図 4】従来例に係る液晶表示装置により得られる表示輝度について説明するための図である。（ A ）は、ソースライン S L j の電圧を示す波形図である。（ B ）は、ソースライン S L j に対応する i 行 j 列目の画素形成部 1 1 0 における画素電位を示す波形図である。（ C ）は、i 行 j 列目の画素形成部 1 1 0 における表示輝度を示す波形図である。

【図 5】図 4 （ C ）に示す表示輝度のシミュレーション結果を示す図である。

【図 6】上記第 1 の実施形態に係る液晶表示装置により得られる表示輝度について説明するための図である。（ A ）は、ソースライン S L j の電圧を示す波形図である。（ B ）は、ソースライン S L j に対応する i 行 j 列目の画素形成部 1 1 0 における画素電位を示す

10

20

30

40

50

波形図である。(C)は、 i 行 j 列目の画素形成部110における表示輝度を示す波形図である。

【図7】従来例に係る液晶表示装置により得られる表示輝度と上記第1の実施形態に係る液晶表示装置により得られる表示輝度を比較した図である。(A)は、従来例に係る液晶表示装置により得られる表示輝度を示す図である。(B)は、上記第1の実施形態に係る液晶表示装置により得られる表示輝度を示す図である。

【図8】従来例に係る液晶表示装置の通常駆動モードでの動作について説明するための図である。(A)は、ソースライン SL_j の電圧を示す波形図である。(B)は、ソースライン SL_j に対応する i 行 j 列目の画素形成部110における画素電位を示す波形図である。

10

【図9】本発明の第2の実施形態に係る液晶表示装置の通常駆動モードでの動作について説明するための図である。(A)は、ソースライン SL_j の電圧を示す波形図である。(B)は、ソースライン SL_j に対応する i 行 j 列目の画素形成部110における画素電位を示す波形図である。

【図10】本発明の第3の実施形態におけるソースドライバの構成について説明するためのブロック図である。

【発明を実施するための形態】

【0033】

以下、添付図面を参照しながら、本発明の第1～第3の実施形態について説明する。以下では、電圧、電位、容量に関する符号それ自体で当該電圧、電位、容量の大きさを表すことがある。また、以下では、 m 、 n のそれぞれは2以上の整数を表す。

20

【0034】

<1. 第1の実施形態>

<1.1 全体構成および動作概要>

図1は、本発明の第1の実施形態に係るアクティブマトリクス型の液晶表示装置10の構成を示すブロック図である。図1に示すように、液晶表示装置10は、液晶表示部100、表示制御回路200、ソースドライバ(データ線駆動回路)300、ゲートドライバ(走査線駆動回路)400、共通電位供給回路500、および基準電圧生成回路600を備えている。ソースドライバ300、ゲートドライバ400、共通電位供給回路500、および基準電圧生成回路600のそれぞれには、図示しない電源回路から電源が供給されている。本実施形態に係る液晶表示装置10は、低周波駆動で動作可能な液晶表示装置である。以下では、低周波駆動(1フレーム期間が書き込み期間および休止期間からなる駆動)が行われるモードのことを「低周波駆動モード」といい、通常駆動(1フレーム期間が書き込み期間からなる駆動)が行われるモードのことを「通常駆動モード」という。低周波駆動モードおよび通常駆動モードはそれぞれ第1駆動モードおよび第2駆動モードに相当する。また、低周波駆動モードにおける各フレーム期間および通常駆動モードにおける各フレーム期間はそれぞれ第1駆動フレーム期間および第2駆動フレーム期間に相当する。本実施形態に係る液晶表示装置10は、例えば低周波駆動モードと通常駆動モードとを切り替え可能となっているが、少なくとも低周波駆動モードで動作可能となっていれば良い。また、本実施形態および後述の各実施形態に係る液晶表示装置では、液晶の劣化防止のために極性反転駆動が行われる。

30

40

【0035】

液晶表示部100には、 n 本のソースライン(データ線) $SL_1 \sim SL_n$ 、 m 本のゲートライン(走査線) $GL_1 \sim GL_m$ 、これらの n 本のソースライン $SL_1 \sim SL_n$ と m 本のゲートライン $GL_1 \sim GL_m$ との交差点に対応して設けられた複数個($m \times n$ 個)の画素形成部110とが設けられている。1つの画素形成部110により1つの画素(カラー表示の場合には1つのサブ画素)が形成される。図1では、ソースライン SL_j とゲートライン GL_i との交差点に対応して設けられた i 行 j 列目の画素形成部110を示している($i = 1 \sim m$ 、 $j = 1 \sim n$)。1つの画素形成部110は、対応する交差点を通過するゲートライン GL_i にゲート端子が接続されると共に、当該交差点を通過するソースライ

50

ン S L j にソース端子が接続された T F T (Thin Film Transistor) 1 1 1 と、当該 T F T 1 1 1 のドレイン端子に接続された画素電極 1 1 2 と、 $m \times n$ 個の画素形成部 1 1 0 に対応して共通的に設けられた共通電極 (対向電極とも言う。) 1 1 3 と、補助電極 1 1 4 と、画素電極 1 1 2 と共通電極 1 1 3 との間に挟持された液晶層とにより構成されている。補助電極 1 1 4 は、例えば各ゲートラインに沿って設けられている。そして、画素電極 1 1 2 および共通電極 1 1 3 により液晶容量 C_{lc} が形成され、画素電極 1 1 2 および補助電極 1 1 4 により補助容量 C_{st} が形成されている。本実施形態では、共通電極 1 1 3 および補助電極 1 1 4 には互いに同じ電位が与えられるものとする。ただし、例えば、補助電極 1 1 4 が行毎に駆動されても良い。また、本実施形態における液晶表示部 1 0 0 はノーマリブラック方式であるとする。なお、本実施形態における液晶表示部 1 0 0 は、縦電界方式および横電界方式のいずれであっても良い。

10

【0036】

本実施形態では、T F T 1 1 1 として酸化物 T F T が用いられる。より詳細には、T F T 1 1 1 のチャネル層は、インジウム (I n)、ガリウム (G a)、亜鉛 (Z n)、および酸素 (O) を主成分とする I G Z O (I n G a Z n O x) により形成されている。以下では、I G Z O をチャネル層に用いた T F T のことを「I G Z O - T F T」という。シリコン系の T F T (アモルファスシリコンなどをチャネル層に用いた T F T をいう。) はオフリーク電流が比較的大きいので、シリコン系の T F T を T F T 1 1 1 として用いた場合には、画素容量に保持された電荷が当該 T F T 1 1 1 を介して漏れ出し、結果としてオフ状態時に保持すべき電圧が変動してしまう。しかし、I G Z O - T F T は、シリコン系の T F T に比べてオフリーク電流が遙かに小さい。このため、画素容量に書き込んだ電圧をより長い期間保持することができる。なお、I G Z O 以外の酸化物半導体として、例えばインジウム、ガリウム、亜鉛、銅 (C u)、シリコン (S i)、錫 (S n)、アルミニウム (A l)、カルシウム (C a)、ゲルマニウム (G e)、および鉛 (P b) のうち少なくとも 1 つを含んだ酸化物半導体をチャネル層に用いた場合でも同様の効果が得られる。

20

【0037】

表示制御回路 2 0 0 は、外部から送られる画像信号 D A T と水平同期信号や垂直同期信号などのタイミング信号群 T G とを受け取り、書き込み期間では、デジタル映像信号 D V、液晶表示部 1 0 0 における画像表示を制御するためのソーススタートパルス S S P、ソースクロック S C K、ラッチストロブ信号 L S、極性信号 P O L、切り換え信号 S W、ゲートスタートパルス G S P、およびゲートクロック G C K を出力する。切り替え信号 S W は、低周波駆動モードにおける書き込み期間と休止期間との切り替えを示す。また、表示制御回路 2 0 0 は、休止期間では、例えば、デジタル映像信号 D V、ソーススタートパルス S S P、ソースクロック S C K、ラッチストロブ信号 L S、極性信号 P O L、ゲートスタートパルス G S P、およびゲートクロック G C K の出力を停止するか、あるいはそれらを固定電位とする。

30

【0038】

ソースドライバ 3 0 0 は、表示制御回路 2 0 0 から出力されるデジタル映像信号 D V、ソーススタートパルス S S P、ソースクロック S C K、ラッチストロブ信号 L S、極性信号 P O L、および切り替え信号 S W を受け取り、各ソースラインにデータ信号を供給する。ソースドライバ 3 0 0 は、切り替え信号 S W に基づいて、書き込み期間または休止期間に応じた動作が可能になっている。書き込み期間では、ソースドライバ 3 0 0 は、ソースクロック S C K のパルスが発生するタイミングで、各ソースラインに印加すべきデータ電圧に対応する階調値を示すデジタル映像信号 D V を順次に保持する。そして、ソースドライバ 3 0 0 は、ラッチストロブ信号 L S のパルスが発生するタイミングで、上記極性信号 P O L に応じて、上記保持されたデジタル映像信号 D V をアナログ電圧である階調電圧に変換し、変換後の階調電圧 (データ電圧) を示すデータ信号を全ソースラインに供給する。各ソースラインの電圧の極性が極性信号 P O L に応じて反転することにより、極性反転駆動が行われる。一方、休止期間では、ソースドライバ 3 0 0 は全ソースラインに休止期間用電圧 V_{-m} を印加する。このように、ソースドライバ 3 0 0 は、書き込み期間に

40

50

においては、データ信号の極性を正極性または負極性とすべきときに複数の正極性の階調電圧のいずれかまたは複数の負極性の階調電圧のいずれかをデータ電圧とし、休止期間においては、休止期間用電圧 V_{-m} をデータ電圧とするように構成されている。本実施形態では、休止期間用電圧 V_{-m} はソースドライバ 300 内で生成されても良く、ソースドライバ 300 外部（例えば表示制御回路 200）から与えられても良い。休止期間用電圧 V_{-m} についての詳しい説明は後述する。ソースドライバ 300 は、低周波駆動モードにおいて、以上のような書き込み期間での動作と休止期間での動作とを 1 フレーム期間を周期として繰り返す。

【0039】

基準電圧生成回路 600 は、ソースドライバ 300 において、液晶表示部 100 に所定の階調を表示するデータ信号が生成されるときに基準となる複数の基準電圧信号 V_R を生成し、生成された複数の基準電圧信号 V_R をソースドライバ 300 に与える。

【0040】

ゲートドライバ 400 は、書き込み期間において、表示制御回路 200 から出力されるゲートスタートパルス GSP およびゲートクロック GCK に基づいて、アクティブな走査信号のゲートライン $GL1 \sim GLm$ それぞれへの印加を行うことにより、当該ゲートライン $GL1 \sim GLm$ の走査を行う。また、ゲートドライバ 400 は、休止期間において、ゲートライン $GL1 \sim GLm$ の走査を行わない。ゲートドライバ 400 は、低周波駆動モードにおいて、以上のような書き込み期間での動作と休止期間での動作とを 1 フレーム期間を周期として繰り返す。

【0041】

共通電位供給回路 500 は、共通電極 113 および補助電極 114 のそれぞれに所定の共通電位 V_{com} を与える。上記画素容量には、上記画素電位と共通電位 V_{com} との電位差に相当する電圧が保持される。なお、上述のように各補助電極 114 が個別に駆動される場合には、共通電位供給回路 500 は共通電極 113 にのみ共通電位 V_{com} を与え、各補助電極 114 には例えば補助電極駆動回路から所定の電位が与えられる。

【0042】

以上のようにして、液晶表示装置 10 の外部から送信された画像信号 DAT に基づく画像が液晶表示部 100 に表示される。

【0043】

< 1.2 従来例の検討 >

本実施形態に係る液晶表示装置 10 の動作について説明する前に、低周波駆動を行う従来の液晶表示装置（以下「従来例」という場合がある。）の動作について検討する。なお、休止期間でのソースドライバ 300 の動作を除き、従来例の基本的な構成および動作は、本実施形態におけるものと同様であるとする。

【0044】

図 2 は、図 1 に示す液晶表示装置 10 における画素形成部 110 に形成される寄生容量について説明するための回路図である。i 行 j 列目の画素形成部 110 では、図 2 に示すように、画素電極 112 と i 行目のゲートライン GL_i との間に寄生容量 C_{gd} （以下「第 1 寄生容量」という。）が形成され、画素電極 112 と j 列目のソースライン SL_j との間に寄生容量 C_{sa} （以下「第 2 寄生容量」という。）が形成され、画素電極 112 と j + 1 列目ソースライン SL_{j+1} との間に寄生容量 C_{sb} （以下「第 3 寄生容量」という。）が形成される。

【0045】

ここで、図 2 に示すような寄生容量が形成された状態において、フリッカパターンを表示させる場合を考える。フリッカパターンとは、モノクロ表示の場合には、図 3（A）に示すように、白階調または中間階調（以下、単に「白階調」という。）の表示と黒階調の表示とが画素 20 毎に交互に行われるパターンをいう。なお、カラー表示のように R（赤）、G（緑）、および B（青）のサブ画素が存在する場合には、サブ画素毎に白階調の表示と黒階調の表示とが交互に行われるが、ここでは説明の便宜上モノクロ表示であるもの

10

20

30

40

50

とする。

【 0 0 4 6 】

図 3 (B) および図 3 (C) はそれぞれ、ドット反転駆動を行ってフリッカパターンを表示させた場合の第 N フレーム期間 (N は自然数) における各画素の極性とおよび第 N + 1 フレーム期間における各画素 2 0 の極性を示す図である。図 3 (B) および図 3 (C) に示すように、水平方向および垂直方向のそれぞれで 1 つの画素 2 0 毎に極性が反転すると共に、1 フレーム期間毎に各画素 2 0 の極性が反転する。図 3 (A) ~ 図 3 (C) に示すフリッカパターンでは、白階調の画素 2 0 については、各フレームですべて同一極性となり且つ 1 フレーム期間毎に極性が反転する。このようなフリッカパターンは、極性間での輝度差を調べる用途に好適である。

10

【 0 0 4 7 】

図 4 は、従来例に係る液晶表示装置により得られる表示輝度について説明するための図である。より詳細には、図 4 (A) はソースライン S L j の電圧 (データ電圧) を示す波形図であり、図 4 (B) はソースライン S L j に対応する i 行 j 列目の画素形成部 1 1 0 における画素電位を示す波形図であり、図 4 (C) は i 行 j 列目の画素形成部 1 1 0 における表示輝度を示す波形図である。図 4 (A) ~ 図 4 (C) では、図 3 (A) ~ 図 3 (C) に示すフリッカパターンを表示させるものとしている。図 4 (C) に示す表示輝度は、図 4 (B) に示す画素電位と共通電位 V c o m との電位差に応じて変化する。なお、図 4 (B) に示す共通電位 V c o m の値は単なる例示であり、当該値に限定されるものではない。また、図 4 (A) ~ 図 4 (C) における波形鈍りおよび各期間の長さなどは模式的に示したものである点に留意されたい (後述の図 6 (A) ~ 図 6 (C) 、図 8 (A) , 図 8 (B) 、および図 9 (A) , 図 9 (B) でも同様) 。

20

【 0 0 4 8 】

図 4 (A) ~ 図 4 (C) では、第 N ~ 第 N + 2 フレーム期間をそれぞれ「 F (N) ~ F (N + 2) 」で表し、i 行 j 列目の画素形成部 1 1 0 に正極性のデータ電圧を書き込むべき期間 (以下「正極性書き込み期間」という。) を「 H W P 」で表し、i 行 j 列目の画素形成部 1 1 0 に負極性のデータ電圧を書き込むべき期間 (以下「負極性書き込み期間」という。) を「 L W P 」で表し、休止期間を「 S P 」で表している。正極性書き込み期間 H W P は、言い換えると、上記フリッカパターンにおいて正極性の白階調表示および負極性の黒階調表示を行うための書き込み期間である。負極性書き込み期間 L W P は、言い換えると、上記フリッカパターンにおいて負極性の白階調表示および正極性の黒階調表示を行うための書き込み期間である。各フレーム期間は、書き込み期間および休止期間からなっている。また、各フレーム期間の長さは 2 0 0 m s であり、各書き込み期間の長さは 1 6 . 7 m s 、休止期間 S P の長さは 1 8 3 . 3 m s である。すなわち、リフレッシュレートは 5 H z である。なお、休止期間 S P が各書き込み期間以上の長さであれば良く、各期間の長さおよびリフレッシュレートはここで示す例に限定されるものではない。

30

【 0 0 4 9 】

図 4 (A) では、複数の正極性の階調電圧の中の最大階調を示す階調電圧 (以下「最大階調正極性電圧」という。) を「 V _ h m a x 」で表し、複数の負極性の階調電圧の中の最大階調を示す階調電圧 (以下「最大階調負極性電圧」という。) を「 V _ l m a x 」で表し、複数の正極性の階調電圧の中の最小階調を示す階調電圧 (以下「最小階調正極性電圧」という。) を「 V _ h m i n 」で表し、複数の負極性の階調電圧の中の最小階調を示す階調電圧 (以下「最小階調負極性電圧」という。) を「 V _ l m i n 」で表している。ノーマリブラック方式を採用する本実施形態において、最大階調正極性電圧 V _ h m a x は複数の正極性の階調電圧の中の最大電圧であり、最大階調負極性電圧 V _ l m a x は複数の負極性の階調電圧の中の最小電圧であり、最小階調正極性電圧 V _ h m i n は複数の正極性の階調電圧の中の最小電圧であり、最小階調負極性電圧 V _ l m i n は複数の負極性の階調電圧の中の最大電圧である。最大階調正極性電圧 V _ h m a x 、最大階調負極性電圧 V _ l m a x 、最小階調正極性電圧 V _ h m i n 、および最小階調負極性電圧 V _ l m i n の大小関係は次式 (1) で与えられる。

40

50

$$V_hmax > V_hmin > V_lmin > V_lmax \quad \dots (1)$$

【0050】

まず、第Nフレーム期間F(N)での動作について説明する。上述のように垂直方向で1つの画素20毎に極性および白黒階調が反転するので、正極性書き込み期間HWPでは、j列目のソースラインSLjの電圧は最大階調正極性電圧V_hmaxと最小階調負極性電圧V_lminとを1水平期間毎に繰り返す。また、水平方向でも1つの画素20毎に極性および白黒階調が反転するので、j+1列目のソースラインSLj+1の電圧は最大階調正極性電圧V_hmaxと最小階調負極性電圧V_lminとを1水平期間毎に、j列目のソースラインSLjの電圧と逆の順序で繰り返す。正極性書き込み期間HWPでは、ゲートスタートパルスGSPおよびゲートクロックGCKに基づいてゲートラインGL1~GLmが走査される(順次選択される。)。なお、正極性書き込み期間HWPにおいてi行j列目の画素形成部110に実際にデータ電圧の書き込みが行われる前の動作については、第Nフレーム期間F(N+2)での動作説明で後述する。

【0051】

i行目のゲートラインGLiが選択されると、i行j列目の画素形成部110内のTF T111がターンオンし、j列目のソースラインSLjを介して最大階調正極性電圧V_hmaxが画素電極112に印加される。i行目のゲートラインGLiの選択が終了し、TF T111がターンオフするとき、第1寄生容量Cgdを介してゲートラインGLiの電位変動が画素電極112に伝達する。このようにして画素電極112で生じるフィールドスルー電圧ΔVgdは、次式(2)で与えられる。

$$\Delta Vgd = (Cgd / \Sigma C)(Vgh - Vgl) \quad \dots (2)$$

ここで、ΣCは画素電極112に寄与する全容量の総計を表し、VghはゲートラインGLiのハイレベル(選択時のレベル)、VglはゲートラインGLiのローレベル(非選択時のレベル)を表す。

【0052】

また、上記フリッカパターンを表示させる際には、j列目のソースラインSLjとj+1列目のソースラインSLj+1とは互いに逆極性で1水平期間毎に変化している。i行目のゲートラインGLiの非選択時には、j列目のソースラインSLjおよびj+1列目のソースラインSLj+1の電位変動がそれぞれ第2寄生容量Csaおよび第3寄生容量Csbを介して画素電極112に伝達する。このようにして生じる画素電位の変動ΔVg_s(以下「書き込み期間での書き込み後におけるソースラインに関する画素電位の変動」という。)は、次式(3)で与えられる。

$$\Delta Vg_s = (Csa / \Sigma C) \Delta Vsa + (Csb / \Sigma C) \Delta Vsb \quad \dots (3)$$

ここで、ΔVsaはj列目のソースラインSLjの電位変動を表し、ΔVsbはj+1列目のソースラインSLj+1の電位変動を表す。なお、上記フリッカパターンを表示させる際には、ΔVsa、ΔVsbは互いに正負逆になる。

【0053】

以上より、正極性書き込み期間HWPにおける書き込み終了後の平均的な画素電位VGhwa(以下「正極性書き込み後の平均画素電位」という。)は、次式(4)で与えられる。

$$VGhwa = Vs - \Delta Vgd + \Delta Vg_s \quad \dots (4)$$

ここで、Vsはi行j列目の画素形成部110に書き込まれるデータ電圧を表し、上記フリッカパターンの例ではVs = V_hmaxである。また、式(4)におけるΔVg_sは実際には平均値である。

【0054】

第Nフレーム期間F(N)の休止期間SPでは、ゲートラインGL1~GLmの走査が停止する。従来例では、図4(A)に示すように、ソースラインSLjの電圧は例えば0Vに設定されるものとする。このような休止期間SPを書き込み期間以上の長さに設定することにより、リフレッシュレートを十分に下げることができる。このため、消費電力が低減される。

【 0 0 5 5 】

ところで、正極性書き込み期間 HWP から休止期間 SP への切り替わり時に、図 4 (A) に示すように、j 列目のソースライン SLj および j + 1 列目のソースライン SLj + 1 の電圧のそれぞれは 0 V に変化する。このため、j 列目のソースライン SLj および j + 1 列目のソースライン SLj + 1 の電位変動がそれぞれ第 2 寄生容量 Csa および第 3 寄生容量 Csb を介して画素電極 112 に伝達する。このようにして生じる、正極性書き込み期間 HWP から休止期間 SP への切り替わり時の画素電位の変動 ΔV_{hs} は、近似的に次式 (5) で与えられる。

$$\Delta V_{hs} = [(Csa / \Sigma C)(V_{hmax} + V_{lmin}) / 2 + (Csb / \Sigma C)(V_{hmax} + V_{lmin}) / 2] / 2 \quad \dots (5)$$

ここで、「(V_{hmax} + V_{lmin}) / 2」は正極性書き込み期間 HWP 終了時の j 列目のソースライン SLj の電圧および j + 1 列目のソースライン SLj + 1 の電圧を近似的に表したものであり、実際には表示すべき画像によって値が変化する点に留意されたい。

【 0 0 5 6 】

正極性書き込み期間 HWP 後の休止期間 SP (以下「正極性休止期間」という場合がある。) の画素電位 VGhs は、次式 (6) で与えられる。

$$VGhs = VGhwa - \Delta V_{hs} \quad \dots (6)$$

図 4 (C) に示すように、正極性書き込み期間 HWP から休止期間 SP への切り替わり時の電位変動 ΔV_{hs} により、画素電位と共通電位 Vcom との電位差 (画素容量に保持される電圧) が小さくなる。このため、正極性書き込み期間 HWP 後の休止期間 SP では、正極性書き込み期間 HWP の終了時よりも表示輝度が低下する。なお、TF T 111 として酸化物 TF T を用いた場合にはオフリーク電流が極めて小さいので、本実施形態の説明については、正極性休止期間では画素電位 VGhs の値は変化しないものとする。

【 0 0 5 7 】

休止期間 SP から負極性書き込み期間 LWP への切り替わり時 (第 N フレーム期間 F (N) から第 N + 1 フレーム期間 F (N + 1) への切り替わり時) に、図 4 (A) に示すように、j 列目のソースライン SLj の電圧は 0 V から最大階調負極性電圧 V_{lmax} に変化する。また、j + 1 列目のソースライン SLj + 1 は 0 V から最小階調正極性電圧 V_{hmin} に変化する (不図示)。このため、j 列目のソースライン SLj および j + 1 列目のソースライン SLj + 1 の電位変動がそれぞれ第 2 寄生容量 Csa および第 3 寄生容量 Csb を介して画素電極 112 に伝達する。このようにして、休止期間 SP から負極性書き込み期間 LWP への切り替わり時に画素電位の変動が生じる。以下では、休止期間 SP から負極性書き込み期間 LWP への切り替わり時に生じる画素電位の変動のことを「負極性書き込み期間遷移時の画素電位の変動」という。

【 0 0 5 8 】

第 N + 1 フレーム期間 F (N + 1) の負極性書き込み期間 LWP では、j 列目のソースライン SLj の電圧は最大階調負極性電圧 V_{lmax} と最小階調正極性電圧 V_{hmin} とを 1 水平期間毎に繰り返す。また、j + 1 列目のソースライン SLj + 1 の電圧は最大階調負極性電圧 V_{lmax} と最小階調正極性電圧 V_{hmin} とを 1 水平期間毎に、j 列目のソースライン SLj の電圧と逆の順序で繰り返す。i 行目のゲートライン GLi が選択されるまで、j 列目のソースライン SLj および j + 1 列目のソースライン SLj + 1 の電位変動がそれぞれ第 2 寄生容量 Csa および第 3 寄生容量 Csb を介して画素電極 112 に伝達する。このようにして生じる、負極性書き込み期間 LWP において i 行 j 列目の画素形成部 110 に実際にデータ電圧の書き込みが行われる前の画素電位の変動 (以下「負極性書き込み前の画素電位の変動」という。) と負極性書き込み期間遷移時の画素電位の変動とによって、負極性書き込み期間 LWP において i 行 j 列目の画素形成部 110 に実際にデータ電圧の書き込みが行われる前の平均的な画素電位 VG_{lwb} (以下「負極性書き込み前の平均画素電位」という。) が決定される。このような負極性書き込み前の平均画素電位 VG_{lwb} は、図 4 (B) に示すように、正極性休止期間の画素電位 V

G h s よりも高くなる。このため、負極性書き込み前の平均画素電位 V_{G1wb} と共通電位 V_{com} との電位差は、正極性休止期間の画素電位 V_{Ghs} と共通電位 V_{com} との電位差よりも大きくなる。これにより、図 4 (C) に示すように、第 N フレーム期間 $F(N)$ から第 N + 1 フレーム期間 $F(N + 1)$ への切り替わり時に、急峻な輝度変化 (輝度上昇) が生じる。その結果、フリッカが生じる。

【 0 0 5 9 】

その後、i 行目のゲートライン GL_i が選択されると、上記正極性書き込み期間 HWP と同様の動作により、i 行 j 列目の画素形成部 1 1 0 内の画素電極 1 1 2 に j 列目のソースライン SL_j を介して負極性最大階調電圧 V_{lmax} が印加される。負極性書き込み期間 LWP においても、正極性書き込み期間 HWP と同様に、i 行目のゲートライン GL_i の選択が終了し、 TFT_{111} がターンオフするときにフィールドスルー電圧 ΔV_{gd} が生じ、且つ、書き込み期間での書き込み後におけるソースラインに関する画素電位の変動 ΔV_{gs} が生じる。なお、負極性書き込み期間 LWP における書き込み終了後の平均的な画素電位 V_{Ghwa} (以下「負極性書き込み後の平均画素電位」という。) は、正極性書き込み期間 HWP におけるものと同様に上記式 (4) で与えられる。ここで、負極性書き込み後の平均画素電位 V_{Ghwa} と共通電位 V_{com} との電位差は、負極性書き込み前の平均画素電位 V_{G1wb} と共通電位 V_{com} との電位差よりも比較的大きくなる。このため、上述の第 N フレーム期間 $F(N)$ から第 N + 1 フレーム期間 $F(N + 1)$ への切り替わり時の輝度変化のみならず、負極性書き込み期間 LWP での書き込み前後の輝度変化 (輝度低下) も比較的大きくなっている。これにより、フリッカの程度がさらに悪化する。

【 0 0 6 0 】

負極性書き込み期間 LWP から休止期間 SP への切り替わり時には、図 4 (A) に示すように、j 列目のソースライン SL_j および j + 1 列目のソースライン SL_{j+1} の電圧のそれぞれが 0 V に変化する。このため、j 列目のソースライン SL_j および j + 1 列目のソースライン SL_{j+1} の電位変動がそれぞれ第 2 寄生容量 C_{sa} および第 3 寄生容量 C_{sb} を介して画素電極 1 1 2 に伝達する。このようにして生じる、負極性書き込み期間 LWP から休止期間 SP への切り替わり時の画素電位の変動 ΔV_{ls} は、近似的に次式 (7) で与えられる。

$$\Delta V_{ls} = [(C_{sa} / \Sigma C)(V_{lmax} + V_{hmin}) / 2 + (C_{sb} / \Sigma C)(V_{lmax} + V_{hmin}) / 2] / 2 \quad \dots (7)$$

ここで、「 $(V_{lmax} + V_{hmin}) / 2$ 」は負極性書き込み期間 LWP 終了時の j 列目のソースライン SL_j の電圧および j + 1 列目のソースライン SL_{j+1} の電圧を近似的に表したものであり、実際には表示すべき画像によって値が変化する点に留意されたい。

【 0 0 6 1 】

負極性書き込み期間 LWP 後の休止期間 SP (以下「負極性休止期間」という場合がある。) の画素電位 V_{Gls} は、次式 (8) で与えられる。

$$V_{Gls} = V_{G1wa} - \Delta V_{ls} \quad \dots (8)$$

図 4 (C) に示すように、負極性書き込み期間 LWP から休止期間 SP への切り替わり時の画素電位の変動 ΔV_{ls} により、画素電位と共通電位 V_{com} との電位差が大きくなる。このため、負極性書き込み期間 LWP 後の休止期間 SP では、負極性書き込み期間 LWP の終了時よりも表示輝度が上昇する。なお、 TFT_{111} として酸化物 TFT を用いた場合にはオフリーク電流が極めて小さいので、本実施形態の説明については、負極性休止期間では画素電位 V_{Gls} の値は変化しないものとする。

【 0 0 6 2 】

休止期間 SP から正極性書き込み期間 HWP への切り替わり時 (第 N + 1 フレーム期間 $F(N + 1)$ から第 N + 2 フレーム期間 $F(N + 2)$ への切り替わり時) に、図 4 (A) に示すように、j 列目のソースライン SL_j の電圧は 0 V から最大階調正極性電圧 V_{hmax} に変化する。また、j + 1 列目のソースライン SL_{j+1} は 0 V から最小階調負極

性電圧 V_{min} に変化する（不図示）。このため、 j 列目のソースライン SL_j および $j + 1$ 列目のソースライン SL_{j+1} の電位変動がそれぞれ第 2 寄生容量 C_{sa} および第 3 寄生容量 C_{sb} を介して画素電極 112 に伝達する。このようにして、休止期間 SP から正極性書き込み期間 HWP への切り替わり時に画素電位の変動が生じる。以下では、休止期間 SP から正極性書き込み期間 HWP への切り替わり時に生じる画素電位の変動のことを「正極性書き込み期間遷移時の画素電位の変動」という。

【0063】

第 $N + 2$ フレーム期間 $F(N + 2)$ の正極性書き込み期間 HWP では、 j 列目のソースライン SL_j の電圧は最大階調正極性電圧 V_{hmax} と最小階調負極性電圧 V_{min} とを 1 水平期間毎に繰り返す。また、 $j + 1$ 列目のソースライン SL_{j+1} の電圧は最大階調正極性電圧 V_{hmax} と最小階調負極性電圧 V_{min} とを 1 水平期間毎に、 j 列目のソースライン SL_j の電圧と逆の順序で繰り返す。 i 行目のゲートライン GL_i が選択されるまで、 j 列目のソースライン SL_j および $j + 1$ 列目のソースライン SL_{j+1} の電位変動がそれぞれ第 2 寄生容量 C_{sa} および第 3 寄生容量 C_{sb} を介して画素電極 112 に伝達する。このようにして生じる、正極性書き込み期間 HWP において i 行 j 列目の画素形成部 110 に実際にデータ電圧の書き込みが行われる前の画素電位の変動（以下「正極性書き込み前の画素電極の変動」という。）と正極性書き込み期間遷移時の画素電極の変動とによって、正極性書き込み期間 HWP において i 行 j 列目の画素形成部 110 に実際にデータ電圧の書き込みが行われる前の平均的な画素電位 $V_{Ghw b}$ （以下「正極性書き込み前の平均画素電位」という。）が決定される。このような正極性書き込み前の平均画素電位 $V_{Ghw b}$ は、図 4（B）に示すように、負極性休止期間の画素電位 V_{Gls} よりも高くなる。このため、正極性書き込み前の平均画素電位 $V_{Ghw b}$ と共通電位 V_{com} との電位差は、負極性休止期間の画素電位 V_{Gls} と共通電位 V_{com} との電位差よりも大きくなる。これにより、図 4（C）に示すように、第 $N + 1$ フレーム期間 $F(N + 1)$ から第 $N + 2$ フレーム期間 $F(N + 2)$ への切り替わり時に、急峻な輝度変化（輝度低下）が生じる。その結果、フリッカが生じる。

【0064】

また、正極性書き込み期間 HWP における上述の動作により、正極性書き込み後の平均画素電位 V_{Ghwa} と共通電位との電位差は、正極性書き込み前の平均画素電位 $V_{Ghw b}$ と共通電位 V_{com} との電位差よりも比較的大きくなる。このため、上述の第 $N + 1$ フレーム期間 $F(N + 1)$ から第 $N + 2$ フレーム期間 $F(N + 2)$ への切り替わり時の輝度変化のみならず、正極性書き込み期間 HWP での書き込み前後の輝度変化（輝度上昇）も比較的大きくなっている。これにより、フリッカの程度がさらに悪化する。

【0065】

図 5 は、図 4（C）に示す表示輝度のシミュレーション結果を示す図である。図 5 において、横軸は時間 t [ms]、縦軸は表示輝度 L [cd/m²] である。図 5 に示すように、フレーム期間の切り替わり時に特に大きなフリッカが生じることがわかる。このようなフリッカは、表示品位の低下の要因となる。

【0066】

以上のように、従来例では、フレーム期間の切り替わり時に画素電位が大きく変動することにより、大きなフリッカが生じることがわかる。この原因は、次のように考えられる。各書き込み期間から休止期間への切り替わり時に画素電位が大きく変動すると、休止期間における画素電位と次の書き込み期間での書き込み前の平均画素電位（寄生容量の影響により変動した画素電位の平均値）との差が大きくなる。このため、フレーム期間の切り替わり時に画素電位が大きく変動し、休止期間における表示輝度と次フレーム期間の書き込み期間における表示輝度との差が大きくなる。これにより、休止期間から書き込み期間への切り替わり時（フレーム期間の切り替わり時）に大きなフリッカが生じる。そこで、本実施形態では、各書き込み期間から休止期間への切り替わり時の画素電位の変動を抑制するために、休止期間 SP における各ソースラインの電圧（データ電圧）を上記休止期間用電圧 V_m に設定する。

【 0 0 6 7 】

なお、従来例では、図 4 (C) に示すように、正極性書き込み期間 H W P と負極性書き込み期間 L W P とでも互いに輝度差が生じている。この原因、次のように考えられる。従来例では、休止期間 S P でのデータ電圧が階調電圧範囲外の電圧である 0 V となっている。このため、正極性書き込み期間 H W P でのデータ電圧と休止期間 S P でのデータ電圧との差が、負極性書き込み期間 L W P でのデータ電圧と休止期間 S P でのデータ電圧との差と大幅に異なる大きさになる。これにより、休止期間 S P から正極性書き込み期間 H W P への切り替わり時と休止期間 S P から負極性書き込み期間 L W P への切り替わり時とで画素電位の変動の大きさが互いに異なる。したがって、正極性書き込み期間 H W P と負極性書き込み期間 L W P とでも互いに輝度差が生じる。上記休止期間用電圧 $V_{_m}$ の設定は、この輝度差をも抑制するものである。

10

【 0 0 6 8 】

< 1 . 3 動作 >

図 6 は、本実施形態に係る液晶表示装置 1 0 により得られる表示輝度について説明するための図である。より詳細には、図 6 (A) はソースライン S L j の電圧 (データ電圧) を示す波形図であり、図 6 (B) はソースライン S L j に対応する i 行 j 列目の画素形成部 1 1 0 における画素電位を示す波形図であり、図 6 (C) は i 行 j 列目の画素形成部 1 1 0 における表示輝度を示す波形図である。図 6 (A) ~ 図 6 (C) では、図 4 (A) ~ 図 4 (C) と同様に、図 3 (A) ~ 図 3 (C) に示すフリッカパターンを表示させるものとしている。図 6 (C) に示す表示輝度は、図 6 (B) に示す画素電位と共通電位 V_{com} との電位差に応じて変化する。なお、図 6 (B) に示す共通電位 V_{com} の値は単なる例示であり、当該値に限定されるものではない。なお、上記従来の液晶表示装置の動作と共通する部分 (特に各書き込み期間での動作) については、適宜説明を省略する。上述のように、各フレーム期間の長さは 2 0 0 m s であり、書き込み期間の長さは 1 6 . 7 m s 、休止期間の長さは 1 8 3 . 3 m s である。すなわち、リフレッシュレートは 5 H z である。なお、休止期間 S P が各書き込み期間以上の長さであれば良く、各期間の長さおよびリフレッシュレートはここで示す例に限定されるものではない。

20

【 0 0 6 9 】

第 N フレーム期間 F (N) の正極性書き込み期間 H W P での動作は上述のとおりであり、正極性書き込み後の平均画素電位 $V_{Ghw a}$ は、上記式 (4) で与えられる。

30

【 0 0 7 0 】

本実施形態では、休止期間 S P における各ソースラインの電圧は、休止期間用電圧 $V_{_m}$ になる。このため、正極性書き込み期間 H W P から休止期間 S P への切り替わり時に、図 6 (A) に示すように、j 列目のソースライン S L j および j + 1 列目のソースライン S L j + 1 の電圧のそれぞれは休止期間用電圧 $V_{_m}$ に変化する。ここで、休止期間用電圧 $V_{_m}$ の値は、最大階調正極性電圧 $V_{_hmax}$ を上限とし、最大階調負極性電圧 $V_{_lmax}$ を下限とする範囲内の値である。好ましくは、休止期間用電圧 $V_{_m}$ は、次の第 1 ~ 第 4 休止期間用電圧のいずれかの値をとる。

【 0 0 7 1 】

第 1 休止期間用電圧は、次式 (9) で与えられる。

40

$$V_{_m} = (V_{_hmax} + V_{_lmax} + V_{_hmin} + V_{_lmin}) / 4 \quad \dots (9)$$

【 0 0 7 2 】

第 2 休止期間用電圧は、次式 (1 0) で与えられる。

$$V_{_m} = (V_{_hmax} + V_{_lmax}) / 2 \quad \dots (10)$$

【 0 0 7 3 】

第 3 休止期間用電圧は、次式 (1 1) で与えられる。

$$V_{_m} = (V_{_hmin} + V_{_lmin}) / 2 \quad \dots (11)$$

【 0 0 7 4 】

第 4 休止期間用電圧は、最小階調正極性電圧 $V_{_hmin}$ を上限とし、最小階調負極性電圧 $V_{_lmin}$ を下限とする範囲内の値である。

50

【 0 0 7 5 】

休止期間 S P における各ソースラインの電圧を休止期間用電圧 V_{m} とすることにより、休止期間 S P における各ソースラインの電圧を 0 V とする従来例と比べて、正極性書き込み期間 H W P から休止期間 S P への切り替わり時の j 列目のソースライン S L j および j + 1 列目のソースライン S L j + 1 のそれぞれの電位変動が小さくなる。このため、本実施形態では、正極性書き込み期間 H W P から休止期間 S P への切り替わり時の画素電位の変動 ΔV_{hs} が従来例に比べて小さくなる。具体的には、本実施形態における正極性書き込み期間 H W P から休止期間 S P への切り替わり時の画素電位の変動 ΔV_{hs} は次式 (1 2) で与えられる。

$$\Delta V_{\text{hs}} = [(C_{\text{sa}} / \Sigma C) [(V_{\text{hmax}} + V_{\text{lmin}}) / 2 - V_{\text{m}}]$$

$$+ (C_{\text{sb}} / \Sigma C) [(V_{\text{hmax}} + V_{\text{lmin}}) / 2 - V_{\text{m}}]] / 2 \dots (1 2)$$

10

これにより、本実施形態における正極性休止期間の画素電位 V_{Ghs} は、従来例に比べて正極性書き込み後の平均画素電位 V_{Ghwa} に近い値になる。

【 0 0 7 6 】

休止期間 S P から負極性書き込み期間 L W P への切り替わり時 (第 N フレーム期間 F (N) から第 N + 1 フレーム期間 F (N + 1) への切り替わり時) に、図 6 (A) に示すように、j 列目のソースライン S L j の電圧は休止期間用電圧 V_{m} から最大階調負極性電圧 V_{lmax} に変化する。また、j + 1 列目のソースライン S L j + 1 は休止期間用電圧 V_{m} から最小階調正極性電圧 V_{hmin} に変化する (不図示)。このため、休止期間 S P における各ソースラインの電圧を 0 V とする従来例と比べて、休止期間 S P から負極性書き込み期間 L W P への切り替わり時の j 列目のソースライン S L j および j + 1 列目のソースライン S L j + 1 のそれぞれの電位変動が小さくなる。これにより、本実施形態における負極性書き込み期間遷移時の画素電位の変動は、従来例に比べて小さくなる。

20

【 0 0 7 7 】

第 N + 1 フレーム期間 F (N + 1) の負極性書き込み期間 L W P での動作は上述のとおりであり、負極性書き込み期間遷移時の画素電位の変動と負極性書き込み前の画素電位の変動とによって負極性書き込み前の平均画素電位 V_{Glwb} が決定される。本実施形態における負極性書き込み期間遷移時の画素電位の変動は上述のとおり従来例に比べて小さくなるので、本実施形態における負極性書き込み前の平均画素電位 V_{Glwb} は、従来例に比べて正極性休止期間の画素電位 V_{Ghs} に近い値になる。このため、本実施形態における負極性書き込み前の平均画素電位 V_{Glwb} と共通電位 V_{com} との電位差と、正極性休止期間の画素電位 V_{Ghs} と共通電位 V_{com} との電位差とは、従来例に比べて互いに近い大きさになる。これにより、図 6 (C) に示すように、本実施形態における第 N フレーム期間 F (N) から第 N + 1 フレーム期間 F (N + 1) への切り替わり時の輝度変化は、従来例に比べて小さくなる。その結果、従来例に比べてフリッカが抑制される。なお、従来例と異なり、本実施形態では第 N フレーム期間 F (N) から第 N + 1 フレーム期間 F (N + 1) への切り替わり時の表示輝度は低下する方向に変化する。

30

【 0 0 7 8 】

負極性書き込み後の平均画素電位 V_{Glwa} は、従来例と同様に上記式 (4) で与えられる。本実施形態では、上述のように負極性書き込み期間遷移時の画素電位の変動が従来例に比べて小さくなっているため、負極性書き込み前の平均画素電位 V_{Glwb} と共通電位 V_{com} との電位差と、負極性書き込み後の平均画素電位 V_{Glwa} と共通電位 V_{com} との電位差とが従来例に比べて互いに近い大きさになる。このため、本実施形態では、上述の第 N フレーム期間 F (N) から第 N + 1 フレーム期間 F (N + 1) への切り替わり時の輝度変化のみならず、負極性書き込み期間 L W P での書き込み前後の輝度変化も従来例に比べて小さくなる。これにより、負極性書き込み期間 L W P でのフリッカが十分に抑制される。

40

【 0 0 7 9 】

負極性書き込み期間 L W P から休止期間 S P への切り替わり時には、図 6 (A) に示すように、j 列目のソースライン S L j および j + 1 列目のソースライン S L j + 1 の電圧

50

のそれぞれは休止期間用電圧 V_{m} に変化する。このため、休止期間 SP における各ソースラインの電圧を $0V$ とする従来例と比べて、負極性書き込み期間 LWP から休止期間 SP への切り替わり時の j 列目のソースライン SL_j および $j+1$ 列目のソースライン SL_{j+1} のそれぞれの電位変動が小さくなる。これにより、本実施形態では、負極性書き込み期間 LWP から休止期間 SP への切り替わり時の画素電位の変動 ΔV_{ls} が従来例に比べて小さくなる。具体的には、本実施形態における、負極性書き込み期間 LWP から休止期間 SP への切り替わり時の画素電位の変動 ΔV_{ls} は次式 (13) で与えられる。

$$\Delta V_{\text{ls}} = [(C_{sa} / \Sigma C) \{ (V_{\text{lmax}} + V_{\text{hmin}}) / 2 - V_{\text{m}} \} + (C_{sb} / \Sigma C) \{ (V_{\text{lmax}} + V_{\text{hmin}}) / 2 - V_{\text{m}} \}] / 2 \dots (13)$$

これにより、本実施形態における負極性休止期間の画素電位 $V_{\text{gl s}}$ は、従来例に比べて負極性書き込み後の平均画素電位 $V_{\text{gl wa}}$ に近い値になる。なお、上記第1～第4休止期間用電圧のいずれかを用いた場合、 ΔV_{hs} と ΔV_{ls} とは典型的には互いに異符号になる。ただし、最大階調正極性電圧 V_{hmax} 、最大階調負極性電圧 V_{lmax} 、最小階調正極性電圧 V_{hmin} 、および最小階調負極性電圧 V_{lmin} の設定などによっては ΔV_{hs} と ΔV_{ls} とが互いに同符号となる場合もある点に留意されたい。

【0080】

休止期間 SP から正極性書き込み期間 HWP への切り替わり時 (第 $N+1$ フレーム期間 $F(N+1)$ から第 $N+2$ フレーム期間 $F(N+2)$ への切り替わり時) に、図6(A)に示すように、 j 列目のソースライン SL_j の電圧は休止期間用電圧 V_{m} から最大階調正極性電圧 V_{hmax} に変化する。また、 $j+1$ 列目のソースライン SL_{j+1} は休止期間用電圧 V_{m} から最小階調負極性電圧 V_{lmin} に変化する (不図示)。このため、休止期間 SP における各ソースラインの電圧を $0V$ とする従来例と比べて、休止期間 SP から正極性書き込み期間 HWP への切り替わり時の j 列目のソースライン SL_j および $j+1$ 列目のソースライン SL_{j+1} のそれぞれの電位変動が小さくなる。これにより、本実施形態における正極性書き込み期間遷移時の画素電位の変動は、従来例に比べて小さくなる。

【0081】

第 $N+2$ フレーム期間 $F(N+2)$ の正極性書き込み期間 HWP での動作は上述のとおりであり、正極性書き込み期間遷移時の画素電位の変動と正極性書き込み前の画素電位の変動とによって正極性書き込み前の平均画素電位 V_{ghwb} が決定される。本実施形態における正極性書き込み期間遷移時の画素電位の変動は上述のとおり従来例に比べて小さくなるので、本実施形態における正極性書き込み前の平均画素電位 V_{ghwb} は、従来例に比べて負極性休止期間の画素電位 $V_{\text{gl s}}$ に近い値になる。このため、本実施形態における正極性書き込み前の平均画素電位 V_{ghwb} と共通電位 V_{com} との電位差と、負極性休止期間の画素電位 $V_{\text{gl s}}$ と共通電位 V_{com} との電位差とは、従来例に比べて互いに近い大きさになる。これにより、図6(C)に示すように、本実施形態における第 $N+1$ フレーム期間 $F(N+1)$ から第 $N+2$ フレーム期間 $F(N+2)$ への切り替わり時の輝度変化は、従来例に比べて小さくなる。その結果、従来例に比べてフリッカが抑制される。なお、本実施形態では、本実施形態における第 $N+1$ フレーム期間 $F(N+1)$ から第 $N+2$ フレーム期間 $F(N+2)$ への切り替わり時の表示輝度と第 N フレーム期間 $F(N)$ から第 $N+1$ フレーム期間 $F(N+1)$ への切り替わり時の表示輝度とは互いに同じ方向 (低下する方向) に変化する。

【0082】

正極性書き込み後の平均画素電位 $V_{\text{gl wa}}$ は、上述のように上記式 (4) で与えられる。本実施形態では、上述のように正極性書き込み期間遷移時の画素電位の変動が従来例に比べて小さくなっているため、正極性書き込み前の平均画素電位 V_{ghwb} と共通電位 V_{com} との電位差と、正極性書き込み後の平均画素電位 $V_{\text{gl wa}}$ と共通電位 V_{com} との電位差とが従来例に比べて互いに近い大きさになる。このため、本実施形態では、上述の第 $N+1$ フレーム期間 $F(N+1)$ から第 $N+2$ フレーム期間 $F(N+2)$ への切り

10

20

30

40

50

替わり時の輝度変化のみならず、正極性書き込み期間 HWP での書き込み前後の輝度変化も従来例に比べて小さくなる。これにより、正極性書き込み期間 HWP でのフリッカが十分に抑制される。

【 0 0 8 3 】

図 7 は、従来例に係る液晶表示装置により得られる表示輝度と本実施形態に係る液晶表示装置 10 により得られる表示輝度を比較した図である。より詳細には、図 7 (A) は、従来例に係る液晶表示装置により得られる表示輝度を示す図である。図 7 (B) は、本実施形態に係る液晶表示装置 10 により得られる表示輝度を示す図である。なお、図 7 (A) および図 7 (B) はそれぞれ図 4 (C) および図 6 (C) に相当する。図 7 (A) および図 7 (B) に示すように、従来例ではおおよそ $\pm 5 \text{ cd/m}^2$ のフリッカが存在するの

10

【 0 0 8 4 】

< 1 . 4 効果 >

本実施形態によれば、低周波駆動モードの休止期間 SP において、休止期間用電圧 V_{m} が各ソースラインに供給される。このため、主として第 2 , 第 3 寄生容量 C_{sa} , C_{sb} の存在により、各書き込み期間から休止期間 SP への切り替わり時に生じる画素電位の変動は次のようになる。休止期間 SP におけるソースラインの電圧が休止期間用電圧 V_{m} になることにより、正極性書き込み期間 HWP から休止期間 SP への切り替わり時の j 列目のソースライン SL_j および j + 1 列目のソースライン SL_{j+1} のそれぞれの電位変動が従来例に比べて小さくなる。このため、正極性書き込み期間 HWP から休止期間 SP への切り替わり時の画素電位の変動 ΔV_{hs} が従来例に比べて小さくなる。これにより、休止期間 SP における表示輝度と次フレーム期間の負極性書き込み期間 LWP における表示輝度との差が従来よりも小さくなる。したがって、正極性書き込み期間 HWP を含むフレーム期間から負極性書き込み期間 LWP を含むフレーム期間への切り替わり時に生じるフリッカが従来例に比べて抑制される。また、休止期間 SP におけるソースラインの電圧が休止期間用電圧 V_{m} になることにより、負極性書き込み期間 LWP から休止期間 SP への切り替わり時の j 列目のソースライン SL_j および j + 1 列目のソースライン SL_{j+1} のそれぞれが従来例に比べて小さくなる。このため、負極性書き込み期間 LWP から休止期間 SP への切り替わり時の画素電位の変動 ΔV_{ls} が従来例に比べて小さくなる。これにより、休止期間 SP における表示輝度と次フレーム期間の正極性書き込み期間 HWP における表示輝度との差が従来よりも小さくなる。したがって、負極性書き込み期間 LWP を含むフレーム期間から正極性書き込み期間 HWP を含むフレーム期間への切り替わり時に生じるフリッカも従来例に比べて抑制される。以上のようにして、表示品位の低下を従来例に比べて抑制できる。

20

30

【 0 0 8 5 】

また、本実施形態によれば、正極性書き込み期間 HWP でのデータ電圧と休止期間 SP でのデータ電圧との差と、負極性書き込み期間 LWP でのデータ電圧と休止期間 SP でのデータ電圧との差とが従来例に比べて互いに近い大きさになる。このため、休止期間 SP から正極性書き込み期間 HWP への切り替わり時の画素電位の変動と休止期間 SP から負極性書き込み期間 LWP への切り替わり時の画素電位の変動との差が従来例に比べて小さくなり、表示品位低下の抑制効果を高めることができる。なお、このような効果は、上記第 1 ~ 第 4 休止期間用電圧を採用することにより、十分に高めることができる。すなわち、最小階調負極性電圧 V_{lmmin} と休止期間 SP でのデータ電圧との差が最小階調正極性電圧 V_{hmin} と休止期間 SP でのデータ電圧との差と略同じ大きさになり、最小階調負極性電圧 V_{lmmin} と休止期間 SP でのデータ電圧との差が最小階調正極性電圧 V_{hmin} と休止期間 SP でのデータ電圧との差と略同じ大きさになる。これにより、休止期間 SP から正極性書き込み期間 HWP への切り替わり時の画素電位の変動と休止期間 SP から負極性書き込み期間 LWP への切り替わり時の画素電位の変動とが略均一化される。このようにして、表示品位低下の抑制効果を高めることができる。

40

【 0 0 8 6 】

50

< 2 . 第 2 の実施形態 >

< 2 . 1 動作概要 >

本発明の第 2 の実施形態に係る液晶表示装置 1 0 は、低周波駆動モードと通常駆動モードとを切り替え可能に構成されている。なお、本実施形態に係る液晶表示装置 1 0 の基本的な構成は上記第 1 の実施形態におけるものと同様であり、本実施形態の構成要素のうち上記第 1 の実施形態と同一の要素については、同一の参照符号を付して適宜説明を省略する。低周波駆動モードと通常駆動モードとの切り替えは、表示制御回路 2 0 0 が制御する。低周波駆動モードにおいて、表示制御回路 2 0 0 は、上述の書き込み期間での動作と休止期間での動作とを 1 フレーム期間を周期として繰り返す。一方、通常駆動モードにおいて、表示制御回路 2 0 0 は、上述の書き込み期間での動作を 1 フレーム期間を周期として繰り返す。なお、通常駆動モードでは、表示制御回路 2 0 0 は切り替え信号 S W を出力しなくても良い。

10

【 0 0 8 7 】

< 2 . 2 従来例における共通電位の設定 >

ところで、従来例で低周波駆動を行う場合、上述のように、書き込み期間から休止期間 S P への切り替わり時に比較的大きな電位変動 (ΔV_{hs} , ΔV_{ls}) が存在するために、休止期間 S P での画素電位は書き込み期間におけるものと大きく異なる値になる。一方、通常駆動を行う場合には、上述のような書き込み期間から休止期間 S P への切り替わり時の電位変動は存在しない。このため、従来例が低周波駆動モードと通常駆動モードとを切り替え可能となっている場合、低周波駆動モードに適した共通電位および通常駆動モードに適した共通電位は互いに異なる値になる。仮に、低周波駆動モードと通常駆動モードとで同じ値の共通電位を用いるとすると、表示品位の低下を招くことになる。なお、共通電位の切り替えは、例えば表示制御回路 2 0 0 により制御される。

20

【 0 0 8 8 】

図 8 は、従来例に係る液晶表示装置の通常駆動モードでの動作について説明するための図である。より詳細には、図 8 (A) はソースライン S L j の電圧 (データ電圧) を示す波形図であり、図 8 (B) はソースライン S L j に対応する i 行 j 列目の画素形成部 1 1 0 における画素電位を示す波形図である。図 8 (B) では、通常駆動モードにおける共通電位 (以下「通常共通電位」という。) を「 V c o m n 」で表し、低周波駆動モードにおける共通電位 (以下「低周波共通電位」という。) を「 V c o m l 」で表す。なお、図 8 (B) に示す低周波共通電位 V c o m l は、図 4 (B) に示す共通電位 V c o m と同じ値である。

30

【 0 0 8 9 】

図 8 (A) および図 8 (B) に示すように、各フレーム期間は書き込み期間からなっており、 1 フレーム期間毎に正極性書き込み期間 H W P および負極性書き込み期間 L W P が順に繰り返されている。通常駆動モードでは、各フレーム期間に休止期間 S P が含まれないので、上述のような書き込み期間から休止期間 S P への切り替わり時の電位変動は存在しない。このような通常駆動モードにおいて、通常共通電位 V c o m n は例えば次式 (1 4) のように設定される。

$$\begin{aligned} V_{comn} &= [(V_{hmax} - \Delta V_{gd}) + (V_{lmax} - \Delta V_{gd})] / 2 \\ &= (V_{hmax} + V_{lmax}) / 2 - \Delta V_{gd} \quad \dots (14) \end{aligned}$$

40

【 0 0 9 0 】

ところで、低周波駆動モードにおける低周波共通電位 V c o m l の設定の際しては、上述の正極性書き込み期間 H W P から休止期間 S P への切り替わり時の画素電位の変動 ΔV_{hs} と負極性書き込み期間 L W P から休止期間 S P への切り替わり時の画素電位の変動 ΔV_{ls} の他、休止期間 S P の長さ (以下では、符号 S P それ自体で休止期間 S P の長さをも表すことがある。) をも考慮することが望ましい。これは、 T F T 1 1 1 として酸化化物 T F T を用いた場合であっても僅かにオフリーク電流が流れ、休止期間 S P の長さに応じて画素電位の変動が異なるためである。このため、通常共通電位 V c o m n と低周波共通電位 V c o m l との差 ΔV_{mod} は、次式 (1 5) で与えられる。

50

$$\Delta V_{mod} = (V_{comn} - V_{comlw})(WP / F) + (V_{comn} - V_{comls})(SP / F) \quad \dots (15)$$

ここで、 V_{comlw} 、 V_{comls} はそれぞれ書き込み期間および休止期間SPにおける低周波共通電位を表し、WPは書き込み期間の長さを表し、Fは1フレーム期間の長さを表す。なお、通常駆動モードにおける書き込み期間と低周波駆動モードにおける書き込み期間とでは、駆動周波数のみが互いに異なり、フィールドスルー電圧 ΔV_{gd} は互いに同じ値になる。このため、式(15)は次式(16)に書き換えられる。

$$\Delta V_{mod} = (V_{comn} - V_{comls})(SP / F) \quad \dots (16)$$

【0091】

式(16)における「 $V_{comn} - V_{comls}$ 」は次式(17)で与えられる。

$$V_{comn} - V_{comls} = (\Delta V_{hs} + \Delta V_{ls}) / 2 \quad \dots (17)$$

ここで、 ΔV_{hs} は上記式(5)で与えられ、 ΔV_{ls} は上記式(7)で与えられるので、式(17)は次式(18)に書き換えられる。

$$\begin{aligned} V_{comn} - V_{comls} &= [(Csa / 2 \Sigma C)(V_{hmax} + V_{lmax} + V_{hmin} + V_{lmin}) \\ &\quad + (Csb / 2 \Sigma C)(V_{hmax} + V_{lmax} + V_{hmin} + V_{lmin})] / 2 \\ &= (V_{hmax} + V_{lmax} + V_{hmin} + V_{lmin})(Csa + Csb) / 4 \Sigma C \\ &\quad \dots (18) \end{aligned}$$

【0092】

式(16)および式(18)により、通常共通電位 V_{comn} と低周波共通電位 V_{coml} との差 ΔV_{mod} は次式(19)で与えられる。

$$\Delta V_{mod} = (V_{hmax} + V_{lmax} + V_{hmin} + V_{lmin})(Csa + Csb)(SP / F) / 4 \Sigma C \quad \dots (19)$$

式(19)に示す通り ΔV_{mod} は0でないので、従来例では、通常共通電位 V_{comn} と低周波共通電位 V_{coml} とを互いに別の値に設定する必要がある。この場合、単一の共通電位を用いる場合に比べて回路構成が複雑になる。

【0093】

< 2.3 第2の実施形態における共通電位の設定 >

図9は、本実施形態に係る液晶表示装置10の通常駆動モードでの動作について説明するための図である。より詳細には、図9(A)はソースラインSLjの電圧(データ電圧)を示す波形図であり、図9(B)はソースラインSLjに対応するi行j列目の画素形成部110における画素電位を示す波形図である。図9(A)および図9(B)に示すように、本実施形態におけるソースラインSLjの電圧を示す波形およびソースラインSLjに対応するi行j列目の画素形成部110における画素電位を示す波形のそれぞれは従来例におけるものと同様である。しかしながら、図9(B)に示すように、本実施形態では低周波駆動モードおよび通常駆動モードの双方で互いに同じ値の共通電位 V_{com} が用いられる。なお、本実施形態における低周波駆動モードでの動作は上記第1の実施形態におけるものと同様である。

【0094】

本実施形態では、休止期間用電圧 V_m として第1休止期間用電圧が用いられるものとする。本実施形態における ΔV_{hs} は上記式(12)で与えられ、 ΔV_{ls} は上記式(13)で与えられるので、上記式(17)は次式(20)に書き換えられる。

$$\begin{aligned} V_{comn} - V_{comls} &= [(Csa / 2 \Sigma C)(V_{hmax} + V_{lmax} + V_{hmin} + V_{lmin}) - 4V_m] \\ &\quad + (Csb / 2 \Sigma C)(V_{hmax} + V_{lmax} + V_{hmin} + V_{lmin}) - 4V_m] / 2 \\ &= (V_{hmax} + V_{lmax} + V_{hmin} + V_{lmin} - 4V_m)(Csa + Csb) / 4 \Sigma C \\ &\quad \dots (20) \end{aligned}$$

【0095】

上述のように、休止期間用電圧 V_m は第1休止期間用電圧であるので、上記式(9)で与えられる V_m を式(20)に代入すると「 $V_{comn} - V_{comls}$ 」は0になる。その結果、 ΔV_{mod} も0になる。すなわち、低周波駆動モードと通常駆動モードとで共通電位を同じ値(図9(B)に示す V_{com})にすることができる。

【 0 0 9 6 】

< 2 . 4 効果 >

本実施形態によれば、低周波駆動モードと通常駆動モードとを切り替え可能な液晶表示装置 1 0 において、低周波駆動モードと通常駆動モードとで共通電位が同じ値になるので、駆動モードの切り替えに応じて共通電位を切り替える必要がない。このため、表示品位の低下を簡易な構成で抑制できる。

【 0 0 9 7 】

なお、上述の説明では休止期間用電圧 V_{m} として第 1 休止期間用電圧を用いるものとしたが、本発明はこれに限定されるものではない。なお、第 1 休止期間用電圧以外の休止期間用電圧 V_{m} でも、従来例に比べると ΔV_{mod} が小さくなるので（上記（ 1 6 ）および式（ 2 0 ）を参照）。このため、低周波駆動モードと通常駆動モードとで共通電位を同じ値にしたとしても、従来例において低周波駆動モードと通常駆動モードとで共通電位を同じ値する表示品位の低下が抑制される。

10

【 0 0 9 8 】

< 3 . 第 3 の実施形態 >

< 3 . 1 ソースドライバの構成 >

図 1 0 は、本発明の第 3 の実施形態におけるソースドライバ 3 0 0 の構成について説明するためのブロック図である。本実施形態に係る液晶表示装置 1 0 は、表示制御回路 2 0 0 からソースドライバ 3 0 0 に、休止期間用電圧 V_{m} を示す休止期間用電圧信号 V_{M} を供給するように構成されている。なお、他の構成については、上記第 1 の実施形態におけるものと同様であるので説明を省略する。本実施形態は、上記第 1 の実施形態および第 2 の実施形態のいずれとも組み合わせる用いることができる。

20

【 0 0 9 9 】

表示制御回路 2 0 0 は、デジタル映像信号 DV 、ソーススタートパルス SSP 、ソースクロック SCK 、ラッチストロブ信号 LS 、極性信号 POL 、切り換え信号 SW 、ゲートスタートパルス GSP 、ゲートクロック GCK 、および休止期間用電圧信号 V_{M} をソースドライバ 3 0 0 に対して出力する。基準電圧生成回路 6 0 0 は、複数の基準電圧信号 V_{R} をソースドライバ 3 0 0 に対して出力する。

【 0 1 0 0 】

ソースドライバ 3 0 0 は、第 1 ~ 第 8 入力端子 $IT1 \sim IT8$ 、第 1 ~ 第 m 出力端子 $OT1 \sim OTn$ 、シフトレジスタ 3 1 0、サンプリング回路 3 2 0、ラッチ回路 3 3 0、階調電圧生成回路 3 4 0、 D/A 変換回路 3 5 0、電圧切り替え回路 3 6 0、および出力回路 3 7 0 を備えている。本実施形態では、第 7 入力端子 $IT7$ により第 1 端子が実現され、第 6 入力端子 $IT6$ により第 2 端子が実現されている。

30

【 0 1 0 1 】

第 1 入力端子 $IT1$ は、ソーススタートパルス SSP を受け取るための端子である。第 2 入力端子 $IT2$ は、ソースクロック SCK を受け取るための端子である。第 3 入力端子 $IT3$ は、デジタル映像信号 DV を受け取るための端子である。第 4 入力端子 $IT4$ は、ラッチストロブ信号 LS を受け取るための端子である。第 5 入力端子 $IT5$ は、極性信号 POL を受け取るための端子である。第 6 入力端子 $IT6$ は、切り換え信号 SW を受け取るための端子である。第 7 入力端子は、休止期間用電圧信号 V_{M} を受け取るための端子である。第 8 入力端子 $IT8$ は、基準電圧信号 V_{R} を受け取るための端子である。なお、デジタル映像信号 DV がパラレルに伝送される場合には、第 3 入力端子 $IT3$ は複数設けられる。また、第 8 入力端子 $IT8$ は実際には基準電圧信号 V_{R} の数と同じ数だけ設けられるが、便宜上 1 つであるものとして図示している。第 1 ~ 第 m 出力端子 $OT1 \sim OTn$ は、ソースライン $SL1 \sim SLn$ に対してそれぞれデータ電圧を出力するための端子である。

40

【 0 1 0 2 】

シフトレジスタ 3 1 0 は、表示制御回路 2 0 0 から出力されるソーススタートパルス SSP に同期して、当該表示制御回路 2 0 0 から出力されるソーススタートパルス SSP を

50

順次転送することにより所定のサンプリングパルスを順次出力する。

【 0 1 0 3 】

サンプリング回路 3 2 0 は、表示制御回路 2 0 0 から出力されるデジタル映像信号 D V が示す 1 行分の階調値を、上記サンプリングパルスのタイミングで順次記憶する。

【 0 1 0 4 】

ラッチ回路 3 3 0 は、サンプリング回路 3 2 0 に記憶された 1 行分の階調値を、表示制御回路 2 0 0 から出力されるラッチストロブ信号 L S に応じて取り込み保持すると共に、その保持している 1 行分の階調値を 1 列毎（すなわち 1 画素毎）に階調信号として D / A 変換回路 3 5 0 に出力する。なお、ラッチ回路 3 3 0 から出力される階調信号は実際には所定のレベルシフトにより昇圧された後に D / A 変換回路 3 5 0 に与えられるが、こ

10

【 0 1 0 5 】

階調電圧生成回路 3 4 0 は、基準電圧生成回路 6 0 0 から出力される複数の基準電圧 V R と、表示制御回路 2 0 0 から出力される極性信号 P O L に基づいて、極性に応じた複数の階調電圧を生成すると共に、当該複数の階調電圧を D / A 変換回路 3 5 0 に出力する。なお、上述のドット反転駆動などを行う場合には、極性信号 P O L は 1 列毎に異なる極性を示す。

【 0 1 0 6 】

D / A 変換回路 3 5 0 は、階調電圧生成回路 3 4 0 から出力された複数の階調電圧の中から 1 列毎に階調値に応じた階調電圧を選択すると共に、選択した階調電圧を電圧切り替え回路 3 6 0 に出力する。

20

【 0 1 0 7 】

電圧切り替え回路 3 6 0 は、表示制御回路 2 0 0 から出力された切り替え信号 S W に基づき、出力回路 3 7 0 に出力すべき電圧を切り替える。具体的には、電圧切り替え回路 3 6 0 は、書き込み信号において、D / A 変換回路 3 5 0 から出力された 1 列毎の階調電圧（データ電圧）を出力回路 3 7 0 に対して出力する。また、電圧切り替え回路 3 6 0 は、休止期間において、表示制御回路 2 0 0 から出力された休止期間用電圧信号 V M が示す休止期間用電圧 V __ m（データ電圧）を 1 列毎に出力回路 3 7 0 に対して出力する。このように、電圧切り替え回路 3 6 0 は、切り替え信号 S W に基づき、書き込み期間においては、データ信号の極性を正極性または負極性とすべきときに複数の正極性の階調電圧のいずれかまたは複数の負極性の階調電圧のいずれかをデータ電圧とし、休止期間においては、休止期間用電圧信号 V M が示す休止期間用電圧 V __ m をデータ電圧とするように構成されている。なお、休止期間用電圧信号 V M の電圧そのものが休止期間用電圧 V __ m である必要はなく、電圧切り替え回路 3 6 0 が休止期間用電圧信号 V M に対して所定の変換処理を施すことにより休止期間用電圧 V __ m を取得可能となっても良い。

30

【 0 1 0 8 】

出力回路 3 7 0 は、電圧切り替え回路 3 6 0 から出力された 1 列毎の階調電圧または休止期間用電圧 V __ m を対応するソースライン S L 1 ~ S L n のそれぞれに印加する。出力回路 3 7 0 は、例えば、n 個のボルテージフォロワ回路により構成されている。

【 0 1 0 9 】

40

ここで示したソースドライバ 3 0 0 の構成は単なる一例である。ソースドライバ 3 0 0 は、少なくとも第 6 端子 I T 6 および第 7 入力端子 I T 7 を備え、第 6 入力端子 I T 6 を介して受け取った切り替え信号 S W に基づいて書き込み期間と休止期間とで各ソースラインに印加すべきデータ電圧を切り替え可能であり、且つ、休止期間において第 7 端子 I T 7 から受け取った休止期間用電圧信号 V M が示す休止期間用電圧 V __ m を各ソースラインに印加可能となっていれば、他のいかなる構成であっても良い。

【 0 1 1 0 】

< 3 . 2 効果 >

本実施形態によれば、第 6 , 第 7 端子 I T 6 , I T 7 および電圧切り替え回路 3 6 0 を備えるソースドライバ 3 0 0 を用いて、上記第 1 の実施形態または第 2 の実施形態と同様

50

の効果を奏することができる。

【 0 1 1 1 】

< 4 . その他 >

上記各実施形態では、ノーマリブラック方式を採用するものとして説明したが、ノーマリホワイト方式を採用しても良い。この場合、上記説明において、最大階調正極性電圧 $V_{_hmax}$ と最小階調正極性電圧 $V_{_hmin}$ とを入れ替え、且つ最大階調負極性電圧 $V_{_lmax}$ と最小階調負極性電圧 $V_{_lmin}$ とを入れ替えることより、同様の議論が成り立つ。また、上記各実施形態ではフリッカパターンを表示させる例を挙げて説明したが、その他の表示を行う場合であっても上述の効果が得られる。その他、本発明の趣旨を逸脱しない範囲で上記各実施形態を種々変形して実施することができる。

10

【 符号の説明 】

【 0 1 1 2 】

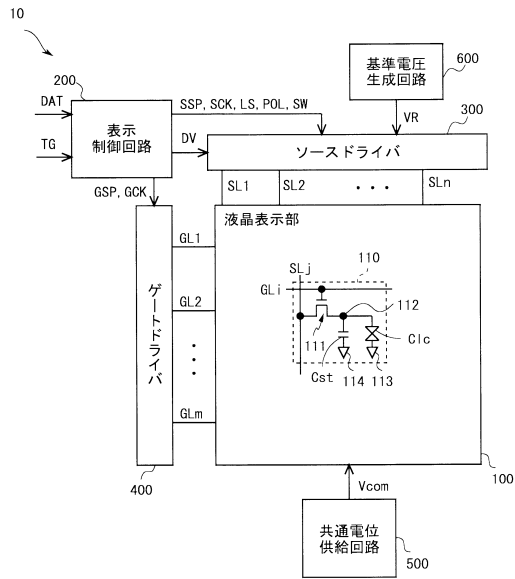
1 0 ... 液晶表示装置
 1 0 0 ... 液晶表示部
 1 1 0 ... 画素形成部
 1 1 1 ... T F T (薄膜トランジスタ)
 1 1 2 ... 画素電極
 1 1 3 ... 共通電極
 2 0 0 ... 表示制御回路
 3 0 0 ... ソースドライバ (データ線駆動回路)
 3 6 0 ... 電圧切り替え回路
 4 0 0 ... ゲートドライバ (走査線駆動回路)
 5 0 0 ... 共通電位供給回路
 6 0 0 ... 基準電圧生成回路
 S L j (j = 1 ~ n) ... ソースライン (データ線)
 G L i (i = 1 ~ m) ... ゲートライン (走査線)
 C l c ... 液晶容量
 C s t ... 補助容量
 C g d ... 第 1 寄生容量
 C s a ... 第 2 寄生容量
 C s b ... 第 3 寄生容量
 I T 1 ~ I T 8 ... 第 1 ~ 第 8 入力端子
 O T 1 ~ O T n ... 第 1 ~ 第 n 出力端子
 P O L ... 極性信号
 S W ... 切り替え信号
 $V_{_hmax}$... 最大階調正極性電圧
 $V_{_hmin}$... 最小階調正極性電圧
 $V_{_lmax}$... 最大階調負極性電圧
 $V_{_lmin}$... 最小階調負極性電圧
 $V_{_m}$... 休止期間用電圧
 V M ... 休止期間用電圧信号
 F ... フレーム期間
 H W P ... 正極性書き込み期間
 L W P ... 負極性書き込み期間
 S P ... 休止期間

20

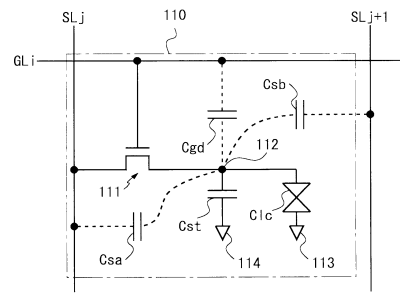
30

40

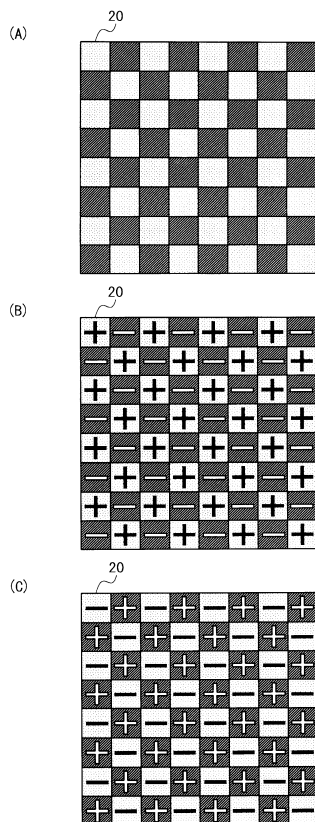
【 図 1 】



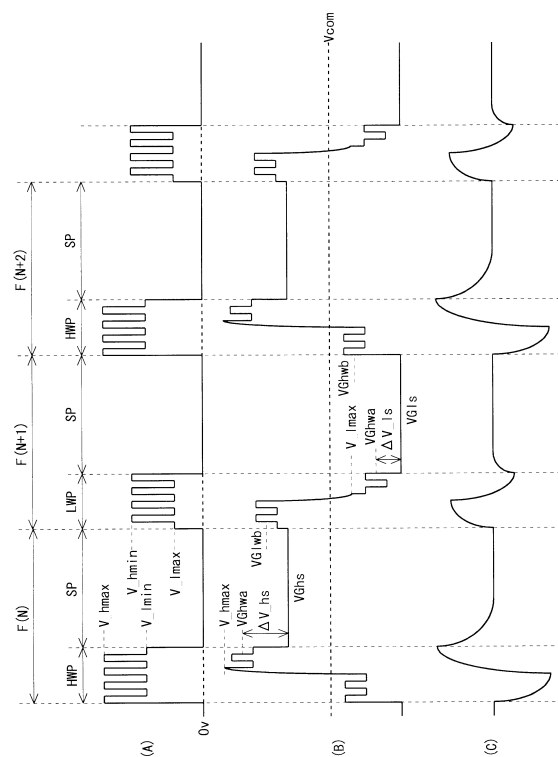
【 図 2 】



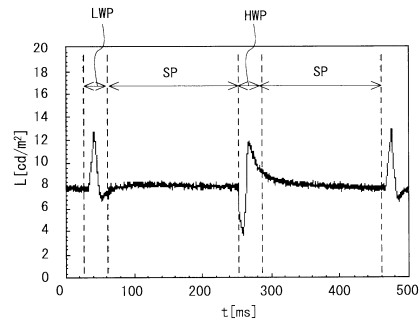
【 図 3 】



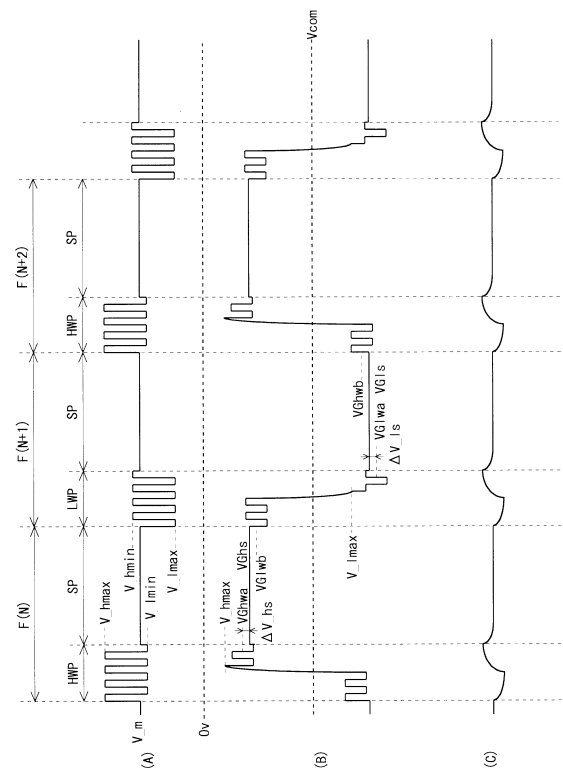
【図 4】



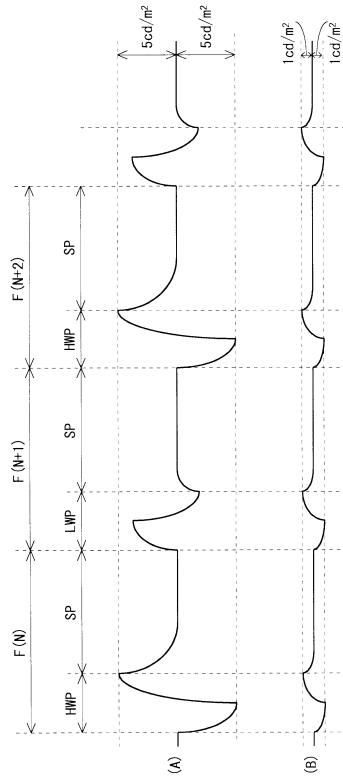
【図 5】



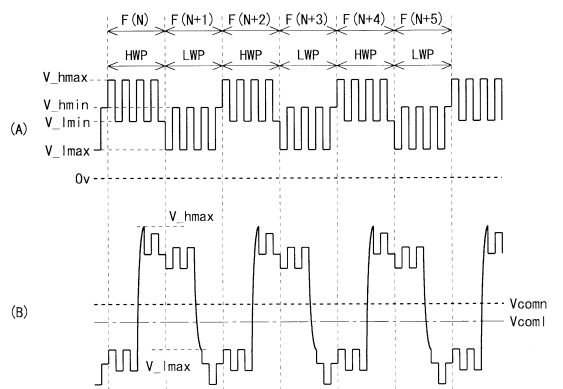
【図 6】



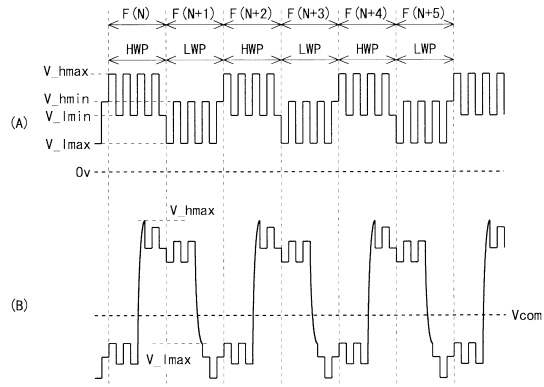
【図 7】



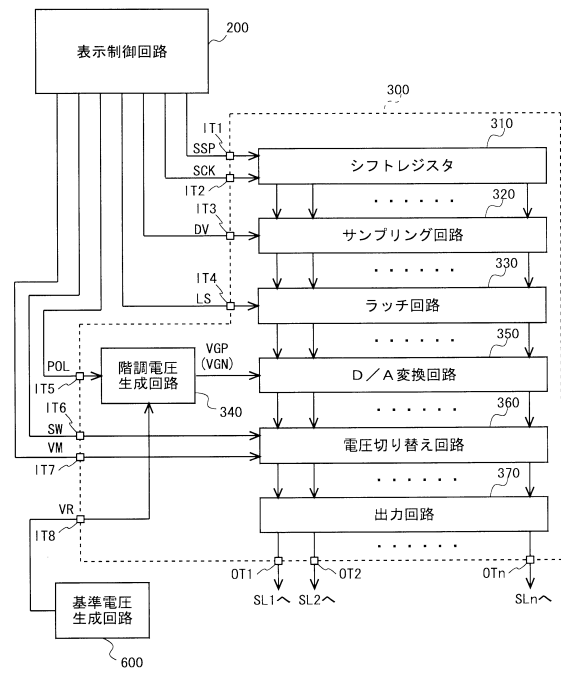
【図 8】



【図 9】



【図 10】



フロントページの続き

(51) Int.Cl.	F I		
	G 0 9 G	3/20	6 1 1 E
	G 0 9 G	3/20	6 2 3 E
	G 0 9 G	3/20	6 1 1 A
	G 0 2 F	1/133	5 5 0

(56) 参考文献 特開 2 0 0 2 - 1 8 2 6 1 9 (J P , A)
特開 2 0 0 3 - 1 7 3 1 7 5 (J P , A)
特開 2 0 0 4 - 2 0 6 0 7 5 (J P , A)

(58) 調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		

专利名称(译)	液晶显示装置，数据线驱动电路和液晶显示装置的驱动方法		
公开(公告)号	JP5955098B2	公开(公告)日	2016-07-20
申请号	JP2012118367	申请日	2012-05-24
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	宫田英利 森下忠夫		
发明人	宫田 英利 森下 忠夫		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/2007 G09G3/3614 G09G3/3648 G09G3/3674 G09G3/3677 G09G3/3685 G09G3/3688 G09G3/3696 G09G2300/0823 G09G2300/0828 G09G2310/0248 G09G2310/027 G09G2320/0233 G09G2320/0247		
FI分类号	G09G3/36 G09G3/20.611.G G09G3/20.621.B G09G3/20.623.A G09G3/20.622.A G09G3/20.611.E G09G3/20.623.E G09G3/20.611.A G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB03 2H193/ZB06 2H193/ZC13 2H193/ZD02 2H193/ZF31 5C006/AA08 5C006/AC25 5C006/AC28 5C006/AF83 5C006/BB16 5C006/BF03 5C006/BF06 5C006/BF11 5C006/BF24 5C006/BF34 5C006/BF37 5C006/FA04 5C006/FA23 5C006/FA37 5C006/FA47 5C006/FA48 5C006/GA02 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD26 5C080/FF11 5C080/JJ02 5C080/JJ04		
代理人(译)	岛田彰 川原贤治		
其他公开文献	JP2013246230A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置，与现有技术相比，能够抑制低频驱动时的显示品质的降低。液晶显示装置以低频驱动模式操作。源极驱动器在写入时段（HWP，LWP）期间施加灰度电压，并且在空闲时段（SP）期间将空闲时段电压（ V_m ）施加到每个源极线。空闲时段电压（ V_m ）的值例如是最大灰度正电压（ V_{hmax} ），最大灰度负电压（ V_{lmax} ），最小灰度正电压（ V_{hmin} ）和最小灰度的平均值。负电压（ V_{lmin} ）。通过使空闲时段（SP）期间每个源极线的电压为空闲时段电压（ V_m ），当从写入时段（HWP，LWP）切换到空闲时段（SP）时，源极线中的电位变化较小。比现有技术。

