

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5818722号  
(P5818722)

(45) 発行日 平成27年11月18日(2015.11.18)

(24) 登録日 平成27年10月9日(2015.10.9)

(51) Int.Cl.	F 1
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 6 1 1 D
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 6 1 1 A
	G09G 3/20 6 2 1 B
	G09G 3/20 6 2 3 C
	請求項の数 6 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2012-49117 (P2012-49117)  
 (22) 出願日 平成24年3月6日(2012.3.6)  
 (65) 公開番号 特開2013-186166 (P2013-186166A)  
 (43) 公開日 平成25年9月19日(2013.9.19)  
 審査請求日 平成26年5月12日(2014.5.12)

(73) 特許権者 502356528  
 株式会社ジャパンディスプレイ  
 東京都港区西新橋三丁目7番1号  
 (74) 代理人 100089118  
 弁理士 酒井 宏明  
 (74) 代理人 100118762  
 弁理士 高村 順  
 (74) 代理人 100092152  
 弁理士 服部 毅巖  
 (72) 発明者 小出 元  
 愛知県知多郡東浦町大字緒川字上舟木50  
 番地 ソニーモバイルディスプレイ株式会社  
 社内

審査官 橋本 直明

最終頁に続く

(54) 【発明の名称】 液晶表示装置、表示駆動方法、電子機器

(57) 【特許請求の範囲】

【請求項1】

書き込まれた画素信号に応じて表示階調が制御される複数の画素が行方向及び列方向に配設されて成る画素アレイ部と、

上記画素アレイに対して配設され、各行の画素に対する走査パルスを供給する複数の走査線と、

上記画素アレイに対して配設され、各列の画素に対する画素信号を供給する複数の信号線と、

上記複数の走査線に上記走査パルスを順次与え、各行の画素へ、上記信号線に出力された画素信号についての書込を実行させる走査線ドライバと、

上記複数の信号線に各画素に対する画素信号を出力するとともに、上記各信号線に対し、1フレーム期間において1回以上となる間欠的に、所定の画素信号電圧より低電位のチャージ電圧を、ある行の上記画素に対する負極性の画素信号出力後且つ次の行の上記画素に上記走査パルスが印加される前のタイミングで出力する信号線ドライバと、

を備え、

各上記画素には、ゲート電極が上記走査線に接続され且つソース電極およびドレイン電極の一方が上記信号線に接続されるNチャンネル薄膜トランジスタが設けられ、

上記チャージ電圧は、上記画素信号の駆動最大階調の負極性電位以下で、かつ上記画素における上記走査パルスで制御される上記Nチャンネル薄膜トランジスタのオフ時のゲート電位以上の範囲の電圧とし、

上記信号線ドライバは、上記画素信号の極性を垂直クロック毎に反転させるアクティブマトリクス型の液晶表示装置。

【請求項 2】

上記信号線ドライバは、上記画素における上記走査パルスで制御される上記 N チャンネル薄膜トランジスタのチャンネル部の電位が、リーク電流によって画素容量に書き込まれた画素信号の電位より高くなることのないようにする頻度で、上記各信号線に対し上記チャージ電圧を出力する請求項 1 に記載の液晶表示装置。

【請求項 3】

上記信号線ドライバが上記チャージ電圧を出力する時間間隔  $T_{cg}$  は、  
 上記 N チャンネル薄膜トランジスタのチャンネル部の容量を  $C_{ch}$ 、  
 上記所定の画素信号電圧を  $V_{gL}$ 、  
 上記チャージ電圧を  $V_{cg}$ 、  
 上記画素容量側から上記チャンネル部へ流れるリーク電流を  $I_{px}$ 、  
 上記信号線側から上記チャンネル部へ流れるリーク電流を  $I_{ps}$  としたとき、  

$$T_{cg} = C_{ch} \cdot (V_{gL} - V_{cg}) / (I_{px} + I_{ps})$$
  
 である請求項 2 に記載の液晶表示装置。

10

【請求項 4】

書き込まれた画素信号に応じて表示階調が制御される複数の画素が行方向及び列方向に配設されて成る画素アレイ部と、

上記画素アレイに対して配設され、各行の画素に対する走査パルスを供給する複数の走査線と、

20

上記画素アレイに対して配設され、各列の画素に対する画素信号を供給する複数の信号線と、

上記複数の走査線に上記走査パルスを順次与え、各行の画素へ、上記信号線に出力された画素信号についての書込を実行させる走査線ドライバと、

上記複数の信号線に各画素に対する画素信号を出力するとともに、上記各信号線に対し、1 フレーム期間において 1 回以上となる間欠的に、所定の画素信号電圧より低電位のチャージ電圧を、ある行の上記画素に対する上記走査パルスの印加が終わった後且つ次の行の上記画素に上記走査パルスが印加される前のタイミングで出力する信号線ドライバと、

30

上記画素アレイによる表示領域に重畳配置されたタッチパネル機構と、

上記タッチパネル機構に対するタッチ操作を検出するための検出走査及びタッチ操作信号の検出を行う検出走査部と、

を備え、

各上記画素には、ゲート電極が上記走査線に接続され且つソース電極およびドレイン電極の一方が上記信号線に接続される N チャンネル薄膜トランジスタが設けられ、

上記チャージ電圧は、上記画素信号の駆動最大階調の負極性電位以下で、かつ上記画素における上記走査パルスで制御される上記 N チャンネル薄膜トランジスタのオフ時のゲート電位以上の範囲の電圧とし、

上記走査線ドライバによる画素信号書込のための書込走査と、上記検出走査部によるタッチ操作検出のための検出走査とが、1 フレーム期間にそれぞれ複数回、時分割的に実行され、

40

上記信号線ドライバによる上記チャージ電圧の出力は、上記検出走査と上記書込走査の境界となる期間で実行されるアクティブマトリクス型の液晶表示装置。

【請求項 5】

書き込まれた画素信号に応じて表示階調が制御される複数の画素が行方向及び列方向に配設されて成る画素アレイ部と、

上記画素アレイに対して配設され、各行の画素に対する走査パルスを供給する複数の走査線と、

上記画素アレイに対して配設され、各列の画素に対する画素信号を供給する複数の信号線と、

50

走査線ドライバと、  
 信号線ドライバと、  
 を備えたアクティブマトリクス型の液晶表示装置の表示駆動方法として、  
 上記走査線ドライバが、上記複数の走査線に上記走査パルスを順次与え、各行の画素へ、  
 上記信号線に出力された画素信号についての書込を実行させ、

上記信号線ドライバは、上記複数の信号線に各画素に対する画素信号を出力するとともに、  
 上記各信号線に対し、1フレーム期間において1回以上となる間欠的に、所定の画素  
 信号電圧より低電位のチャージ電圧を、ある行の上記画素に対する負極性の画素信号出力  
 後且つ次の行の上記画素に上記走査パルスが印加される前のタイミングで出力し、

各上記画素には、ゲート電極が上記走査線に接続され且つソース電極およびドレイン電  
 極の一方が上記信号線に接続されるNチャンネル薄膜トランジスタが設けられ、

上記チャージ電圧は、上記画素信号の駆動最大階調の負極性電位以下で、かつ上記画素  
 における上記走査パルスで制御される上記Nチャンネル薄膜トランジスタのオフ時のゲート  
 電位以上の範囲の電圧とし、

上記信号線ドライバは、上記画素信号の極性を垂直クロック毎に反転させる  
 表示駆動方法。

#### 【請求項6】

アクティブマトリクス型の液晶表示装置を有し、

上記液晶表示装置は、

書き込まれた画素信号に応じて表示階調が制御される複数の画素が行方向及び列方向に  
 配設されて成る画素アレイ部と、

上記画素アレイに対して配設され、各行の画素に対する走査パルスを供給する複数の走  
 査線と、

上記画素アレイに対して配設され、各列の画素に対する画素信号を供給する複数の信号  
 線と、

上記複数の走査線に上記走査パルスを順次与え、各行の画素へ、上記信号線に出力され  
 た画素信号についての書込を実行させる走査線ドライバと、

上記複数の信号線に各画素に対する画素信号を出力するとともに、上記各信号線に対し  
 、1フレーム期間において1回以上となる間欠的に、所定の画素信号電圧より低電位のチャ  
 ージ電圧を、ある行の上記画素に対する負極性の画素信号出力後且つ次の行の上記画素  
 に上記走査パルスが印加される前のタイミングで出力する信号線ドライバと、

を備え、

各上記画素には、ゲート電極が上記走査線に接続され且つソース電極およびドレイン電  
 極の一方が上記信号線に接続されるNチャンネル薄膜トランジスタが設けられ、

上記チャージ電圧は、上記画素信号の駆動最大階調の負極性電位以下で、かつ上記画素  
 における上記走査パルスで制御される上記Nチャンネル薄膜トランジスタのオフ時のゲート  
 電位以上の範囲の電圧とし、

上記信号線ドライバは、上記画素信号の極性を垂直クロック毎に反転させる  
 電子機器。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本開示は、映像を表示する表示装置、および表示装置に用いられる表示駆動方法、なら  
 びにそのような表示装置を備えた電子機器に関する。

#### 【先行技術文献】

#### 【特許文献】

#### 【0002】

【特許文献1】特開平10-171422号公報

【特許文献2】特開平10-143113号公報

【特許文献3】特開2003-202847号公報

10

20

30

40

50

**【背景技術】****【0003】**

近年、表示装置は、様々な電子機器に搭載されている。表示装置は、画質や消費電力などの観点から、液晶表示装置、プラズマ表示装置、有機EL (Electroluminescence) 表示装置などの様々な種類のものが開発されており、それらの特性に応じて、据置型のテレビジョン装置の他、携帯電話、携帯型情報端末など、様々な電子機器に適用されている。

**【発明の概要】****【発明が解決しようとする課題】****【0004】**

ところで従来アクティブマトリクス型の表示装置では、画素回路内のトランジスタのリーク電流に起因して縦クロストークと呼ばれる不具合が生じ、画質が低下するという問題があった。

このため上記特許文献1, 2, 3のように、信号線に所定レベルにプリチャージすることで、縦クロストークの改善を図ることが提案されている。

但し、プリチャージを行うことで消費電力の増大は避けられない。

**【0005】**

本開示では、縦クロストークを改善し、表示画質の向上を図るものであるが、特に低消費電力化を実現できる手法を提供することを目的とする。

**【課題を解決するための手段】****【0006】**

本開示の表示装置は、書き込まれた画素信号に応じて表示階調が制御される複数の画素が行方向及び列方向に配設されて成る画素アレイ部と、上記画素アレイに対して配設され、各行の画素に対する走査パルスを供給する複数の走査線と、上記画素アレイに対して配設され、各列の画素に対する画素信号を供給する複数の信号線と、上記複数の走査線に上記走査パルスを順次与え、各行の画素へ、上記信号線に出力された画素信号についての書込を実行させる走査線ドライバと、上記複数の信号線に各画素に対する画素信号を出力するとともに、上記各信号線に対し、1フレーム期間において1回以上となる間欠的に、所定の画素信号電圧より低電位のチャージ電圧を出力する信号線ドライバとを備える。

また本開示の電子機器は、このような表示装置を備える。

**【0007】**

本開示の表示駆動方法は、書き込まれた画素信号に応じて表示階調が制御される複数の画素が行方向及び列方向に配設されて成る画素アレイ部と、上記画素アレイに対して配設され、各行の画素に対する走査パルスを供給する複数の走査線と、上記画素アレイに対して配設され、各列の画素に対する画素信号を供給する複数の信号線と、走査線ドライバと、信号線ドライバとを備えた表示装置の表示駆動方法として、上記走査線ドライバが、上記複数の走査線に上記走査パルスを順次与え、各行の画素へ、上記信号線に出力された画素信号についての書込を実行させ、上記信号線ドライバは、上記複数の信号線に各画素に対する画素信号を出力するとともに、上記各信号線に対し、1フレーム期間において1回以上となる間欠的に、所定の画素信号電圧より低電位のチャージ電圧を出力する表示駆動方法である。

**【0008】**

このような本開示では、1フレーム期間に少なくとも1回以上、各信号線にチャージ電圧を与えるようにする。

チャージ電圧を与えることで、画素における画素トランジスタのチャネル部の電位が、リーク電流によって画素容量に書き込まれた画素信号の電位より高くなることがないようにする。これによって、各画素による表示輝度の誤差を解消し、縦クロストークを改善する。そしてこのチャージ電圧印加を、間欠的に実行することで、消費電力低減を実現する。

**【発明の効果】****【0009】**

。

10

20

30

40

50

本開示によれば、縦クロストークの改善し、表示画質を向上させることができ、かつそのような動作を行う場合の消費電力を削減できる。

【図面の簡単な説明】

【0010】

【図1】本開示の実施の形態の表示装置の構成例の説明図である。

【図2】縦クロストークの説明図である。

【図3】実施の形態の間欠的なチャージ電圧印加の説明図である。

【図4】縦クロストーク発生原理の説明図である。

【図5】第1の実施の形態のチャージ電圧印加タイミングの説明図である。

【図6】第2の実施の形態のチャージ電圧印加タイミングの説明図である。

10

【図7】第1、第2の実施の形態の表示駆動波形の説明図である。

【図8】第1、第2の実施の形態の表示駆動波形の説明図である。

【図9】第3の実施の形態の表示装置の構成例の説明図である。

【図10】第3の実施の形態の表示装置の断面構造の説明図である。

【図11】第3の実施の形態の表示装置のタッチパネル機構の構造の説明図である。

【図12】第3の実施の形態の部分検出領域の説明図である。

【図13】第3の実施の形態のタッチ検出期間と表示駆動期間の説明図である。

【図14】第3の実施の形態のタッチ検出期間と表示駆動期間の説明図である。

【図15】第3の実施の形態のチャージ電圧印加タイミングの説明図である。

【図16】実施の形態の適用例の電子機器の説明図である。

20

【図17】実施の形態の適用例の電子機器の説明図である。

【図18】実施の形態の適用例の電子機器の説明図である。

【発明を実施するための形態】

【0011】

以下、本開示の実施の形態を次の順序で説明する。

< 1 . 表示装置の構成 >

< 2 . 縦クロストーク解消のための間欠的なチャージ電圧印加 >

< 3 . 第1の実施の形態 >

< 4 . 第2の実施の形態 >

< 5 . 第1、第2の実施の形態の具体例 >

30

< 6 . 第3の実施の形態 >

< 7 . 変形例、適用例 >

【0012】

< 1 . 表示装置の構成 >

実施の形態として液晶表示装置の構成を図1で説明する。

この液晶表示装置は、アクティブマトリクス方式の表示装置の一例であり、図1に示すようにコントローラ1、信号線ドライバ2、走査線ドライバ3、画素アレイ4、選択スイッチ部5を有する。

【0013】

40

画素アレイ4は、書き込まれた画素信号に応じて表示階調が制御される複数の画素10(10R、10G、10B)が行方向及び列方向にマトリクス状に配設されて成る。

図において画素10(10R、10G、10B)は、画素トランジスタTrと液晶セルLCにより示している。液晶画素を構成する回路は多様な例が考えられる。ここではあくまで説明上、簡略的に示したものである。また液晶セルLCは、書き込まれた画素信号電圧を保持する画素容量の意味で容量の記号で示している。

【0014】

画素10RはR(赤)画素、画素10GはG(緑)画素、画素10BはB(青)画素を示している。画素10R、10G、10Bはいわゆるサブピクセルであり、この3つのサブピクセルで1つのカラー画素が形成される。画素10は、カラー画素単位でいえばN×

50

M個配置されN行M列のマトリクスを構成する。サブピクセル単位で言えば画素10はN×3M個配置されN行3M列のマトリクスを構成する。

R画素、G画素、B画素に対応しては、図示していないが、R、G、Bの各カラーフィルタが配置される。R画素、G画素、B画素が例えば図示のように配列されることでカラー表示画面を構成する。

なお、ここではR画素、G画素、B画素の3原色画素構成としているが、例えばR画素、G画素、B画素に加えてW(白)画素を設ける場合もある。

以下では、サブピクセルを特に区別する必要がない場合は「画素10」と表記する。

#### 【0015】

各画素10は、例えばTFT(薄膜トランジスタ)などによる画素トランジスタTr(例えばNチャンネルTFT)と、液晶セルLCを少なくともも有して構成される。

画素トランジスタTrは、ゲート電極(制御端子)が走査線GL(GL<sub>1</sub>~GL<sub>N</sub>のいずれか)と接続され、ソース電極・ドレイン電極の一方(入力端子)が信号線SL(SL<sub>1R</sub>~SL<sub>MB</sub>のいずれか)と接続される。

液晶セルLCは、その画素電極が画素トランジスタTrのソース電極・ドレイン電極の他方(出力端子)と接続され、対向電極が、図示しないVcom線(共通電極)に接続されている。

#### 【0016】

各画素10においては、走査線GL(GL<sub>1</sub>~GL<sub>N</sub>)に走査パルスが印加されることで画素トランジスタTrが導通され、その際に信号線SLに与えられている画素信号電圧(階調値)が入力される。

液晶セルLCは書き込まれた画素信号電圧に応じて透過率が制御され、図示しないバックライトからの光の表示輝度が制御される。

#### 【0017】

画素アレイ4に対しては、各ラインの画素10に対応して、走査線GL(GL<sub>1</sub>~GL<sub>N</sub>)が配設される。

走査線ドライバ3は、1フレーム期間において、各走査線GL<sub>1</sub>~GL<sub>N</sub>を順次駆動する。つまり順次走査パルスを印加する。

#### 【0018】

また各列の画素10に対応して、信号線SL(SL<sub>1R</sub>、SL<sub>1G</sub>、SL<sub>1B</sub>、SL<sub>2R</sub>・・・SL<sub>MB</sub>)が配設される。

信号線SL<sub>1R</sub>、SL<sub>2R</sub>・・・はR画素10Rの画素列に対して画素信号を供給する。

信号線SL<sub>1G</sub>、SL<sub>2G</sub>・・・はG画素10Gの画素列に対して画素信号を供給する。

信号線SL<sub>1B</sub>、SL<sub>2B</sub>・・・はB画素10Bの画素列に対して画素信号を供給する。

信号線ドライバ2は、1ライン期間毎に、画素アレイ4に配設された複数の信号線SLに対し、各画素10に対する画素信号を、極性信号SPに応じた極性で出力する。

#### 【0019】

コントローラ1には、映像信号Vs、垂直クロックVCK、垂直同期信号Vsy、水平同期信号Hsyが供給される。

コントローラ1は、外部より供給された映像信号Vsについて、画素アレイ4での表示を実行させるため、信号線ドライバ2及び走査線ドライバ3を垂直クロックVCK、垂直同期信号Vsy、水平同期信号Hsyに基づいて制御し、これらが互いに同期して動作するように制御する。

例えばコントローラ1は、1フレーム期間を規定する垂直スタートパルスVCKを例えば垂直同期信号Vsyや垂直クロックVCKを用いて生成し、信号線ドライバ2及び走査線ドライバ3に供給する。

またコントローラ1は、例えば垂直クロックVCKを分周して極性信号SPを生成し、

10

20

30

40

50

信号線ドライバ2に供給する。

【0020】

走査線ドライバ3は、垂直スタートパルスVSTと垂直クロックVCKに基づいて、各走査線GL<sub>1</sub>~GL<sub>N</sub>に対して走査パルスを出力する。

走査線ドライバ3には垂直スタートパルスVSTを垂直クロックVCKのタイミングで順次転送するシフトレジスタが設けられる。これにより、垂直スタートパルスのタイミングを起点として、走査線GL<sub>1</sub>、GL<sub>2</sub>・・・GL<sub>N</sub>に、順次操作パルスを出力する。これによって画素アレイ4では、第1ライン目の画素10から第Nライン目の画素までが、順次垂直クロックVCKのタイミング毎に画素信号書込のための選択状態となる。

【0021】

信号線ドライバ2は、コントローラ1から供給される映像信号Vsについて、1ライン単位の画素信号を、垂直スタートパルスVSTを起点として、垂直クロックVCKのタイミング毎(1H期間毎)に各信号線SL<sub>1R</sub>~SL<sub>MB</sub>に出力させる動作を行う。

ここで、この構成例の場合、選択スイッチ部5が設けられている。

信号線ドライバ2は、カラー画素単位で時分割多重化した画素信号を各多重化信号線MSL(MSL<sub>1</sub>~MSL<sub>M</sub>)に出力する。

選択スイッチ部5では、1本の多重化信号線MSLに対して、3本の信号線SLのそれぞれを選択するスイッチSWR、SWG、SWBを有する。

スイッチSWRは、R画素10Rの列に対応する信号線SL<sub>xR</sub>と多重化信号線MSLを断接する。(xは1~M)

スイッチSWGは、G画素10Gの列に対応する信号線SL<sub>xG</sub>と多重化信号線MSLを断接する。

スイッチSWBは、B画素10Bの列に対応する信号線SL<sub>xB</sub>と多重化信号線MSLを断接する。

【0022】

各スイッチSWR、SWG、SWBはそれぞれ、信号線ドライバ2からのスイッチ制御信号selR、selG、selBによってオン/オフされる。

信号線ドライバ2は、多重化信号線MSLに多重画素信号を出力するタイミングに合わせてスイッチ制御信号selR、selG、selBを出力する。

後に図7、図8の具体例で示すが、信号線ドライバ2は、1H期間に1つの多重化信号線MSLに、R画素10Rに対する画素信号VR、G画素10Gに対する画素信号VG、B画素10Bに対する画素信号VBを時分割多重化して出力する。これとともに信号線ドライバ2は、画素信号VRの出力タイミングでスイッチ制御信号selRによりスイッチSWRをオンとさせ、画素信号VRを信号線SL<sub>xR</sub>に供給させる。同様に画素信号VGの出力タイミング、画素信号VBの出力タイミングで、それぞれスイッチ制御信号selG、selBによりスイッチSWR、SWBをオンとさせ、画素信号VG、VBを信号線SL<sub>xG</sub>、SL<sub>xB</sub>に供給させる。

なお液晶セルLCの極性反転駆動を行うため、信号線ドライバ2は極性信号SPに従って、多重化信号線MSLに出力する画素信号電圧の極性反転を行う。

【0023】

以上の信号線ドライバ2及び走査線ドライバ3の動作により、1フレーム期間に、第1ライン目の画素10から第Nライン目の画素まで、順次画素信号が書き込まれていき、それによって各画素の階調(液晶セルの光透過率)が設定される。これによって図示していないバックライトからの光が各画素10で輝度制御され、さらに図示しないカラーフィルタを介することで、カラー映像表示が実行される。

【0024】

<2. 縦クロストーク解消のための間欠的チャージ電圧印加>

本実施の形態では、画素トランジスタのリーク電流起因の縦クロストークを改善するために、信号線ドライバ2は、選択スイッチ部5を介して、各信号線SLに対し、1フレー

10

20

30

40

50

ム期間において1回以上となる間欠的に、所定の画素信号電圧より低電位のチャージ電圧を出力する動作を行うこととなる。

【0025】

液晶表示装置の昨今の高精細化に伴い、画素の開口率が下がるが、表面輝度を維持するためにバックライト輝度が高くなる傾向になる。

バックライト輝度が上がると画素トランジスタ $T_r$ のリーク電流も増加するが、あるリーク量を超えると、縦クロストーク不良が発生する。

【0026】

縦クロストークを図2、図3で説明する。

縦クロストークとは、例えばグレー背景に白または黒ウインドウを表示した時に、ウインドウの上下のグレー部分の輝度が変わってしまう現象である。

図2は白ウインドウパターンが入力された液晶表示装置の表示状態を模式的に示している。領域 $AR_w$ が白ウインドウパターン、領域 $AR_{g1}$ 、 $AR_{g2}$ がグレーラスタパターンの表示状態であるとする。

領域 $AR_{g1}$ に相当する列の画素10では、当該列の信号線 $SL$ には、各ラインのタイミングでグレーレベルの画素信号電圧が供給されている。

一方、白ウインドウの上下である領域 $AR_{g2}$ の画素が接続されている信号線 $SL$ には、白ウインドウとされる領域 $AR_w$ に相当するラインのタイミングで、白レベルの画素信号電圧が供給される。

【0027】

図3Aには、1フレーム期間の信号線電圧を示している。

領域 $AR_{g2}$ 、 $AR_w$ を含むウインドウ表示列では、図示のように、ウインドウとなるラインの走査期間では、信号線 $SL$ の電圧は、白レベルの正極電圧又は負極電圧(白(+))又は白(-))となり、領域 $AR_{g2}$ に相当するラインの走査期間ではグレーレベルの正極電圧又は負極電圧(グレー(+))又はグレー(-))となる。

領域 $AR_{g1}$ に相当するグレーラスタ表示列では、1フレーム期間、信号線 $SL$ の電圧は、グレーレベルの正極電圧又は負極電圧(グレー(+))又はグレー(-))となる。

この影響で、ウインドウ表示列の領域 $AR_{g2}$ の画素と、グレーラスタ表示列である領域 $AR_{g1}$ の画素との間において、画素のリーク電流の差が生じ、グレー表示画素の輝度差が発生してしまう。つまり、本来同じグレー表示している領域 $AR_{g1}$ 、 $AR_{g2}$ に輝度差が生じてしまう。これが縦クロストークとして視認される。

【0028】

図4で詳しく説明する。

図4Aは、或る2フレームの期間において、画素電位波形と画素トランジスタのチャネル電位を示している。

図4Bは、画素10の画素トランジスタ $T_r$ と液晶セル $LC$ について、画素トランジスタ $T_r$ をダイオードと容量による等価回路として示している。

画素電位 $V_{pix}$ は、液晶セル $LC$ に書き込まれた画素信号電圧に基づく電位とし、チャネル電位 $V_{ch}$ とは、画素トランジスタ $T_r$ のチャネル電位としている。電位 $V_{gate}$ は画素トランジスタ $T_r$ のゲート電位、電位 $V_{sig}$ は信号線 $SL$ の電位である。

なお、ここではシングルゲートの図で示しているが、以下の事情はダブルゲートの場合も同様である。

【0029】

図4Aにおいて実線は、領域 $AR_{g1}$ (ウインドウ非表示列)のグレー表示画素の画素電位 $V_{pix}$ 、破線は領域 $AR_{g2}$ (ウインドウ表示列)のグレー表示画素の画素電位 $V_{pix}$ を示している。また点線は領域 $AR_{g1}$ のグレー表示画素のチャネル電位 $V_{ch}$ 、一点鎖線は領域 $AR_{g2}$ のグレー表示画素のチャネル電位 $V_{ch}$ である。

なお図4Aでは左側のフレーム期間は正極の画素信号(グレー(+))電位)印加を行い、右側のフレーム期間では負極の画素信号(グレー(-))電位)印加を行う画素の例としている。

10

20

30

40

50

VGL 電位とは、画素トランジスタTrのオフ時のゲート電位である。

【0030】

画素のリークは、まずは画素トランジスタTrのチャネル電位Vchに向かう方向のリーク電流として生ずる。

このリークにより、図4Aに示すように画素信号(グレー(+))又はグレー(-))が書き込まれた後、画素電位Vpixは下がっていくが、チャネル電位Vchと画素電位Vpixが逆転すると、画素電位Vpixは上昇に転じる。

チャネル電位Vchは、1フレーム期間の先頭でVGL電位付近に下がり、その後はリーク電流により上昇していく。

【0031】

ここで、ウインドウ表示列における領域ARg2の画素では、ウインドウ表示期間中は信号線SLに白レベル電位が印加されることで、図のようにチャネル電位Vch(一点鎖線)が、白(-)電位にクリップされる。

一方、ウインドウ非表示列である領域ARg1の画素では、信号線SLはグレー電位が印加され続ける。そのため、チャネル電位Vch(点線)は、白(-)電位にクリップされるということはなく、グレー(-)電位にいたるまで上昇を続ける。

【0032】

ここで画素信号電圧が負極性となる、図4Aの右側のフレーム期間を注目すると、領域ARg1の画素では、或る時点でチャネル電位Vch(点線)が画素電位Vpix(実線)より高くなる。このためリーク電流方向が逆転し、点線で囲ったP部として示すように、画素電位Vpixが上昇に転じる。

ところが、このとき、ウインドウ表示列における領域ARg2の画素では、正極駆動フレームの時と同様、ウインドウ表示期間中はチャネル電位Vch(一点鎖線)が、白(-)電位にクリップされることで、画素電位Vpix-チャネル電位Vchの逆転するタイミングが後ろにずれる。例えば逆転が生じない。

チャネル電位Vch(一点鎖線)が画素電位Vpix(破線)より高くないことで、P部においても、画素電位Vpixの低下傾向は変わらない。

その結果、グレーラスト表示列の電位逆転ポイント以降、画素電位波形に乖離が生ずる。

このようなP部で領域ARg1の画素と領域ARg2の画素の画素電位Vpixの差が、領域ARg1の画素と領域ARg2の画素の輝度差となり、これが縦クロストークとして視認されてしまうこととなる。

【0033】

このような縦クロストークを改善するため本実施の形態では、図3Bに示すように表示駆動を行う。

即ち表示画像に依らず、各信号線SLに対し、図3Bのように、1フレーム周期に1回以上、低めのチャージ電圧Vcg(ダイナミックレンジの低め~VGL程度の電圧)を書き込む事で、ウインドウ表示列/非表示列での画素電位リーク波形の差分を小さくし、縦クロストークを抑制する。

例えば100H(Hは水平期間)に1回、VGL電位+1Vなどの低い電位のチャージ電圧印加を行うなどである。

【0034】

<3.第1の実施の形態>

第1の実施の形態としてのチャージ電圧印加を図5で説明する。図5Aは上記図4Aと同様に、領域ARg1(ウインドウ非表示列)のグレー表示画素の画素電位Vpix(実線)とチャネル電位Vch(点線)、及び領域ARg2(ウインドウ表示列)のグレー表示画素の画素電位Vpix(破線)とチャネル電位Vch(一点鎖線)を示している。

また図5Bは、図4Bと同様に液晶セルLCと画素トランジスタTrを等価回路で示している。

10

20

30

40

50

## 【 0 0 3 5 】

矢印のタイミングで1フレーム期間に所要回数、各信号線 S L に対し、信号線ドライバ 2 が間欠的にチャージ電圧  $V_{cg}$  を印加する。

ここではチャージ電圧  $V_{cg} = \text{白}(-)$  電位としている。

## 【 0 0 3 6 】

領域 A R g 1、A R g 2 のいずれのグレー表示画素でも、画素トランジスタ T r のチャネル電位  $V_{ch}$  に向かう方向のリーク電流により、図 5 A に示すように画素電位  $V_{pix}$  は下がっていく。

チャネル電位  $V_{ch}$  については、信号線電位  $V_{sig}$  との関係で、 $V_{sig} > V_{ch}$  となると、等価回路で示したダイオードがオンし、即座に  $V_{ch} = V_{sig}$  となる。

10

まず領域 A R g 2 ( ウインドウ表示列 ) のグレー表示画素のチャネル電位  $V_{ch}$  についてみると、V G L 電位付近からリーク電流により上昇していき、ウインドウ期間には白 (-) 電位にクリップされる。

チャージ電圧  $V_{cg} = \text{白}(-)$  電位としているため、ウインドウ期間以外では、チャネル電位  $V_{ch}$  が白 (-) 電位を越えたときのチャージ電圧印加タイミングのみ、チャネル電位  $V_{ch} = \text{チャージ電圧 } V_{cg} (= \text{白}(-) \text{電位})$  とされる。

## 【 0 0 3 7 】

次に領域 A R g 1 ( ウインドウ非表示列 ) のグレー表示画素のチャネル電位  $V_{ch}$  についてみると、V G L 電位付近からリーク電流により上昇していくが、このチャネル電位  $V_{ch}$  が信号線電位  $V_{sig}$  より高くなっているときは、チャージ電圧印加タイミングで、チャネル電位  $V_{ch} = \text{チャージ電圧 } V_{cg} (= \text{白}(-) \text{電位})$  にリフレッシュされる。

20

## 【 0 0 3 8 】

結果として、領域 A R g 1、A R g 2 のいずれのグレー表示画素でも、チャージ電圧印加タイミングでは、チャネル電位  $V_{ch} = V_{cg} = \text{白}(-)$  電位にリフレッシュされることになる。つまりいずれの領域のグレー表示画素でも、チャネル電位  $V_{ch}$  は、チャージタイミングを基準に同じように上昇していく。

そのため、図のように、画素電位  $V_{pix}$  とチャネル電位  $V_{ch}$  の逆転が起きず、図 4 の P 部として示したような画素波形の乖離が起きないため、縦クロストークが現れないこととなる。

30

## 【 0 0 3 9 】

なお、この例ではチャージ電圧  $V_{cg} = \text{白}(-)$  電位としたが、以上の動作原理から言えば、チャージ電圧  $V_{cg}$  は、グレー (-) 電位以下 ( 負極性画素信号による画素電位  $V_{pix}$  以下 ) であればよいことがわかる。画素電位  $V_{pix}$  以下であることで、画素電位  $V_{pix}$  とチャネル電位  $V_{ch}$  の上昇が、チャージタイミングを起点に同じチャージ電位から同時に進行し、画素電位  $V_{pix}$  とチャネル電位  $V_{ch}$  の逆転が起きないようにすることができるためである。

但し、第 2 の実施の形態で述べるが、チャージ電圧  $V_{cg}$  はなるべく低い電位とする方が好ましい。

## 【 0 0 4 0 】

40

1 フレーム期間におけるチャージ電圧  $V_{cg}$  の印加タイミングについて説明する。

縦クロストークを生じさせないようにするためには、頻繁にチャージ電圧印加を行えばよいといえる。例えば最も簡単には、1 H 毎にチャージ電圧印加を行うようにすればよい。

ところがこのように頻繁に信号線 S L にチャージ電圧  $V_{cg}$  の印加を行うことは、消費電力の点で好ましくない。

そこで本実施の形態では、図 5 A に示したように、1 フレーム期間内に間欠的にチャージ電圧印加を行うようにして、消費電力を低減しつつ、縦クロストーク改善を実現している。

即ちチャージ電圧  $V_{cg}$  の印加は毎ライン行わず、1 フレーム期間に数回 ~ 十数回程度

50

とすることで、消費電力削減に有効である。

【0041】

このように間欠的にチャージ電圧印加を行う場合、どのような間隔で行うことで、適切に縦クロストーク改善が可能であるかを考察する。

上記より、縦クロストーク改善のためには、画素トランジスタ $T_r$ のチャネル電位 $V_{ch}$ が、リーク電流によって画素容量に書き込まれた画素信号電位 $V_{pix}$ より高くなることがないようにする頻度で、各信号線 $SL$ に対しチャージ電圧 $V_{cg}$ を印加すればよいことが理解される。

【0042】

このためには、信号線ドライバ2が各信号線 $SL$ にチャージ電圧 $V_{cg}$ を出力する時間間隔 $T_{cg}$ は、

$$T_{cg} = C_{ch} \cdot (V_{gL} - V_{cg}) / (I_{px} + I_{ps})$$

とすればよい。

但し、 $C_{ch}$ は画素トランジスタ $T_r$ のチャネル部の容量、 $V_{gL}$ はクロストークが問題となる所定の画素信号電圧であり、図5の例で言えば具体的にはグレー(-)電位である。また $I_{px}$ は図5Bに示したように、画素容量(液晶セル $LC$ )側から画素トランジスタ $T_r$ のチャネル部へ流れる画素トランジスタリーク電流、 $I_{ps}$ は信号線 $SL$ 側からチャネル部へ流れる画素トランジスタリーク電流である。

【0043】

上記式における『 $C_{ch} \cdot (V_{gL} - V_{cg})$ 』は、 $V_{gL}$ がグレー(-)印加による画素電位 $V_{pix}$ に相当するものであるため、チャネル電位 $V_{ch}$ がチャージ電圧 $V_{cg}$ レベルから画素電位 $V_{pix}$ に達するまでの電荷量を示すものとなる。『 $(I_{px} + I_{ps})$ 』はチャネルに流入するリーク電流の和である。従って、上記式を満足する時間間隔 $T_{cg}$ は、画素トランジスタ $T_r$ のチャネル電位 $V_{ch}$ が、リーク電流によって画素容量に書き込まれた画素信号電位 $V_{pix}$ より高くなることをないようにする頻度としての時間間隔となる。

この条件を満たす時間間隔 $T_{cg}$ でチャージ電圧 $V_{cg}$ の印加を行うことで、画素トランジスタ $T_r$ のチャネル電位 $V_{ch}$ が、画素電位 $V_{pix}$ より高くなる前に、チャネル電位 $V_{ch}$ をチャージ電圧 $V_{cg}$ にリフレッシュすることができる。

【0044】

従ってチャージ電圧印加は、上記式の条件を満たす時間間隔であればよいこととなる。実際には、主にはチャージ電圧 $V_{cg}$ の設定と、クロストークが問題となる所定の画素信号電圧の関係から、時間間隔 $T_{cg}$ も変動するが、この条件を満たすように、1フレーム期間内でのチャージタイミングが設定されればよい。

【0045】

< 4 . 第2の実施の形態 >

第2の実施の形態を図6で説明する。図6Aは上記図4Aと同様に、領域 $ARg1$ (ウインドウ非表示列)のグレー表示画素の画素電位 $V_{pix}$ (実線)とチャネル電位 $V_{ch}$ (点線)、及び領域 $ARg2$ (ウインドウ表示列)のグレー表示画素の画素電位 $V_{pix}$ (破線)とチャネル電位 $V_{ch}$ (一点鎖線)を示している。

また図6Bは、図4Bと同様に液晶セル $LC$ と画素トランジスタ $T_r$ を等価回路で示している。

【0046】

矢印のタイミングで1フレーム期間に必要回(例えば図の例では1フレーム内に1回)、各信号線 $SL$ に対し、信号線ドライバ2がチャージ電圧 $V_{cg}$ を印加する。

ここではチャージ電圧 $V_{cg} = V_{GL}$ 電位+ としている。例えば $V_{GL}$ 電位+ 1Vとする。

【0047】

図6Aのように、領域 $ARg1$ 、 $ARg2$ のいずれのグレー表示画素でも、画素トラン

10

20

30

40

50

ジスタTrのチャンネル電位Vchに向かう方向のリーク電流により画素電位Vpixは下がっていく。

領域ARg2(ウインドウ表示列)のグレー表示画素のチャンネル電位Vchについてみると、VGL電位付近からリーク電流により上昇していき、ウインドウ期間には白(-)電位にクリップされる。

また領域ARg1(ウインドウ非表示列)と、領域ARg2(ウインドウ表示列)のいずれのグレー表示画素でも、チャンネル電位Vchは、チャージ電圧印加タイミングで、チャンネル電位Vch = VGL電位 + にリフレッシュされる。

【0048】

結果として、領域ARg1、ARg2のいずれのグレー表示画素でも、チャンネル電位Vchは、チャージタイミングを基準に同じように上昇していく。

10

そのため、図のように、画素電位Vpixとチャンネル電位Vchの逆転が起きず、図4のP部として示したような画素波形の乖離が起きないため、縦クロストークが現れないこととなる。

【0049】

上述したように、チャージ電圧印加の時間間隔Tcgは、画素トランジスタTrのチャンネル電位Vchが、画素電位Vpixより高くなる前に、チャンネル電位Vchをチャージ電圧Vcgにリフレッシュすることができればよい。

チャージ電圧Vcgを低く設定すれば、それだけ時間間隔Tcgは長くとれる。つまりチャージ電圧Vcgが低い程、1フレーム期間内に実行するチャージ回数は少なくできる。

20

チャージ回数が少なければ、それだけ消費電力の低減に有効である。

この図6Aに示したように、チャージ電圧Vcgをなるべく低く設定し、1フレーム期間内のチャージ回数を少なくすることで、事実上、チャージを実行しない場合と殆ど同程度の消費電力で、縦クロストーク改善を実現できる。

この意味で、チャージ電圧Vcgは、ゲート-信号線間電圧差不足によるリークを生じない範囲において、画素信号の駆動最大階調の負極性電位以下(図6Aの例でいえば白(-)電位以下)で、かつ画素トランジスタTrのオフ時のゲート電位であるVGL電位以上の範囲の電圧とすることが好適である。

【0050】

30

< 5 . 第1、第2の実施の形態の具体例 >

以上説明した第1、第2の実施の形態の具体的な動作波形を説明する。

まず図7は、サブピクセル毎に画素信号を極性反転して駆動する場合の動作波形を示している。

ここでは、1フレーム内の或る3水平期間として、Hn-1期間、Hn期間、Hn+1期間を例示している。(「n」は「1」~「N-1」のいずれか：Nは行数)

【0051】

信号線ドライバ2は、選択スイッチ部5に対してスイッチ制御信号selR、selG、selBを供給して、各スイッチSWR、SWG、SWBをオン/オフ制御する。

40

また信号線ドライバ2は、各H期間に多重化信号線MSL\_m、MSL\_m+1に図示のように多重化画素信号DT\_m、DT\_m+1を出力する。(「m」は「1」~「M-1」のいずれか：Mは列数)

【0052】

まずHn-1期間で各波形を説明する。

例えばHn-1期間には、信号線ドライバ2は、グランド電位GND、正極性のR画素信号VR+、負極性のG画素信号VG-、正極性Bの画素信号VB+を時分割多重化した多重化画素信号DT\_mを、多重化信号線MSL\_mに出力する。

またこのHn-1期間に信号線ドライバ2は、グランド電位GND、負極性のR画素信号VR-、正極性のG画素信号VG+、負極性のB画素信号VB-を時分割多重化した多

50

多重化画素信号  $DT\_m + 1$  を、多重化信号線  $MSL\_m + 1$  に出力する。

【0053】

この  $H_n - 1$  期間において、スイッチ制御信号  $selR$ 、 $selG$ 、 $selB$  の H レベル期間に各スイッチ  $SWR$ 、 $SWG$ 、 $SWB$  がオンとされることで、信号線  $SL\_mR$ 、 $SL\_mG$ 、 $SL\_mB$  にはそれぞれ図示のように、R 画素信号  $VR+$ 、G 画素信号  $VG-$ 、B 画素信号  $VB+$  が供給される。

さらに信号線  $SL\_m + 1R$ 、 $SL\_m + 1G$ 、 $SL\_m + 1B$  にはそれぞれ図示のように、R 画素信号  $VR-$ 、G 画素信号  $VG+$ 、B 画素信号  $VB-$  が供給される

【0054】

走査線ドライバ3は、 $H_n - 1$  期間に走査線  $GL\_n - 1$  に H レベルパルスとなる走査パルスを与える。

これにより、信号線  $SL\_mR$ 、 $SL\_mG$ 、 $SL\_mB$  に印加された R 画素信号  $VR+$ 、G 画素信号  $VG-$ 、B 画素信号  $VB+$  が、走査線  $GL\_n - 1$  の行の、信号線  $SL\_mR$ 、 $SL\_mG$ 、 $SL\_mB$  が接続された画素  $10R$ 、 $10G$ 、 $10B$  に書き込まれることになる。

また信号線  $SL\_m + 1R$ 、 $SL\_m + 1G$ 、 $SL\_m + 1B$  に印加された R 画素信号  $VR-$ 、G 画素信号  $VG+$ 、B 画素信号  $VB-$  が、走査線  $GL\_n - 1$  の行の、信号線  $SL\_m + 1R$ 、 $SL\_m + 1G$ 、 $SL\_m + 1B$  が接続された画素  $10R$ 、 $10G$ 、 $10B$  に書き込まれる。

【0055】

$H_n$  期間、 $H_n + 1$  期間も、基本的な画素信号の書込動作は、以上と同様である。

例えば  $H_n$  期間には、走査線ドライバ3は走査線  $GL\_n$  に H レベルパルスとなる走査パルスを与える。これにより、走査線  $GL\_n$  の行の、信号線  $SL\_mR$ 、 $SL\_mG$ 、 $SL\_mB$  が接続された画素  $10R$ 、 $10G$ 、 $10B$  に、信号線  $SL\_mR$ 、 $SL\_mG$ 、 $SL\_mB$  に印加された各画素信号 ( $VR-$ 、 $VG+$ 、 $VB-$ ) が書き込まれることになる。

また、走査線  $GL\_n$  の行の、信号線  $SL\_m + 1R$ 、 $SL\_m + 1G$ 、 $SL\_m + 1B$  が接続された画素  $10R$ 、 $10G$ 、 $10B$  に、信号線  $SL\_m + 1R$ 、 $SL\_m + 1G$ 、 $SL\_m + 1B$  に印加された各画素信号 ( $VR+$ 、 $VG-$ 、 $VB+$ ) が書き込まれる。

【0056】

但しこの図7の例では、 $H_n$  期間に、チャージ電圧  $Vcg$  の印加を行うようにしている。

このため、 $H_n$  期間では、信号線ドライバ2は、最初にスイッチ制御信号  $selR$ 、 $selG$ 、 $selB$  により、選択スイッチ部5の全てのスイッチ  $SWR$ 、 $SWG$ 、 $SWB$  をオンに制御する。

そしてスイッチ  $SWR$ 、 $SWG$ 、 $SWB$  を共にオンとする期間において、多重化画素信号  $DT\_m$ 、 $DT\_m + 1$  として図示するようにチャージ電圧  $Vcg$  を多重化する。

ここでは  $m$  列と  $m + 1$  列のみしか示していないが、信号線ドライバ2は、全ての多重化信号線  $MSL\_1 \sim MSL\_M$  に対する多重化画素信号  $DT\_1$ 、 $DT\_M$  にチャージ電圧  $Vcg$  を多重化する。

この動作により、全ての信号線  $SL$  に、チャージ電圧  $Vcg$  が入力されることとなる。

【0057】

なお、このように信号線  $SL$  に印加されるチャージ電圧  $Vcg$  については、画素  $10$  に書き込む必要はない。このため、走査線ドライバ3は、 $H_n$  期間の走査線  $GL\_n$  に与える走査パルスのタイミングを、チャージ期間  $t_{cg}$  分だけ遅らせるようにしている。

即ち走査線ドライバ3は、 $H_n$  期間など、1フレーム期間内でチャージ電圧  $Vcg$  の印加を行う H 期間のみ、走査パルス出力タイミングを遅延させるようにする。

【0058】

以上の図7に示したように、チャージ電圧  $Vcg$  の印加は、1フレーム内の或る H 期間において実行するようにすればよい。

10

20

30

40

50

1 フレーム内に何回チャージ電圧印加を行うかは、上述の時間間隔  $T_{cg}$  の条件を満たすように設定すればよい。

【0059】

次に図8は、1 H 期間で各サブピクセルに与える画素信号の極性を反転させない場合の例である。

ここでは、1 フレーム内の或る4水平期間として、 $H_{n-1}$  期間、 $H_n$  期間、 $H_{n+1}$  期間、 $H_{n+2}$  を例示している。

【0060】

信号線ドライバ2は、選択スイッチ部5に対してスイッチ制御信号  $sel_R$ 、 $sel_G$ 、 $sel_B$  を供給して、各スイッチ  $SW_R$ 、 $SW_G$ 、 $SW_B$  をオン/オフ制御する。

また信号線ドライバ2は、各 H 期間に多重化信号線  $MSL_m$ 、 $MSL_{m+1}$  に図示のように多重化画素信号  $DT_m$ 、 $DT_{m+1}$  を出力する。

【0061】

画素10への画素信号の書込動作は、図7と同様なので、説明を省略する。

この場合、信号線ドライバ2は、各1 H の期間において、グランド電位  $GND$ 、正極性の R 画素信号  $V_{R+}$ 、正極性の G 画素信号  $V_{G+}$ 、正極性 B の画素信号  $V_{B+}$  を時分割多重化した多重化画素信号、又はグランド電位  $GND$ 、負極性の R 画素信号  $V_{R-}$ 、負極性の G 画素信号  $V_{G-}$ 、負極性の B 画素信号  $V_{B-}$  を時分割多重化した多重化画素信号を出力する ( $DT_m$ 、 $DT_{m+1}$  として図示)

【0062】

$H_{n-1}$  期間では、チャージ電圧  $V_{cg}$  の印加は行われていない。

$H_n$  期間では、信号線  $SL_{m+1R}$ 、 $SL_{m+1G}$ 、 $SL_{m+1B}$  にチャージ電圧  $V_{cg}$  の印加を行うようにしている。

即ち  $H_n$  期間では、信号線ドライバ2は、最初にスイッチ制御信号  $sel_R$ 、 $sel_G$ 、 $sel_B$  により、選択スイッチ部5の全てのスイッチ  $SW_R$ 、 $SW_G$ 、 $SW_B$  をオンに制御する。

そして多重化画素信号  $DT_{m+1}$  として図示するようにチャージ電圧  $V_{cg}$  を多重化する。

なお多重化画素信号  $DT_m$  は、この期間、グランド電位とする。

【0063】

この動作により、信号線  $SL_{m+1R}$ 、 $SL_{m+1G}$ 、 $SL_{m+1B}$  に対し、チャージ電圧  $V_{cg}$  の印加が行われる。

例えば、信号線  $SL_{m+1R}$ 、 $SL_{m+1G}$ 、 $SL_{m+1B}$  に相当するのは、3つのサブピクセルで構成されるカラー画素(ピクセル)単位での偶数列であり、信号線  $SL_mR$ 、 $SL_mG$ 、 $SL_mB$  に相当するのは、カラー画素単位での奇数列であるとすると、ここでいう偶数列に相当する信号線  $SL$  に対し、チャージ電圧印加が行われることになる。

【0064】

一方、 $H_{n+1}$  期間では、信号線  $SL_mR$ 、 $SL_mG$ 、 $SL_mB$  にチャージ電圧  $V_{cg}$  の印加が行われる。

即ち  $H_{n+1}$  期間では、信号線ドライバ2は、最初にスイッチ制御信号  $sel_R$ 、 $sel_G$ 、 $sel_B$  により、選択スイッチ部5の全てのスイッチ  $SW_R$ 、 $SW_G$ 、 $SW_B$  をオンに制御する。

そして多重化画素信号  $DT_m$  として図示するようにチャージ電圧  $V_{cg}$  を多重化する。

なお多重化画素信号  $DT_{m+1}$  は、この期間、グランド電位とする。

【0065】

この動作により、信号線  $SL_mR$ 、 $SL_mG$ 、 $SL_mB$  に対し、チャージ電圧  $V_{cg}$  の印加が行われる。

例えば、全ての信号線  $SL$  のうち、奇数列に相当する信号線  $SL$  に対し、チャージ電圧

10

20

30

40

50

印加が行われる。

【 0 0 6 6 】

なお走査線ドライバ 3 は、 $H_n$  期間、 $H_{n+1}$  期間とも、走査線  $GL_{-n}$ 、 $GL_{-n+1}$  に与える走査パルスのタイミングを、チャージ期間  $t_{cg}$  分だけ遅らせるようにしている。

【 0 0 6 7 】

この図 8 の例は、負極性の画素信号の書込後の列に、チャージ電圧印加を行うようにしたものである。

例えば信号線  $SL_{-mR}$ 、 $SL_{-mG}$ 、 $SL_{-mB}$  についてみると、画素信号  $VR_{-}$ 、 $VG_{-}$ 、 $VB_{-}$  とされた後のタイミングで、チャージ電圧  $V_{cg}$  が印加される。

信号線  $SL_{-m+1R}$ 、 $SL_{-m+1G}$ 、 $SL_{-m+1B}$  も同様で、画素信号  $VR_{-}$ 、 $VG_{-}$ 、 $VB_{-}$  とされた後のタイミングで、チャージ電圧  $V_{cg}$  が印加される。

このような動作を行うようにすることで、低電圧であるチャージ電圧  $V_{cg}$  を与える前に、信号線ドライバ 2 の出力回路や選択スイッチ部 5 の耐圧越え対策として一旦信号線  $SL$  をグランド電位  $GND$  に引く動作を省くことができる。

これによって低消費電力化を促進できる。

【 0 0 6 8 】

< 6 . 第 3 の実施の形態 >

続いて第 3 の実施の形態を説明する。

第 3 の実施の形態は、タッチパネル構造を有する場合に、走査線ドライバによる画素信号書込のための書込走査と、タッチ操作検出のための検出走査とが、1 フレーム期間にそれぞれ複数回、時分割的に実行されるようにした駆動方式において、信号線ドライバ 2 によるチャージ電圧  $V_{cg}$  の出力を、検出走査と書込走査の境界期間で実行するようにした例である。

【 0 0 6 9 】

図 9 にタッチパネル機能を備えた液晶表示装置の構成例を示す。この液晶表示装置は、液晶表示パネルと静電容量式のタッチパネルとを一体化した、いわゆるインセルタイプの表示装置である。

画像表示のための構成としては、図 1 と同様に、コントローラ 1、信号線ドライバ 2、走査線ドライバ 3、選択スイッチ部 5、表示パネル 8 を有する。

表示パネル部 8 は、図 1 に示したものと同様に画素アレイ 4 が形成され、液晶画素（画素 10）がマトリクス状に配置されて表示動作を実行する部位として示している。

また信号線ドライバ 2 から選択スイッチ部 5 への多重化信号線  $MSL$  ( $MSL_{-1} \sim MSL_{-M}$ ) 及びスイッチ制御信号  $sel$  ( $selR$ 、 $selG$ 、 $selB$ ) の供給のための構成、選択スイッチ部 5 におけるスイッチ  $SWR$ 、 $SWG$ 、 $SWB$ 、信号線  $SL$  ( $SL_{-1R} \sim SL_{-MB}$ )、走査線  $GL$  ( $GL_{-1} \sim GL_{-N}$ ) の構成は、図 1 と同様とする。

これらの構成に加えて、タッチパネル部 30、タッチ検出部 40、駆動電極ドライバ 7 を有する。

【 0 0 7 0 】

コントローラ 1 は、外部のホスト機器等から供給された映像信号  $V_s$  に基づいて、走査線ドライバ 3、信号線ドライバ 2、駆動電極ドライバ 7、およびタッチ検出部 40 に対してそれぞれ制御信号を供給し、これらがお互いに同期して動作するように制御する。

図では、コントローラ 1 において入力された映像信号  $V_s$  を一時記憶するメモリ 1a を示しているが、メモリ 1a の記憶容量は、この例では、1 フレーム分の映像情報の  $1/10$  のデータ量に少なくとも対応できるようにしている。例えば、垂直方向の表示解像度が 1280 ピクセルである場合には、メモリ 1a は、128 ライン分の映像信号  $V_s$  を記憶する。

【 0 0 7 1 】

10

20

30

40

50

メモリ 1 a は、供給された映像信号  $V_s$  を、映像信号  $V_s$  とともにホスト機器等から供給された垂直同期信号  $V_{sy}$  および水平同期信号  $H_{sy}$  に同期して書き込む。そして、メモリ 1 a は、当該液晶表示装置の内部クロックに同期して、書き込みよりも速い速度により、記憶された映像情報を読み出すようになっている。

具体的には、メモリ 1 a は、1 フレーム分の映像信号  $V_s$  のうちの  $1/10$  のデータを 1 水平ラインずつ順に書き込み、その後、同様に次の  $1/10$  のデータを、1 水平ラインずつ順に、前の  $1/10$  のデータを上書きしながら書き込む。そして、メモリ 1 a は、書き込まれたデータを、そのデータが上書きされることにより消去される前に、書き込みよりも速い速度で 1 水平ラインずつ順に読み出す。そして、表示パネル部 8 では、後述するように、表示画面を垂直方向に 10 等分した部分表示領域  $R_D$  ごとに、この読み出されたデータに基づく表示が行われるようにしている。

10

#### 【0072】

走査線ドライバ 3 は、コントローラ 1 から供給される垂直クロック  $V_{CK}$ 、及び垂直スタートパルス  $V_{ST}$  に基づいて、表示パネル部 8 (画素アレイ 4) の各ラインに対する走査線  $G_L$  に順次走査パルスを出力する。

信号線ドライバ 2 は、コントローラ 1 から供給される映像信号  $V_s$  および制御信号に基づいて、画素信号を、選択スイッチ部 5 を介して信号線  $S_L$  に出力する動作を行う。

これらの動作は基本的には上述した第 1, 第 2 の実施の形態と同様である。

但し、図 13、図 14 で後述するように、この第 3 の実施の形態では、タッチ検出期間  $P_t$  と表示期間  $P_d$  が 1 フレーム内で分割設定されるようにする。走査線ドライバ 3 による走査と、信号線ドライバ 2 による画素信号出力 (及びチャージ電圧印加) は、タッチ検出期間  $P_t$  と表示期間  $P_d$  が 1 フレーム内で分割設定されることに応じて、タイミングが規定されることとなる。

20

#### 【0073】

駆動電極ドライバ 7 は、コントローラ 1 から供給される制御信号に基づいて、駆動電極  $C_O$  ( $C_{O\_1} \sim C_{O\_N}$ ) に駆動信号  $V_{com}$  を供給する。具体的には、駆動電極ドライバ 7 は、後述する表示期間  $P_d$  において駆動電極  $C_O$  に対して直流駆動信号  $V_{comDC}$  を印加する。そしてタッチ検出期間  $P_t$  においては、駆動電極ドライバ 7 は、タッチ検出動作の対象となる駆動電極  $C_O$  に対して交流駆動信号  $V_{comAC}$  を印加し、それ以外の駆動電極  $C_O$  に対して直流駆動信号  $V_{comDC}$  を印加する。

30

その際、駆動電極ドライバ 7 は、所定の数の駆動電極  $C_O$  からなるブロック (後述する部分検出領域  $R_T$ ) ごとに駆動電極  $C_O$  を駆動する。

#### 【0074】

タッチパネル部 30 は、画素アレイ 4 による表示領域を有する表示パネル部 8 に重畳的に配置され、例えば静電容量式でタッチ検出を行い、タッチ検出信号  $V_{det}$  を出力する。このタッチパネル部 30 は、駆動電極ドライバ 7 から供給される交流駆動信号  $V_{comAC}$  に従って順次走査してタッチ検出を行う。

#### 【0075】

タッチ検出部 40 は、コントローラ 1 から供給される制御信号と、タッチパネル部 30 から供給されたタッチ検出信号  $V_{det}$  に基づいて、タッチパネル部 30 に対するタッチの有無を検出し、タッチがある場合においてタッチ検出領域におけるその座標などを求める回路である。

40

このタッチ検出部 40 は  $LPF$  (Low Pass Filter) 部 42 と、 $A/D$  変換部 43 と、信号処理部 44 と、座標抽出部 45 と、検出タイミング制御部 46 とを有している。

$LPF$  部 42 は、タッチパネル部 30 から供給されるタッチ検出信号  $V_{det}$  に含まれる高い周波数成分 (ノイズ成分) を除去し、タッチ成分を取り出してそれぞれ出力する低域通過フィルタである。 $LPF$  部 42 の入力端子のそれぞれと接地との間には、直流電位 (例えば  $0V$ ) を与えるための抵抗  $R$  が接続されている。 $A/D$  変換部 43 は、交流駆動信号  $V_{comAC}$  に同期したタイミングで、 $LPF$  部 42 から出力されるアナログ信号をそれぞれサンプリングしてデジタル信号に変換する。信号処理部 44 は、 $A/D$  変換部 43 の出

50

力信号に基づいて、タッチ検出デバイス 30 に対するタッチの有無を検出する論理回路である。座標抽出部 45 は、信号処理部 44 においてタッチ検出がなされたときに、そのタッチパネル座標を求める論理回路である。検出タイミング制御部 46 は、これらの回路が同期して動作するように制御する機能を有している。

【0076】

図 10 は、当該タッチパネル機能付きの液晶表示装置の要部断面構造の例を表すものである。この液晶表示装置は、画素基板 11 と、この画素基板 11 に対向して配置された対向基板 12 と、画素基板 11 と対向基板 12 との間に挿設された液晶層 10 とを備えている。

【0077】

画素基板 11 は、回路基板としての T F T 基板 21 と、駆動電極 C O と、画素電極 22 とを有している。T F T 基板 21 は、各種電極や配線、薄膜トランジスタ ( T F T ; Thin Film Transistor ) などが形成される回路基板として機能する。

T F T 基板 21 は例えばガラスにより構成される。T F T 基板 21 の上には、駆動電極 C O が形成される。駆動電極 C O は、複数の画素 10 に共通の電圧を供給するための電極である。この駆動電極 C O は、液晶表示動作のための共通駆動電極として機能するとともに、タッチ検出動作のための駆動電極としても機能する。

駆動電極 C O の上には絶縁層 23 が形成され、その上に画素電極 22 が形成される。画素電極 22 は、画素信号を供給するための電極を供給するための電極であり、透光性を有する。駆動電極 C O および画素電極 22 は、例えば I T O ( Indium Tin Oxide ) により構成される。

【0078】

対向基板 12 は、ガラス基板 31 と、カラーフィルタ 32 と、タッチ検出電極 T D L とを有している。カラーフィルタ 32 は、ガラス基板 31 の一方の面に形成されている。このカラーフィルタ 32 は、例えば赤 ( R )、緑 ( G )、青 ( B ) の3色のカラーフィルタ層を周期的に配列して構成したもので、画素アレイ 4 における画素 10 R、10 G、10 B に対応して R、G、B のカラーフィルタが設けられている。

また、ガラス基板 31 の他方の面には、タッチ検出電極 T D L が形成されている。タッチ検出電極 T D L は、例えば I T O により構成され、透光性を有する電極である。このタッチ検出電極 T D L の上には、偏光板 35 が配設されている。

【0079】

液晶層 10 は、表示機能層として機能するものであり、電界の状態に応じてそこを通過する光を変調する。この電界は、駆動電極 C O の電圧と画素電極 22 の電圧との電位差により形成される。液晶層 10 には、F F S ( フリンジフィールドスイッチング ) や I P S ( インプレーススイッチング ) 等の横電界モードの液晶が用いられる。

【0080】

なお、液晶層 10 と画素基板 11 との間、および液晶層 10 と対向基板 12 との間には、それぞれ配向膜が配設され、また、画素基板 11 の下面側には入射側偏光板が配置されるが、ここでは図示を省略している。

【0081】

図 11 は、タッチパネル部 30 の一構成例を斜視的に表すものである。タッチパネル部 30 は、画素基板 11 に設けられた駆動電極 C O、および対向基板 12 に設けられたタッチ検出電極 T D L により構成されている。

駆動電極 C O は、図の左右方向に延在する帯状の電極パターンを有している。タッチ検出動作を行う際は、各電極パターンには、所定の数の駆動電極 C O からなるブロック ( 後述する部分検出領域 R T ) ごとに交流駆動信号 V comAC が順次供給され、時分割的に順次走査駆動が行われる。

タッチ検出電極 T D L は、駆動電極 C O の電極パターンの延在方向と直交する方向に延びる帯状の電極パターンを有している。タッチ検出電極 T D L の各電極パターンは、タッチ検出部 40 の L P F 部 42 の入力にそれぞれ接続されている。駆動電極 C O とタッチ検

10

20

30

40

50

出電極 T D L により互いに交差した電極パターンは、その交差部分に静電容量を形成している。

【 0 0 8 2 】

この構成により、タッチパネル部 3 0 では、駆動電極ドライバ 7 が駆動電極 C O に対して交流駆動信号 V comAC を印加することにより、タッチ検出電極 T D L からタッチ検出信号 V det を出力し、タッチ検出が行われる。

図示のように、互いに交差した電極パターンは、静電容量式タッチセンサをマトリックス状に構成するものである。よって、タッチパネル部 3 0 のタッチ検出面全体にわたって走査することにより、外部近接物体の接触または近接が生じた位置の検出が可能となる。

【 0 0 8 3 】

図 1 2 は、タッチ検出走査を模式的に表すものである。図 1 2 では、タッチ検出面が 1 0 個の部分検出領域 R T 1 ~ R T 1 0 により構成される場合の、各部分検出領域 R T 1 ~ R T 1 0 に対する交流駆動信号 V comAC の供給動作を示している。

部分検出領域 R T は、例えば、操作するユーザの指の大きさに対応する幅（例えば 5 m m 程度）に設定される。駆動電極ドライバ 7 は、駆動電極 C O に対して、部分検出領域 R T ごとに交流駆動信号 V comAC を印加する。斜線部は、交流駆動信号 V comAC が供給された部分検出領域 R T を示しており、その他の部分検出領域 R T には、直流駆動信号 V comDC が供給される。

駆動電極ドライバ 7 は、図 1 2 A、図 1 2 B、図 1 2 C に示したように、タッチ検出動作の対象となる部分検出領域 R T を順次選択して、その部分検出領域 R T に属する駆動電極 C O M L に交流駆動信号 V comAC を印加することにより、全ての部分検出領域 R T にわたって走査する。

なお、この例では、説明の便宜上、部分検出領域 R T の個数を 1 0 個としているが、これに限定されるものではない。

【 0 0 8 4 】

続いて、本実施の形態の液晶表示装置の動作について説明する。

図 1 3 は 1 フレーム期間 ( 1 F ) における動作を模式的に示している。この図 1 3 において、横軸は時間を示し、縦軸は表示画面の垂直方向における位置を示す。なお、垂直ブランキング期間は省略している。

また図 1 4 は、液晶表示装置の動作のタイミング図を表すものであり、垂直同期信号 V s y、水平同期信号 H s y の波形を示している。また図 1 4 には、メモリ書き込み ( W M ) の動作により書き込まれた映像信号 V s が表示される部分表示領域 R D、表示駆動 ( D D ) の対象となる部分表示領域 R D、及びタッチ検出駆動 ( D T ) の対象となる部分検出領域 R T を示している。

【 0 0 8 5 】

1 フレーム期間には、この例では、1 0 のタッチ検出期間 P t と、1 0 の表示期間 P d とが、交互に配置される。そして、タッチ検出期間 P t においてタッチ検出駆動 D T が行われるとともに、表示期間 P d において表示駆動 D D が行われる。

【 0 0 8 6 】

前述したように、メモリ 1 a は、ホスト機器等から供給される映像信号 V s、垂直同期信号 V s y、および水平同期信号 H s y に基づいて、1 フレーム分の映像情報のうちの 1 / 1 0 のデータを 1 水平ラインずつ順に書き込む (メモリ書き込み W M)。そして、メモリ 1 a は、続く 1 / 1 0 のデータを、1 水平ラインずつ順に、前の 1 / 1 0 のデータを上書きしながら書き込む。また、メモリ 1 9 は、書き込まれたデータを、そのデータが上書きされることにより消去される前に、その書き込みよりも速い速度で 1 水平ラインずつ順に読み出す。そして、走査線ドライバ 3 および信号線ドライバ 2 が、その読み出したデータに基づいて、液晶表示デバイス 2 0 の部分表示領域 R D を線順次走査により駆動する (表示駆動 D D)。

【 0 0 8 7 】

このように、メモリ 1 a が、その書き込みよりも速い速度で、書き込まれたデータを 1

10

20

30

40

50

水平ラインずつ順に読み出し、この読出データに基づいて表示駆動DDが行われる様子を図13、図14に示している。

従って、この表示駆動DDが行われる表示期間Pdの時間幅は、メモリ1aが1フレーム分の映像情報のうちの1/10のデータを書き込む時間よりも短くなる

このように表示期間Pdを短くすることにより確保した時間をタッチ検出期間Ptとし、このタッチ検出期間Ptを利用して、部分検出領域RTごとに、タッチ検出駆動DTが行われる。

#### 【0088】

タッチ検出駆動DTとしては、図13、図14に示したように、例えばタッチ検出期間Ptごとに、2つの部分検出領域RTが駆動対象として順次選択される。すなわち、この例では、タッチ検出面におけるタッチ検出走査は、表示走査の2倍の走査速度で行われる。このため1フレームの表示走査を行う間に、タッチ検出走査が2回行われる。このようにタッチ検出走査を頻繁に行うことにより、外部近接物体によるタッチにすぐに対応することができ、タッチに対する応答特性を改善することができる。

10

#### 【0089】

ここで、信号線ドライバ2によるチャージ電圧印加について説明する。

図14に示すように、本実施の形態の液晶表示装置では、1フレーム期間においてタッチ検出期間Ptのタッチ検出駆動DTと、表示期間Pdの表示駆動DDが交互に実行される。

このようにタッチ検出走査を行うタッチ検出期間Ptと、表示のための画素信号書込走査を行う表示期間Pdを分離した駆動方式の場合、この両期間の境界のタイミングで、信号線SLにチャージ電圧印加を行う。

20

例えば、図14においては、各表示期間Pdにそれぞれ表示駆動DDが行われる部分表示領域RD1、RD2・・・RD10を示しているが、この各部分表示領域RD1、RD2・・・RD10の先頭ラインとなる1水平期間の開始部分に、チャージ期間tcgを設け、チャージ電圧印加を実行する。

#### 【0090】

各表示期間Pdの先頭2H期間における信号波形を図15に示す。図15には走査線ドライバ3による走査線GL<sub>n</sub>、GL<sub>n+1</sub>に対する走査パルスを示している。

また図15には、信号線ドライバ2が多重化信号線MSLに出力する多重化画素信号DT(DT<sub>1</sub>～DT<sub>M</sub>)と、信号線ドライバ2が選択スイッチ部5に与えるスイッチ制御信号sel(selR、selG、selB)と、信号線SL(SL<sub>mR</sub>、SL<sub>mG</sub>、SL<sub>mB</sub>)に供給される信号を示している。画素信号電圧VR、VG、VBについては簡単のため極性は示していない。

30

さらに図15には駆動電極ドライバ7が駆動電極COに与える駆動信号Vcomを示している。表示期間Pdであるため、駆動信号Vcomは直流駆動信号VcomDCとされている。

#### 【0091】

図示のように、表示期間Pdの先頭タイミングで、チャージ期間tcgを設定する。このチャージ期間tcgのために、走査線ドライバ3が走査線GL<sub>n</sub>に対する走査パルスを遅延させる。

40

そしてこのチャージ期間tcgにおいては、信号線ドライバ2はチャージ電圧Vcgを各多重化信号線MSLに出力するとともに、スイッチ制御信号selR、selG、selBにより選択スイッチ部5の全スイッチSWR、SWG、SWBをオンとさせる。

これにより、チャージ電圧Vcgが全ての信号線SLに書き込まれることになる。

このチャージ電圧印加により、上述した第1、第2の実施の形態と同様、縦クロストーク改善が実現される。

#### 【0092】

以上の例のように、走査線ドライバ3による画素信号書込のための書込走査と、駆動電極ドライバ7によるタッチ操作検出のための検出走査とが、1フレーム期間にそれぞれ複数回、時分割的に実行される場合、信号線ドライバ2によるチャージ電圧Vcgの出力は

50

、検出走査と書込走査の境界となる期間で実行されるようにする。

信号線ドライバ2、走査線ドライバ3、駆動電極ドライバ7には、表示期間P dとタッチ検出期間P tの分割的な動作を実現すべく、各走査駆動のためのロジック回路が形成されるが、このように各期間の境界となるタイミングでチャージ期間t c gを設定すれば、ロジック回路の大幅な変更を避けることができ、このような分割駆動方式の液晶表示装置において、間欠的なチャージ電圧印加動作を容易に加えることが可能となる。

【0093】

なお、上記例では、例えば1フレームに10回の表示期間P dにおいて、その先頭期間でチャージ電圧印加を行うものとしたが、チャージ電圧印加を1フレームに何回行うかは第1、第2の実施の形態で説明したとおりである。回数を少なくするほど、消費電力削減に有効である。

従って、全ての表示期間P dの先頭期間においてチャージ電圧印加を行うものではなく、一部の表示期間P dの先頭期間でチャージ電圧印加を行うことも有効である。

即ち上述のチャージ電圧印加の時間間隔T c gの条件が満たされるように、チャージ電圧印加が行われればよい。

また、チャージ電圧印加は、表示期間P dの先頭期間ではなく、タッチ検出期間P tへ移行する直前の終端期間に行うようにしてもよい。

【0094】

< 7. 変形例、適用例 >

以上、実施の形態を説明してきたが、上述した液晶表示装置の構成は一例であり、また画素10の構成も一例である。

また、ノーマリホワイト、ノーマリブラックに関わらず本開示の技術は適用できる。

また本開示の技術は、各種液晶表示装置に用いられる装置構成において適用できるものである。

また本開示はアクティブマトリクス型の表示装置として液晶表示装置だけでなく、プラズマ表示装置、有機EL表示装置等にも広く適用できる。

【0095】

次に図16～図18を参照して、実施の形態で説明した液晶表示装置の適用例について説明する。実施の形態の液晶表示装置は、テレビジョン装置、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置あるいはビデオカメラなど、外部から入力された映像信号あるいは内部で生成した映像信号を、画像あるいは映像として表示するあらゆる分野の電子機器に適用することが可能である。

【0096】

(適用例1)

図16Aは、実施の形態の液晶表示装置が適用されるテレビジョン装置の外観を表したものである。このテレビジョン装置は、例えば、フロントパネル511およびフィルターガラス512を含む映像表示画面部510等を有しており、この映像表示画面部510は、上記実施の形態に係る液晶表示装置により構成されている。

【0097】

(適用例2)

図16Bは、上記実施の形態の液晶表示装置が適用されるノート型パーソナルコンピュータの外観を表したものである。このノート型パーソナルコンピュータは、例えば、本体531、文字等の入力操作のためのキーボード532および画像を表示する表示部533等を有しており、その表示部533は、上記実施の形態に係る液晶表示装置により構成されている。

【0098】

(適用例3)

図16Cは、上記実施の形態の液晶表示装置が適用されるビデオカメラの外観を表したものである。このビデオカメラは、例えば、本体部541、この本体部541の前方側面

10

20

30

40

50

に設けられた被写体撮像用のレンズ542、撮像時のスタート/ストップスイッチ543および表示部544等を有しており、その表示部544は、上記実施の形態に係る液晶表示装置により構成されている。

【0099】

(適用例4)

図17A、図17Bは、上記実施の形態の液晶表示装置が適用されるデジタルカメラの外観を表したものである。図17Aは正面側、図17Bは背面側の外観を示している。このデジタルカメラは、例えば、タッチパネル付きの表示部520、撮像レンズ521、フラッシュ用の発光部523、シャッターボタン524等を有しており、その表示部520は、上記実施の形態に係る液晶表示装置により構成されている。

10

【0100】

(適用例5)

図18は、上記実施の形態の液晶表示装置が適用される携帯電話機の外観を表したものである。図18Aは筐体を開いた状態の操作面及び表示面、図18Bは筐体を閉じた状態の上面側、図18Cは筐体を閉じた状態の底面側をそれぞれ示している。図18D、図18Eは筐体を閉じた状態の上面側からと底面側からの斜視図である。

この携帯電話機は、例えば、上側筐体550と下側筐体551とを連結部(ヒンジ部)556で連結したものであり、ディスプレイ552、サブディスプレイ553、キー操作部554、カメラ555等を有している。ディスプレイ740またはサブディスプレイ750は、上記実施の形態に係る液晶表示装置により構成されている。

20

【0101】

なお本技術は以下のような構成も採ることができる。

(1)書き込まれた画素信号に応じて表示階調が制御される複数の画素が行方向及び列方向に配設されて成る画素アレイ部と、

上記画素アレイに対して配設され、各行の画素に対する走査パルスを供給する複数の走査線と、

上記画素アレイに対して配設され、各列の画素に対する画素信号を供給する複数の信号線と、

上記複数の走査線に上記走査パルスを順次与え、各行の画素へ、上記信号線に出力された画素信号についての書込を実行させる走査線ドライバと、

30

上記複数の信号線に各画素に対する画素信号を出力するとともに、上記各信号線に対し、1フレーム期間において1回以上となる間欠的に、所定の画素信号電圧より低電位のチャージ電圧を出力する信号線ドライバと、

を備えた表示装置。

(2)上記信号線ドライバは、上記画素における上記走査パルスで制御される画素トランジスタのチャネル部の電位が、リーク電流によって画素容量に書き込まれた画素信号の電位より高くなることのないようにする頻度で、上記各信号線に対し上記チャージ電圧を出力する上記(1)に記載の表示装置。

(3)上記信号線ドライバが上記チャージ電圧を出力する時間間隔 $T_{cg}$ は、

上記画素トランジスタのチャネル部の容量を $C_{ch}$ 、

40

上記所定の画素信号電圧を $V_{gL}$ 、

上記チャージ電圧を $V_{cg}$ 、

上記画素容量側から上記チャネル部へ流れる画素トランジスタリーク電流を $I_{px}$ 、

上記信号線側から上記チャネル部へ流れる画素トランジスタリーク電流を $I_{ps}$ としたとき、

$$T_{cg} = C_{ch} \cdot (V_{gL} - V_{cg}) / (I_{px} + I_{ps})$$

である上記(1)又は(2)に記載の表示装置。

(4)上記チャージ電圧は、

上記画素信号の駆動最大階調の負極性電位以下で、かつ上記画素における上記走査パルスで制御される画素トランジスタのオフ時のゲート電位以上の範囲の電圧とする上記(1)

50

)乃至(3)のいずれかに記載の表示装置。

(5)上記信号線ドライバは上記各信号線に対して、負極性の画素信号出力後のタイミングで、上記チャージ電圧の出力を行う上記(1)乃至(4)のいずれかに記載の表示装置。

(6)上記画素アレイによる表示領域に重畳配置されたタッチパネル機構と、

上記タッチパネル機構に対するタッチ操作を検出するための検出走査及びタッチ操作信号の検出を行う検出走査部とを備え、

上記走査線ドライバによる画素信号書込のための書込走査と、上記検出走査部によるタッチ操作検出のための検出走査とが、1フレーム期間にそれぞれ複数回、時分割的に実行され、

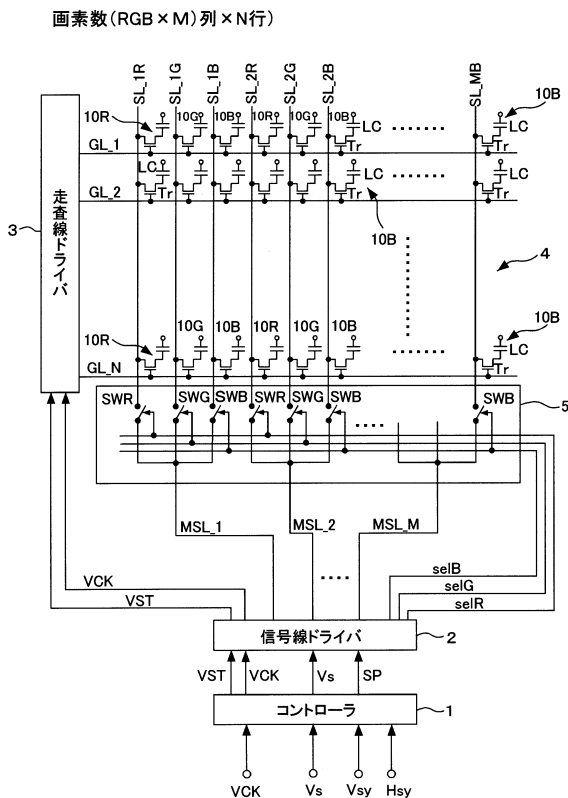
上記信号線ドライバによる上記チャージ電圧の出力は、上記検出走査と上記書込走査の境界期間で実行される上記(1)乃至(5)のいずれかに記載の表示装置。

【符号の説明】

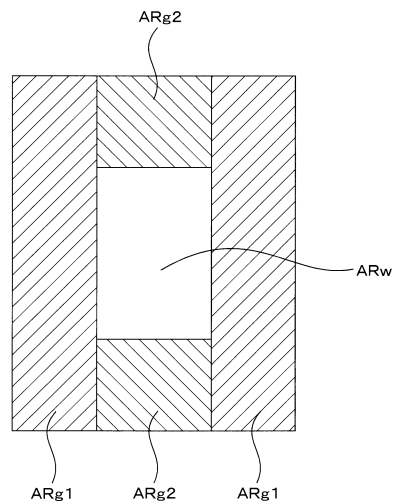
【0102】

1 コントローラ、2 信号線ドライバ、3 走査線ドライバ、4 画素アレイ、5 選択スイッチ部、7 駆動電極ドライバ、8 表示パネル部、30 タッチパネル部、40 タッチ検出部、10R, 10G, 10B 画素

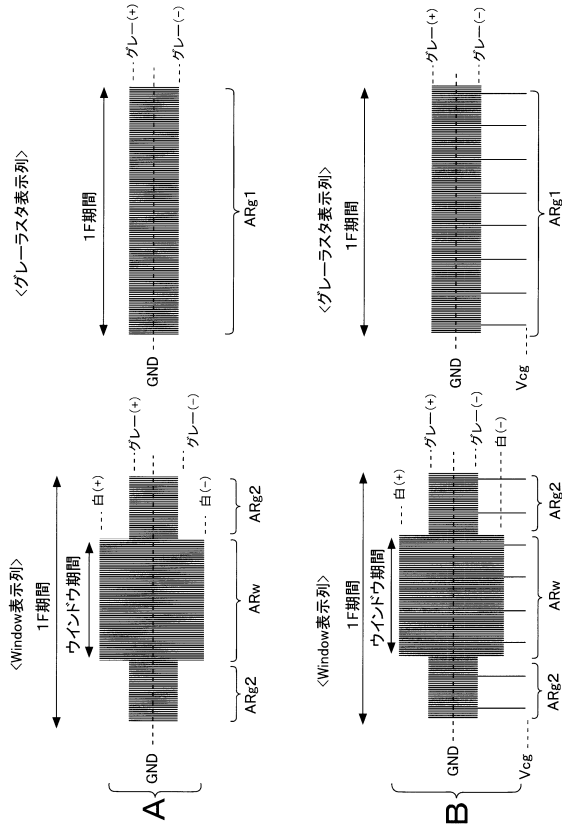
【図1】



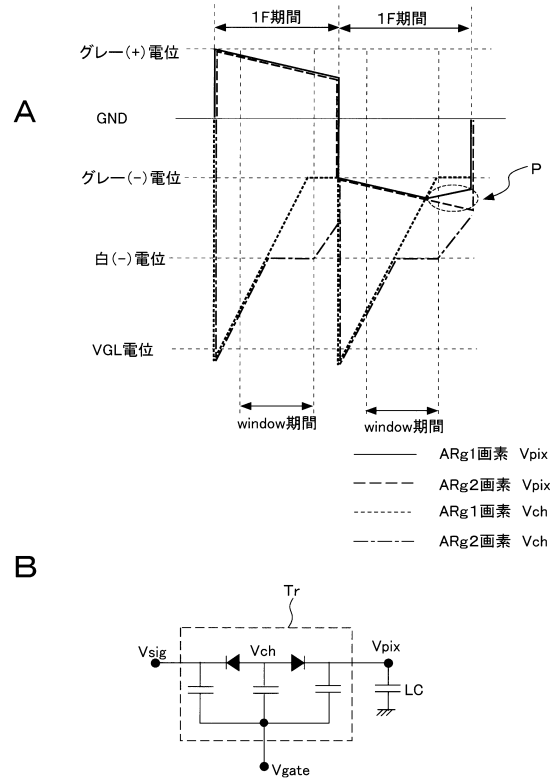
【図2】



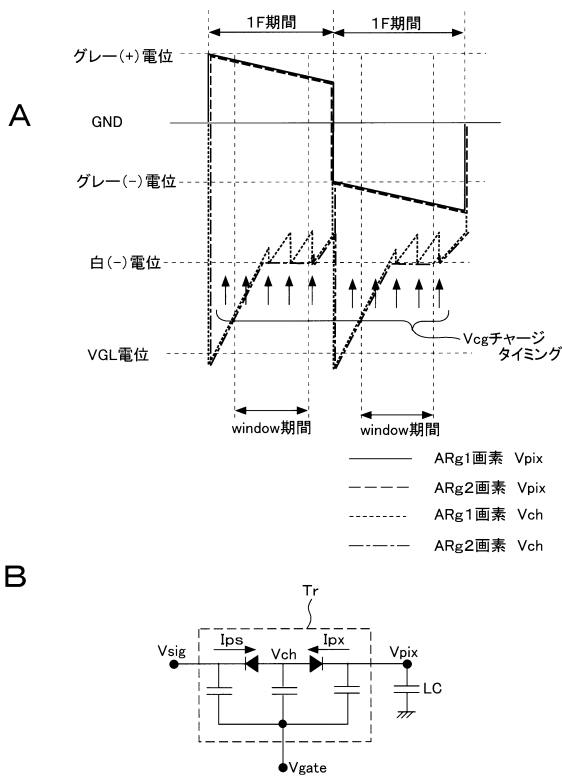
【図3】



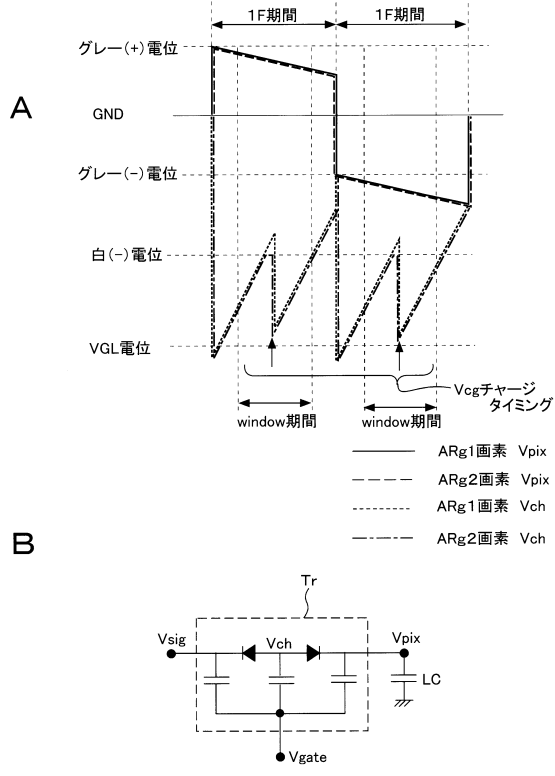
【図4】



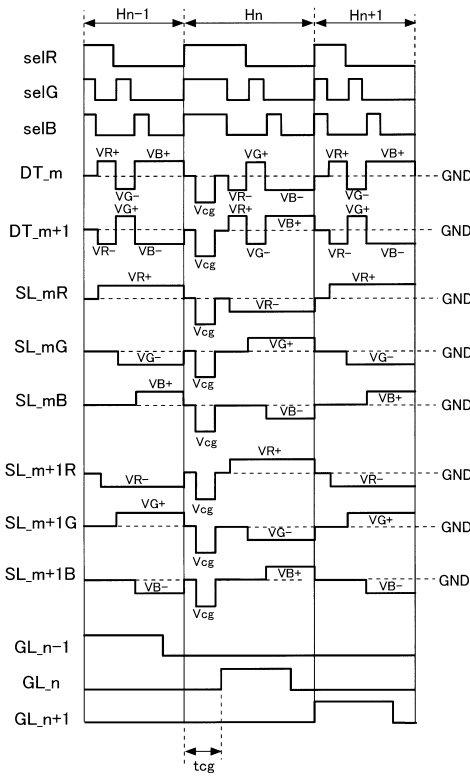
【図5】



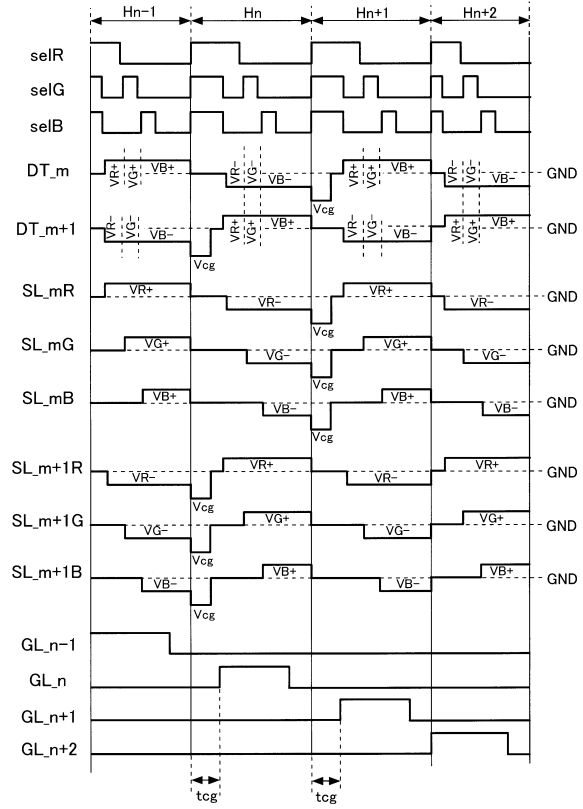
【図6】



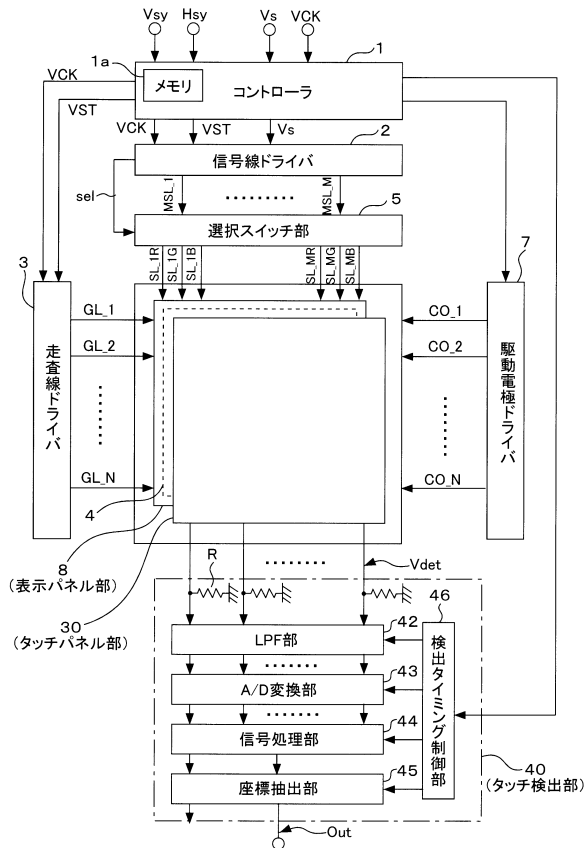
【図7】



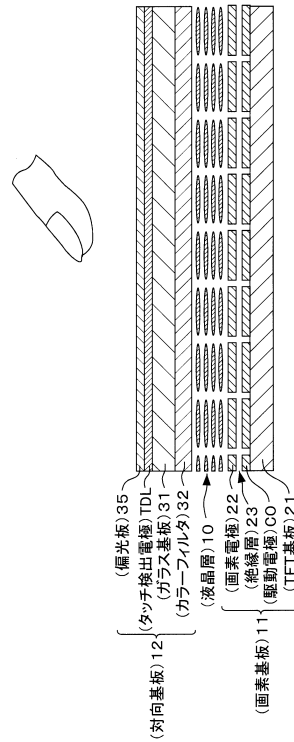
【図8】



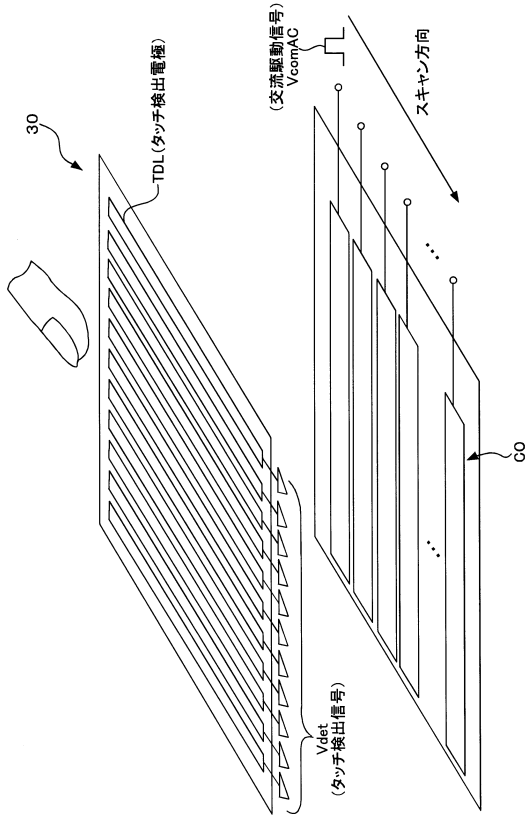
【図9】



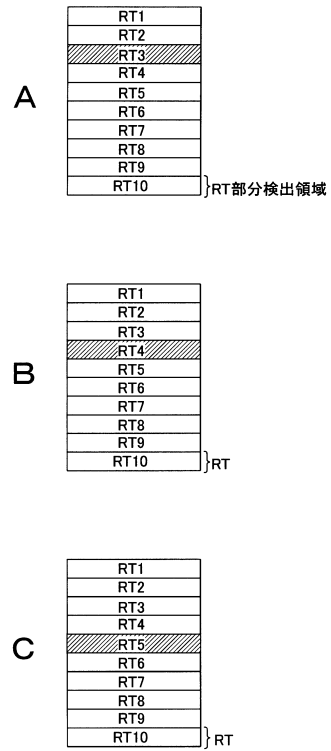
【図10】



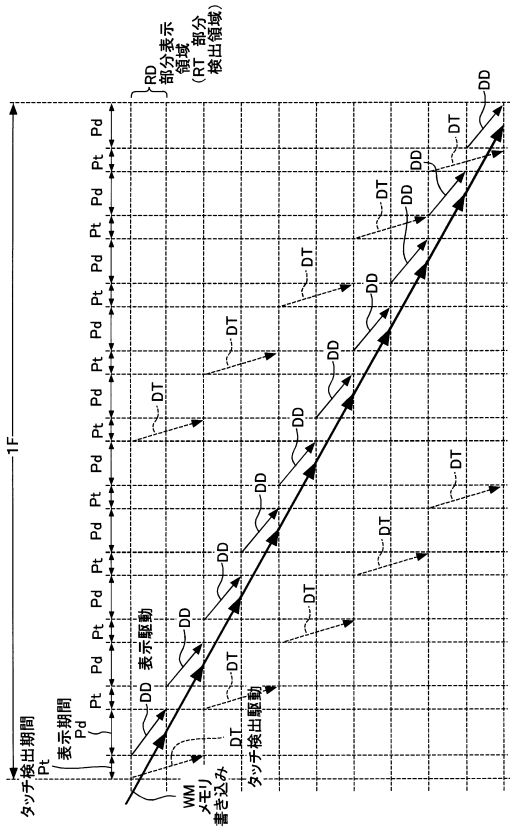
【図11】



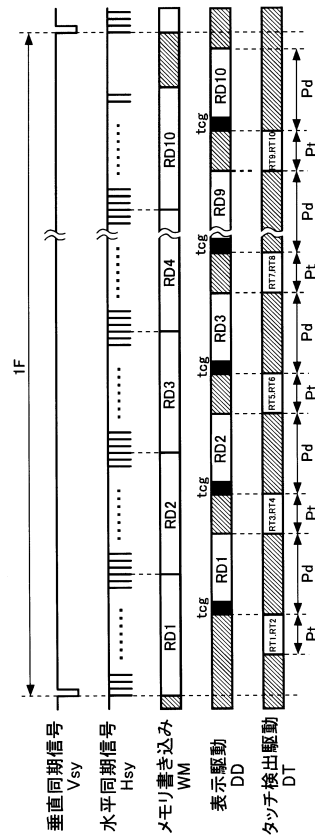
【図12】



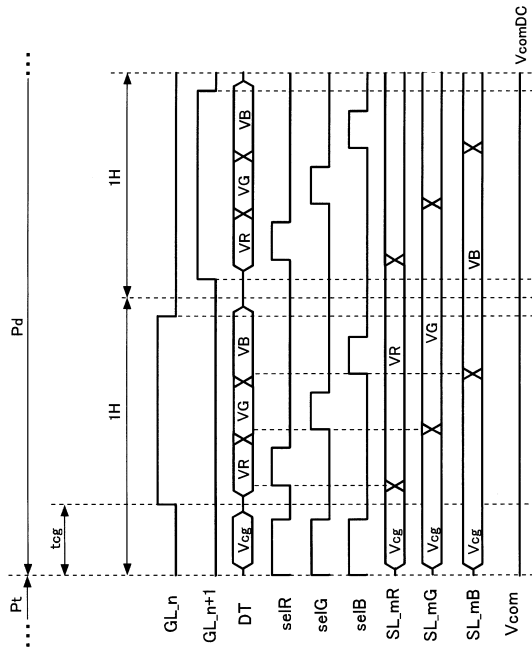
【図13】



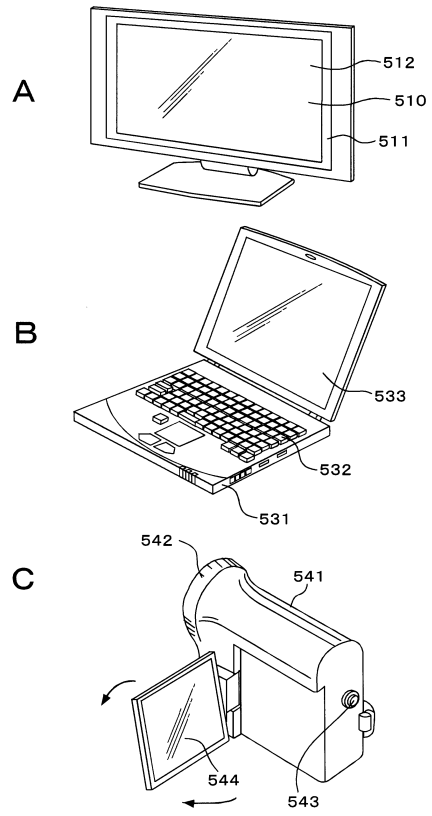
【図14】



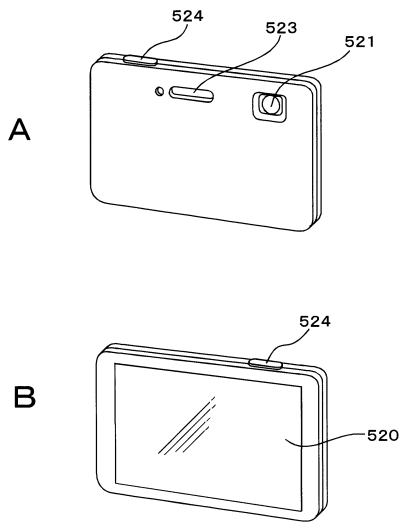
【 15 】



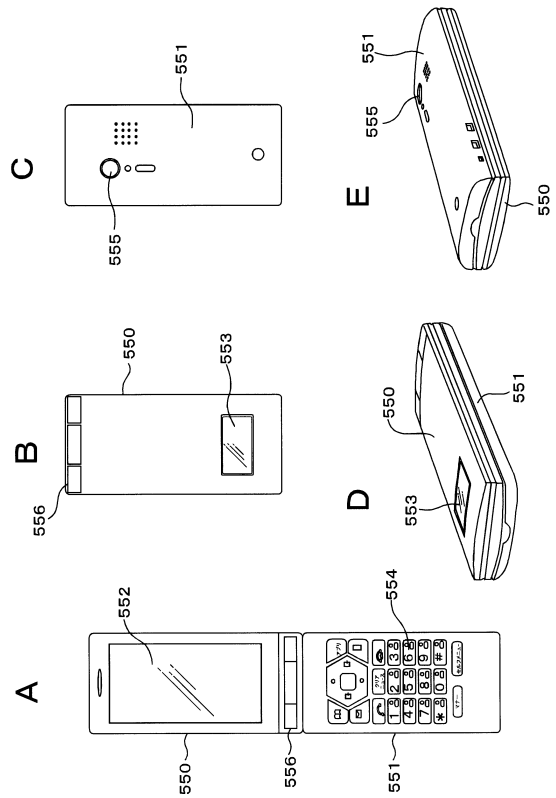
【 16 】



【 17 】



【 18 】



## フロントページの続き

(51) Int.Cl.	F I		
	G 0 9 G	3/20	6 2 3 D
	G 0 9 G	3/20	6 4 1 C
	G 0 2 F	1/133	5 5 0
	G 0 2 F	1/133	5 3 0

- (56) 参考文献 特開 2 0 0 6 - 2 5 9 2 2 4 ( J P , A )  
特開 2 0 0 9 - 0 9 2 7 8 7 ( J P , A )  
特開平 1 0 - 1 7 1 4 2 2 ( J P , A )  
特開 2 0 0 9 - 2 0 4 8 6 8 ( J P , A )  
特開平 0 4 - 0 4 2 2 9 0 ( J P , A )  
国際公開第 2 0 1 0 / 0 9 8 1 9 9 ( W O , A 1 )  
特開 2 0 0 5 - 3 0 0 6 3 0 ( J P , A )

## (58) 調査した分野(Int.Cl. , DB名)

G 0 9 G	3 / 3 6
G 0 2 F	1 / 1 3 3
G 0 9 G	3 / 2 0

专利名称(译)	液晶表示装置、表示驱动方法、电子机器		
公开(公告)号	<a href="#">JP5818722B2</a>	公开(公告)日	2015-11-18
申请号	JP2012049117	申请日	2012-03-06
[标]申请(专利权)人(译)	日本显示器西股份有限公司		
申请(专利权)人(译)	有限公司日本西显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	小出元		
发明人	小出元		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G06F3/0412 G06F3/04166 G06F3/0445 G06F3/0446 G09G3/3614 G09G3/3648 G09G2310/0248 G09G2310/0297 G09G2320/0214 G09G2330/021 G06F3/0416 G06F3/044 G06F3/0488 G09G1/005		
FI分类号	G09G3/36 G09G3/20.611.D G09G3/20.611.A G09G3/20.621.B G09G3/20.623.C G09G3/20.623.D G09G3/20.641.C G02F1/133.550 G02F1/133.530 G09G3/20.623.R G09G3/20.623.Y		
F-TERM分类号	2H193/ZA04 2H193/ZB02 2H193/ZB03 2H193/ZC04 2H193/ZC16 2H193/ZC27 2H193/ZD01 2H193/ZD02 2H193/ZD13 2H193/ZD23 2H193/ZF12 2H193/ZF16 2H193/ZF22 2H193/ZF34 2H193/ZF36 2H193/ZJ02 2H193/ZQ16 5C006/AA16 5C006/AA22 5C006/AF44 5C006/BB16 5C006/FA22 5C006/FA36 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD10 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	酒井宏明 高村秩序		
审查员(译)	Naoaki桥本		
其他公开文献	JP2013186166A		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

一种显示装置，包括：像素阵列部分，其中基于写入的像素信号控制显示灰度的多个像素沿行和列方向设置；多条扫描线设置在像素阵列部分中，并为行中的像素提供扫描脉冲；多个信号线设置在像素阵列部分中，并为列中的像素提供像素信号；扫描线驱动器，连续地将扫描脉冲提供给多条扫描线，并使行中的像素进行像素信号的写入；信号线驱动器将像素的像素信号输出到多个信号线，并且对于多个信号线中的每一个，间歇地输出具有比预定像素信号电压低一个或多个预定像素信号电压一次或多次的电荷的充电电压。

(21) 出願番号	特願2012-49117 (P2012-49117)	(73) 特許権者	502356528
(22) 出願日	平成24年3月6日 (2012.3.6)		株式会社ジャパンディスプレイ
(65) 公開番号	特開2013-186166 (P2013-186166A)		東京都港区西新橋三丁目7番1号
(43) 公開日	平成25年9月19日 (2013.9.19)	(74) 代理人	100089118
審査請求日	平成26年5月12日 (2014.5.12)		弁理士 酒井 宏明
		(74) 代理人	100118762
			弁理士 高村 順
		(74) 代理人	100092152
			弁理士 服部 毅敏
		(72) 発明者	小出元
			愛知県知多郡栗浦町大字緒川字上舟木50
			番地 ソニーモバイルディスプレイ株式会社
			社内
		審査官	橋本 直明