

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5593047号
(P5593047)

(45) 発行日 平成26年9月17日 (2014.9.17)

(24) 登録日 平成26年8月8日 (2014.8.8)

(51) Int. Cl.

F I

GO2F 1/1368 (2006.01)
 HO1L 21/336 (2006.01)
 HO1L 29/786 (2006.01)
 HO1L 29/417 (2006.01)
 HO1L 21/28 (2006.01)

GO2F 1/1368
 HO1L 29/78 627C
 HO1L 29/50 M
 HO1L 21/28 E
 HO1L 21/28 D

請求項の数 7 (全 14 頁)

(21) 出願番号 特願2009-221180 (P2009-221180)
 (22) 出願日 平成21年9月25日 (2009.9.25)
 (65) 公開番号 特開2010-79302 (P2010-79302A)
 (43) 公開日 平成22年4月8日 (2010.4.8)
 審査請求日 平成24年9月4日 (2012.9.4)
 (31) 優先権主張番号 20081022792.1
 (32) 優先日 平成20年9月25日 (2008.9.25)
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 507134301
 北京京東方光電科技有限公司
 中華人民共和国北京経済技術開発区西環中
 路8號
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100064908
 弁理士 志賀 正武
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 崔 承▲鎮▼
 中華人民共和国北京▲経▼済技術開発区西
 環中路8號

最終頁に続く

(54) 【発明の名称】 液晶表示装置のアレイ基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

(工程 a) ゲートライン、ゲート絶縁層及び活性層パターンが順次形成されている基板を提供し、前記基板が画素領域と、T F T 領域と、配線領域とを含み、前記配線領域がゲートライン領域とデータライン領域とを含む工程と、

(工程 b) 前記基板に、第1の透明導電層及びソースドレイン金属層を順次堆積する工程と、

(工程 c) 前記ソースドレイン金属層の上部に、スリートンマスクによりフォトレジストパターン層を形成する工程と、

(工程 d) 前記フォトレジストパターン層が画素領域と、T F T 領域と、データライン領域とを除いた領域で露出されたソースドレイン金属層及び第1の透明導電層に対してウェットエッチングを行い、前記T F T 領域がソース電極領域、ドレイン電極領域及び前記ソース電極領域とドレイン電極領域との間のチャンネル領域を含む工程と、

(工程 e) 前記フォトレジストパターン層に対して第1回目のアッシングプロセスを行い、前記チャンネル領域中のソースドレイン金属層を露出してから、露出されたソースドレイン金属層、第1の透明導電層及び活性層パターンに対してドライエッチングを行う工程と、

(工程 f) 前記フォトレジストパターン層に対して第2回目のアッシングプロセスを行い、前記画素領域中のソースドレイン金属層を露出してから、露出されたソースドレイン金属層に対してウェットエッチングを行う工程と、

10

20

(工程 g) 残されたフォトリソレジストパターン層を除去する工程と、
を含むことを特徴とする、液晶表示装置のアレイ基板の製造方法。

【請求項 2】

前記スリートンマスクにより形成されたフォトリソレジストパターン層が、前記工程 e において第 1 回目のアッシングプロセスを経過して露出されたチャンネル領域のフォトリソレジストパターン層の厚さは、前記工程 f において第 2 回目のアッシングプロセスを経過して露出された画素領域のフォトリソレジストパターン層の厚さより薄く、且つ、前記工程 f において第 2 回目のアッシングプロセスを経過して露出された画素領域のフォトリソレジストパターン層の厚さは、前記工程 g において残された領域のフォトリソレジストパターン層の厚さより薄いことを特徴とする、請求項 1 に記載の液晶表示装置のアレイ基板の製造方法。

10

【請求項 3】

(工程 h) 工程 g が完了した基板に絶縁層を堆積し、フォトリソグラフィープロセスによりパッシベーション層パターンを形成する工程をさらに含むことを特徴とする、請求項 2 に記載の液晶表示装置のアレイ基板の製造方法。

【請求項 4】

(工程 i) 工程 h が完了した基板に第 2 の透明導電層を堆積し、フォトリソグラフィープロセスにより共通電極を形成する工程をさらに含むことを特徴とする、請求項 3 に記載の液晶表示装置のアレイ基板の製造方法。

【請求項 5】

(工程 a a) T F T の領域の上に第 1 の金属層、第 1 の絶縁層、半導体層及びドープ半導体層を有する基板を提供し、且つ、該基板が前記第 1 の絶縁層に覆われ、前記基板は画素領域、T F T 領域及び非表示領域を含み、該 T F T 領域はソース電極領域、ドレイン電極領域及び T F T チャンネル領域を含む工程と、

20

(工程 b b) 工程 a a が完了した基板に、第 1 の透明導電層及び第 2 の金属層を順次堆積する工程と、

(工程 c c) 前記第 2 の金属層にフォトリソレジストパターン層を形成し、且つ、前記 T F T チャンネル領域のフォトリソレジストパターン層は第 1 の厚さを有し、前記画素領域のフォトリソレジストパターン層は第 2 の厚さを有し、前記ソース電極領域及びドレイン電極領域のフォトリソレジストパターン層は第 3 の厚さを有し、前記フォトリソレジストパターン層の第 1 の厚さは第 2 の厚さより薄く、第 2 の厚さは第 3 の厚さより薄くなる工程と、

30

(工程 d d) 前記非表示領域の第 2 の金属層及び第 1 の透明導電層に対してウェットエッチングを行う工程と、

(工程 e e) 前記フォトリソレジストパターン層に対して第 1 回目のアッシングプロセスを行い、前記 T F T チャンネル領域の第 2 の金属層を露出させる工程と、

(工程 f f) T F T チャンネル領域の第 2 の金属層、透明導電層及びドープ半導体層に対してドライエッチングを行う工程と、

(工程 g g) 前記フォトリソレジストパターン層に対して第 2 回目のアッシングプロセスを行い、前記画素領域の第 2 の金属層を露出させる工程と、

(工程 h h) 前記画素領域の第 2 の金属層に対してウェットエッチングを行う工程と、

(工程 i i) 残されたフォトリソレジストパターン層を除去する工程と、

40

を含むことを特徴とする、液晶表示装置のアレイ基板の製造方法。

【請求項 6】

(工程 j j) 工程 i i が完了した基板に第 2 の絶縁層を堆積し、フォトリソグラフィープロセスによりパッシベーション層パターンを形成する工程をさらに含むことを特徴とする、請求項 5 に記載の液晶表示装置のアレイ基板の製造方法。

【請求項 7】

(工程 k k) 工程 j j が完了した基板に第 2 の透明導電層を堆積し、フォトリソグラフィープロセスにより共通電極を形成する工程をさらに含むことを特徴とする、請求項 6 に記載の液晶表示装置のアレイ基板の製造方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は液晶表示装置のアレイ基板の製造方法に関し、特にオーバーエッチングされる程度が低下できる液晶表示装置のアレイ基板の製造方法に関する。

【背景技術】

【0002】

液晶表示装置のアレイ基板はフォトリソグラフィープロセスより製造される。フォトリソグラフィープロセスにおいて製造コストが極めて高いマスクが用いられ、液晶表示装置の製造プロセスがさらに進んで行くにつれて、いかにマスクの使用量を低減させるかは、当業分野にとってコストダウンと競争力をアップさせるキーになっている。

10

【0003】

従来、マスクの使用量を低減させる目的を達成するため、種々の方法が提案された。例えば、1つのデュアルトーンマスク (dual-tone mask) を利用して、透明電極 (ITO、IZOなど)、ソース電極、ドレイン電極及び薄膜トランジスタ (TFT) チャンネルを形成する方法が公開された。このような方法は、ツイストネマチックモード (TNモード) 液晶表示装置及び横電界駆動方式 (FFSモード) 液晶表示装置などのアレイ基板の製造プロセスに利用できる。

【0004】

従来の四回のフォトリソグラフィープロセスより、TNモード液晶表示装置のアレイ基板を製造する方法は下記の通りである。

20

【0005】

(工程1) ゲート金属層を堆積し、第1回目のフォトリソグラフィープロセスにより、第1のマスクを利用してゲートラインを形成し、必要に応じて、ゲートラインと一体になったゲート電極を張り出せて形成することができる。

【0006】

(工程2) 工程1が完了した基板に、ゲート絶縁層、活性層 (半導体層及びドープ半導体) を堆積し、第2回目のフォトリソグラフィープロセスにより、第2のマスクを利用して活性層 (ACTIVE) パターンを形成する。

【0007】

(工程3) 工程2が完了した基板に、透明導電層及びソースドレイン金属層を順次堆積し、第3回目のフォトリソグラフィープロセスにより、第3のマスク (デュアルトーンマスク) を利用して画素電極、ソース電極、ドレイン電極及びTFTチャンネルを形成する。

30

【0008】

(工程4) 工程3が完了した基板にパッシベーション層を堆積し、第4回目のフォトリソグラフィープロセスにより、第4のマスクを利用してパッシベーション層パターン及びビアホールを形成する。

【0009】

従来の四回のフォトリソグラフィープロセスより、FFSモード液晶表示装置のアレイ基板を製造する方法は下記の通りである。

40

【0010】

(工程1) ゲート金属層を堆積し、第1回目のフォトリソグラフィープロセスにより、第1のマスクを利用してゲートラインを形成し、必要に応じて、ゲートラインと一体になったゲート電極を張り出させて形成することができる。

【0011】

(工程2) 工程1が完了した基板に、ゲート絶縁層、活性層 (半導体層及びドープ半導体) を堆積し、第2回目のフォトリソグラフィープロセスにより、第2のマスクを利用して活性層 (ACTIVE) パターンを形成する。

【0012】

(工程3) 工程2が完了した基板に、第1の透明導電層及びソースドレイン金属層を順

50

次堆積し、第3回目のフォトリソグラフィープロセスにより、第3のマスク（デュアルトーンマスク）を利用して画素電極、ソース電極、ドレイン電極及びTFTチャンネルを形成する。

【0013】

（工程4）工程3が完了した基板に、パッシベーション層及び第2の透明導電層を堆積し、第4回目のフォトリソグラフィープロセスにより、第4のマスクを利用してパッシベーション層パターン、ビアホール及び共通電極を形成する。

【0014】

上記の二つの液晶表示装置のアレイ基板の製造方法は、一回のフォトリソグラフィープロセスにより、1つのデュアルトーンマスクプレートだけを利用して、画素電極、ソース電極、ドレイン電極及びTFTチャンネルのパターンを完成し、コストが低減されたが、本発明の発明者が実践において、このような従来の方法により、液晶表示装置の表示機能が低減されるという重大な欠陥が生じされてしまうことを発見した。詳しく言うと、図1及び図2A～図2Fを併せて見ると、図1は従来の液晶表示装置のアレイ基板を表示する構造模式図である。図2Aは従来のゲート電極、ゲート絶縁層、活性層パターンが形成されている基板に、第1の透明導電層及びソースドレイン金属層を堆積した後の基板の断面図であり、図2Bは図2Aの基板に、デュアルトーンマスクを利用して、フォトレジストに対して露光と現像処理を行ってフォトレジストパターン層を形成した後の断面図であり、図2Cは図2Bの基板に対してエッチングした後の断面図であり、図2Dは図2Cの基板上のフォトレジストパターン層に対してアッシングプロセスを行った後の断面図であり、図2Eは図2Dの基板に対してエッチングを行った後の断面図である。図2Fは図2Eのフォトレジストパターン層を除去した後の断面図である。

【0015】

図1に示したように、液晶表示装置のアレイ基板は、画素領域101、非表示領域及びTFT領域102から構成され、前記非表示領域には、画素領域101との間に位置する配線領域及び他の領域が含まれ、該TFT領域102にはTFTチャンネル領域1021、ソース電極領域1022及びドレイン電極領域1023が含まれている。該配線領域にはゲートライン領域103及びデータライン領域104が含まれている。画素領域101は数多くの画素電極141から構成された領域であり、ゲートライン領域103は複数のゲートライン11から構成された領域である。データライン領域104は複数のデータライン16から構成された領域である。

【0016】

以下、図2A～図2Fによって、従来の液晶表示装置のアレイ基板の製造方法に関して、具体的に説明する。

【0017】

（工程1）図2Aに示したように、ゲートライン11及びそれと一体のゲート電極111、ゲート絶縁層12及び活性層パターン13が形成されている基板10に、第1の透明導電層14とソースドレイン金属層15が順次堆積される。

【0018】

（工程2）図2Bに示したように、一層のフォトレジストを塗布し、フォトレジストパターン層100がデュアルトーンマスクにより露光処理と現像処理を行って形成され、前記画素領域101のフォトレジストパターン層100の厚さは、前記ソース電極領域1022、ドレイン電極領域1023及びデータライン領域104のフォトレジストパターン層100の厚さより薄い。

【0019】

（工程3）図2Cに示したように、基板10の大面积に渡ってウェットエッチングを行い、基板10の上に露出された領域のソースドレイン金属層15、第1の透明導電層14及び活性層の一部に対してエッチングを行って、ソース電極151及びTFTチャンネル131が形成される。

【0020】

(工程4) 図2Dに示したように、フォトリジストパターン層100に対してアッシングプロセスを行って、画素領域101のソース・ドレイン金属層15が露出される。

【0021】

(工程5) 図2Eに示したように、基板10の大面积に渡ってウェットエッチングを行い、基板の上に露出された領域のソースドレイン金属層15に対してエッチングを行って、画素電極141及びドレイン電極152が形成される。

【0022】

(工程6) 図2Fに示したように残ったフォトリジストパターン層100が除去される。

【0023】

上記の工程3及び工程5において、TF Tチャンネル、ソース電極、ドレイン電極及び画素電極を形成するため、基板の全般に対して二回の大面积のエッチングを行う必要があり、このような大面积のエッチングにウェットエッチングだけが利用でき、即ち、基板をエッチング液に浸せ、フォトリジストに覆われなく、且つ、該エッチング液に浸食された部分に対してエッチングを行う。上記の方法から分かるように、TF Tチャンネル領域は二回ウェットエッチングされ、ウェットエッチングのエッチング程度に対して制御しにくくなるため、TF Tチャンネルがオーバーエッチング(Over Etch)される問題が避けられない。

【発明の概要】

【発明が解決しようとする課題】

【0024】

本発明は、TF Tチャンネルのオーバーエッチングされる程度が低下され、液晶表示装置の表示機能が確保できる液晶表示装置のアレイ基板の製造方法を提供することに目的がある。

【課題を解決するための手段】

【0025】

上記の目的を達するために、本発明は、

(工程a) ゲートライン、ゲート絶縁層及び活性層パターンが順次形成されている基板を提供する工程と、

(工程b) 前記基板に、第1の透明導電層及びソースドレイン金属層を順次堆積する工程と、

(工程c) 前記ソースドレイン金属層の上部に、スリートンマスク(three tone mask)によりフォトリジストパターン層を形成する工程と、

(工程d) 前記フォトリジストパターン層が露出されたソースドレイン金属層及び第1の透明導電層に対してウェットエッチングを行う工程と、

(工程e) 前記フォトリジストパターン層に対して第1回目のアッシングプロセスを行い、露出されたソースドレイン金属層、第1の透明導電層及び活性層パターンに対してドライエッチングを行う工程と、

(工程f) 前記フォトリジストパターン層に対して第2回目のアッシングプロセスを行い、露出されたソースドレイン金属層に対してウェットエッチングを行う工程と、

(工程g) 残されたフォトリジストパターン層を除去する工程と、

を含むことを特徴とする、液晶表示装置のアレイ基板の製造方法を提供する。

【0026】

上記の目的を達するために、本発明は、

(工程aa) TF Tの領域の上に第1の金属層、第1の絶縁層、半導体層及びドーパ半導体層を有する基板を提供し、且つ、該基板が前記第1の絶縁層に覆われ、前記基板は画素領域、TF T領域及び非表示領域を含め、該TF T領域はソース電極領域、ドレイン電極領域及びTF Tチャンネル領域を含める工程と、

(工程bb) 工程aaが完了した基板に、第1の透明導電層及び第2の金属層を順次堆積する工程と、

10

20

30

40

50

(工程 c c) 前記第 2 の金属層にフォトレジストパターン層を形成し、且つ、前記 T F T チャンネル領域のフォトレジストパターン層は第 1 の厚さを有し、前記画素領域のフォトレジストパターン層は第 2 の厚さを有し、前記ソース電極領域及びドレイン電極領域のフォトレジストパターン層は第 3 の厚さを有し、前記フォトレジストパターン層の第 1 の厚さは第 2 の厚さより薄く、第 2 の厚さは第 3 の厚さより薄くなる工程と、

(工程 d d) 前記非表示領域の第 2 の金属層及び第 1 の透明導電層に対してエッチングを行う工程と、

(工程 e e) 前記フォトレジストパターン層に対して第 1 回目のアッシングプロセスを行い、前記 T F T チャンネル領域の第 2 の金属層を露出させる工程と、

(工程 f f) T F T チャンネル領域の第 2 の金属層、透明導電層及びドープ半導体層に対してエッチングを行う工程と、

(工程 g g) 前記フォトレジストパターン層に対して第 2 回目のアッシングプロセスを行い、前記画素領域の第 2 の金属層を露出させる工程と、

(工程 h h) 前記画素領域の第 2 の金属層に対してエッチングを行う工程と、

(工程 i i) 残されたフォトレジストパターン層を除去する工程と、

をさらに含むことを特徴とする、液晶表示装置のアレイ基板の製造方法を提供する。

【発明の効果】

【0027】

本発明において、第 1 回目のウェットエッチングを行う時、T F T チャンネル領域がフォトレジストパターン層により保護されるように、スリートンマスクを利用して、T F T チャンネル領域にもフォトレジストパターン層を形成させ、そして、エッチング精度が高精度に制御できるドライエッチングを利用して、T F T チャンネルをエッチングさせた。このように、従来技術の T F T チャンネルが二回のウェットエッチングを経過するウェットエッチングより、本発明の T F T チャンネルは一回のドライエッチングと一回のウェットエッチングを経過し、T F T チャンネルがウェットエッチングにエッチされる工程数を減少したため、オーバーエッチングされる程度が低減され、T F T チャンネルの幅が広すぎて液晶表示装置の表示機能に影響を与えることが避けられる。

【0028】

以下、本発明の技術案に対して、図面及び実施例により、さらに詳しく説明する。

【図面の簡単な説明】

【0029】

【図 1】従来の液晶表示装置のアレイ基板の構成模式図である。

【図 2 A】従来のゲート電極、ゲート絶縁層、活性層パターンが形成されている基板に、第 1 の透明導電層及びソースドレイン金属層が堆積された後の基板の断面図である。

【図 2 B】図 2 A の基板に、デュアルトンマスクを利用して、フォトレジストに対して露光と現像処理を行ってフォトレジストパターン層を形成した後の断面図である。

【図 2 C】図 2 B の基板に対してエッチングした後の断面図である。

【図 2 D】図 2 C の基板上のフォトレジストパターン層に対してアッシングプロセスを行った後の断面図である。

【図 2 E】図 2 D の基板に対してエッチングを行った後の断面図である。

【図 2 F】図 2 E のフォトレジストパターン層を除去した後の断面図である。

【図 3】本発明に係る液晶表示装置のアレイ基板の製造方法のフローチャートである。

【図 4 A】ゲートライン及びゲートラインと一体のゲート電極が形成されている基板の断面図である。

【図 4 B】図 4 A の基板にゲート絶縁層及び活性層パターンを形成した後の断面図である。

【図 4 C】図 4 B の基板に第 1 の透明導電層及びソースドレイン金属層を形成した後の断面図である。

【図 4 D】図 4 C の基板にフォトレジストパターン層を形成した後の断面図である。

【図 4 E】図 4 D の基板に対してウェットエッチングを行った後の断面図である。

【図 4 F】図 4 E のフォトリソパターン層に対して第 1 回のアッシングプロセスを行って後の断面図である。

【図 4 G】図 4 F の T F T チャンネル領域に対してドライエッチングを行った後の断面図である。

【図 4 H】図 4 G のフォトリソパターン層に対して第 2 回のアッシングプロセスを行った後の断面図である。

【図 4 I】図 4 H の基板に対してウェットエッチングを行った後の断面図である。

【図 4 J】図 4 I においてフォトリソパターン層を除去した後の断面図である。

【発明を実施するための形態】

【0030】

10

図 3 は、本発明の液晶表示装置のアレイ基板の製造方法のフローチャートであり、本発明の液晶表示装置のアレイ基板の製造方法において、

(工程 a) ゲートライン及びゲートラインと一体なゲート電極、ゲート絶縁層及び活性層パターンが順次形成されている基板を提供する工程と、

(工程 b) 前記基板に、第 1 の透明導電層及びソースドレイン金属層を順次堆積する工程と、

(工程 c) 前記ソースドレイン金属層の上部に、スリートンマスクによりフォトリソパターン層を形成する工程と、

(工程 d) 前記フォトリソパターン層が露出されたソースドレイン金属層及び第 1 の透明導電層に対してウェットエッチングを行う工程と、

20

(工程 e) 前記フォトリソパターン層に対して第 1 回目のアッシングプロセスを行い、第 1 回目のアッシングプロセスにより露出されたソースドレイン金属層、第 1 の透明導電層及び活性層パターンに対してドライエッチングを行って、T F T チャンネル及びソース電極を形成する工程と、

(工程 f) 前記フォトリソパターン層に対して第 2 回目のアッシングプロセスを行い、露出されたソースドレイン金属層に対してウェットエッチングを行って、画素電極及びドレイン電極を形成する工程と、

(工程 g) 残されたフォトリソパターン層を除去する工程と、

を含む。

【0031】

30

上記の工程 c において使われるスリートンマスクには、透過率が異なる三種類の領域があるため、上記のスリートンマスクにより形成されたフォトリソパターンは異なる三種類の厚さを有する。即ち、前記工程 e において第 1 回目のアッシングを経過して露出された領域の厚さは、前記工程 f において第 2 回目のアッシングを経過して露出された領域の厚さより薄く、且つ、前記工程 f において第 2 回目のアッシングを経過して露出された領域の厚さは、前記工程 g において残された領域の厚さより薄い。

【0032】

本発明において、第 1 回目のウェットエッチングを行う時、T F T チャンネル領域がフォトリソパターン層により保護されるように、スリートンマスクを利用して、T F T チャンネル領域にもフォトリソパターン層を形成させ、そして、エッチング程度が高精度に制御できるドライエッチングを利用して、T F T チャンネルをエッチさせた。このように、従来技術の T F T チャンネルが二回のウェットエッチングを経過するウェットエッチングより、本発明の T F T チャンネルは一回のドライエッチングと一回のウェットエッチングを経過し、T F T チャンネルがウェットエッチングにエッチされる工程数を減少したため、オーバーエッチングされる程度が低減され、T F T チャンネルの幅が広すぎて液晶表示装置の表示機能に影響を与えることが避けられる。

40

【0033】

本発明の液晶表示装置のアレイ基板の製造方法において、さらに以下の工程を含める。

【0034】

(工程 h) 工程 g が完了した基板に絶縁層を堆積し、フォトリソグラフィプロセスに

50

よりパッシベーション層パターン及びビアホールを形成する工程。続いて工程 i も行ってもいい。即ち、工程 h が完了した基板に透明導電層を堆積し、フォトリソグラフィープロセスにより共通電極を形成する。工程 h と工程 i は、剥離プロセス (l i f t o f f) により、一回のフォトリソグラフィープロセスを利用して完了できる。詳しく言うと、

(工程 j) 工程 g が完了した基板に、絶縁層を堆積し、フォトリソグラフィープロセスによりパッシベーション層パターンを形成し、フォトレジストを除去しなくて、前記フォトレジスト及び前記パッシベーション層パターン上に第 2 の透明導電層を堆積し、パッシベーション層パターンの上部に共通電極が形成されるように、剥離プロセスにより前記フォトレジスト上の第 2 の透明導電層を除去する。

【0035】

以下、本発明の液晶表示装置のアレイ基板の製造方法の最良の実施例に関して詳しく説明する。

【0036】

図 1 に示したように、液晶表示装置のアレイ基板は、画素領域 101、非表示領域及び TFT 領域 102 から構成され、前記非表示領域には画素領域 101 との間に位置する配線領域及び他の領域が含まれ、該 TFT 領域 102 には TFT チャンネル領域 1021、ソース電極領域 1022 及びドレイン電極 1023 が含まれている。該配線領域にはゲートライン領域 103 及びデータライン領域 104 が含まれている。画素領域 101 は数多くの画素電極 141 から構成された領域であり、ゲートライン領域 103 は複数のゲートライン 11 から構成された領域である。データライン領域 104 は複数のデータライン 16 から構成された領域である。

【0037】

図 1 及び図 4 A ～図 4 J を合わせて見ると、図 4 A はゲートライン及びゲートラインと一体のゲート電極が形成されている基板の断面図であり、図 4 B は図 4 A の基板にゲート絶縁層及び活性層パターンを形成した後の断面図であり、図 4 C は図 4 B の基板に第 1 の透明導電層及びソースドレイン金属層を形成した後の断面図であり、図 4 D は図 4 C の基板にフォトレジストパターン層を形成した後の断面図であり、図 4 E は図 4 D の基板に対してウェットエッチングを行った後の断面図であり、図 4 F は図 4 E のフォトレジストパターン層に対して第 1 回のアッシングプロセスを行った後の断面図であり、図 4 G は図 4 F の TFT チャンネル領域に対してドライエッチングを行った後の断面図であり、図 4 H は図 4 G のフォトレジストパターン層に対して第 2 回のアッシングプロセスを行った後の断面図であり、図 4 I は図 4 H の基板に対してウェットエッチングを行った後の断面図であり、図 4 J は図 4 I におけるフォトレジストパターン層を除去した後の断面図である。

【0038】

本発明の液晶表示装置のアレイ基板の製造方法において、以下の工程を含む。

【0039】

(工程 a a) TFT の領域 102 の上に第 1 の金属層、第 1 の絶縁層、半導体層及びドーパント半導体層を有する基板 10 を提供し、且つ、該基板 10 が前記第 1 の絶縁層に覆われ、前記第 1 の金属層はゲートライン領域 103 内にも形成されている。第 1 の金属層は Cr、W、Ti、Ta、Mo、Al 又は Cu の単層膜であり、或いは、Cr、W、Ti、Ta、Mo、Al 及び Cu のいずれの組合せにより構成した複合膜であり、TFT 領域 102 内に形成された第 1 の金属層はゲート電極 111 とし、ゲートライン領域 103 内に形成された第 1 の金属層はゲートライン 11 としている。第 1 の絶縁層はゲート絶縁層 12 として、ゲートライン 11 及びゲート電極 111 が他の構造と絶縁されるように、ゲートライン 11 及びゲート電極 111 の上を覆われている。具体的に、図 4 A に示したように、先に基板 10 の上に、第 1 の金属層を堆積した後、フォトリソグラフィープロセスにより、TFT 領域 102 内の第 1 の金属層を保留させてゲート電極 111 を形成し、ゲートライン領域 103 内の第 1 の金属層を保留させてゲートライン 11 を形成する (図 1 を参照)。そして、図 4 B に示したように、ゲート絶縁層 12 及び活性層 (半導体層及びドーパント半導体層) を順次堆積させ、フォトリソグラフィープロセスにより、TFT 領域 102

内の活性層のみを保留させて、活性層パターン 13 を形成する。

【0040】

(工程 b b) 工程 a a が完了した基板に、第 1 の透明導電層 14 及び第 2 の金属層を順次堆積する。図 4 C に示したように、前記第 2 の金属層はソースドレイン金属層 15 である。前記ソースドレイン金属層は Cr、W、Ti、Ta、Mo、Al 又は Cu の単層膜であり、或いは、Cr、W、Ti、Ta、Mo、Al 及び Cu のいずれの組合せにより構成した複合膜である。第 1 の透明導電層は ITO 又は IZO である。

【0041】

(工程 c c) スリートンマスクにより、前記第 2 の金属層にフォトレジストパターン層 100 を形成し、且つ、TF T チャンネル領域 1021 のフォトレジストパターン層 100 は第 1 の厚さを有し、前記画素領域 101 のフォトレジストパターン層 100 は第 2 の厚さを有し、前記ソース電極領域 1022、ドレイン電極領域 1023 及びデータライン領域 104 (図 1 を参照) のフォトレジストパターン層 100 は第 3 の厚さを有する。図 4 D に示したように、フォトレジストパターン層の第 1 の厚さが第 2 の厚さより薄く、第 2 の厚さが第 3 の厚さより薄い。

10

【0042】

(工程 d d) 図 4 E に示したように、前記データライン領域 104 (図 1 を参照) の以外の非表示領域の第 2 の金属層 (ソースドレイン金属層 15) 及び第 1 の透明導電層 14 に対してエッチングを行う。基板の全般に対して大面積のエッチングを行う必要があるため、ウェットエッチングにより行う必要がある。この場合、TF T チャンネル領域 1021 内にフォトレジストパターン層 100 がやはり存在しているため、TF T チャンネル領域 1021 はエッチングされない。

20

【0043】

(工程 e e) 図 4 F に示したように、前記フォトレジストパターン層 100 に対して第 1 回のアッシングプロセスを行って、TF T チャンネル領域 1021 の第 2 の金属層 (ソースドレイン金属層 15) を露出させる。この場合、アッシングプロセスにより除去されたフォトレジストパターン層 100 の厚さが第 1 の厚さであるため、TF T チャンネル領域 1021 のフォトレジストパターン層 100 が除去されて、ソースドレイン金属層 15 が露出される。その分、残った部分のフォトレジストパターン層 100 も第 1 の厚さほどの厚さに相当する厚さが減少される。

30

【0044】

(工程 f f) 図 4 G に示したように、TF T チャンネル領域 1021 の第 2 の金属層 (ソースドレイン金属層 15)、第 1 の透明導電層 14 及び活性層パターン 13 の一部に対してエッチングを行う。面積が小さい TF T チャンネル領域 1021 に対してエッチングを行うため、ドライエッチングにより、エッチング程度が高精度に制御されることができ、ソースドレイン金属層 15、第 1 の透明導電層 14 及び活性層パターン 13 の一部 (ドーパ半導体) がエッチングされて、TF T チャンネル 131 及びソース電極 151 が形成される。

【0045】

(工程 g g) 図 4 H に示したように、前記フォトレジストパターン層 100 に対して第 2 回のアッシングプロセスを行って、画素領域 101 の第 2 の金属層 (ソースドレイン金属層 15) を露出させる。この場合、除去されたフォトレジストパターン層 100 の厚さは、第 2 の厚さから第 1 の厚さを差し引いた値に相当する程度であるため、画素領域 101 のソースドレイン金属層 15 が露出される。

40

【0046】

(工程 h h) 図 4 I に示したように、前記画素領域 101 の第 2 の金属層 (ソースドレイン金属層 15) に対してエッチングを行う。基板の全般に対して大面積のエッチングを行う必要があるため、ウェットエッチングにより行う必要がある。画素領域 101 のソースドレイン金属層 15 がエッチされてしまい、ドレイン電極 152 及び画素電極 141 が形成される。

50

【0047】

(工程 i i) 図 4 J に示したように、残ったフォトレジストパターン層が除去される。

【0048】

また、工程 i i が完了した基板に第 2 の絶縁層を堆積し、フォトリソグラフィープロセスによりパッシベーション層パターンが形成される。或いは、続いて第 2 の透明導電層を堆積し、フォトリソグラフィープロセスにより共通電極が形成される。また、工程 i i が完了した基板に、さらに第 2 の絶縁層を堆積し、フォトリソグラフィープロセスによりパッシベーション層パターンが形成され、フォトレジストを除去せずに、前記フォトレジスト及び前記パッシベーション層パターン上に第 2 の透明導電層を堆積し、パッシベーション層パターンの上部に共通電極が形成されるように、剥離プロセス (l i f t o f f) により前記フォトレジスト上の第 2 の透明導電層を除去する。

10

【0049】

本発明は、T F T チャンネル領域の上に一層のフォトレジストパターン層を保留させることにより、第 1 回目のウェットエッチングを行う時、T F T チャンネル領域が保護される。そして、高精度にエッチング程度が制御可能なドライエッチングを利用して、T F T チャンネルがエッチングされた。このように、従来技術の T F T チャンネルが二回のウェットエッチングを経過するウェットエッチングより、本発明の T F T チャンネルは一回のドライエッチングと一回のウェットエッチングを経過し、T F T チャンネルがウェットエッチングによりエッチされる工程数を減少したため、オーバーエッチングされる程度が低減され、T F T チャンネルの幅が広すぎて液晶表示装置の表示機能に影響を与えることが避けられる。

20

【0050】

当業者は、上記の製造方法を T N モード又は F F S モードの液晶表示装置の製造方法に適用され、一回のフォトリソグラフィープロセスにより、ソース電極、ドレイン電極、T F T チャンネル及び画素電極パターンを形成すると同時に、T F T チャンネルがオーバーエッチされる問題を解決する。

【0051】

上記の実施例は本発明の技術案に関して説明しただけであり、これらに限ったものではない。上記の実施例を参考しながら本発明に関して詳しく説明したが、当業者は、上記の各実施例に記載の技術案に対して変形することができるし、或は、その中の部分の技術特徴に対して等価的置換ができるし、このような変形と置換は、対応している技術案の実質を本発明の各実施例の技術案の精神と範囲から逸脱させない、とのことに理解すべきである。

30

【符号の説明】

【0052】

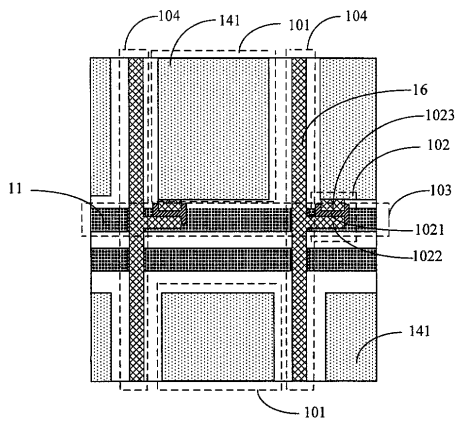
- 1 0 基板
- 1 1 ゲートライン
- 1 1 1 ゲート電極
- 1 2 ゲート絶縁層
- 1 3 活性層パターン
- 1 4 第 1 の透明導電層
- 1 4 1 画素電極
- 1 5 ソースドレイン金属層
- 1 5 1 ソース電極
- 1 5 2 ドレイン電極
- 1 6 データライン
- 1 3 1 T F T チャンネル
- 1 0 0 フォトレジストパターン層
- 1 0 1 画素領域
- 1 0 2 T F T 領域

40

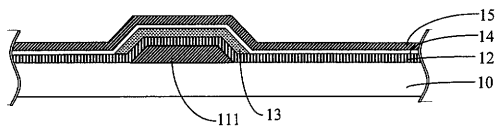
50

- 103 ゲートライン領域
- 104 データライン領域
- 1021 TFTチャンネル領域
- 1022 ソース電極領域
- 1023 ドレイン電極領域

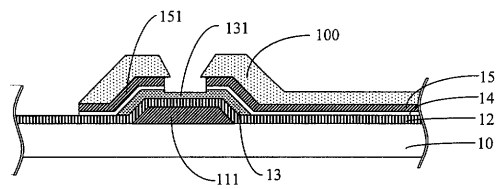
【図 1】



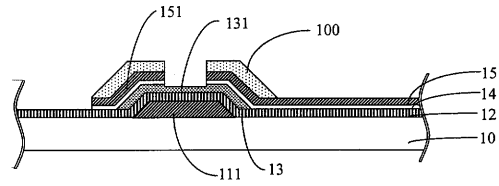
【図 2 A】



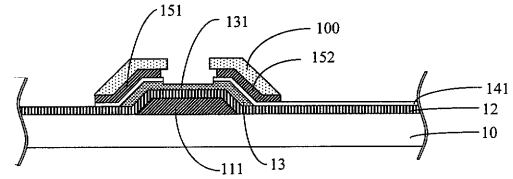
【図 2 C】



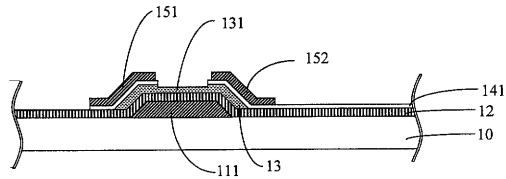
【図 2 D】



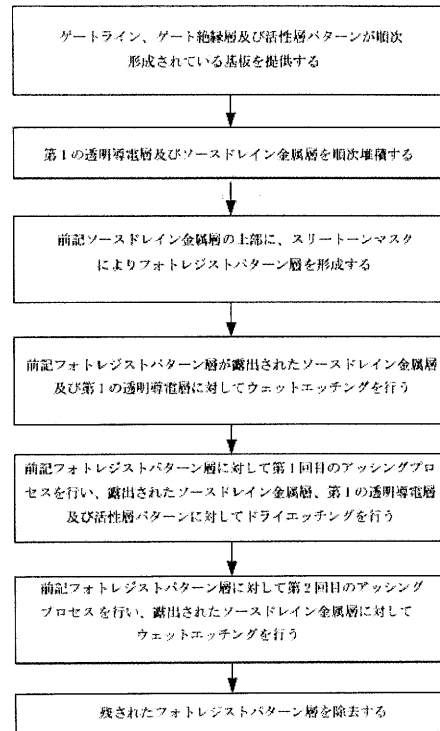
【図 2 E】



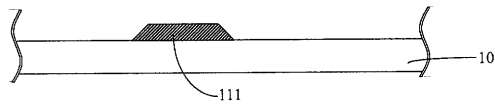
【図 2 F】



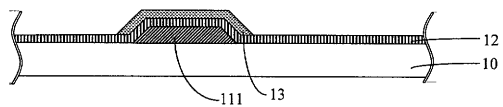
【図 3】



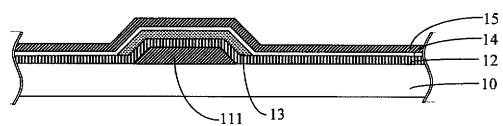
【図 4 A】



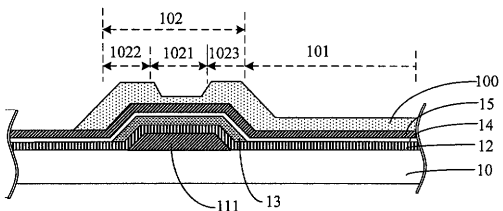
【図 4 B】



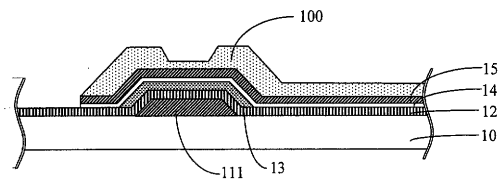
【図 4 C】



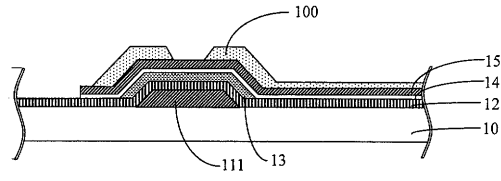
【図 4 D】



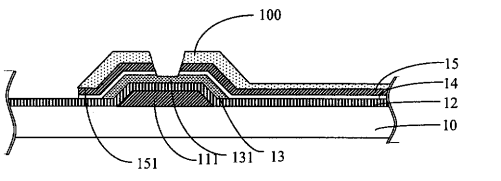
【図 4 E】



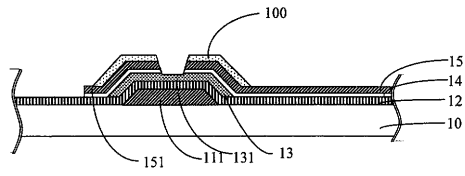
【図 4 F】



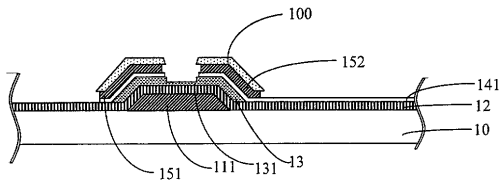
【図 4 G】



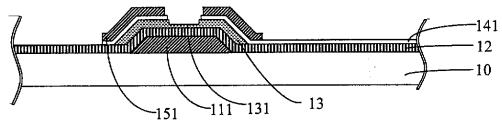
【図 4 H】



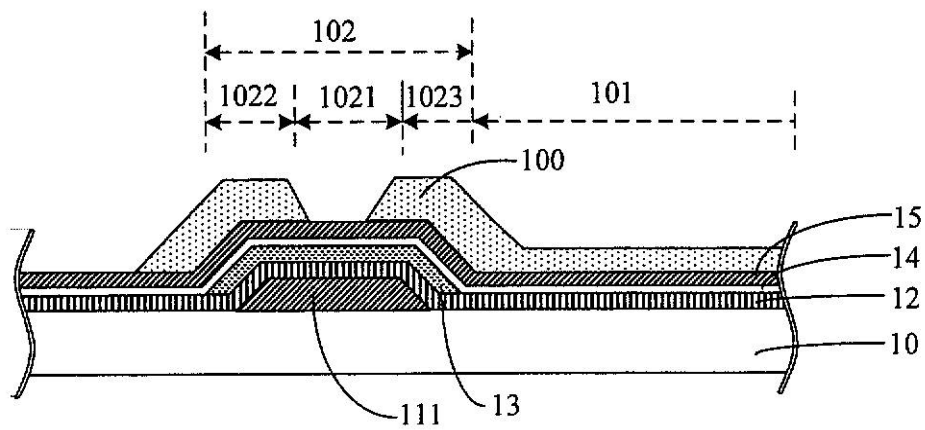
【図 4 I】



【図 4 J】



【図 2 B】



フロントページの続き

- (72)発明者 宋 泳錫
中華人民共和国北京▲経▼済技術開發區西環中路8號
- (72)発明者 劉 聖烈
中華人民共和国北京▲経▼済技術開發區西環中路8號

審査官 山口 裕之

- (56)参考文献 特開2002-341367 (JP, A)
特開2004-177946 (JP, A)
特開2006-189769 (JP, A)
特開2006-189775 (JP, A)
特開2007-189120 (JP, A)
特開2007-294970 (JP, A)
特開2007-329298 (JP, A)
特開2008-175930 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G02F 1/1368

专利名称(译)	制造液晶显示装置的阵列基板的方法		
公开(公告)号	JP5593047B2	公开(公告)日	2014-09-17
申请号	JP2009221180	申请日	2009-09-25
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	崔承鎮 宋泳錫 劉聖烈		
发明人	崔 承▲鎮▼ 宋 泳錫 劉 聖烈		
IPC分类号	G02F1/1368 H01L21/336 H01L29/786 H01L29/417 H01L21/28		
CPC分类号	H01L27/1288 G02F1/1368 H01L27/1214		
FI分类号	G02F1/1368 H01L29/78.627.C H01L29/50.M H01L21/28.E H01L21/28.D		
F-TERM分类号	2H092/JA24 2H092/JA26 2H092/JB57 2H092/KA16 2H092/KA18 2H092/MA15 2H092/MA18 2H092/NA01 2H092/NA25 2H092/PA01 2H092/QA07 2H192/AA24 2H192/CB05 2H192/CB52 2H192/CC04 2H192/CC32 2H192/CC72 2H192/HA44 2H192/HA63 2H192/HA64 2H192/JA06 2H192/JA32 4M104/AA09 4M104/BB02 4M104/BB04 4M104/BB13 4M104/BB14 4M104/BB16 4M104/BB17 4M104/BB18 4M104/BB36 4M104/CC01 4M104/DD62 4M104/DD64 4M104/FF02 4M104/GG09 4M104/GG10 4M104/GG14 5F110/AA30 5F110/BB01 5F110/CC07 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE14 5F110/EE23 5F110/GG22 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK07 5F110/HK21 5F110/HK32 5F110/NN02 5F110/QQ01 5F110/QQ02 5F110/QQ04 5F110/QQ05 5F110/QQ08 5F110/QQ14		
代理人(译)	村山彦 渡边 隆		
审查员(译)	山口博之		
优先权	200810222792.1 2008-09-25 CN		
其他公开文献	JP2010079302A		
外部链接	Espacenet		

摘要(译)

的过度蚀刻的TFT沟道的程度降低，并且其目的是提供一种制造在其中的液晶显示装置的显示功能可被固定的液晶显示装置的阵列基板的方法。 的液晶显示装置中，源极漏极金属层的顶部的阵列基板的制造方法，形成由三色调掩模的光致抗蚀剂图案层，所述光致抗蚀剂图案层源极漏极金属层进行曝光和湿蚀刻第一透明导电层，对光刻胶图案层进行第一灰化处理，曝光源漏金属层，第一透明导电层和有源层图案;通过在光致抗蚀剂图案层上执行第二灰化工艺，在暴露的源极/漏极金属层上执行湿法蚀刻;以及蚀刻剩余的光致抗蚀剂图案层;而且 点域

【图 2 E】

