

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5589051号
(P5589051)

(45) 発行日 平成26年9月10日 (2014. 9. 10)

(24) 登録日 平成26年8月1日 (2014. 8. 1)

(51) Int. Cl.

F I

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1333 (2006. 01)

G O 2 F 1/1333 5 O 5

請求項の数 12 (全 16 頁)

(21) 出願番号 特願2012-250783 (P2012-250783)
 (22) 出願日 平成24年11月15日 (2012. 11. 15)
 (65) 公開番号 特開2013-109347 (P2013-109347A)
 (43) 公開日 平成25年6月6日 (2013. 6. 6)
 審査請求日 平成24年11月16日 (2012. 11. 16)
 (31) 優先権主張番号 10-2011-0120367
 (32) 優先日 平成23年11月17日 (2011. 11. 17)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
 エルジー ディ스플레이 カンパニー リ
 ミテッド
 大韓民国 ソウル、ヨンドゥンポグ、ヨ
 ウィーテロ 128
 (74) 代理人 100109726
 弁理士 園田 吉隆
 (74) 代理人 100101199
 弁理士 小林 義教
 (72) 発明者 シン, ドンス
 大韓民国 キョンギド, バジュ, チョ
 リウツ, ソンホ 2-ダンジ アパート
 メント 103-1102

最終頁に続く

(54) 【発明の名称】 F F S 方式液晶表示装置用アレイ基板及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板の一面に一方向に形成されたゲート配線と、
 前記ゲート配線と交差して画素領域を定義するデータ配線と、
 前記ゲート配線と前記データ配線との交差地点に形成された薄膜トランジスタと、
 前記薄膜トランジスタを含む基板全面に形成され、前記薄膜トランジスタのソース電極
 及びドレイン電極を露出する開口部を備えた有機絶縁膜と、
 前記有機絶縁膜の上部に形成された共通電極と、
 前記有機絶縁膜の上部に形成され、前記有機絶縁膜の上部から前記開口部を通して前記
 薄膜トランジスタに接続された補助電極パターンと、
 前記共通電極及び前記補助電極パターンを含む基板全面に形成され、前記開口部内の補
 助電極パターンを露出するパッシベーション膜と、
 前記パッシベーション膜の上部に形成される複数の画素電極であって、前記パッシベ
 ション膜の上部から前記開口部を通して、前記開口部内に露出した補助電極パターンを介
 して前記薄膜トランジスタに電氣的に接続され、前記共通電極とオーバーラップする、複
 数の画素電極と
 を含むことを特徴とする液晶表示装置用アレイ基板。

【請求項 2】

前記開口部は、前記有機絶縁膜内に形成され、前記薄膜トランジスタの上部にオーバ
 ラップしていることを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

10

20

【請求項 3】

前記画素電極は、前記補助電極パターン及び前記薄膜トランジスタのドレイン電極に電氣的に接続されていることを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 4】

前記基板に前記ゲート配線と平行に配置された共通配線をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 5】

前記パッシベーション膜の上部に形成され、前記共通配線と前記共通電極とを接続する共通接続パターンをさらに含むことを特徴とする請求項 4 に記載の液晶表示装置用アレイ基板。

10

【請求項 6】

前記ゲート配線と前記データ配線とが交差して形成される画素領域に形成されたカラーフィルタ層をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 7】

基板の一面に一方方向にゲート配線を形成する段階と、
前記ゲート配線と交差して画素領域を定義するデータ配線を形成する段階と、
前記ゲート配線と前記データ配線との交差点に薄膜トランジスタを形成する段階と、
前記薄膜トランジスタを含む基板全面に前記薄膜トランジスタのソース電極及びドレイン電極を露出する開口部を備えた有機絶縁膜を形成する段階と、
前記有機絶縁膜の上部に、共通電極、及び前記有機絶縁膜の上部から前記開口部を通して前記薄膜トランジスタに接続される補助電極パターンを形成する段階と、
前記共通電極及び前記補助電極パターンを含む基板全面に、前記開口部内の補助電極パターンを露出するパッシベーション膜を形成する段階と、
前記パッシベーション膜の上部に複数の画素電極を形成する段階であって、前記パッシベーション膜の上部から前記開口部を通して、前記開口部内に露出した補助電極パターンを介して前記薄膜トランジスタに電氣的に接続され、前記共通電極とオーバーラップする複数の画素電極を形成する段階と
を含むことを特徴とする液晶表示装置用アレイ基板の製造方法。

20

【請求項 8】

前記開口部は、前記有機絶縁膜内に形成され、前記薄膜トランジスタの上部にオーバーラップしていることを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板の製造方法。

30

【請求項 9】

前記画素電極は、前記補助電極パターン及び前記薄膜トランジスタのドレイン電極に電氣的に接続されていることを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 10】

前記ゲート配線を形成する際に、前記ゲート配線と平行に共通配線を形成することを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 11】

前記画素電極を形成する際に、前記パッシベーション膜の上部に前記共通配線と前記共通電極とを接続する共通接続パターンを形成することを特徴とする請求項 10 に記載の液晶表示装置用アレイ基板の製造方法。

40

【請求項 12】

前記ゲート配線と前記データ配線とが交差して形成される画素領域にカラーフィルタ層を形成する段階をさらに含むことを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、液晶表示装置 (Liquid Crystal Display Device) に関し、特に、F F S (Fringe Field Switching) 方式液晶表示装置用アレイ基板及びその製造方法に関する。

【背景技術】

【0002】

一般に、液晶表示装置の駆動原理は、液晶の光学的異方性と分極特性を利用するものである。前記液晶は細長い構造であるので分子配列に方向性を有し、人為的に前記液晶に電場を印加することで分子配列の方向を制御することができる。

【0003】

つまり、前記液晶の分子配列の方向を任意に調節して前記液晶の分子配列を変化させると、光学的異方性により前記液晶の分子配列方向に光が屈折し、画像情報が表示される。

10

【0004】

近年、薄膜トランジスタと前記薄膜トランジスタに接続された画素電極とがマトリクス方式で配列されたアクティブマトリクス液晶表示装置 (A M - L C D (Active Matrix LCD)、以下液晶表示装置という) が、解像度及び動画表示能力に優れており、最も注目されている。

【0005】

前記液晶表示装置は、共通電極が形成されたカラーフィルタ基板 (すなわち、上部基板) と、画素電極が形成されたアレイ基板 (すなわち、下部基板) と、上部基板と下部基板との間に充填された液晶とからなるが、このような液晶表示装置は、画素電極と共通電極が上下に印加される電場により液晶を駆動する方式であって、透過率や開口率などの特性

20

【0006】

しかし、上下に印加される電場による液晶駆動方式は、視野角特性に優れていないという欠点があった。よって、上記欠点を克服するために新たに提案された技術が横電界による液晶駆動方式であるが、この横電界による液晶駆動方式は、視野角特性に優れているという利点を有する。

【0007】

このような横電界方式液晶表示装置は、カラーフィルタ基板とアレイ基板とが対向するように構成され、カラーフィルタ基板とアレイ基板との間に液晶層が介在している。

【0008】

30

前記アレイ基板は、透明な絶縁基板上に定義された複数の画素毎に設けられる薄膜トランジスタ、共通電極、及び画素電極から構成される。前記共通電極と前記画素電極とは、同一基板上に平行に離隔して構成される。

【0009】

また、前記カラーフィルタ基板は、透明な絶縁基板上に、ゲート配線、データ配線、及び薄膜トランジスタに対応する部分にブラックマトリクスが形成され、前記画素に対応する部分にカラーフィルタが形成される。

【0010】

さらに、前記液晶層は、前記共通電極と前記画素電極の水平電界により駆動される。

【0011】

40

通常、前記共通電極及び前記画素電極は、輝度を確保するために、透明電極で形成する。

【0012】

よって、このような輝度改善効果を最大化するために提案された技術が F F S 技術である。前記 F F S 技術は、液晶を精密に制御することにより、色ずれ (color shift) がなく、高いコントラスト比が得られるという特徴がある。

【0013】

以下、このような従来の F F S 方式液晶表示装置の製造方法について図 5 及び図 6 を参照して説明する。

【0014】

50

図５は従来のＦＦＳ方式液晶表示装置の概略平面図であり、図６は図５のⅡ－Ⅱ線断面図である。

【００１５】

従来のＦＦＳ方式液晶表示装置用アレイ基板は、図５及び図６に示すように、透明な絶縁基板１１上に一方向に延び、互いに平行に離隔した複数のゲート配線１３と、ゲート配線１３と交差し、その交差して形成される領域に画素領域を定義する複数のデータ配線２１と、ゲート配線１３とデータ配線２１との交差点に設けられ、ゲート配線１３から垂直に延びたゲート電極１３ａ、ゲート絶縁膜１５、アクティブ層１７、オーミックコンタクト層１９、ソース電極２１ａ、及びドレイン電極２１ｂからなる薄膜トランジスタＴと、薄膜トランジスタＴを含む基板全面に形成された第１パッシベーション膜２７と、第１パッシベーション膜２７上に形成されて薄膜トランジスタＴに接続された大面積の画素電極２９と、画素電極２９を含む第１パッシベーション膜２７上に形成された第２パッシベーション膜３１と、第２パッシベーション膜３１上に互いに離隔して形成されて画素電極２９に対応する複数の共通電極３３とを含む。

10

【００１６】

ここで、大面積の画素電極２９は、ゲート配線１３とデータ配線２１とが交差して形成される画素領域に配置されている。

【００１７】

また、共通電極３３は、第２パッシベーション膜３１を介して画素電極２９とオーバーラップしている。ここで、画素電極２９及び複数の共通電極３３は、透明導電物質である

20

【００１８】

また、画素電極２９は、第１パッシベーション膜２７の上部に形成されたドレインコンタクトホール２７ａを介してドレイン電極２１ｂに電氣的に接続される。

【００１９】

さらに、画素電極２９及び複数の共通電極３３が形成された絶縁基板１１と貼り合わせられるカラーフィルタ基板（図示せず）上には、カラーフィルタ層（図示せず）と、前記カラーフィルタ層間に配置されて光の透過を遮断するためのブラックマトリクス（図示せず）が積層されており、前記ブラックマトリクス及び前記カラーフィルタ層の上部には、これらブラックマトリクスとカラーフィルタ層間の平坦化のために、オーバーコート層（

30

【００２０】

さらに、貼り合わせられる前記カラーフィルタ基板と絶縁基板１１との間には液晶層（図示せず）が形成されている。

【発明の概要】

【発明が解決しようとする課題】

【００２１】

従来のＦＦＳ方式液晶表示装置においては、画素電極と薄膜トランジスタのドレイン電極を接続させるために、パッシベーション膜にドレインコンタクトホールを形成しなければならない、そのドレインコンタクトホールを形成する際に、ドレインコンタクトホール周辺部にディスクリネーション領域が発生することにより、光漏れが発生する。

40

【００２２】

従って、ドレインコンタクトホール周辺部のディスクリネーション領域により発生する光漏れを防止するために、前記ドレインコンタクトホール周辺部の全てをブラックマトリクスにより遮蔽しなければならないので、その分、画素の開口領域、すなわち透過領域の面積が減少することにより、画素の透過率が減少する。特に、ドレインコンタクトホール周辺部のディスクリネーション領域により発生する光漏れを防止するために、貼り合わせマージンを考慮してブラックマトリクスにより遮蔽しなければならないので、その分、画素の透過領域の面積が減少することにより、画素の透過率が減少する。

【００２３】

50

一方、ドレインコンタクトホールがなく、かつ共通電極が最上部に配置される構造においては、データ配線と画素電極間の干渉によるクロストークや横線の問題が生じる。

【0024】

つまり、共通電極が最上部に配置される構造は、データ配線と画素電極が隣接している構造であるので、データ配線と画素電極間に強い干渉が発生するという問題があった。

【0025】

本発明は、このような問題を解決するためになされたものであり、本発明の目的は、ドレイン電極と画素電極を接続させるためのドレインコンタクトホールを形成するのではなく、画素電極が最上部に配置される構造を適用することにより、画素の開口領域を最大化し、画素の透過率を向上させる、FFS方式液晶表示装置用アレイ基板及びその製造方法を提供することにある。

10

【課題を解決するための手段】

【0026】

上記目的を達成するための本発明によるFFS方式液晶表示装置用アレイ基板は、基板の一面に一方向に形成されたゲート配線と、前記ゲート配線と交差して画素領域を定義するデータ配線と、前記ゲート配線と前記データ配線との交差点に形成された薄膜トランジスタと、前記薄膜トランジスタを含む基板全面に形成され、前記薄膜トランジスタを露出する開口部を備えた有機絶縁膜と、前記有機絶縁膜の上部に形成された大面積の共通電極と、前記有機絶縁膜の上部に形成され、前記開口部から前記薄膜トランジスタに接続された補助電極パターンと、前記共通電極及び前記補助電極パターンを含む基板全面に形成され、前記薄膜トランジスタに接続された補助電極パターンを露出するパッシベーション膜と、前記パッシベーション膜の上部に形成され、前記露出した補助電極パターンを介して前記薄膜トランジスタに電氣的に接続され、前記共通電極とオーバーラップする複数の画素電極とを含むことを特徴とする。

20

【0027】

上記目的を達成するための本発明によるFFS方式液晶表示装置用アレイ基板の製造方法は、基板の一面に一方向にゲート配線を形成する段階と、前記ゲート配線と交差して画素領域を定義するデータ配線を形成する段階と、前記ゲート配線と前記データ配線との交差点に薄膜トランジスタを形成する段階と、前記薄膜トランジスタを含む基板全面に前記薄膜トランジスタを露出する開口部を備えた有機絶縁膜を形成する段階と、前記有機絶縁膜の上部に、大面積の共通電極、及び前記開口部から前記薄膜トランジスタに接続される補助電極パターンを形成する段階と、前記共通電極及び前記補助電極パターンを含む基板全面に前記薄膜トランジスタに接続された補助電極パターンを露出するパッシベーション膜を形成する段階と、前記パッシベーション膜の上部に、前記露出した補助電極パターンを介して前記薄膜トランジスタに電氣的に接続され、前記共通電極とオーバーラップする複数の画素電極を形成する段階とを含むことを特徴とする。

30

【発明の効果】

【0028】

本発明によるFFS方式液晶表示装置用アレイ基板及びその製造方法によれば、従来のドレイン電極と画素電極を電氣的に接続させるために形成していたドレインコンタクトホールを省略し、有機絶縁膜に薄膜トランジスタの上部を露出する開口部を形成し、その露出した薄膜トランジスタと画素電極を電氣的に直接接続させることにより、従来のドレインコンタクトホールを形成するために使用されていた面積が開口領域として使用されるので、透過率が従来より改善される。

40

【0029】

また、本発明によるFFS方式液晶表示装置用アレイ基板及びその製造方法によれば、薄膜トランジスタの上部に設けられた開口部内にドレイン電極と画素電極が電氣的に接続されるコンタクトホールを形成することにより、コンタクトホールの面積が減少するので、その分開口率が上昇する。

【0030】

50

従って、画素電極が最上部に配置される構造であるため、データ配線と画素電極間のキャパシタンスによるクロストーク及び横線を低減することができる。

【 0 0 3 1 】

さらに、本発明による F F S 方式液晶表示装置用アレイ基板及びその製造方法によれば、ソース電極及びドレイン電極形成領域に該当する導電層部分、並びにデータ配線の下方の不純物を含む非晶質シリコン層 (n + 又は p +) 及び非晶質シリコン層 (a - S i : H) が同時にパターニングされるため、アクティブテール (active tail) が発生する恐れがなくなる。

【図面の簡単な説明】

【 0 0 3 2 】

10

【図 1】本発明による F F S 方式液晶表示装置の概略平面図である。

【図 2】本発明による F F S 方式液晶表示装置の薄膜トランジスタ部分の拡大平面図である。

【図 3】図 1 の V - V 線断面図である。

【図 4 A】本発明による F F S 方式液晶表示装置用アレイ基板の製造工程を示す断面図である。

【図 4 B】図 4 A に続く工程を示す図である。

【図 4 C】図 4 B に続く工程を示す図である。

【図 4 D】図 4 C に続く工程を示す図である。

【図 4 E】図 4 D に続く工程を示す図である。

20

【図 4 F】図 4 E に続く工程を示す図である。

【図 4 G】図 4 F に続く工程を示す図である。

【図 4 H】図 4 G に続く工程を示す図である。

【図 4 I】図 4 H に続く工程を示す図である。

【図 4 J】図 4 I に続く工程を示す図である。

【図 4 K】図 4 J に続く工程を示す図である。

【図 4 L】図 4 K に続く工程を示す図である。

【図 4 M】図 4 L に続く工程を示す図である。

【図 4 N】図 4 M に続く工程を示す図である。

【図 4 O】図 4 N に続く工程を示す図である。

30

【図 4 P】図 4 O に続く工程を示す図である。

【図 4 Q】図 4 P に続く工程を示す図である。

【図 5】従来の F F S 方式液晶表示装置の概略平面図である。

【図 6】図 5 の II - II 線断面図である。

【発明を実施するための形態】

【 0 0 3 3 】

以下、本発明の好ましい実施の形態による F F S 方式液晶表示装置用アレイ基板及びその製造方法について添付図面を参照して詳細に説明する。

【 0 0 3 4 】

図 1 は本発明による F F S 方式液晶表示装置の概略平面図であり、図 2 は本発明による F F S 方式液晶表示装置の薄膜トランジスタ部分の拡大平面図であり、図 3 は図 1 の V - V 線断面図である。

40

【 0 0 3 5 】

本発明による F F S 方式液晶表示装置は、図 1 ~ 図 3 に示すように、透明な絶縁基板 1 0 1 の一面に一方向に形成されたゲート配線 1 0 3 と、ゲート配線 1 0 3 から離隔して配置された共通配線 1 0 3 b と、ゲート配線 1 0 3 と交差して画素領域を定義するデータ配線 1 1 3 a と、ゲート配線 1 0 3 とデータ配線 1 1 3 a との交差点に形成された薄膜トランジスタ T と、薄膜トランジスタ T を含む基板全面に形成され、薄膜トランジスタ T を露出する開口部 1 2 1 を備えた有機絶縁膜 1 1 7 と、有機絶縁膜 1 1 7 の上部に形成された大面積の共通電極 1 2 3 a と、開口部 1 2 1 から薄膜トランジスタ T に接続された補助

50

電極パターン 1 2 3 c と、共通電極 1 2 3 a 及び補助電極パターン 1 2 3 c を含む基板全面に形成され、薄膜トランジスタ T に接続された補助電極パターン 1 2 3 c を露出するパッシベーション膜 1 2 7 と、パッシベーション膜 1 2 7 の上部に形成され、露出した補助電極パターン 1 2 3 c を介して薄膜トランジスタ T に電氣的に接続され、共通電極 1 2 3 a とオーバーラップする複数の画素電極 1 3 3 a とを含む。

【 0 0 3 6 】

共通電極 1 2 3 a は、ゲート配線 1 0 3 とデータ配線 1 1 3 a とが交差して形成される画素領域の全面に配置されており、共通電極 1 2 3 a の上方には、パッシベーション膜 1 2 7 を介して互いに離隔するように複数の透明な棒状の画素電極 1 3 3 a が配置されている。ここで、共通電極 1 2 3 a は、画素電極 1 3 3 a の形成時に形成された共通接続パターン 1 3 3 b を介して、ゲート配線 1 0 3 と平行に配置された共通配線 1 0 3 b に電氣的に接続されている。

10

【 0 0 3 7 】

また、図 3 に示すように、画素電極 1 3 3 a は、別途のドレインコンタクトホールを介することなく、薄膜トランジスタ T の上方に位置する開口部 1 2 1 から、ドレイン電極 1 1 3 c に直接接続された補助電極パターン 1 2 3 c に接続される。ここで、開口部 1 2 1 は、薄膜トランジスタ T を構成するソース電極 1 1 3 b 及びドレイン電極 1 1 3 c を露出するように形成される。

【 0 0 3 8 】

また、ゲート配線 1 0 3 とデータ配線 1 1 3 a とが交差して形成される画素領域を除く領域に対応する上部基板（カラーフィルタ基板）1 4 1 上には、光を遮断するブラックマトリクス 1 4 3 が形成されており、ブラックマトリクス 1 4 3 間には、赤色（R）カラーフィルタ層（図示せず）、緑色（G）カラーフィルタ層（図示せず）、及び青色（B）カラーフィルタ層（図示せず）を含むカラーフィルタ層 1 4 5 が形成されている。ここで、カラーフィルタ層 1 4 5 は、上部基板 1 4 1 上に形成するのではなく絶縁基板 1 0 1 上に形成する C O T（Color filter On TFT）構造を適用してもよい。すなわち、カラーフィルタ層 1 4 5 は、絶縁基板 1 0 1 においてゲート配線 1 0 3 とデータ配線 1 1 3 a とが交差して形成される画素領域に形成してもよい。

20

【 0 0 3 9 】

さらに、液晶表示装置の所定のセルギャップを維持するために、カラーフィルタ層 1 4 5 の上部には、柱状スペーサ（column spacer）1 4 7 が形成されている。ここで、柱状スペーサ 1 4 7 は、絶縁基板 1 0 1 の上部に形成されてもよい。

30

【 0 0 4 0 】

従って、本発明においては、図 3 に示すように、従来形成していたドレインコンタクトホールが除去され、そのドレインコンタクトホールが除去された領域の面積が開口領域として使用されることにより、その分画素の透過率が改善される。

【 0 0 4 1 】

さらに、絶縁基板 1 0 1 と上部基板 1 4 1 との間に液晶層 1 5 1 が形成されることにより、本発明による F F S 方式液晶表示装置が構成される。

【 0 0 4 2 】

上記構成により、複数の共通電極 1 2 3 a は、液晶を駆動するための基準電圧、すなわち共通電圧を各画素に供給する。

40

【 0 0 4 3 】

複数の共通電極 1 2 3 a は、各画素領域でパッシベーション膜 1 2 7 を介して大面積の画素電極 1 3 3 a と重なり、フリンジフィールドを形成する。

【 0 0 4 4 】

よって、薄膜トランジスタ T を介して画素電極 1 3 3 a にデータ信号が供給されると、共通電圧が供給された共通電極 1 2 3 a がフリンジフィールドを形成し、絶縁基板 1 0 1 と上部基板 1 4 1 との間に水平方向に配列された液晶分子が誘電異方性により回転し、液晶分子の回転の程度に応じて画素領域を透過する光透過率が変化することにより、階調が

50

実現される。

【0045】

従って、本発明によるFFS方式液晶表示装置用アレイ基板によれば、従来のドレイン電極と画素電極を電氣的に接続させるために形成していたドレインコンタクトホールを省略し、有機絶縁膜に薄膜トランジスタの上部を露出する開口部を形成し、その露出した薄膜トランジスタと画素電極を電氣的に直接接続させることにより、従来のドレインコンタクトホールを形成するために使用されていた面積が開口領域として使用されるので、透過率が従来より改善される。

【0046】

また、本発明によるFFS方式液晶表示装置用アレイ基板は、画素電極が最上部に配置される構造であるため、データ配線と画素電極間のキャパシタンスによるクロストーク及び横線を低減することができる。

【0047】

さらに、本発明によるFFS方式液晶表示装置用アレイ基板によれば、ソース電極及びドレイン電極形成領域に該当する導電層部分、並びにデータ配線の下方の不純物を含む非晶質シリコン層(n+又はp+)及び非晶質シリコン層(a-Si:H)が同時にパターンニングされるため、アクティブテールが発生する恐れがなくなる。

【0048】

一方、上記構成からなる本発明によるFFS方式液晶表示装置用アレイ基板の製造方法について図4A～図4Qを参照して説明する。

【0049】

図4A～図4Qは本発明によるFFS方式液晶表示装置用アレイ基板の製造工程を示す断面図である。

【0050】

まず、図4Aに示すように、透明な絶縁基板101上にスイッチングの役割を果たす複数の画素領域を定義し、絶縁基板101上に第1導電金属層102をスパッタリング法で蒸着する。ここで、第1導電金属層102を形成するターゲット物質としては、アルミニウム(Al)、タングステン(W)、銅(Cu)、モリブデン(Mo)、クロム(Cr)、チタン(Ti)、モリブデントングステン(MoW)、モリブデンチタン(MoTi)、銅/モリブデンチタン(Cu/MoTi)を含む導電性金属群から選択される少なくとも1つを使用する。また、第1導電金属層102は、前記導電性金属群から選択される2つ以上の導電性金属からなる積層構造にしてもよい。

【0051】

次に、第1導電金属層102の上部に透過率の高いフォトレジストを塗布し、第1感光膜105を形成する。

【0052】

次に、図4Bに示すように、露光マスク(図示せず)を用いるフォトリソグラフィ法により、第1感光膜105に露光工程を行い、その後現像工程で第1感光膜105を選択的に除去し、第1感光膜パターン105aを形成する。

【0053】

次に、図4Cに示すように、第1感光膜パターン105aを遮断膜として第1導電金属層102を選択的にエッチングし、ゲート配線103(図1参照)、ゲート配線103から延びたゲート電極103a、及びゲート配線103から離隔して平行に配置される共通配線103bを同時に形成する。

【0054】

次に、第1感光膜パターン105aを除去し、その後ゲート配線103、ゲート電極103a、及び共通配線103bを含む基板全面に窒化シリコン(SiNx)又はシリコン酸化膜(SiO₂)からなるゲート絶縁膜107を形成する。

【0055】

次に、図4Dに示すように、ゲート絶縁膜107上に非晶質シリコン層(a-Si:H

10

20

30

40

50

）１０９及び不純物を含む非晶質シリコン層（ $n+$ 又は $p+$ ）１１１を順次積層する。ここで、非晶質シリコン層（ $a-Si:H$ ）１０９及び不純物を含む非晶質シリコン層（ $n+$ 又は $p+$ ）１１１は、化学気相蒸着（Chemical Vapor Deposition; CVD）法で蒸着する。また、ゲート絶縁膜１０７上には、非晶質シリコン層（ $a-Si:H$ ）１０９の代わりに、IGZOなどの酸化物系半導体材料を蒸着してもよい。

【００５６】

次に、不純物を含む非晶質シリコン層（ $n+$ 又は $p+$ ）１１１を含む基板全面に第２導電金属層１１３をスパッタリング法で蒸着する。ここで、第２導電金属層１１３を形成するターゲット物質としては、アルミニウム（Al）、タングステン（W）、銅（Cu）、モリブデン（Mo）、クロム（Cr）、チタン（Ti）、モリブデントングステン（MoW）、モリブデンチタン（MoTi）、銅／モリブデンチタン（Cu／MoTi）を含む導電性金属群から選択される少なくとも１つを使用する。

10

【００５７】

次に、第２導電金属層１１３の上部に透過率の高いフォトレジストを塗布し、第２感光膜（図示せず）を形成する。

【００５８】

次に、露光マスク（図示せず）を用いるフォトリソグラフィ法により、前記第２感光膜に露光工程を行い、その後現像工程で前記第２感光膜を選択的に除去し、第２感光膜パターン１１５を形成する。

【００５９】

20

次に、図４Ｅに示すように、第２感光膜パターン１１５をエッチングマスクとして第２導電金属層１１３を選択的にエッチングし、ゲート配線１０３と垂直に交差するデータ配線１１３aと共に、ソース電極及びドレイン電極形成領域（図示せず）を定義する。

【００６０】

次いで、エッチング工程で、前記ソース電極及びドレイン電極形成領域に該当する第２導電金属層１１３部分、並びにデータ配線１１３aの下方の不純物を含む非晶質シリコン層（ $n+$ 又は $p+$ ）１１１及び非晶質シリコン層（ $a-Si:H$ ）１０９を順次エッチングし、オーミックコンタクト層１１１a及びアクティブ層１０９aを形成する。ここで、前記ソース電極及びドレイン電極形成領域に該当する第２導電金属層１１３部分、並びにデータ配線１１３aの下方の不純物を含む非晶質シリコン層（ $n+$ 又は $p+$ ）１１１及び非晶質シリコン層（ $a-Si:H$ ）１０９が同時にパターニングされるため、アクティブテールが発生する恐れがなくなる。

30

【００６１】

次に、図４Ｅに示すように、アクティブ層１０９a、オーミックコンタクト層１１１a、前記ソース電極及びドレイン電極形成領域に該当する第２導電金属層１１３、及びデータ配線１１３aを含む基板全面に第１パッシベーション膜１１６及び有機絶縁膜１１７を順次蒸着する。ここで、第１パッシベーション膜１１６としては、窒化シリコン（ SiN_x ）又はシリコン酸化膜（ SiO_2 ）からなる無機絶縁物質を使用する。また、有機絶縁膜１１７としては、感光性を有するフォトアクリル物質又はその他の感光性有機絶縁物質を使用する。なお、前記フォトアクリルは、感光性を有するため、露光工程を行う際に、フォトレジストを形成することなく露光工程を行うことができる。ここで、有機絶縁膜１１７の代わりに無機絶縁膜を蒸着してもよい。

40

【００６２】

次に、図４Ｆに示すように、露光マスク（図示せず）を用いるフォトリソグラフィ法により、有機絶縁膜１１７に露光工程を行い、その後現像工程で有機絶縁膜１１７を選択的に除去し、前記ソース電極及びドレイン電極形成領域に該当する第２導電金属層１１３の上部、並びに共通配線１０３bの上部を露出する有機絶縁膜パターン１１７aを形成する。

【００６３】

次に、図４Ｇに示すように、有機絶縁膜パターン１１７aをエッチングマスクとして、

50

前記ソース電極及びドレイン電極形成領域に該当する第2導電金属層113の上部、並びに共通配線103bの上部に配置された第1パッシベーション膜116部分を選択的にエッチングし、第1開口部121a及び第2開口部121bを形成する。ここで、第1開口部121aからは、薄膜トランジスタT形成部分、すなわちソース電極及びドレイン電極形成領域が外部に露出する。また、第2開口部121bからは、共通配線103bが外部に露出する。

【0064】

次に、図4Hに示すように、第1開口部121a及び第2開口部121bを含む有機絶縁膜117の上部に透明導電物質をスパッタリング法で蒸着し、第1透明導電物質層123を形成する。ここで、前記透明導電物質としては、ITO (Indium Tin Oxide) やIZO (Indium Zinc Oxide) を含む透明な導電物質群のいずれか1つの組成物ターゲットを使用する。また、第1透明導電物質層123は、前記ソース電極及びドレイン電極形成領域に該当する第2導電金属層113の表面に直接接触する。

10

【0065】

次に、第1透明導電物質層123の上部に透過率の高いフォトレジストを塗布し、第3感光膜125を形成する。

【0066】

次に、図4Iに示すように、露光マスク（図示せず）を用いるフォトリソグラフィ法により、第3感光膜125に露光工程を行い、その後現像工程で第3感光膜125を選択的に除去し、第3感光膜パターン125aを形成する。このとき、薄膜トランジスタTのチャネル領域上部の第1透明導電物質層123の上面が外部に露出する。

20

【0067】

次に、図4Jに示すように、第3感光膜パターン125aをエッチングマスクとして、露出した第1透明導電物質層123とその下方に位置する第2導電金属層113及びオーミックコンタクト層111aを順次エッチングし、大面積の共通電極123a、ダミーパターン123b、及び補助電極パターン123cを形成すると共に、互いに離隔したソース電極113b及びドレイン電極113cを形成する。このとき、オーミックコンタクト層111aもエッチングされて離隔した状態となるので、その下方に位置するアクティブ層109aのチャネル領域（図示せず）が外部に露出する。また、補助電極パターン123cはドレイン電極113cに直接接続された状態となり、ダミーパターン123bはソース電極113bに直接接続された状態となる。ここで、ダミーパターン123bは、単にソース電極113bにのみ接続された状態であるので、別途エッチングする必要はない。

30

【0068】

次に、図4Kに示すように、第3感光膜パターン125aを除去し、その後基板全面に無機絶縁物質又は有機絶縁物質を蒸着し、第2パッシベーション膜127を形成し、次いで、第2パッシベーション膜127の上部に透過率の高いフォトレジストを塗布し、第4感光膜129を形成する。

【0069】

次に、図4Lに示すように、露光マスク（図示せず）を用いるフォトリソグラフィ法により露光及び現像工程を行って第4感光膜129を除去し、第4感光膜パターン129aを形成する。

40

【0070】

次に、図4Mに示すように、第4感光膜パターン129aをエッチングマスクとして、第2パッシベーション膜127を選択的にエッチングし、補助電極パターン123c、共通電極123a、及び共通配線103bをそれぞれ露出する画素電極コンタクトホール131a、共通電極コンタクトホール131b、及び共通配線コンタクトホール131cを同時に形成する。

【0071】

次に、図4Nに示すように、第4感光膜パターン129aを除去し、その後画素電極コ

50

ンタクトホール 131a、共通電極コンタクトホール 131b、及び共通配線コンタクトホール 131c を含む第 2 パッシベーション膜 127 の上部に透明導電物質をスパッタリング法で蒸着し、第 2 透明導電物質層 133 を形成する。ここで、前記透明導電物質としては、ITO や IZO を含む透明な導電物質群のいずれか 1 つの組成物ターゲットを使用する。

【0072】

次に、第 2 透明導電物質層 133 の上部に透過率の高いフォトレジストを塗布し、第 5 感光膜 135 を形成する。

【0073】

次に、図 4O に示すように、露光マスク（図示せず）を用いるフォトリソグラフィ法により、第 5 感光膜 135 に露光工程を行い、その後現像工程で第 5 感光膜 135 を選択的に除去し、第 5 感光膜パターン 135a を形成する。

10

【0074】

次に、図 4P に示すように、第 5 感光膜パターン 135a をエッチングマスクとして、第 2 透明導電物質層 133 を選択的にエッチングし、補助電極パターン 123c に接続されて互いに離隔した複数の画素電極 133a、並びに共通電極コンタクトホール 131b 及び共通配線コンタクトホール 131c を介して共通電極 123a と共通配線 103b とを電氣的に接続する共通接続パターン 133b を同時に形成する。ここで、画素電極 133a は、補助電極パターン 123c に接続されることにより、ドレイン電極 113c とともに電氣的に接続される。

20

【0075】

次に、図示していないが、残っている第 5 感光膜パターン 135a を除去し、その後基板全面に配向膜（図示せず）を形成する工程をさらに行うことにより、本発明による FFS 方式液晶表示装置用アレイ基板の製造工程を完了する。

【0076】

そして、図 4Q に示すように、ゲート配線 103 とデータ配線 113a とが交差して形成される画素領域を除く領域に対応する上部基板 141 上に、光を遮断するブラックマトリクス 143 を形成する。

【0077】

次に、ブラックマトリクス 143 間に、赤色（R）カラーフィルタ層（図示せず）、緑色（G）カラーフィルタ層（図示せず）、及び青色（B）カラーフィルタ層（図示せず）を含むカラーフィルタ層 145 を形成する。ここで、カラーフィルタ層 145 は、上部基板 141 上に形成するのではなく絶縁基板 101 上に形成する COT（Color filter On TFT）構造を適用してもよい。すなわち、カラーフィルタ層 145 は、第 1 パッシベーション膜 116 を形成する前の段階において、絶縁基板 101 においてゲート配線 103 とデータ配線 113a とが交差して形成される画素領域に形成してもよい。

30

【0078】

次に、液晶表示装置の所定のセルギャップを維持するために、カラーフィルタ層 145 の上部に、柱状スペーサ 147 を形成する。ここで、柱状スペーサ 147 は、絶縁基板 101 の上部に形成してもよい。

40

【0079】

従って、本発明においては、従来形成していたドレインコンタクトホールが除去され、そのドレインコンタクトホールが除去された領域の面積が開口領域として使用されることにより、その分画素の透過率が改善される。

【0080】

次に、上部基板 141 の全面に配向膜（図示せず）を形成する工程をさらに行うことにより、カラーフィルタ基板の製造工程を完了する。

【0081】

その後、絶縁基板 101 と上部基板 141 との間に液晶層 151 を形成することにより、本発明による FFS 方式液晶表示装置の製造工程を完了する。

50

【 0 0 8 2 】

前述したように、本発明による F F S 方式液晶表示装置用アレイ基板及びその製造方法によれば、従来のドレイン電極と画素電極を電氣的に接続させるために形成していたドレインコンタクトホールを省略し、有機絶縁膜に薄膜トランジスタの上部を露出する開口部を形成し、その露出した薄膜トランジスタと画素電極を電氣的に直接接続させることにより、従来のドレインコンタクトホールを形成するために使用されていた面積が開口領域として使用されるので、透過率が従来より改善される。

【 0 0 8 3 】

また、本発明による F F S 方式液晶表示装置用アレイ基板及びその製造方法によれば、薄膜トランジスタの上部に設けられた開口部内にドレイン電極と画素電極が電氣的に接続されるコンタクトホールを形成することにより、コンタクトホールの面積が減少するので、その分開口率が上昇する。

10

【 0 0 8 4 】

従って、画素電極が最上部に配置される構造であるため、データ配線と画素電極間のキャパシタンスによるクロストーク及び横線を低減することができる。

【 0 0 8 5 】

さらに、本発明による F F S 方式液晶表示装置用アレイ基板及びその製造方法によれば、ソース電極及びドレイン電極形成領域に該当する導電層部分、並びにデータ配線の下方の不純物を含む非晶質シリコン層 (n + 又は p +) 及び非晶質シリコン層 (a - S i : H) が同時にパターニングされるため、アクティブテールが発生する恐れがなくなる。

20

【 0 0 8 6 】

以上、本発明の好ましい実施の形態について詳細に説明したが、当該技術分野における通常の知識を有する者であればこれから様々な変形及び均等な実施の形態が可能であることを理解するであろう。

【 0 0 8 7 】

よって、本発明の権利範囲はこれに限定されるものではなく、特許請求の範囲で定義される本発明の基本概念を用いた当業者の様々な変形や改良形態も本発明に含まれる。

【 符号の説明 】

【 0 0 8 8 】

- 1 0 1 絶縁基板
- 1 0 3 ゲート配線
- 1 0 3 a ゲート電極
- 1 0 7 ゲート絶縁膜
- 1 0 9 a アクティブ層
- 1 1 1 a オーミックコンタクト層
- 1 1 3 a データ配線
- 1 1 3 b ソース電極
- 1 1 3 c ドレイン電極
- 1 1 7 有機絶縁膜
- 1 2 1 開口部
- 1 2 3 a 共通電極
- 1 2 3 b ダミーパターン
- 1 2 3 c 補助電極パターン
- 1 1 6 第 1 パッシベーション膜
- 1 2 7 第 2 パッシベーション膜
- 1 3 1 a 画素電極コンタクトホール
- 1 3 1 b 共通電極コンタクトホール
- 1 3 1 c 共通配線コンタクトホール
- 1 3 3 a 画素電極
- 1 3 3 b 共通接続パターン

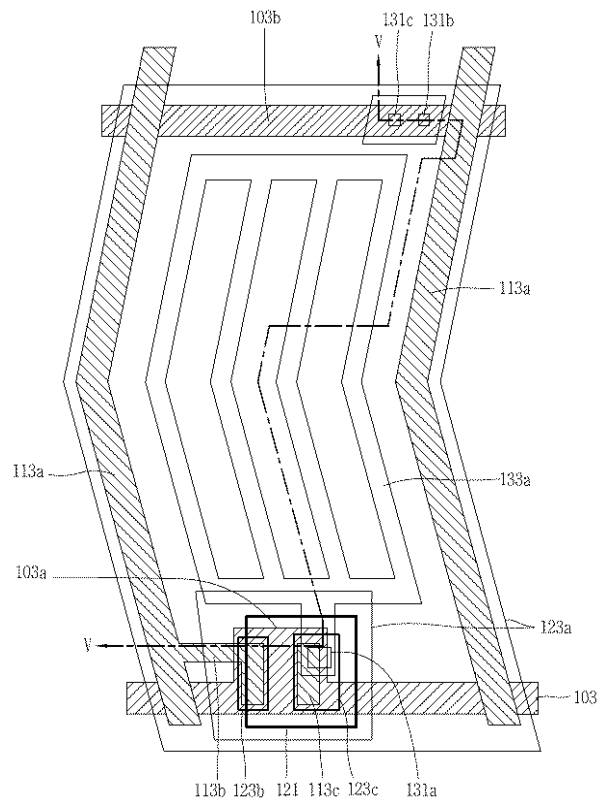
30

40

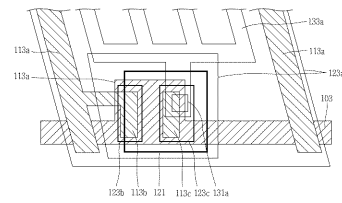
50

- 1 4 1 上部基板
- 1 4 3 ブラックマトリクス
- 1 4 5 カラーフィルタ層
- 1 4 7 柱状スペーサ
- 1 5 1 液晶層

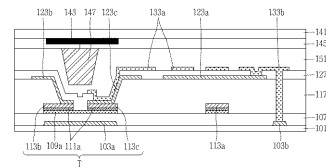
【図 1】



【図 2】



【図 3】



【図 4 A】



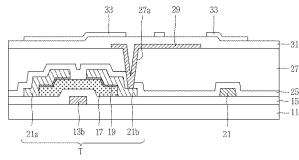
【図 4 B】



【図 4 C】



【図 6】



フロントページの続き

(72)発明者 チェ, スンギュ

大韓民国 キョンギド, バジユ, キョハウツ, ヤダンリ, ハンビマウル ハルラ ヴィヴ
アルディー セントラル パーク アpartment 106-1704

(72)発明者 リ, チョルフアン

大韓民国 キョンギド, スウォン, パルタルグ, ファソ 2-ドン, ゴメベオデル マウ
ル ジンフン アpartment 146-602

審査官 右田 昌士

(56)参考文献 特開2010-145457(JP,A)

特開2003-344824(JP,A)

特開2011-227191(JP,A)

特開2010-079075(JP,A)

特開2008-046655(JP,A)

特開2002-329726(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1368

G02F 1/1333

H01L 21/336

专利名称(译)	用于FFS模式液晶显示装置的阵列基板及其制造方法		
公开(公告)号	JP5589051B2	公开(公告)日	2014-09-10
申请号	JP2012250783	申请日	2012-11-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	シンドンス チェスングユ リ Chol ファン		
发明人	シン, ドンス チェ, スングユ リ, チョル ファン		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1333		
CPC分类号	H01L27/124 G02F1/134363 G02F1/1368 G02F2001/134372 H01L27/1248 H01L29/6675 H01L29/786		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1333.505		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JA46 2H092/JB57 2H092/JB58 2H092/KA05 2H092/KA08 2H092/KA12 2H092/KA19 2H092/KA24 2H092/KB05 2H092/KB14 2H092/KB24 2H092/KB25 2H092/MA05 2H092/MA13 2H092/NA07 2H190/HA03 2H190/HA04 2H190/HA06 2H190/HB03 2H190/HB04 2H190/HB13 2H190/HC01 2H190/HC10 2H190/KA04 2H190/LA01 2H190/LA04 2H190/LA15 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC55 2H192/EA22 2H192/EA42 2H192/EA43 2H192/GD23		
优先权	1020110120367 2011-11-17 KR		
其他公开文献	JP2013109347A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种用于FFS型液晶显示装置的阵列基板及其制造方法，该阵列基板使像素的开口区域最大化以提高像素透射率。解决方案：阵列基板包括：栅极互连;数据互连113a;在栅极互连和数据互连113a的交叉处的薄膜晶体管T;在包括薄膜晶体管T的基板101的整个表面上的有机绝缘膜117，具有用于暴露薄膜晶体管T的开口;绝缘膜117上的大面积公共电极123a;辅助电极图案123c从开口连接到薄膜晶体管T;在基板101的整个表面上包括公共电极123a和辅助电极图案123c的钝化膜127，其暴露辅助电极图案123;钝化膜127上与公共电极123a重叠的多个像素电极133a通过露出的辅助电极图案123c与薄膜晶体管T电连接。

【图1】

