

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5551226号
(P5551226)

(45) 発行日 平成26年7月16日(2014.7.16)

(24) 登録日 平成26年5月30日(2014.5.30)

(51) Int.Cl.

F I

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

G O 2 F 1/1333 (2006.01)

G O 2 F 1/1333 5 O 5

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 1 2 Z

H O 1 L 29/786 (2006.01)

G O 9 F 9/30 3 3 8

請求項の数 13 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2012-244482 (P2012-244482)
 (22) 出願日 平成24年11月6日(2012.11.6)
 (65) 公開番号 特開2013-257530 (P2013-257530A)
 (43) 公開日 平成25年12月26日(2013.12.26)
 審査請求日 平成24年11月9日(2012.11.9)
 (31) 優先権主張番号 201210193317.2
 (32) 優先日 平成24年6月12日(2012.6.12)
 (33) 優先権主張国 中国 (CN)

(73) 特許権者 501090788
 瀚宇彩晶股▲ふん▼有限公司
 台湾新北市五股區五權路 4 8 號 4 樓
 (74) 代理人 100082418
 弁理士 山口 朔生
 (72) 発明者 游家華
 台湾新北市五股區五權路 4 8 號 4 樓
 (72) 発明者 林松君
 台湾新北市五股區五權路 4 8 號 4 樓
 (72) 発明者 劉軒辰
 台湾新北市五股區五權路 4 8 號 4 樓
 審査官 右田 昌士

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイパネル及びその画素アレイ基板

(57) 【特許請求の範囲】

【請求項 1】

第 1 の基板と、

前記第 1 の基板に位置する複数本のゲート電極線と、

前記第 1 の基板に位置し、前記ゲート電極線と交差して前記ゲート電極線との間に複数の画素ゾーンを定義させる複数本のデータ線と、

前記画素ゾーンに各々対応し、前記ゲート電極線のうちのいずれかに結合する第 1 端と前記データ線のうちのいずれかに結合する第 2 端と第 3 端と、を備える複数の薄膜トランジスタと、

前記データ線と前記ゲート電極線と前記画素ゾーンと前記薄膜トランジスタとを覆う第 1 の絶縁層と、

共通電圧レベルを供給するため、第 1 の絶縁層を覆う透明導電層と、

前記透明導電層と画素電極の間に位置し、また、前記透明導電層と前記画素電極を隔離する第 2 の絶縁層と、

前記第 1 の絶縁層と前記第 2 の絶縁層の間に位置し、且つ、前記透明導電層を貫通する少なくとも 1 つの開口部と、

前記薄膜トランジスタにそれぞれ対応して前記第 2 の絶縁層と前記透明導電層と前記第 1 の絶縁層を貫通し、各々の一端が対応する前記薄膜トランジスタの前記第 3 端に結合される複数の接触孔と、

前記画素ゾーンにそれぞれ対応して前記第 2 の絶縁層に設けられ、且つ対応する前記接

10

20

触孔を経由して対応する前記薄膜トランジスタの前記第 3 端に電氣的結合される画素電極と、を含み、

各前記画素ゾーンに前記開口部のうちの少なくとも 1 つが設けられ、該開口部は、S 字状パターン、S 字状に類似するパターン、E 字状パターン、E 字状に類似するパターン、蛇行パターン、ノコギリ形のパターン、ノコギリ形に類似するパターン、櫛型のパターン、櫛型に類似するパターン、或いは、複数本の縞パターンであることを特徴とする、

画素アレイ基板。

【請求項 2】

前記透明導電層が前記第 1 の絶縁層と前記第 2 の絶縁層の間に位置することを特徴とする請求項 1 に記載の画素アレイ基板。

10

【請求項 3】

前記開口部のうちの少なくとも 1 つは、前記薄膜トランジスタの上方に各々位置することを特徴とする請求項 1 に記載の画素アレイ基板。

【請求項 4】

前記開口部のうちの複数は、前記ゲート電極線の上方に各々位置することを特徴とする請求項 1 に記載の画素アレイ基板。

【請求項 5】

前記透明導電層と各前記画素電極を重ね合わせるエリアは、重ね合わせた画素電極の 3 分の 2 を上回らないことを特徴とする請求項 1 に記載の画素アレイ基板。

【請求項 6】

20

前記開口部のうちの複数は、前記薄膜トランジスタの上方に各々位置することを特徴とする請求項 1 に記載の画素アレイ基板。

【請求項 7】

前記開口部のうちの複数は、前記ゲート電極線の上方に各々位置することを特徴とする請求項 1 に記載の画素アレイ基板。

【請求項 8】

前記透明導電層は、複数の材料ブロックを含み、前記材料ブロックの間で間隔をとり、且つ、各前記材料ブロックが前記画素ゾーンのうちの少なくとも 2 つの隣り合う画素ゾーンまで延伸して覆うことを特徴とする請求項 1 に記載の画素アレイ基板。

【請求項 9】

30

前記透明導電層は、更に複数の電氣的接続部材を更に含み、各前記電氣的接続部材は前記材料ブロックのうちの 2 つに電氣的に接続されることを特徴とする請求項 8 に記載の画素アレイ基板。

【請求項 10】

各前記材料ブロックは、前記画素ゾーンのうちの同一直線にある全ての画素ゾーンに延伸して覆うことを特徴とする請求項 8 に記載の画素アレイ基板。

【請求項 11】

各前記接触孔は、第 1 のスルーホールと第 2 のスルーホールとを含み、前記第 1 のスルーホールが前記透明導電層を貫通し、前記第 2 のスルーホールが前記第 1 の絶縁層を貫通し、且つ、前記第 2 の絶縁層が前記第 1 のスルーホール内の前記透明導電層の側壁を覆うことを特徴とする請求項 1 に記載の画素アレイ基板。

40

【請求項 12】

前記透明導電層は、前記データ線と前記ゲート電極線と前記第 1 のスルーホール以外の前記画素ゾーンと前記薄膜トランジスタを全面的に覆うことを特徴とする請求項 11 に記載の画素アレイ基板。

【請求項 13】

請求項 1 ~ 12 のいずれか一項に記載の画素アレイ基板と、前記画素アレイ基板に対応して設けられ、且つ、前記画素アレイ基板の間で間隔をとり、第 2 の基板と、前記画素電極と前記第 2 の基板の間に位置し、また、前記画素電極の間で間隔をとる共通電極層と、前記第 2 の基板と前記共通電極層の間に位置するカラーフィルタ層とを備えるカラーフィ

50

ルタ基板と、前記画素アレイ基板と前記カラーフィルタ基板の間に位置する液晶層と、を含むことを特徴とする、液晶ディスプレイパネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイ技術に関し、特に、液晶ディスプレイパネル及びその画素アレイ基板に関する。

【背景技術】

【0002】

近年、フラットパネルディスプレイの発展が益々スピードアップし、徐々に従来の陰極線管ディスプレイに取って代わってきた。現在のフラットパネルディスプレイには、主に有機発光ダイオードディスプレイ(organic light-emitting diodes display; OLED)、プラズマディスプレイ(plasma display panel; PDP)、液晶ディスプレイ(liquid crystal display; LCD)、及び電界放出ディスプレイ(field emission display; FED)等の数種類がある。

液晶ディスプレイ技術は、液晶分子材料のねじれ方式により2種類の形式に分けることができる。一種類目がねじれネマティック液晶ディスプレイ(twisted nematic LCD; TN-LCD)で、別の種類が横電界液晶ディスプレイ(in-plane switching liquid crystal display; IPS-LCD)である。TN-LCD内の液晶ディスプレイパネルの液晶分子は2枚のガラス基板の間の縦電界変化に伴ってねじれができる。TN-LCD内において、共通電極と画素電極は、カラーフィルタ基板と画素アレイ基板に各々設けられる。TN-LCD内に比べて、IPS-LCD内では、共通電極と画素電極を同時に画素アレイ基板に製作することで、横電界を提供し、液晶分子をこの横電界の変化に伴って回転させることができる。

【0003】

高輝度及び高解像度製品の開発に伴い、高開口率(high aperture ratio; HAR)とカラーフィルターオンアレイ(color filter on array; COA)等の技術は、普遍的にLCDに応用されている。しかしながら、スマートフォン(smart phone)の各種オペレーティングシステム(operating system; OS)、例えば、アップル(登録商標)のオペレーティングシステム(Mac OS)、Android(アンドロイド)(登録商標)のシステム、ウィンドウズマンゴー(Window Mango)のシステム等が開発されるにつれ、ディスプレイの解像度に対する要求が益々高くなっている。

小型パネル(例えば5.3インチ、5インチ、4.7インチ、4.3インチ等)を使用したポータブル製品に高解像度を組み合わせた時、解像度を引き上げると同時に画素の開口率が多少犠牲になる。これにより、液晶ディスプレイ技術において、高開口率の設計がやはり絶え間なく追い求められている。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、上記の従来技術の問題点を解消できる、液晶ディスプレイパネル及びその画素アレイ基板を提供することを目的とする。

【課題を解決するための手段】

【0005】

一実施例において、画素アレイ基板は、第1の基板と複数本のゲート電極線と複数本のデータ線と複数の薄膜トランジスタと第1の絶縁層と透明導電層と第2の絶縁層と複数の接触孔と複数の画素電極と、を含む。

ゲート電極線とデータ線が第1の基板に位置する。ゲート電極線とデータ線が交差し、且つゲート電極線とデータ線の間に複数の画素ゾーンを定義させる。薄膜トランジスタが

10

20

30

40

50

画素ゾーンに対応してそれぞれ設けられる。各薄膜トランジスタの第1端がこれらゲート電極線のうちのいずれかに結合され、各薄膜トランジスタの第2端がこれらデータ線のうちのいずれかに結合される。

第1の絶縁層がデータ線とゲート電極線と画素ゾーンと薄膜トランジスタとを覆う。透明導電層が第1の絶縁層を覆い、且つ共通電圧レベルを備える。接触孔が薄膜トランジスタにそれぞれ対応して第2の絶縁層と透明導電層と第1の絶縁層を貫通し、各接触孔の一端が対応する薄膜トランジスタの第3端に結合される。画素電極が画素ゾーンにそれぞれ対応して第2の絶縁層に設けられ、且つ対応する接触孔を経由して対応する薄膜トランジスタの第3端に電氣的に結合される。第2の絶縁層が透明導電層と画素電極の間に位置し、また透明導電層と画素電極を隔離する。

10

【0006】

一実施例において、透明導電層が第1の絶縁層と第2の絶縁層の間に位置する。

【0007】

一実施例において、透明導電層が接触孔のみを有する一層の透明導電性材料とすることができる。

【0008】

一実施例において、画素アレイ基板は、少なくとも1つの開口部を更に含むことができる。開口部は第1の絶縁層と第2の絶縁層の間に位置し、且つ透明導電層を貫通する。

【0009】

一実施例において、開口部は、画素ゾーン、薄膜トランジスタ、ゲート電極線或いはその組合せに対応するように配置できる。

20

【0010】

一実施例において、各画素ゾーンにある開口部は、S字状パターン、S字状に類似するパターン、E字状パターン、E字状に類似するパターン、蛇行パターン、ノコギリ形のパターン、ノコギリ形に類似するパターン、櫛型のパターン、櫛型に類似するパターン或いは複数本の縞パターンにできる。

【0011】

一実施例において、透明導電層と各画素電極の重ね合わせるエリアは、重ね合わせた画素電極の3分の2を上回らない。

【0012】

一実施例において、透明導電層は、複数の材料ブロックを含むことができる。これら材料ブロックの間で間隔をとり、且つ各材料ブロックが少なくとも2つの画素ゾーンまで延伸して覆う。

30

【0013】

一実施例において、透明導電層は、更に複数の電氣的接続部材を更に含み、且つ各電氣的接続部材は隣り合う2つの材料ブロックに電氣的に接続される。

【0014】

一実施例において、各材料ブロックは、同一直線にある全ての画素ゾーンに延伸して覆う。

【0015】

一実施例において、各接触孔は、第1のスルーホールと第2のスルーホールとを含むことができる。第1のスルーホールが透明導電層、第2のスルーホールが第1の絶縁層を貫通し、且つ第2の絶縁層が第1のスルーホール内の透明導電層の側壁を覆う。

40

【0016】

一実施例において、透明導電層は、データ線とゲート電極線と接触孔の第1のスルーホール以外の画素ゾーンと薄膜トランジスタを全面的に覆うことができる。

【0017】

一実施例において、液晶ディスプレイパネルは、前記画素アレイ基板とカラーフィルタ基板と液晶層とを含む。カラーフィルタ基板が画素アレイ基板に対応し且つ画素アレイ基板の間で間隔をとる。液晶層は、画素アレイ基板とカラーフィルタ基板の間に位置する。

50

カラーフィルタ基板は第２の基板と共通電極層とカラーフィルタ層とを含む。共通電極層が画素電極と第２の基板の間に位置し、且つ画素電極の間で間隔をとる。カラーフィルタ層が第２の基板と共通電極層の間に位置する。

【発明の効果】

【００１８】

上記で説明したとおり、本発明に係る液晶ディスプレイパネル及びその画素アレイ基板は、高解像度の液晶ディスプレイパネルの開口率を上げるため、透明導電層と画素電極を利用して蓄積コンデンサを形成する。更に、透明導電層を通じて透明導電層の下方にある素子（データ線、ゲート電極線、薄膜トランジスタ或いはその組合せ）から画素電極へ生じる静電容量結合効果も避けることができる。

10

【図面の簡単な説明】

【００１９】

【図１Ａ】本発明の第１の実施例に係る画素アレイ基板の上面図である。

【図１Ｂ】図１Ａに示されている画素アレイ基板を示す分解図である。

【図１Ｃ】図１Ａに示されている画素アレイ基板の接線Ⅰ－Ⅰに沿った断面図である。

【図２Ａ】本発明の第２の実施例に係る画素アレイ基板を示す分解図である。

【図２Ｂ】本発明の第３の実施例に係る画素アレイ基板を示す分解図である。

【図２Ｃ】本発明の第４の実施例に係る画素アレイ基板を示す分解図である。

【図２Ｄ】本発明の第５の実施例に係る画素アレイ基板を示す分解図である。

【図３】本発明の第６の実施例に係る画素アレイ基板の上面図である。

20

【図４】図３に示されている画素アレイ基板の接線ⅠⅠ－ⅠⅠに沿った断面図である。

【図５】各々本発明の第７の実施例に係る画素アレイ基板ｂの上面図である。

【図６】各々本発明の第８の実施例に係る画素アレイ基板の上面図である。

【図７】各々本発明の第９の実施例に係る画素アレイ基板の上面図である。

【図８】各々本発明の第１０の実施例に係る画素アレイ基板の上面図である。

【図９】本発明の第１の実施例に係る液晶ディスプレイパネルの局部断面図である。

【図１０】本発明の第２の実施例に係る液晶ディスプレイパネルの局部断面図である。

【発明を実施するための形態】

【００２０】

図１Ａは、本発明の第１の実施例に係る画素アレイ基板の上面図である。図１Ｂは、図１Ａに示されている画素アレイ基板を示す分解図である。図１Ｃは図１Ａに示されている画素アレイ基板の接線Ⅰ－Ⅰに沿った断面図である。説明の便宜のため、図１Ａ内に示されている画素アレイ基板について、各絶縁層の描画を省略した。

30

【００２１】

図１Ａ、図１Ｂ及び図１Ｃを参照しながら説明する。画素アレイ基板１００は、第１の基板１１０と複数本のゲート電極線１２０、１２２と複数本のデータ線１３０、１３２と複数の薄膜トランジスタ１４０と第１の絶縁層１５０と透明導電層１６０と第２の絶縁層１７０と複数の接触孔１８０と複数の画素電極１９０と、を含む。

【００２２】

ゲート電極線１２０、１２２とデータ線１３０、１３２が第１の基板１１０に位置する。そこで、データ線１３０、１３２とゲート電極線１２０、１２２が交差し、且つゲート電極線１２０、１２２とデータ線１３０、１３２の間に画素ゾーンＰを定義する。言い換えると、ゲート電極線１２０とゲート電極線１２２とデータ線１３０とデータ線１３２とが囲んで画素ゾーンＰを形成する。

40

【００２３】

薄膜トランジスタ１４０は、画素ゾーンＰに各々対応して第１の基板１１０上に設けられる。言い換えると、各画素ゾーンＰに一個の薄膜トランジスタ１４０が設けられることができる。各薄膜トランジスタ１４０は、第１端１４１と第２端１４２と第３端１４３とを有する。

薄膜トランジスタ１４０の第１端１４１がゲート電極線１２０に結合され、薄膜トラン

50

ジスタ１４０の第２端１４２がデータ線１３０に結合される。第１端１４１、第２端１４２と第３端１４３はそれぞれゲート電極、ドレーン電極とソース電極とすることができる。

【００２４】

第１の絶縁層１５０は、ゲート電極線１２０と１２２、データ線１３０、１３２と薄膜トランジスタ１４０と画素ゾーンＰを覆い、また透明導電層１６０が第１の絶縁層１５０を覆う。そこで、透明導電層１６０は共通電圧レベルを提供するために用いられる。言い換えると、共通電圧（common voltage）を透明導電層１６０に印加し、透明導電層１６０に共通電圧レベルを持たせる。

【００２５】

第２の絶縁層１７０は、透明導電層１６０を覆い、且つ画素電極１９０が画素ゾーンＰに対応して第２の絶縁層１７０上に設けられる。言い換えると、第２の絶縁層１７０が透明導電層１６０と画素電極１９０の間に位置し、また透明導電層１６０と画素電極１９０を隔離する。

【００２６】

接触孔１８０は、薄膜トランジスタ１４０の第３端１４３に対応して第２の絶縁層１７０と透明導電層１６０と第１の絶縁層１５０を貫通することで、薄膜トランジスタ１４０の第３端１４３を露出する。画素電極１９０は接触孔１８０の内壁に沿って延伸し、且つ薄膜トランジスタ１４０の第３端１４３に直接接触する。言い換えると、画素電極１９０は、対応する接触孔１８０を経由して対応する薄膜トランジスタ１４０の第３端１４３（例えばソース電極）に電氣的に結合される。

【００２７】

第１の基板１１０は、透明基板とすることができる。第１の絶縁層１５０は、透明材料或いは半透明材料とすることができる。第２の絶縁層１７０は、透明材料或いは半透明材料とすることができる。透明材料の光透過率は、６０％～９９％とすることができる。半透明材料の光透過率は、１０％～６０％とすることができる。これ以外に、半透明材料は、例えば赤色、青色又は緑色等の有色材料を使用できる。

【００２８】

一実施例において、これらゲート電極線１２０、１２２が第１の基板１１０に横方向に配列し、且つこれらデータ線１３０、１３２が第１の基板１１０に縦方向に配列する。

【００２９】

例を挙げると、ゲート電極線１２０、１２２は、第１の方向に沿って互いに平行で且つ間隔をとって第１の基板１１０に配置させることができる。データ線１３０、１３２は、第２の方向に沿って互いに平行で且つ間隔をあけて第１の基板１１０上に配置させることができる。第１の方向は第２の方向と略垂直になる。

【００３０】

薄膜トランジスタ１４０は、各々の画素ゾーンＰに対応する。言い換えると、各画素ゾーンＰに一個の薄膜トランジスタ１４０が設けることができる。各薄膜トランジスタ１４０は、第１端１４１と第２端１４２と第３端１４３とを備える。第１端１４１、第２端１４２と第３端１４３は、各々ゲート電極、ソース電極とドレーン電極とすることができる。

【００３１】

一実施例において、薄膜トランジスタ１４０の第１端１４１とゲート電極線１２０、１２２は、一般的に同じリソグラフィ工程を通じて形成できる。一般的に言うと、薄膜トランジスタ１４０の第１端１４１とゲート電極線１２０、１２２は第１金属層（Ｍ１）を指す。

【００３２】

一実施例において、薄膜トランジスタ１４０の第１端１４１は、直接ゲート電極線１２０の一部とすることができる。言い換えると、第１金属層（Ｍ１）は、ゲート電極線となる複数本の金属線を含むことができ、薄膜トランジスタの第１端を金属線の局部ブロック

10

20

30

40

50

とすることができる。

【0033】

別の実施例において、薄膜トランジスタ140の第1端141は、またゲート電極線120から延出した金属ブロックとすることもできる。言い換えると、第1金属層(M1)は、ゲート電極線となる複数本の金属線と薄膜トランジスタの第1端となる複数の金属ブロックとを含むことができ、且つ各金属ブロックが、一本の金属線から延出する。

【0034】

一実施例において、薄膜トランジスタ140の第2端142、薄膜トランジスタ140の第3端143とデータ線130、132は、一般的に同じリソグラフィ工程を通じて形成できる。一般的に言うと、薄膜トランジスタ140の第2端142、薄膜トランジスタ140の第3端143とゲート電極線データ線130、132は第2金属層(M2)を指す。

10

【0035】

一実施例において、薄膜トランジスタ140の第2端142は、直接データ線130の一部となることができる。言い換えると、第2金属層(M2)は、データ線130、132となる複数本の金属線と薄膜トランジスタ140の第3端143となる複数の第1のブロックとを含むことができる。この時、薄膜トランジスタの第2端は金属線の局部ブロックである。

別の実施例において、薄膜トランジスタ140の第2端142は、またデータ線130から延出した金属ブロックとすることもできる。言い換えると、第2金属層(M2)は、データ線130、132となる複数本の金属線と薄膜トランジスタ140の第3端143となる複数の第1のブロックと薄膜トランジスタ140の第2端142となる複数の第2のブロックとを含むことができ、且つ各第2のブロックが一本の金属線から延出する。

20

【0036】

この他に、各薄膜トランジスタ140は、チャンネル層144を更に備える。チャンネル層144は、第1端141と第2端142の間及び第1端141と第3端143の間に設けられる。他の実施例において、薄膜トランジスタ140のチャンネル層144は、リソグラフィ工程によって形成された島状パターン層とすることができる。チャンネル層144の材質は、非晶質シリコン、多結晶シリコン、金属酸化膜半導体材料或いは他の適した半導体材料とすることができるが、これに限定されるものではない。

30

【0037】

更に、ゲート電極絶縁層145をチャンネル層144と第1端141(ゲート電極)の間に挟んで設置する。このゲート電極絶縁層145は第1端141の表面を覆い、またチャンネル層144と第1端141を隔離する。更に、ゲート電極絶縁層145は、第1端141の第1の基板110の表面を覆うように設けられることができる。

言い換えると、ゲート電極絶縁層145は、第1の基板110とその表面にある第1金属層(M1)からなる構造を覆うことができる。ゲート電極絶縁層145の材質は、例えば、シリカ(SiO_x)、窒化ケイ素(SiN_x)、酸窒化ケイ素、その他適した誘電体材料、或いはその組み合わせ等の無機材料とすることができるが、これに限定されるものではない。

40

【0038】

オーミック接触層146をチャンネル層144と第2端142の間及びチャンネル層144と第3端143の間に、挟んで設置することで、チャンネル層144と第2端142の間の電氣的接触及びチャンネル層144と第3端143の間の電氣的接触を向上できる。オーミック接触層146の材質は不純物をドーピングした非結晶シリコン、多結晶シリコン、金属酸化膜半導体材料或いは他の適した半導体材料、若しくは他の金属とシリコン材質の間の電氣的接触を増進する材質とすることができる。

【0039】

一実施例において、オーミック接触層146はチャンネル層144の上表面全体を覆う島状パターン層とすることができる。別の一実施例において、オーミック接触層146は、

50

また第2端142と第3端143下方にあるチャンネル層144表面を覆うパターン層とすることもできる。

言い換えると、オーミック接触層146は、各々第2端142と第3端143の下方にある2つの材料ブロックからなる。且つ、2つの材料ブロックは、第2端142と第3端143間に対応して区切ることでチャンネル層144を露出する。

【0040】

一実施例において、第1の絶縁層150が、ゲート電極絶縁層145或いは第1の基板110の表面上に形成され、並びにゲート電極絶縁層145又は第1の基板110表面にある第2金属層(M2)からなる構造の表面に形成させる。

【0041】

第1の絶縁層150は、平坦層として用いる。第1の絶縁層150の材質は、有機材料、無機材料或いはその組み合わせとすることができる。

【0042】

各接触孔180は、相互に連結する第1のスルーホール180aと第2のスルーホール180bとを含むことができる。第1のスルーホール180aは、透明導電層160を貫通する。第2のスルーホール180bは、第1の絶縁層150を貫通して薄膜トランジスタ140の第3端143の表面に直接到達する。そこで、第1のスルーホール180aの直径は、第2のスルーホール180bの直径を上回る。

【0043】

且つ、第2の絶縁層170は、透明導電層160が第1のスルーホール180a内で露出させるのを避けるため、透明導電層160の表面から延伸すると共に第1のスルーホール180a内にある透明導電層160の側壁を覆う。

【0044】

第2の絶縁層170は、保護層として用いる。第2の絶縁層170の材質は、有機材料、無機材料或いはその組み合わせとすることができる。

【0045】

有機絶縁材料は、例えばブロモクロロフェノールブルー(BCB)或いはフォトアクリル(photoacryl)等とするが、これに限定されるものではない。有機絶縁材料は、例えばシリカ(SiO₂)、窒化ケイ素(SiN_x)或いはその他類似物の無機材とするが、これに限定されるものではない。

【0046】

透明導電層160と画素電極190の材質は、いずれも透明導電性材料とする。ただし透明導電層160と画素電極190は、同じ材質とすることができ、また異なる材質にもできる。そこで、透明導電性材料は、例えば酸化インジウムスズ(ITO)、酸化インジウム亜鉛(IZO)等とするが、これに限定されるものではない。

【0047】

画素電極190は、相互に間隔をあける。一実施例において、画素電極190は、近隣のゲート電極線120、122と近隣のデータ線130、132内の少なくともいずれかと部分的に重ね合わせることができる。別の実施例において、画素電極190は、またゲート電極線120、122とデータ線130、132と全く重ね合わせないこともできる。

【0048】

一実施例において、透明導電層160は、図1A及び図1Bに示すように全面的に覆う方式で第1の絶縁層150の表面に形成させることができる。言い換えると、透明導電層160は一層の透明導電性材料で、且つ当該層の透明導電性材料に接触孔180の第1のスルーホール180aのみを備え、その他の孔がないものとする。

つまり、透明導電層160は、ゲート電極線120、122、データ線130、132、接触孔180の第1のスルーホール180aと重ね合わせるエリア以外の画素ゾーンP及び薄膜トランジスタ140を全面的に覆う。こうすることで、透明導電層160を通じてシールド(shield)として、ゲート電極線120、122とデータ線130、1

10

20

30

40

50

32と薄膜トランジスタ140から画素電極190へ発生する静電容量結合効果 avoid 避けることができる。

【0049】

図2Aは、本発明の第2の実施例に係る画素アレイ基板を示す分解図である。図2Bは、本発明の第3の実施例に係る画素アレイ基板を示す分解図である。図2Cは、本発明の第4の実施例に係る画素アレイ基板を示す分解図である。図2Dは、本発明の第5の実施例に係る画素アレイ基板を示す分解図である。

【0050】

図2A、図2B、図2C及び図2Dを参照しながら説明する。一実施例において、透明導電層160は、複数の材料ブロック161 - 163 / 164 - 167を含むことができる。

10

【0051】

図2A及び図2Cを参照しながら説明する。材料ブロック161 - 163は相互に間隔をあけ、且つ各材料ブロック161 / 162 / 163が少なくとも2つの画素ゾーンPを伸ばして覆う。言い換えると、各材料ブロック161 / 162 / 163は隣り合う配列の少なくとも2つの画素ゾーンPを伸ばして覆い、並びにこれら画素ゾーンPの間のデータ線130、132を覆う。

【0052】

一実施例において、任意の2つの材料ブロックの間に隙間を有し、材料ブロックを相互に分離させる。言い換えると、材料ブロック161、162の間に隙間160aで区切り、また材料ブロック162、163の間に隙間160bで区切る。

20

【0053】

且つ、各隙間160a / 160bは、ゲート電極線120 / 122と重ね合わせる。隙間160a / 160bの幅は、重ね合わせるゲート電極線120 / 122以上とすることができる。

【0054】

図2B及び図2Dを参照しながら説明する。材料ブロック164 - 167は相互に間隔をあけ、且つ各材料ブロック164 / 165 / 166 / 167が少なくとも2つの画素ゾーンPを伸ばして覆う。言い換えると、各材料ブロック164 / 165 / 166 / 167は隣り合う配列の少なくとも2つの画素ゾーンPを伸ばして覆い、並びにこれら画素ゾーンPの間のゲート電極線120、122を覆う。

30

【0055】

一実施例において、任意の2つの材料ブロックの間に隙間を有し、材料ブロックを相互に分離させる。言い換えると、材料ブロック164、165の間に隙間160cで区切り、また材料ブロック165、166の間に隙間160dで区切り、材料ブロック166、167の間に隙間160eで区切る。

【0056】

且つ、各隙間160c / 160d / 160eは、データ線130 / 132と重ね合わせる。隙間160c / 160d / 160eの幅は、重ね合わせるデータ線130 / 132以上とすることができる。

40

【0057】

一実施例において、1つの材料ブロックは、同一直線に位置する全ての画素ゾーンを伸ばして覆う。言い換えると、各材料ブロックは一行或いは一列の画素ゾーンPを伸ばして覆い、並びにこれら画素ゾーンPの間のデータ線又はゲート電極線を覆うことができる。

【0058】

図2A及び図2Cを参照しながら説明する。材料ブロック161、162、163は同一直線に位置する全ての画素ゾーンPを伸ばして覆い、並びにこれら画素ゾーンPの間のデータ線130、132を覆う。

【0059】

図2B及び図2Dを参照しながら説明する。材料ブロック164、165、166、1

50

67は同一直線に位置する全ての画素ゾーンPを伸ばして覆い、並びにこれら画素ゾーンPの間のゲート電極線120、122を覆う。

【0060】

一実施例において、透明導電層160は、複数の電氣的接続部材169を更に含むことができる。各電氣的接続部材がこれら材料ブロックのうちいずれか2つと電氣的に接続する。

【0061】

図2A及び図2Cを参照しながら説明する。材料ブロック161、162の間と材料ブロック162、163の間に電氣的接続部材169を各々結合することで、材料ブロック161、162/162、163の間を電氣的に接続させる。

10

【0062】

図2B及び図2Dを参照しながら説明する。材料ブロック164、165の間、材料ブロック165、166の間及び材料ブロック166、167の間に電氣的接続部材169を各々結合することで、材料ブロック164、165/165、166/166、167の間を電氣的に接続させる。

【0063】

電氣的接続部材169は、隙間160a/160b/160c/160d/160eを渡することで、隙間160a/160b/160c/160d/160eで区切る材料ブロック161、162/162、163/164、165/165、166/166、167を相互結合すると共に電氣的に接続させる。

20

【0064】

そこで、電氣的接続部材169は、材料ブロック161-163/164-167と同じ透明導電性材料を使用して形成できる。

【0065】

一実施例において、透明導電層160と画素電極190で蓄積コンデンサ(C_{st})を形成できる。且つ、この蓄積コンデンサ(C_{st})は、極大の静電容量値を備えることで、薄膜トランジスタ140の第1端141に属する画素に対して起すキックバック電圧(V_p)効果を軽減し、従って共通電圧のキックバック値が過大となって適当な共通電圧を供給できないことを避ける。

【0066】

そこで、キックバック電圧(V_p)は、下記の関係式を持つ。

30

【0067】

【数1】

$$V_p = (C_{gd}) / (C_{st} + C_{LC} + C_{gd}) * (V_{gH} - V_{gL})$$

式の中、 C_{gd} とは、薄膜トランジスタ140の第1端141と薄膜トランジスタ140の第2端142から形成される静電容量で、 C_{LC} は、画素電極190とLCから形成される静電容量で、 V_{gH} は薄膜トランジスタ140の第1端141導通時の電圧で、並びに V_{gL} が薄膜トランジスタ140の第1端141が非導通時の電圧とする。

【0068】

40

一実施例において、透明導電層160を利用して一般的に画素アレイ基板内に設けられている共通電極(例えば、データ線と同じ層に設けられた共通電極)に取って代わることもできる。言い換えると、透明導電層160の設置により、画素アレイ基板内に共通電極線を設置する必要がない。

【0069】

図3は、本発明の第6の実施例に係る画素アレイ基板の上面図である。図4は、図3に示されている画素アレイ基板の接線II-IIに沿った断面図である。図5乃至図8は、本発明の第7の実施例、第8の実施例、第9の実施例及び第10の実施例に係る画素アレイ基板の上面図である。

説明の便宜のため、図3及び図5乃至図8内に示されている画素アレイ基板には各絶縁

50

層の描画を省略している。図3及び図5乃至図8内において、画素ゾーンP上に描かれている破線は、開口部182、183、184の垂直投影位置を示し、つまり組み立てた後の開口部182、183、184を重ね合わせた位置である。

【0070】

図3乃至図8を参照しながら説明する。一実施例において、透明導電層160に1個或いは複数の開口部182、183、184を設計できる。開口部182、183、184は、第1の絶縁層150と第2の絶縁層160の間に位置すると共に透明導電層160を貫通する。そこで、開口部182、183、184は、透明導電層160と画素電極190が形成する蓄積コンデンサ(C_{st})の静電容量を適切に調整するために用いることができる。更に、開口部182、183、184を適切に配置すると、透明導電層160に対するRC(電気抵抗・静電容量)負荷も調整できる。

10

【0071】

図3乃至図8を参照しながら説明する。開口部182は、画素ゾーンPに対応して設置できる。つまり、開口部182は、ゲート電極線120、122とデータ線130、132で囲うエリア内に位置し、且つ薄膜トランジスタ140とは重なり合わない。

【0072】

開口部182は、1個或いは複数とすることができ、且つ開口部182の配置を任意のパターンとし、例えばS字状パターン、S字状に類似するパターン、E字状パターン、E字状に類似するパターン、蛇行パターン、ノコギリ形のパターン、ノコギリ形に類似するパターン、楕型のパターン、楕型に類似するパターン或いは複数本の縞パターンなどにできるが、これに限定されるものではない。

20

【0073】

図3及び図4を参照しながら説明する。開口部182は、開口が対応する薄膜トランジスタ140に結合するゲート電極線120の一侧に隣接するE字状パターン或いはE字状に類似するパターンにできる。図5を参照しながら説明する。開口部182は開口が対応する薄膜トランジスタ140に結合するゲート電極線120の一侧から遠ざけるE字状パターン、E字状に類似するパターンにできる。

【0074】

言い換えると、E字状パターン、E字状に類似するパターンの開口部182は、1個の横向きスルーホール及び3個の縦向きスルーホールからなる。そこで、横向きスルーホールの延伸方向は、縦向きスルーホールの延伸方向と交差する。

30

例を挙げると、横向きスルーホールは、ゲート電極線120、122と略平行となりながら延伸し、また縦向きスルーホールがデータ線130、132と略平行となりながら延伸する。2個の縦向きスルーホールの第1端が横向きスルーホールの両端にそれぞれ連結し、残りの1個の縦向きスルーホールの第1端が、横向きスルーホールの両端の間に連結する。そこで、3個の縦向きスルーホールは、同じ延伸長さを有することができ、また異なる延伸長さを有することもできる。

横向きスルーホールは、直線延伸(図3)でき、また折線延伸(図5)もできる。横向きスルーホールが折線延伸(図5)した時、中間に位置する縦向きスルーホールは横向きスルーホールのカーブ箇所連結できる。図3と図5は3個の縦向き開口部を有するE字状パターンで説明しているが、一実施例において、開口部182も3個以上の縦向きスルーホールも備えることができ、この場合開口部182は楕型パターンになる。

40

【0075】

図6を参照しながら説明する。開口部182は、開口がゲート電極線120、122に向かっているS字状パターン或いはS字状に類似するパターンにできる。しかしながら、実際の需要にも合わせて、S字状パターン或いはS字状に類似するパターンの開口部182の開口をデータ線130、132、若しくはデータ線130、132とゲート電極線120、122の境界箇所に向かわせることができる。S字状パターン或いはS字状に類似するパターンの開口部182に複数の夾角式湾曲又は円弧状カーブを持たせることができる。

50

【 0 0 7 6 】

図 7 及び図 8 を参照しながら説明する。複数の開口部 1 8 2 から縞パターンにできる。縞パターンの開口部 1 8 2 は、互いに略平行とすることができる。更に、図 7 に示すようにゲート電極線 1 2 0、1 2 2 及びデータ線 1 3 0、1 3 2 の延伸方向に対し、縞パターンの開口部 1 8 2 は、斜め延伸できる。縞パターンの開口部 1 8 2 の延伸方向も、図 8 に示すようにゲート電極線 1 2 0、1 2 2 の延伸方向と略垂直にできる。しかしながら、縞パターンの開口部 1 8 2 の延伸方向は、ゲート電極線 1 2 0、1 2 2 の延伸方向（図示略）に略平行になるよう設計できる。

【 0 0 7 7 】

図 8 を参照しながら説明する。開口部 1 8 3 はゲート電極線 1 2 0、1 2 2 に対応するよう設けることができる。つまり開口部 1 8 3 は、ゲート電極線 1 2 0、1 2 2 と重ね合わせる。一実施例において、各開口部 1 8 3 は、2 本のデータ線 1 3 0、1 3 2 の間に位置するゲート電極線 1 2 0 / 1 2 2 を完全に覆うことができる。他の実施例において、各開口部 1 8 3 は、また 2 本のデータ線 1 3 0、1 3 2 の間に位置するゲート電極線 1 2 0 / 1 2 2 も一部覆うことができる。

10

【 0 0 7 8 】

開口部 1 8 4 は、図 2 A、2 B、2 C、2 D 及び図 8 に示されるように、薄膜トランジスタ 1 4 0 に対応するよう設けることができる。一実施例において、開口部 1 8 4 は、薄膜トランジスタ 1 4 0 を完全に覆うことができる。言い換えると、開口部 1 8 4 のサイズは、薄膜トランジスタ 1 4 0 のサイズ以上とする。

20

【 0 0 7 9 】

一実施例において、開口部 1 8 4 は、図 2 A 及び図 2 C に示すように、薄膜トランジスタ 1 4 0 全体のみと重ね合わせることができる。

【 0 0 8 0 】

一実施例において、薄膜トランジスタ 1 4 0 全体と重ね合わせる以外に、図 8 に示すように開口部 1 8 4 は、接触孔 1 8 0 の第 1 のスルーホール 1 8 0 a と重ね合わせるように延伸できる。つまり、開口部 1 8 4 は、薄膜トランジスタ 1 4 0 全体及び接触孔 1 8 0 の第 1 のスルーホール 1 8 0 a をカバーする。且つ、接触孔 1 8 0 内で平坦な内壁となるようにするため、開口部 1 8 4 内に第 2 の絶縁層 1 7 0 を備えることができる。言い換えると、第 2 の絶縁層 1 7 0 は一部の開口部 1 8 4 を充填する。

30

【 0 0 8 1 】

一実施例において、薄膜トランジスタ 1 4 0 全体と重ね合わせる以外に、開口部 1 8 4 は、また図 2 B 及び図 2 D に示すように、一部のゲート電極線 1 2 0 / 1 2 2 も同時に覆うことができる。

【 0 0 8 2 】

そこで、開口部 1 8 2、1 8 3、1 8 4 のサイズ及び数量は、必要な蓄積コンデンサの静電容量に相応できる。

【 0 0 8 3 】

一実施例において、開口部 1 8 2、1 8 3、1 8 4 のサイズ及び数量の制御を通じて、透明導電層 1 6 0 と各画素電極 1 9 0 の重ね合わせるエリアが重ね合わせた画素電極 1 9 0 の 3 分の 2 を上回らないようにさせることができる。

40

【 0 0 8 4 】

図 9 は、本発明の一実施例に係る液晶ディスプレイパネルの局部断面図である。

【 0 0 8 5 】

図 9 を参照しながら説明する。液晶ディスプレイパネルは、画素アレイ基板 1 0 0 と液晶層 2 0 0 とカラーフィルタ基板 3 0 0 とを含む。画素アレイ基板 1 0 0 は、前述の構造設計のいずれか組み合わせを用いることができるので詳細な説明を省略する。

【 0 0 8 6 】

カラーフィルタ基板 3 0 0 は、画素アレイ基板 1 0 0 に対応し、且つ画素アレイ基板 1 0 0 の間に間隔をあける。また液晶層 2 0 0 を画素アレイ基板 1 0 0 とカラーフィルタ基

50

板 3 0 0 の間に挟んで設置する。且つ、液晶層 2 0 0 内に複数の液晶分子 2 1 0 が浮遊する。

【 0 0 8 7 】

一実施例において、仕切壁 2 2 0 の設置を通じてカラーフィルタ基板 3 0 0 を画素アレイ基板 1 0 0 に支えることで、仕切壁 2 2 0 と画素アレイ基板 1 0 0 とカラーフィルタ基板 3 0 0 の間で収容空間を形成させる。更に液晶分子 2 1 0 を収容空間内に充填して液晶層 2 0 0 を形成する。

【 0 0 8 8 】

そこで、仕切壁 2 2 0 は、マトリクス形に配置させた画素ゾーン P の境界エリアに沿って形成し、液晶ディスプレイパネルの複数の画素を限定する。仕切壁 2 2 0 の材質は絶縁材料とすることができる。仕切壁 2 2 0 は、一般的にリソグラフィ工程、印刷工程、インプリント (i m p r i n t) 工程或いは金型等の方式を通じて形成できる。しかし、上記に言及した特定工程は本発明を制限するものではない。

その他、図 1 0 を参照しながら説明する。一実施例において、またスペーサボール (s p a c e r b a l l) 2 3 0 を仕切壁 2 2 0 に代替して、画素アレイ基板 1 0 0 とカラーフィルタ基板 3 0 0 を支えるために用いることができるが、これに限定されるものではない。

【 0 0 8 9 】

カラーフィルタ基板 3 0 0 は、第 2 の基板 3 1 0 と共通電極層 3 2 0 とカラーフィルタ層 3 3 0 とを含む。

【 0 0 9 0 】

共通電極層 3 2 0 は、画素電極 1 9 0 と第 2 の基板 3 1 0 の間に位置し、且つ画素電極 1 9 0 間と間隔をあける。つまり、液晶層 2 0 0 が共通電極層 3 2 0 と画素電極 1 9 0 の間に位置する。

【 0 0 9 1 】

カラーフィルタ層 3 3 0 は、第 2 の基板 3 1 0 と共通電極層 3 2 0 の間に位置する。そこで、共通電極層 3 2 0 は、カラーフィルタ層 3 3 0 の第 2 の基板 3 1 0 に対向する他側の表面に形成させることができる。カラーフィルタ層 3 3 0 は、複数のカラーフィルタブロックを含むことができ、且つこれらカラーフィルタブロックは画素ゾーン P に各々対応するように設けることができる。

【 0 0 9 2 】

カラーフィルタ基板 3 0 0 は、黒色マトリクス層 3 4 0 を更に含むことができる。黒色マトリクス層 3 4 0 はゲート電極線 1 2 0、1 2 2 とデータ線 1 3 0、1 3 2 に対応するように設けられ、また漏光を防ぐために用いる。

【 0 0 9 3 】

上記を総合すると、本発明に係る液晶ディスプレイパネル及びその画素アレイ基板は、透明導電層 1 6 0 と画素電極 1 9 0 を利用して蓄積コンデンサを形成することで、高解像度の液晶ディスプレイパネルの開口率を上げる。つまり、小型スクリーン (例えば 1 0 インチ以下) に応用するにあたって、解像度を上げると同時に開口率にも配慮できる。更に、透明導電層 1 6 0 を通じて透明導電層 1 6 0 下方にある素子 (データ線 1 3 0、1 3 2、ゲート電極線 1 2 0、1 2 2、薄膜トランジスタ 1 4 0 或いはその組み合わせ) から画素電極 1 9 0 へ生じる静電容量結合効果を避けることができる。

【 符号の説明 】

【 0 0 9 4 】

- 1 0 0 画素アレイ基板
- 1 1 0 第 1 の基板
- 1 2 0 ゲート電極線
- 1 2 2 ゲート電極線
- 1 3 0 データ線
- 1 3 2 データ線

10

20

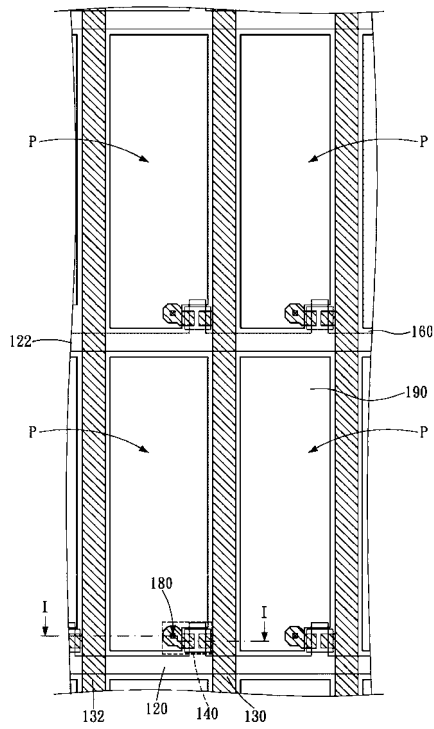
30

40

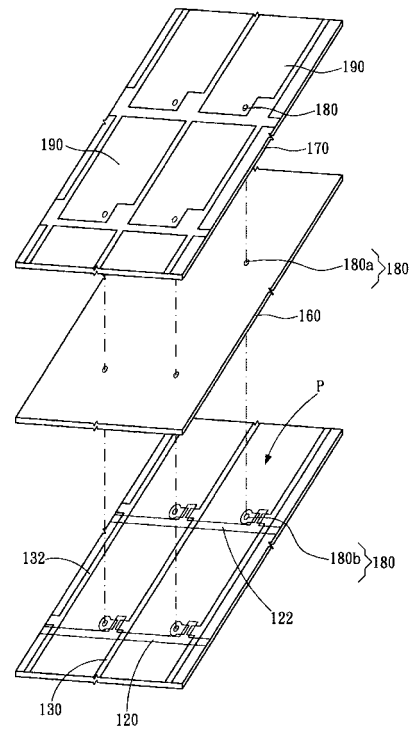
50

1 4 0	薄膜トランジスタ	
1 4 1	第 1 端	
1 4 2	第 2 端	
1 4 3	第 3 端	
1 4 4	チャネル層	
1 4 5	ゲート電極絶縁層	
1 4 6	オーミック接触層	
1 5 0	第 1 の絶縁層	
1 6 0	透明導電層	
1 6 0 a	隙間	10
1 6 0 b	隙間	
1 6 0 c	隙間	
1 6 0 d	隙間	
1 6 0 e	隙間	
1 6 1	材料ブロック	
1 6 2	材料ブロック	
1 6 3	材料ブロック	
1 6 4	材料ブロック	
1 6 5	材料ブロック	
1 6 6	材料ブロック	20
1 6 7	材料ブロック	
1 6 9	電氣的接続部材	
1 7 0	第 2 の絶縁層	
1 8 0	接触孔	
1 8 0 a	第 1 のスルーホール	
1 8 0 b	第 2 のスルーホール	
1 8 2	開口	
1 8 3	開口	
1 8 4	開口	
1 9 0	画素電極	30
2 0 0	液晶層	
2 1 0	液晶分子	
2 2 0	仕切壁	
2 3 0	スペーサーボール	
3 0 0	カラーフィルタ基板	
3 1 0	第 2 の基板	
3 2 0	共通電極層	
3 3 0	カラーフィルタ層	
3 4 0	黒色マトリクス層	
P	画素ゾーン	40
I - I	接線	
I I - I I	接線	

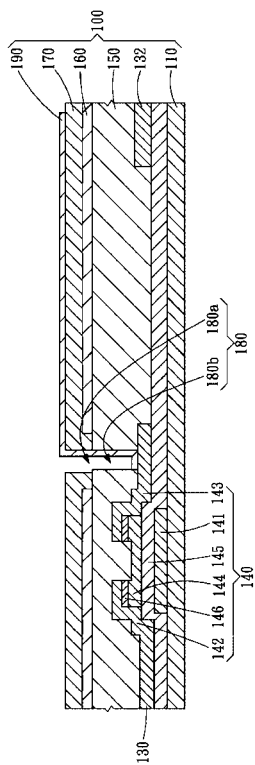
【図 1 A】



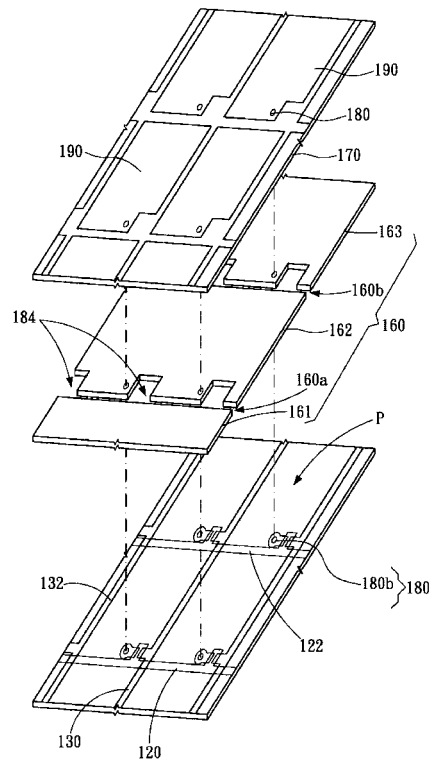
【図 1 B】



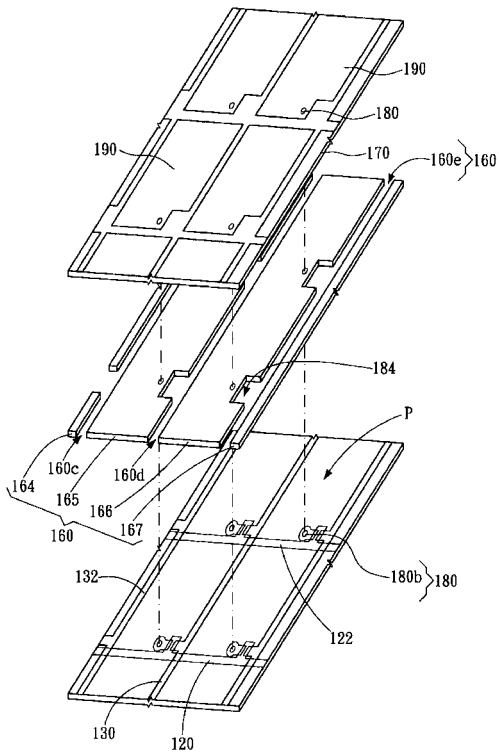
【図 1 C】



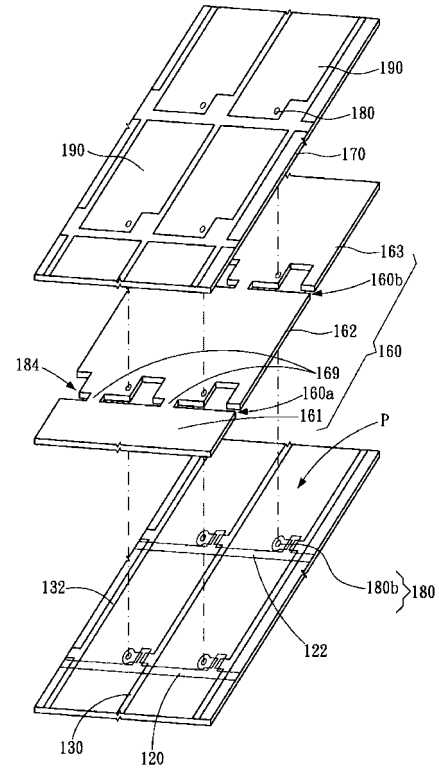
【図 2 A】



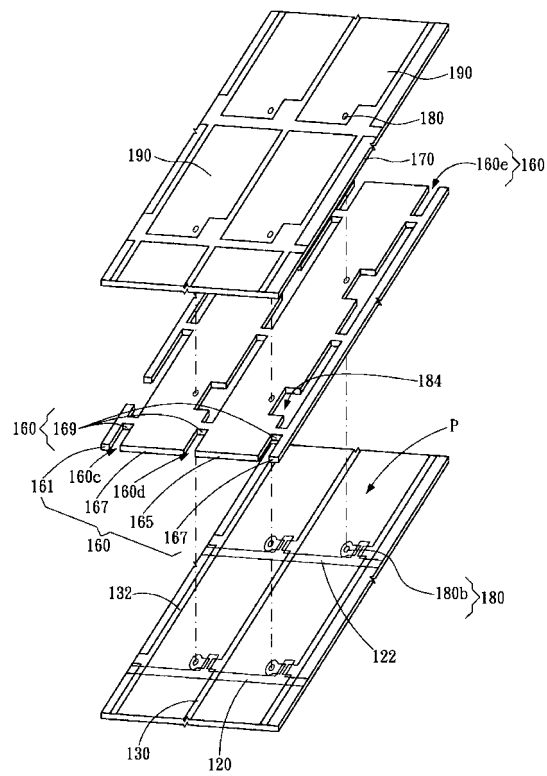
【図 2 B】



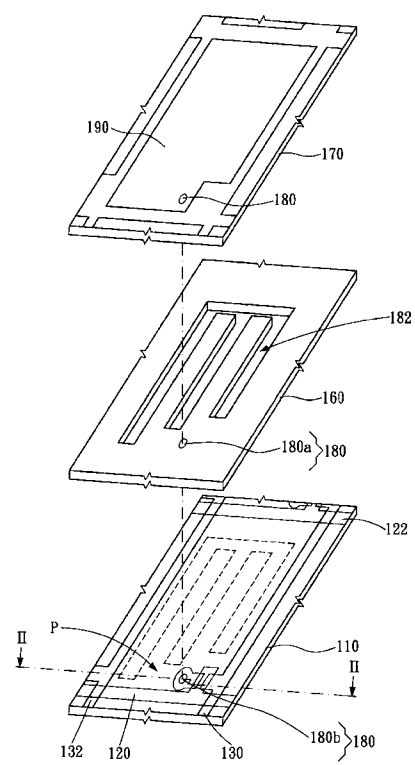
【図 2 C】



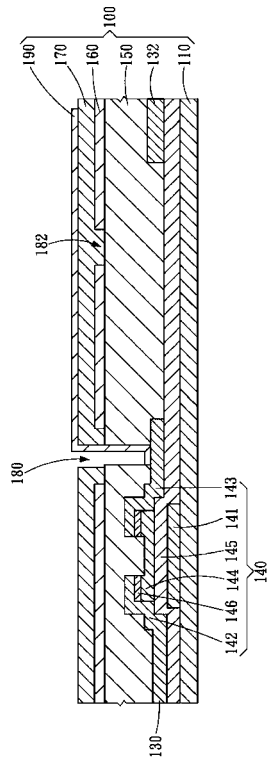
【図 2 D】



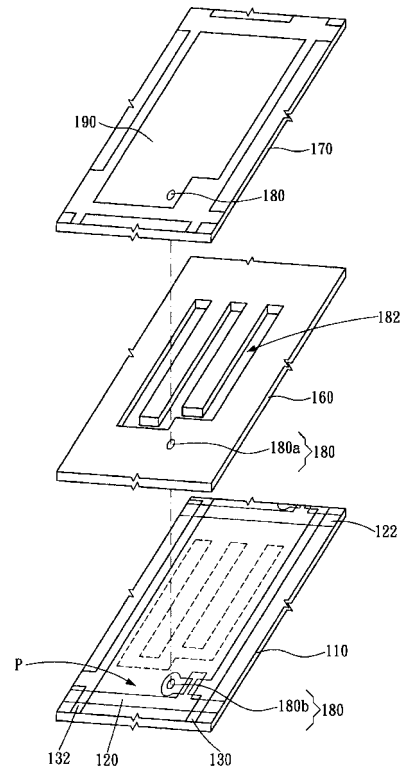
【図 3】



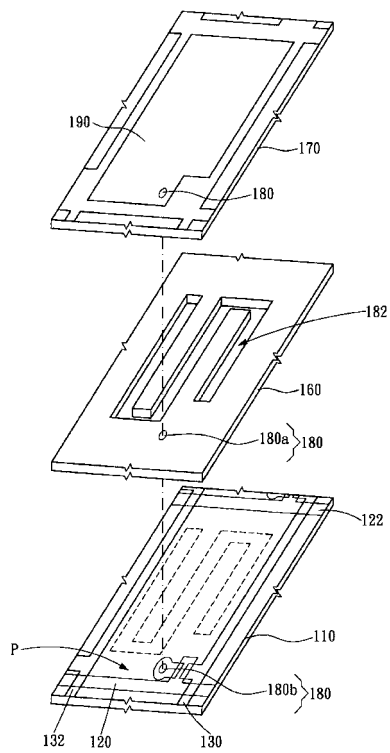
【図 4】



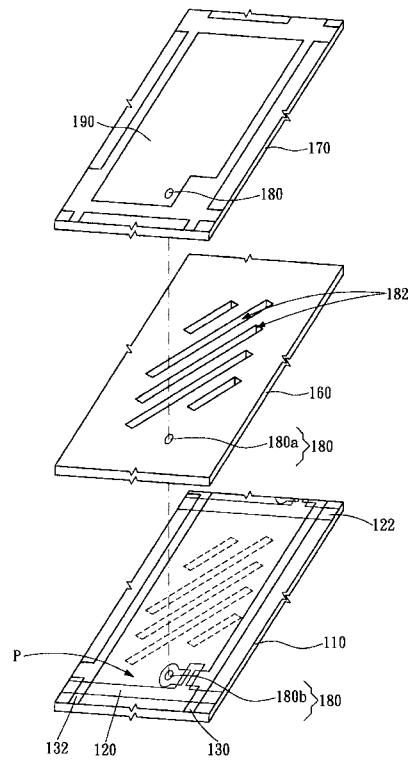
【図 5】



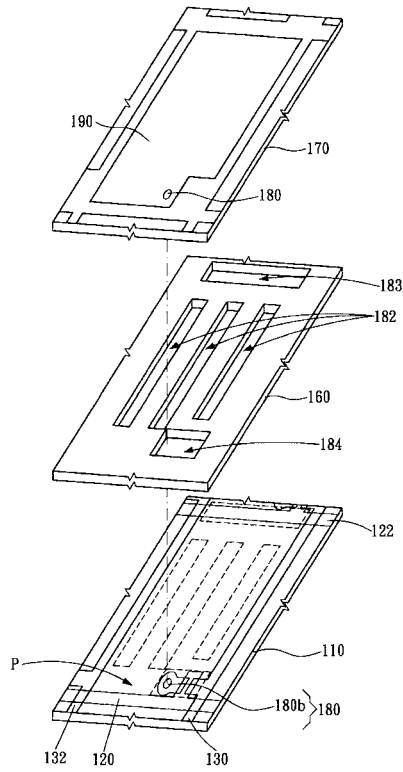
【図 6】



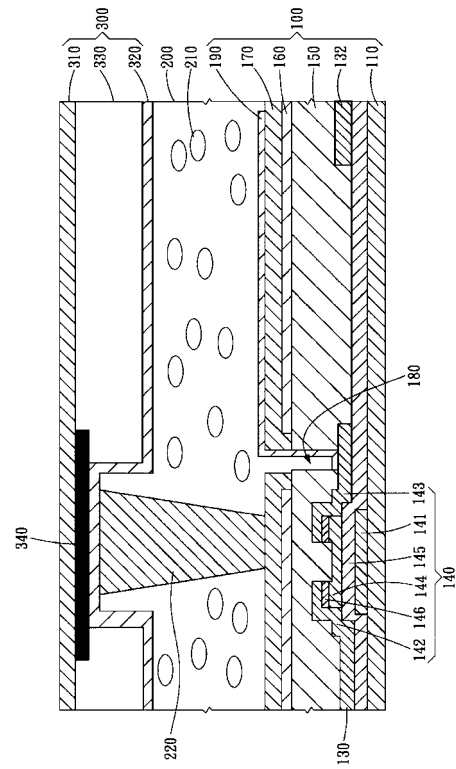
【図 7】



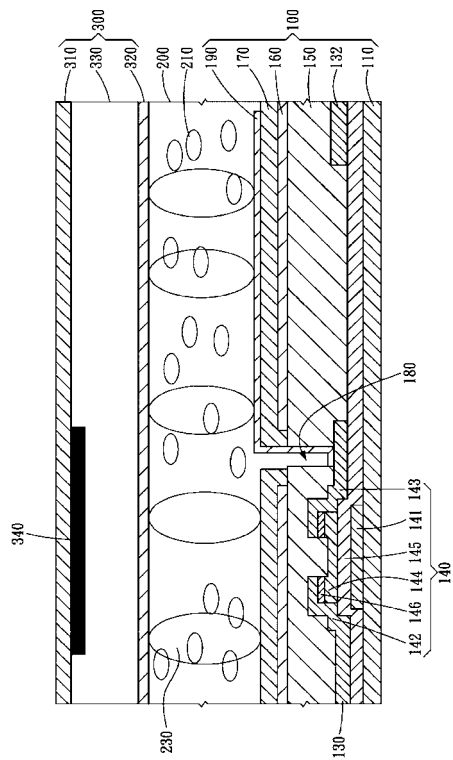
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. F I

G 0 9 F 9/30 (2006.01)

(56)参考文献 特開平02-072392(JP,A)
特開2010-026237(JP,A)
特開平08-136949(JP,A)
特開平06-337437(JP,A)
国際公開第2010/106710(WO,A1)
特開平08-179362(JP,A)
特開平05-080352(JP,A)
特開平02-222928(JP,A)
特開平05-249478(JP,A)
米国特許出願公開第2009/141228(US,A1)
特開2009-058913(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F	1 / 1 3 4 3
G 0 2 F	1 / 1 3 3 3
G 0 2 F	1 / 1 3 6 8
G 0 9 F	9 / 3 0
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 9 / 7 8 6

专利名称(译)	液晶显示面板及其像素阵列基板		
公开(公告)号	JP5551226B2	公开(公告)日	2014-07-16
申请号	JP2012244482	申请日	2012-11-06
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股▲ふん▼有限公司		
当前申请(专利权)人(译)	瀚宇彩晶股▲ふん▼有限公司		
[标]发明人	游家華 林松君 劉軒辰		
发明人	游家華 林松君 劉軒辰		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1333 H01L21/336 H01L29/786 G09F9/30		
CPC分类号	G02F1/136213 G02F2001/136218		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1333.505 H01L29/78.612.Z G09F9/30.338 G02F1/1335.505		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JA28 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB57 2H092/JB69 2H092/KA12 2H092/NA07 2H092/PA08 2H190/HA04 2H190/HB07 2H190/LA01 2H190/LA15 2H191/FA02Y 2H191/GA05 2H191/GA19 2H191/HA15 2H191/LA40 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CC66 2H192/DA42 2H192/DA62 2H192/DA65 2H192/EA22 2H192/EA43 2H192/EA67 2H192/GD23 2H291/FA02Y 2H291/GA05 2H291/GA19 2H291/HA15 2H291/LA40 5C094/AA10 5C094/BA03 5C094/BA43 5C094/DA13 5C094/DB10 5C094/EA04 5C094/EA05 5C094/ED03 5C094/FA01 5C094/FA02 5F110/BB01 5F110/CC07 5F110/FF02 5F110/FF03 5F110/FF04 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG22 5F110/HK09 5F110/HK14 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HL07 5F110/NN02 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN28 5F110/NN72		
优先权	201210193317.2 2012-06-12 CN		
其他公开文献	JP2013257530A		
外部链接	Espacenet		

摘要(译)

一种液晶显示面板，包括第一基板（100），栅极线（120,122），数据线（130,132），薄膜晶体管（140），第一绝缘层（150），透明导电层（160），第二绝缘层（170），接触孔（180）和像素电极（190）。透明导电层（160）设置在第一绝缘层（150）上并具有共同的电压电平。第二绝缘层（170）设置在透明导电层（160）和像素电极（190）之间。像素电极（190）通过相应的接触孔（180）电连接到相应的薄膜晶体管（140）的端子。

