

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5418421号
(P5418421)

(45) 発行日 平成26年2月19日 (2014. 2. 19)

(24) 登録日 平成25年11月29日 (2013. 11. 29)

(51) Int. Cl.	F 1
GO 2 F 1/1368 (2006. 01)	GO 2 F 1/1368
GO 2 F 1/1343 (2006. 01)	GO 2 F 1/1343

請求項の数 20 (全 16 頁)

(21) 出願番号	特願2010-140079 (P2010-140079)	(73) 特許権者	000001443
(22) 出願日	平成22年6月21日 (2010. 6. 21)		カシオ計算機株式会社
(65) 公開番号	特開2012-3165 (P2012-3165A)		東京都渋谷区本町 1 丁目 6 番 2 号
(43) 公開日	平成24年1月5日 (2012. 1. 5)	(72) 発明者	中村 やよい
審査請求日	平成24年9月27日 (2012. 9. 27)		東京都八王子市石川町 2 9 5 1 番地の 5
			カシオ計算機株式会社八王子技術センター
			内
		(72) 発明者	下牧 伸一
			東京都八王子市石川町 2 9 5 1 番地の 5
			カシオ計算機株式会社八王子技術センター
			内
		審査官	清水 誓史

最終頁に続く

(54) 【発明の名称】 液晶表示素子

(57) 【特許請求の範囲】

【請求項 1】

ソース電極及びドレイン電極の何れか一方が画素電極に接続された薄膜トランジスタと、

前記画素電極との間で補助容量を形成するとともに、少なくとも一部が前記薄膜トランジスタに重なるように配置された補助容量電極と、

を備え、

前記薄膜トランジスタは、半導体層と、該半導体層に接するように配置された絶縁性材料からなるエッチング防止層と、前記エッチング防止層との間に前記半導体層が介在するように配置されたゲート電極と、

を有し、

前記補助容量電極のうちの前記薄膜トランジスタの前記ゲート電極と重なる領域は、前記薄膜トランジスタにおけるチャンネル長方向に沿う第 1 の方向の長さが、前記ゲート電極の前記第 1 の方向の長さよりも短く、且つ、前記エッチング防止層の前記第 1 の方向の長さよりも長いことを特徴とする液晶表示素子。

【請求項 2】

前記薄膜トランジスタよりも前記補助容量電極の方が液晶層に近い側に配置されていることを特徴とする請求項 1 に記載の液晶表示素子。

【請求項 3】

前記薄膜トランジスタは、逆スタガ型の薄膜トランジスタであることを特徴とする請求

項 1 又は 2 に記載の液晶表示素子。

【請求項 4】

前記ゲート電極と前記エッチング防止層と前記補助容量電極は、前記薄膜トランジスタに対応する領域では、前記エッチング防止層の前記第 1 の方向の長さの中心に前記第 1 の方向に直交する第 2 の方向に沿って設けられた軸を対称軸として、互いのエッジ間距離が、前記第 1 の方向において前記対称軸に対して対称になるように配置されていることを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の液晶表示素子。

【請求項 5】

前記補助容量電極は、前記薄膜トランジスタのソース電極またはドレイン電極として成膜された導電層と画素電極として成膜された導電層との間の層として形成されていることを特徴とする請求項 1 乃至 4 の何れか 1 項に記載の液晶表示素子。

10

【請求項 6】

前記ゲート電極及び前記補助容量電極は遮光性の金属からなり、

前記エッチング防止層は、透光性の材料からなることを特徴とする請求項 1 乃至 5 の何れか 1 項に記載の液晶表示素子。

【請求項 7】

共通電極と画素電極との間に配置された液晶層と、

ソース電極及びドレイン電極の何れか一方が前記画素電極に接続された薄膜トランジスタと、

前記共通電極と等しい電位に設定されるとともに、少なくとも一部が前記薄膜トランジスタに重なるように配置された補助容量電極と、を備え、

20

前記薄膜トランジスタは、半導体層と、前記半導体層に接するように配置された絶縁性材料からなるエッチング防止層と、前記エッチング防止層との間に前記半導体層が介在するように配置されたゲート電極と、を有し、

前記補助容量電極のうちの前記ゲート電極と重なる領域は、前記薄膜トランジスタにおけるチャンネル長方向に沿う第 1 の方向の長さが、前記ゲート電極の前記第 1 の方向の長さよりも短く且つ前記エッチング防止層の前記第 1 の方向の長さよりも長いことを特徴とする液晶表示素子。

【請求項 8】

30

前記薄膜トランジスタは、逆スタガ型の薄膜トランジスタであることを特徴とする請求項 7 に記載の液晶表示素子。

【請求項 9】

前記補助容量電極は、前記ソース電極または前記ドレイン電極として成膜された導電層と前記画素電極として成膜された導電層との間の層として配置されていることを特徴とする請求項 7 又は 8 に記載の液晶表示素子。

【請求項 10】

前記画素電極の方が前記共通電極よりも前記補助容量電極に近い側の層として配置されていることを特徴とする請求項 9 に記載の液晶表示素子。

【請求項 11】

40

前記ゲート電極、前記エッチング防止層及び前記補助容量電極は、前記薄膜トランジスタに対応する領域では、前記エッチング防止層の前記第 1 の方向の長さの中心に前記第 1 の方向に直交する第 2 の方向に沿って設けられた軸を対称軸として、互いのエッジ間距離が、前記第 1 の方向において前記対称軸に対して対称になるように配置されていることを特徴とする請求項 7 乃至 10 の何れか 1 項に記載の液晶表示素子。

【請求項 12】

前記ゲート電極及び前記補助容量電極は遮光性の金属からなり、

前記エッチング防止層は、透光性の材料からなることを特徴とする請求項 7 乃至 11 の何れか 1 項に記載の液晶表示素子。

【請求項 13】

50

第 1 の方向に延伸するように配置された走査線と、
ソース電極及びドレイン電極の何れか一方が画素電極に接続された薄膜トランジスタと

、
前記画素電極との間で補助容量を形成するとともに、少なくとも一部が前記薄膜トランジスタに重なるように配置された補助容量電極と、
を備え、

前記薄膜トランジスタは、半導体層と、前記半導体層に接するように配置された絶縁性材料からなるエッチング防止層と、前記エッチング防止層との間に前記半導体層が介在するように配置されるとともに前記走査線に接続されたゲート電極と、を有し、

前記補助容量電極のうちの前記ゲート電極と重なる領域は、前記第 1 の方向に直交する第 2 の方向の長さが、前記ゲート電極の前記第 2 の方向の長さよりも短く且つ前記エッチング防止層の前記第 2 の方向の長さよりも長いことを特徴とする液晶表示素子。

【請求項 1 4】

前記薄膜トランジスタよりも前記補助容量電極の方が液晶層に近い側に配置されていることを特徴とする請求項 1 3 に記載の液晶表示素子。

【請求項 1 5】

前記薄膜トランジスタは、逆スタガ型の薄膜トランジスタであることを特徴とする請求項 1 3 又は 1 4 に記載の液晶表示素子。

【請求項 1 6】

前記ゲート電極、前記エッチング防止層及び前記補助容量電極は、前記薄膜トランジスタに対応する領域では、前記エッチング防止層の前記第 2 の方向の長さの中心に前記第 1 の方向に沿って設けられた軸を対称軸として、互いのエッジ間距離が、前記第 2 の方向に沿う方向において前記対称軸に対して対称になるように配置されていることを特徴とする請求項 1 3 乃至 1 5 の何れか 1 項に記載の液晶表示素子。

【請求項 1 7】

前記補助容量電極は、前記ソース電極または前記ドレイン電極として成膜された導電層と前記画素電極として成膜された導電層との間の層として配置されていることを特徴とする請求項 1 3 乃至 1 6 の何れか 1 項に記載の液晶表示素子。

【請求項 1 8】

前記ゲート電極及び前記補助容量電極は遮光性の金属からなり、
前記エッチング防止層は、透光性の材料からなることを特徴とする請求項 1 3 乃至 1 7 の何れか 1 項に記載の液晶表示素子。

【請求項 1 9】

前記薄膜トランジスタは、チャネル幅方向が前記第 1 の方向に沿うように配置されていることを特徴とする請求項 1 3 乃至 1 8 の何れか 1 項に記載の液晶表示素子。

【請求項 2 0】

前記ゲート電極は前記走査線の一部として設けられていることを特徴とする請求項 1 9 に記載の液晶表示素子。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、補助容量電極が薄膜トランジスタに重なるように配置された液晶表示素子に関する。

【背景技術】

【0 0 0 2】

近年、スイッチング素子として薄膜トランジスタ (TFT) を用いたアクティブマトリクス型の液晶表示素子が開発されている。アクティブマトリクス型の液晶表示素子では、画素電極に書き込んだ表示信号電圧を次の書き込みタイミングまで保持するために補助容量が形成されている。そして、この補助容量は、画素電極との間に絶縁層が介在するように配置された補助容量電極によって形成されている。

【0003】

ところで、薄膜トランジスタに逆スタガ構造（ボトムゲート構造）のものを適用したもののにおいて、液晶層側から該薄膜トランジスタに向かって入射してくる光によって発生する光リークを防止するために、該光に対する遮光膜として補助容量電極を兼用するものが知られている（例えば、特許文献1－図5）。即ち、薄膜トランジスタに重ねるようにしてクロムやモリブデンなどといった遮光性の金属からなる補助容量電極をソース／ドレイン電極層と画素電極層との間に形成したものが知られている。

【先行技術文献】

【特許文献】

【0004】

10

【特許文献1】特開2004-341185号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかし、補助容量電極は、平坦に形成された絶縁層上に該補助容量電極の下面が絶縁層に接するようにスパッタ法などにより成膜されるため、補助容量電極の下面は鏡面として形成されてしまう。

【0006】

このため、薄膜トランジスタが形成された基板側から液晶層に向かう光のうち、該薄膜トランジスタの近傍を通過して補助容量電極に向かう光が、高い光量を維持したまま補助容量電極によって反射され、たとえ逆スタガ構造であったとしてもこの反射光が薄膜トランジスタの半導体層に入射してしまい、ソース電極とドレイン電極との間で光リーク電流が発生してしまうという問題があった。

20

【0007】

そこで、本発明は、補助容量電極を薄膜トランジスタに重ねる構造とした場合であっても、光リーク電流の発生を抑制することができる液晶表示素子を提供することを目的とする。

【課題を解決するための手段】

【0008】

上記の目的を達成するために、請求項1に記載の液晶表示素子は、ソース電極及びドレイン電極の何れか一方が画素電極に接続された薄膜トランジスタと、前記画素電極との間で補助容量を形成するとともに、少なくとも一部が前記薄膜トランジスタに重なるように配置された補助容量電極と、を備え、前記薄膜トランジスタは、半導体層と、該半導体層に接するように配置された絶縁性材料からなるエッチング防止層と、前記エッチング防止層との間に前記半導体層が介在するように配置されたゲート電極と、を有し、前記補助容量電極のうちの前記薄膜トランジスタの前記ゲート電極と重なる領域は、前記薄膜トランジスタにおけるチャンネル長方向に沿う第1の方向の長さが、前記ゲート電極の前記第1の方向の長さよりも短く、且つ、前記エッチング防止層の前記第1の方向の長さよりも長いことを特徴とする。

30

【0009】

40

また、請求項2に記載の発明は、請求項1に記載の液晶表示素子において、前記薄膜トランジスタよりも前記補助容量電極の方が液晶層に近い側に配置されていることを特徴とする。

請求項3に記載の発明は、請求項1又は2に記載の液晶表示素子において、前記薄膜トランジスタは、逆スタガ型の薄膜トランジスタであることを特徴とする。

請求項4に記載の発明は、請求項1乃至3の何れか1項に記載の液晶表示素子において、前記ゲート電極と前記エッチング防止層と前記補助容量電極は、前記薄膜トランジスタに対応する領域では、前記エッチング防止層の前記第1の方向の長さの中心における、前記第1の方向に直交する第2の方向に沿った軸を対称軸として、互いのエッジ間距離が、前記第1の方向において前記対称軸に対して対称になるように配置されていることを特徴

50

とする。

【0010】

また、請求項5に記載の発明は、請求項1乃至4の何れか1項に記載の液晶表示素子において、前記補助容量電極は、前記薄膜トランジスタのソース電極またはドレイン電極として成膜された導電層と画素電極として成膜された導電層との間の層として形成されていることを特徴とする。

請求項6に記載の発明は、請求項1乃至5の何れか1項に記載の液晶表示素子において、前記ゲート電極及び前記補助容量電極は遮光性の金属からなり、前記エッチング防止層は、透光性の材料からなることを特徴とする。

また、請求項7に記載の液晶表示素子は、共通電極と画素電極との間に配置された液晶層と、ソース電極及びドレイン電極の何れか一方が前記画素電極に接続された薄膜トランジスタと、前記共通電極と等しい電位に設定されるとともに、少なくとも一部が前記薄膜トランジスタに重なるように配置された補助容量電極と、を備え、前記薄膜トランジスタは、半導体層と、前記半導体層に接するように配置された絶縁性材料からなるエッチング防止層と、前記エッチング防止層との間に前記半導体層が介在するように配置されたゲート電極と、を有し、前記補助容量電極のうちの前記ゲート電極と重なる領域は、前記薄膜トランジスタにおけるチャンネル長方向に沿う第1の方向の長さが、前記ゲート電極の前記第1の方向の長さよりも短く且つ前記エッチング防止層の前記第1の方向の長さよりも長いことを特徴とする。

請求項8に記載の発明は、請求項7に記載の液晶表示素子において、前記薄膜トランジスタは、逆スタガ型の薄膜トランジスタであることを特徴とする。

請求項9に記載の発明は、請求項7又は8に記載の液晶表示素子において、前記補助容量電極は、前記ソース電極または前記ドレイン電極として成膜された導電層と前記画素電極として成膜された導電層との間の層として配置されていることを特徴とする。

請求項10に記載の発明は、請求項9に記載の液晶表示素子において、前記画素電極の方が前記共通電極よりも前記補助容量電極に近い側の層として配置されていることを特徴とする。

請求項11に記載の発明は、請求項7乃至10の何れか1項に記載の液晶表示素子において、前記ゲート電極、前記エッチング防止層及び前記補助容量電極は、前記薄膜トランジスタに対応する領域では、前記エッチング防止層の前記第1の方向の長さの中心における、前記第1の方向に直交する第2の方向に沿った軸を対称軸として、互いのエッジ間距離が、前記第1の方向において前記対称軸に対して対称になるように配置されていることを特徴とする。

請求項12に記載の発明は、請求項7乃至11の何れか1項に記載の液晶表示素子において、前記ゲート電極及び前記補助容量電極は遮光性の金属からなり、前記エッチング防止層は、透光性の材料からなることを特徴とする。

また、請求項13に記載の液晶表示素子は、第1の方向に延伸するように配置された走査線と、ソース電極及びドレイン電極の何れか一方が画素電極に接続された薄膜トランジスタと、前記画素電極との間で補助容量を形成するとともに、少なくとも一部が前記薄膜トランジスタに重なるように配置された補助容量電極と、を備え、前記薄膜トランジスタは、半導体層と、前記半導体層に接するように配置された絶縁性材料からなるエッチング防止層と、前記エッチング防止層との間に前記半導体層が介在するように配置されるとともに前記走査線に接続されたゲート電極と、を有し、前記補助容量電極のうちの前記ゲート電極と重なる領域は、前記第1の方向に直交する第2の方向の長さが、前記ゲート電極の前記第2の方向の長さよりも短く且つ前記エッチング防止層の前記第2の方向の長さよりも長いことを特徴とする。

請求項14に記載の発明は、請求項13に記載の液晶表示素子において、前記薄膜トランジスタよりも前記補助容量電極の方が液晶層に近い側に配置されていることを特徴とする。

請求項15に記載の発明は、請求項13又は14に記載の液晶表示素子において、前記

薄膜トランジスタは、逆スタガ型の薄膜トランジスタであることを特徴とする。

請求項 16 に記載の発明は、請求項 13 乃至 15 の何れか 1 項に記載の液晶表示素子において、前記ゲート電極、前記エッチング防止層及び前記補助容量電極は、前記薄膜トランジスタに対応する領域では、前記エッチング防止層の前記第 2 の方向の長さの中心における、前記第 1 の方向に沿った軸を対称軸として、互いのエッジ間距離が、前記第 2 の方向に沿う方向において前記対称軸に対して対称になるように配置されていることを特徴とする。

請求項 17 に記載の発明は、請求項 13 乃至 16 の何れか 1 項に記載の液晶表示素子において、前記補助容量電極は、前記ソース電極または前記ドレイン電極として成膜された導電層と前記画素電極として成膜された導電層との間の層として配置されていることを特徴とする。

10

請求項 18 に記載の発明は、請求項 13 乃至 17 の何れか 1 項に記載の液晶表示素子において、前記ゲート電極及び前記補助容量電極は遮光性の金属からなり、前記エッチング防止層は、透光性の材料からなることを特徴とする。

請求項 19 に記載の発明は、請求項 13 乃至 18 の何れか 1 項に記載の液晶表示素子において、前記薄膜トランジスタは、チャンネル幅方向が前記第 1 の方向に沿うように配置されていることを特徴とする。

請求項 20 に記載の発明は、請求項 19 に記載の液晶表示素子において、前記ゲート極は前記走査線の一部として設けられていることを特徴とする。

【発明の効果】

20

【0011】

本発明によれば、補助容量電極を薄膜トランジスタに重ねる構造とした場合であっても、光リーク電流の発生を抑制することができる。

【図面の簡単な説明】

【0012】

【図 1】液晶表示素子の説明図であり、(a) は概略平面図、(b) 概略断面図。

【図 2】薄膜トランジスタアレイの等価回路的平面図。

【図 3】第 1 の基板に形成される多層膜の平面図。

【図 4】図 3 の A-A' 線に沿う領域の断面図。

【図 5】第 1 の基板に形成する多層膜の形成方法の説明図であり、第 1 の基板に第 1 の導電層を成膜した状態。

30

【図 6】第 1 の基板に形成する多層膜の形成方法の説明図であり、第 1 の導電層をパターンニングした状態。

【図 7】第 1 の基板に形成する多層膜の形成方法の説明図であり、第 1 の絶縁層、半導体層及びエッチング防止層を成膜した状態。

【図 8】第 1 の基板に形成する多層膜の形成方法の説明図であり、エッチング防止層をパターンニングした状態。

【図 9】第 1 の基板に形成する多層膜の形成方法の説明図であり、オーミックコンタクト層及び金属層を成膜した状態。

【図 10】第 1 の基板に形成する多層膜の形成方法の説明図であり、第 2 の導電層をパターンニングした状態。

40

【図 11】第 1 の基板に形成する多層膜の形成方法の説明図であり、第 2 の絶縁層上に第 3 の導電層を成膜した状態。

【図 12】第 1 の基板に形成する多層膜の形成方法の説明図であり、第 3 の導電層を補助容量電極としてパターンニングした状態。

【図 13】第 1 の基板に形成する多層膜の形成方法の説明図であり、第 3 の絶縁層上にコンタクトホール形成用のフォトレジストをパターンニングした状態。

【図 14】第 1 の基板に形成する多層膜の形成方法の説明図であり、第 2 の絶縁層及び第 3 の絶縁層にコンタクトホールを形成した状態。

【図 15】第 1 の基板に形成する多層膜の形成方法の説明図であり、第 4 の導電層を成膜

50

した状態。

【発明を実施するための形態】

【0013】

以下、本発明を実施するための形態を、図面を参照して説明する。

図1(a)及び図1(b)に示すように、アクティブマトリクス型の液晶表示素子1は、第1の基板2と第2の基板3とが互いに対向するように配置されている。第1の基板2と第2の基板3は、枠形状に形成されたシール材4により貼りあわされている。また、第1の基板2と第2の基板3との間には、シール材4に囲まれた領域に液晶が充填されることにより、液晶層5が形成されている。そして、液晶表示素子1は、表示領域6に、複数の表示画素がマトリクス状に配列されている。

10

【0014】

図2は、第1の基板2に形成される薄膜トランジスタアレイの等価回路的平面図である。第1の基板2には、1つの表示画素に対して1つの画素電極7が対応するようにして、表示領域6に、複数の画素電極7がマトリクス状に配列されている。そして、複数の画素電極7のそれぞれは、それぞれに対応した薄膜トランジスタ8におけるソース・ドレイン電極のうちの一方、例えば、ソース電極Sに接続されている。また、薄膜トランジスタ8におけるソース・ドレイン電極のうちの他方、例えばドレイン電極Dは、列方向に沿って延伸する信号線10に接続されている。さらに、薄膜トランジスタ8におけるゲート電極Gは、行方向に沿って延伸する走査線9に接続されている。また、画素電極7との間に補助容量Csを形成するための補助容量電極11が薄膜トランジスタ8に重なるように格子形状に形成されている。そして、画素電極7は該画素電極7における周縁部7aの一部が補助容量電極11と重なるように配置されている。ここで、薄膜トランジスタ8は、スイッチング素子として機能し、例えばnMOS型の薄膜トランジスタを用いることができる。また、走査線9は、薄膜トランジスタ8のゲート電極Gに対して薄膜トランジスタ8をオン/オフ制御するための走査信号を供給するためのものであり、信号線10は、薄膜トランジスタ8を介して画素電極7にデータ信号を供給するためのものである。

20

【0015】

また、走査線9、信号線10及び補助容量電極11は、表示領域6の外側の領域にまで延出されている。そして、走査線9は表示領域6の外側の領域に設けられた第1の外部接続端子12に接続され、信号線10は、表示領域6の外側の領域に設けられた第2の外部接続端子13に接続され、補助容量電極11は、表示領域6の外側の領域に設けられた第3の外部接続端子14に接続されている。なお、補助容量電極11は、各表示画素間で等しい電位になるように互いに電氣的に接続されているとともに、トランスパッド15を介して後述の共通電極18に電氣的に接続される。即ち、補助容量電極11は、共通電極18と等しい電位に設定されている。ここで、第1の外部接続端子12、第2の外部接続端子13及び第3の外部接続端子14は、フレキシブル配線基板などの部材が接続されることにより、このフレキシブル配線基板を介して外部回路と電氣的に接続される。

30

【0016】

第2の基板3には、図1(b)に示すように、各表示画素間で等しい電位に設定される共通電極18が形成されている。そして、共通電極18と画素電極7との間に液晶層5が形成されるように、シール材4で囲まれた領域に液晶が充填されている。

40

【0017】

次に、図3及び図4に基づいて第1の基板2に成膜される各薄膜の層構成について説明する。なお、表示領域の外側の領域に対してはその説明を省略する。ガラス等の透明な部材からなる第1の基板2上には、第1の導電層として、ゲート電極G及び走査線9が形成されている。第1の導電層は、例えば、クロム、アルミニウム、モリブデン、チタン等の遮光性金属を材料にして形成されている。そして、第1の導電層は、絶縁性の材料からなる第1の絶縁層20により覆われている。第1の絶縁層20は、ゲート絶縁膜としても機能するものであり、例えば、窒化シリコン(SiNまたはSi₃N₄)または酸化シリコン(SiO₂)等の無機材料で形成されている。

50

【0018】

第1の絶縁層20上には、第2の導電層として、ソース電極S、ソース電極Sから延伸された接続パッド部Sa、ドレイン電極D及び信号線10が形成されている。第2の導電層は、半導体層21とオーミックコンタクト層22と金属層23とが、順に積層された多層構造に形成されている。そして、半導体層21は、アモルファスシリコンまたはポリシリコンなどの半導体により形成されている。オーミックコンタクト層22は、アモルファスシリコンまたはポリシリコンに不純物がドーピングされた比較的抵抗性の低い半導体により形成されている。金属層23は、例えば、クロム、アルミニウム、モリブデン、チタン等の遮光性金属を材料にして形成されている。

【0019】

10

なお、薄膜トランジスタ8におけるチャネルに対応する領域には、半導体層21が形成されるとともに、半導体層21とオーミックコンタクト層22との間の層として、絶縁性材料からなるエッチング防止層24が設けられている。エッチング防止層24は、チャネル長方向に沿う方向（図3において矢印Yで示す方向であり、以下、Y方向と称す）の長さがゲート電極GにおけるY方向の長さよりも短く形成されている。ここで、ゲート電極Gは走査線9と一体的に形成されているものとし、ゲート電極GにおけるY方向の長さは、走査線9の幅、即ち、走査線9におけるY方向の長さに等しいものとする。

【0020】

第2の導電層及び薄膜トランジスタ8は、絶縁性の材料からなる第2の絶縁層25により覆われている。第2の絶縁層25は、薄膜トランジスタ8や信号線10によって生じる段差を平坦化する平坦化層としても機能し、例えば、窒化シリコン（SiNまたはSi₃N₄）または酸化シリコン（SiO₂）等の無機材料で形成されている。

20

【0021】

第2の絶縁層25上には、第3の導電層として補助容量電極11が形成されている。補助容量電極11は、走査線9や信号線10、さらには、薄膜トランジスタ8と重なるように格子形状に形成されている。そして、第3の導電層は、例えば、クロム、アルミニウム、モリブデン、チタン等の遮光性金属を材料にして形成されている。

【0022】

ここで、補助容量電極11は、信号線10に沿う方向、即ち、Y方向に延伸する第1の棧部11aと、走査線9に沿う方向、即ち、チャネル幅方向に沿う方向（図3において矢印Xで示す方向であり、以下、X方向と称す）に延伸する第2の棧部11bと、からなる。そして、第2の棧部11bは、Y方向の長さがエッチング防止層24におけるY方向の長さよりも長く且つゲート電極GにおけるY方向の長さよりも短く形成されている。そして、ゲート電極Gとエッチング防止層24と第2の棧部11bは、薄膜トランジスタ8に対応する領域でのY方向における中心位置が互いに一致するように配置されている。即ち、ゲート電極Gとエッチング防止層24と第2の棧部11bは、薄膜トランジスタ8に対応する領域では、互いのエッジ間距離がY方向において対称になるように配置されている。

30

【0023】

第3の導電層は、絶縁性の材料からなる第3の絶縁層28により覆われている。第3の絶縁層28は、薄膜トランジスタ8や信号線10によって生じる段差、さらには、補助容量電極11によって生じる段差を平坦化する平坦化層としても機能し、例えば、窒化シリコン（SiNまたはSi₃N₄）または酸化シリコン（SiO₂）等の無機材料で形成されている。

40

【0024】

第3の絶縁層28上には、第4の導電層として画素電極7が形成されている。第4の導電層は、例えば、ITO（Indium Tin Oxide）などの透明な導電性材料により形成されている。そして、画素電極7は、第2の絶縁層25と第3の絶縁層28に連続的に設けられたコンタクトホール25a、28aで接続パッド部Saにおける金属層23の上面に接触することにより、ソース電極Sに対して電氣的に接続されている。ここで、画素電極7は

50

、格子形状に形成された補助容量電極 11 の開口部 11c に重なるように且つ該画素電極の周縁部 7a が補助容量電極 11 における第 1 の棧部 11a に重なるように形成されている。また、画素電極 7 は、隣接する画素電極との間の間隙が補助容量電極 11 における第 1 の棧部 11a に重なるように配置されている。

【0025】

以上のような構成の液晶表示素子では、第 2 の基板 3 を通過して薄膜トランジスタ 8 における半導体層 21 に向かう光 L1 を補助容量電極 11 で反射させることができるため、この光 L1 に基づいてソース電極 S とドレイン電極 D との間に発生する光リーク電流を効果的に抑制することができる。また、第 1 の基板 2 を通過して直接的に薄膜トランジスタ 8 における半導体層 21 に向かう光 L2 をゲート電極 G で反射させることができるため、この光 L2 に基づいてソース電極 S とドレイン電極 D との間に発生する光リーク電流を効果的に抑制することができる。さらに、薄膜トランジスタ 8 に重なる領域の補助容量電極 11 に向かって第 1 の基板 2 を通過してきた光 L3 をもゲート電極 G で反射させることができるため、この光 L3 に基づいてソース電極 S とドレイン電極 D との間に発生する光リーク電流をも効果的に抑制することができる。

【0026】

次に、上述したように第 1 の基板 2 上に形成されている多層膜の形成方法について図 5-図 15 に基づいて説明する。なお、図 5-図 15 は、図 3 に示した A-A' 線に沿った領域に対応する断面図である。まず、ガラス等の透明な部材からなる第 1 の基板 2 を準備し、図 5 に示すように、第 1 の基板 2 の一面に、例えば、クロム、アルミニウム、モリブデン、チタン等の遮光性の金属をスパッタ法または CVD (Chemical Vapor Deposition) 法により第 1 の導電層 40 として成膜する。ここで、第 1 の導電層 40 は、層厚が例えば 100~500 nm になるように成膜する。

【0027】

次に、第 1 の導電層 40 上にフォトレジストを塗布するとともに、露光及び現像によりこの塗布したフォトレジストをパターニングする。そして、パターニングされたフォトレジストをマスクとしてこのフォトレジストから露出された部分の第 1 の導電層 40 をエッチングし、その後、フォトレジストを剥離することにより、図 6 に示すように、パターニングされた第 1 の導電層 40 として、ゲート電極 G と走査線 9 とが形成される。

【0028】

次に、パターニングされた第 1 の導電層 40 を覆うようにして、第 1 の基板 2 上に、窒化シリコン (SiN または Si_3N_4) または酸化シリコン (SiO_2) 等の無機絶縁材料をプラズマ CVD 法等により第 1 の絶縁層 20 として成膜する。ここで、例えば、第 1 の絶縁層 20 を窒化シリコンにより形成する場合、プロセスガスは、主原料ガスとしてシラン (SiH_4)、副原料ガスとしてアンモニア (NH_3)、希釈ガスとして窒素 (N_2) が用いられる。また、第 1 の絶縁層 20 は、層厚が例えば 200~800 nm になるように成膜する。ここで、第 1 の絶縁層 20 は、第 1 の導電層 40 よりも層厚が厚くなるように成膜することが好ましい。

【0029】

次に、図 7 に示すように、第 1 の絶縁層 20 上にプラズマ CVD 法等によりアモルファスシリコンまたはポリシリコンからなる半導体層 21 を成膜し、その後、半導体層 21 上に窒化シリコン (SiN または Si_3N_4) 等の無機絶縁材料をプラズマ CVD 法等によりエッチング防止層 24 として成膜する。なお、第 1 の絶縁層 20、半導体層 21 及びエッチング防止層 24 は、連続的に成膜されることが好ましい。ここで、半導体層 21 は、層厚が例えば 20~60 nm になるように成膜する。また、エッチング防止層 24 は、層厚が例えば 100~200 nm になるように成膜する。

【0030】

次に、エッチング防止層 24 上にフォトレジストを塗布するとともに、露光及び現像によりこの塗布したフォトレジストをパターニングする。そして、パターニングされたフォトレジストをマスクとしてこのフォトレジストから露出された部分のエッチング防止層 2

10

20

30

40

50

4をエッチングし、その後、フォトレジストを剥離することにより、薄膜トランジスタ8におけるチャンネルに対応する領域に残存するようにパターンニングされたエッチング防止層24が形成される(図8)。

【0031】

次に、パターンニングされたエッチング防止層24を覆うようにして、第1の基板2上にアモルファスシリコンまたはポリシリコンに不純物がドーピングされた比較的低抵抗な半導体をオーミックコンタクト層22として成膜し、その後、オーミックコンタクト層22上に、例えば、クロム、アルミニウム、モリブデン、チタン等の遮光性の金属からなる金属層23をスパッタ法またはCVD法により成膜する(図9)。なお、金属層23は、必ずしも、遮光性の金属に限定するものではなく、例えばITO等の透明性の導電材料であって

10

【0032】

そして、上述のように、半導体層21、オーミックコンタクト層22及び金属層23が順次成膜されることによって、半導体層21、オーミックコンタクト層22及び金属層23の積層膜としての第2の導電層41が形成される。

【0033】

次に、金属層23上にフォトレジストを塗布するとともに、露光及び現像によりこの塗布したフォトレジストをパターンニングする。そして、パターンニングされたフォトレジストをマスクとしてこのフォトレジストから露出された部分の半導体層21、オーミックコンタクト層22及び金属層23を一括的にまたは連続的にエッチングし、その後、フォトレジストを剥離することにより、パターンニングされた第2の導電層41として、ソース電極S、接続パッド部Sa、ドレイン電極D及び信号線10が形成される(図10)。なお、エッチング防止層24により覆われている領域における半導体層21は、エッチング防止層24により保護されることによってエッチングされずに残存する。そして、半導体層21、ゲート電極G、ソース電極S及びドレイン電極Dを有した薄膜トランジスタ8が形成される。

20

【0034】

次に、パターンニングされた第2の導電層41を覆うようにして、第1の基板2上に、窒化シリコン(SiNまたはSi₃N₄)または酸化シリコン(SiO₂)等の無機絶縁材料をプラズマCVD法等により第2の絶縁層25として成膜する。ここで、第2の絶縁層25を窒化シリコンにより形成する場合、プロセスガスは、主原料ガスとしてシラン(SiH₄)、副原料ガスとしてアンモニア(NH₃)、希釈ガスとして窒素(N₂)を用いることができる。ここで、第2の絶縁層25は、層厚が例えば200~800nmになるように成膜する。

30

【0035】

次に、第2の絶縁層25上に、例えば、クロム、アルミニウム、モリブデン、チタン等の遮光性の金属をスパッタ法またはCVD法により第3の導電層42として成膜する(図11)。ここで、第3の導電層42は、層厚が例えば100~500nmになるように成膜する。

40

【0036】

次に、第3の導電層42上にフォトレジストを塗布するとともに、露光及び現像によりこの塗布したフォトレジストをパターンニングする。そして、パターンニングされたフォトレジストをマスクとしてこのフォトレジストから露出された部分の第3の導電層42をエッチングし、その後、フォトレジストを剥離することにより、パターンニングされた第3の導電層42として、補助容量電極11が形成される(図12)。

【0037】

次に、補助容量電極11を覆うようにして、第1の基板2上に、窒化シリコン(SiNまたはSi₃N₄)または酸化シリコン(SiO₂)等の無機絶縁材料をプラズマCVD法

50

等により第3の絶縁層28として成膜する。ここで、第3の絶縁層28を窒化シリコンにより形成する場合、プロセスガスは、主原料ガスとしてシラン(SiH_4)、副原料ガスとしてアンモニア(NH_3)、希釈ガスとして窒素(N_2)を用いることができる。ここで、第3の絶縁層28は、層厚が例えば100~600nmになるように成膜する。

【0038】

次に、第3の絶縁層28上にフォトレジストを塗布するとともに、露光及び現像によりこの塗布したフォトレジストをパターニングする。このとき、図13に示すように、パターニングされたフォトレジスト50は、接続パッド部Saの一部が該フォトレジスト50から露出するように形成される。

【0039】

次に、フォトレジスト50をマスクにしてフォトレジスト50から露出された部分の第2の絶縁層25及び第3の絶縁層28を例えばドライエッチングにより一括的にエッチングすることで、図14に示すように、第2の絶縁層25にコンタクトホール25aが形成されるとともに第3の絶縁層28にコンタクトホール28aが形成される。なお、エッチングガスには、例えば、 CF_4 、 SF_6 、 O_2 、He等の混合ガスを用いることができる。

【0040】

次に、フォトレジスト50を剥離し、コンタクトホールが形成された第3の絶縁層27を覆うようにして、第1の基板2上に、ITO等の透明性の導電材料をスパッタ法等により第4の導電層43として成膜する(図15)。ここで、第4の導電層43は、層厚が例えば30~300nmになるように成膜する。

【0041】

次に、第4の導電層43上にフォトレジストを塗布するとともに、露光及び現像によりこの塗布したフォトレジストをパターニングする。そして、パターニングされたフォトレジストをマスクとしてこのフォトレジストから露出された部分の第4の導電層43をエッチングし、その後、フォトレジストを剥離することにより、パターニングされた第4の導電層43として画素電極7が形成され、図4に示したような多層膜が得られる。

【0042】

なお、上述の実施の形態では、第1の絶縁層20、第2の絶縁層25及び第3の絶縁層28を無機絶縁材料により形成する場合について説明したが、第1の絶縁層20、第2の絶縁層25及び第3の絶縁層28はポリイミド系やアクリル系の有機材料で形成してもよい。

【符号の説明】

【0043】

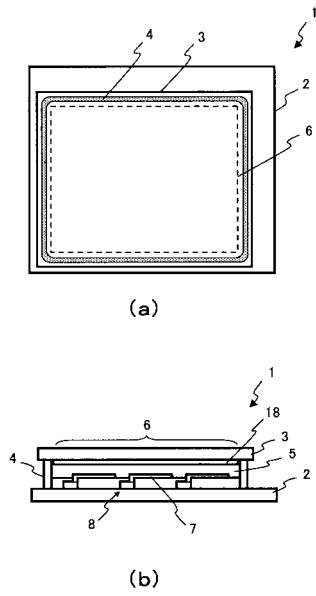
1…液晶表示素子、2, 3…基板、5…液晶層、7…画素電極、8…薄膜トランジスタ、9…走査線、10…信号線、11…補助容量電極、20, 25, 28…絶縁層、21…半導体層、22…オーミックコンタクト層、23…金属層、24…エッチング防止層、G…ゲート電極、D…ドレイン電極、S…ソース電極

10

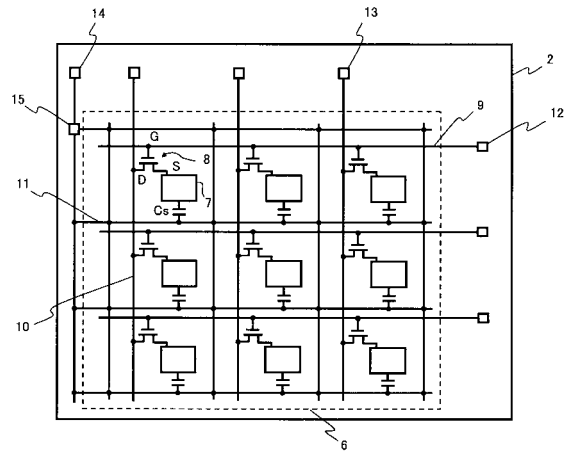
20

30

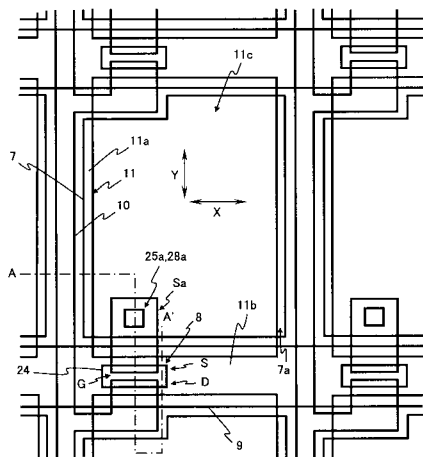
【図 1】



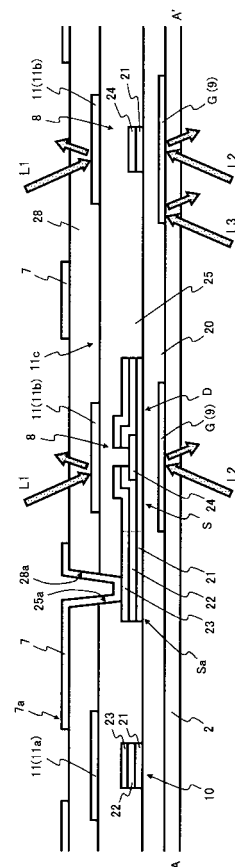
【図 2】



【図 3】



【図 4】



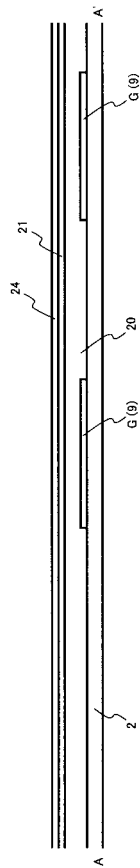
【図 5】



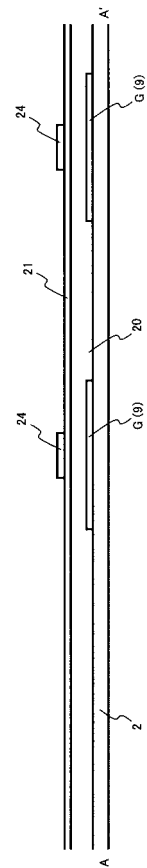
【図 6】



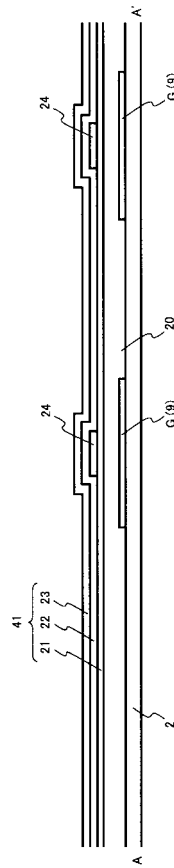
【図 7】



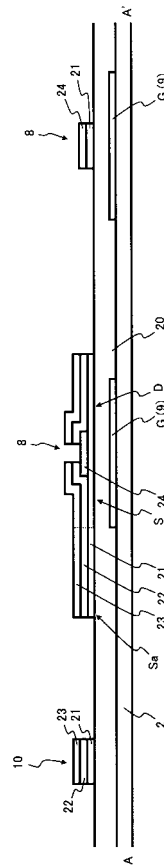
【図 8】



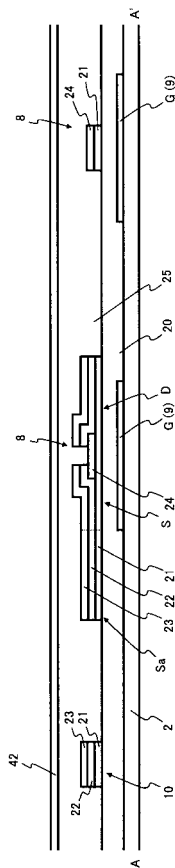
【図 9】



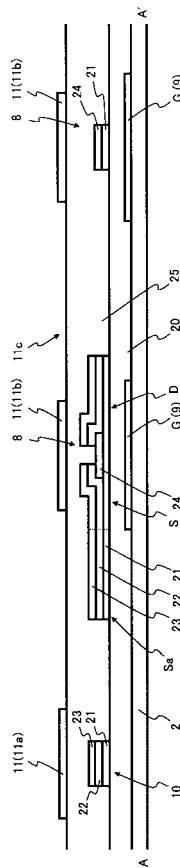
【図 10】



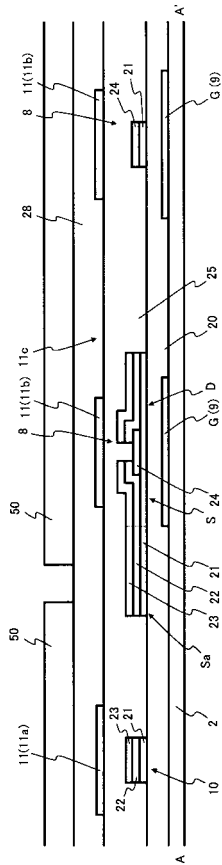
【図 11】



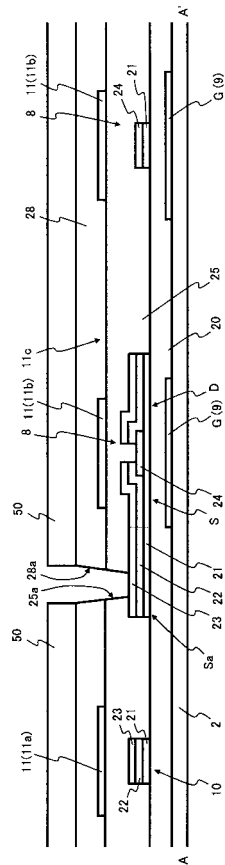
【図 12】



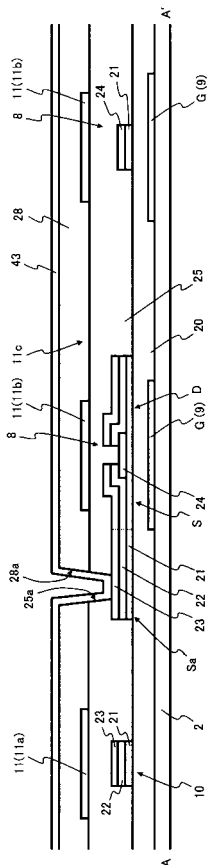
【図 1 3】



【図 14】



【図 15】



フロントページの続き

- (56)参考文献 特開2010-026269 (JP, A)
特開2009-049421 (JP, A)
特開2006-343612 (JP, A)
特開2008-077030 (JP, A)
特開2005-045017 (JP, A)
特開2000-180899 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1343

专利名称(译)	液晶显示元件		
公开(公告)号	JP5418421B2	公开(公告)日	2014-02-19
申请号	JP2010140079	申请日	2010-06-21
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机有限公司		
当前申请(专利权)人(译)	卡西欧计算机有限公司		
[标]发明人	中村やよい 下牧伸一		
发明人	中村 やよい 下牧 伸一		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/136209 G02F1/136213 G02F2001/136218 H01L27/1255 H01L29/78633		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/JA26 2H092/JA33 2H092/JA35 2H092/JA43 2H092/JA46 2H092/JB51 2H092/JB54 2H092/JB57 2H092/JB58 2H092/JB63 2H092/JB64 2H092/JB69 2H092/KA04 2H092/KA05 2H092/KA12 2H092/KA18 2H092/KA22 2H092/KA24 2H092/KB04 2H092/KB14 2H092/KB22 2H092/KB24 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA13 2H092/NA24 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB71 2H192/CC02 2H192/DA15 2H192/EA04 2H192/EA17		
其他公开文献	JP2012003165A5 JP2012003165A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种即使在辅助电容器电极与薄膜晶体管重叠时也能够抑制漏光电流的液晶显示元件。注意：在液晶显示元件中，辅助电容器电极11在薄膜晶体管8的上层侧配置金属制，与薄膜晶体管8重叠。薄膜晶体管8具有由绝缘材料构成的防蚀层24，该绝缘材料配置在薄膜晶体管8上。半导体层21与半导体层21接触，栅电极G配置成在蚀刻防止层24和栅电极G之间插入半导体层21。辅助电容电极11形成与薄膜晶体管8的栅电极G重叠的区域，使得辅助电容器电极11沿着a方向的长度薄膜晶体管8的沟道长度方向在该方向上比栅电极G的沟道长度方向短，并且在该方向上长于防蚀层24的沟道长度方向。

