

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5258705号  
(P5258705)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int.Cl.	F I	
<b>G09G</b> 3/36 (2006.01)	G09G	3/36
<b>G09G</b> 3/20 (2006.01)	G09G	3/20 624C
<b>G02F</b> 1/133 (2006.01)	G09G	3/20 680H
<b>G02F</b> 1/1343 (2006.01)	G09G	3/20 621M
<b>G02F</b> 1/1368 (2006.01)	G09G	3/20 680G

請求項の数 9 (全 27 頁) 最終頁に続く

(21) 出願番号 特願2009-193271 (P2009-193271)  
 (22) 出願日 平成21年8月24日(2009.8.24)  
 (65) 公開番号 特開2010-61135 (P2010-61135A)  
 (43) 公開日 平成22年3月18日(2010.3.18)  
 審査請求日 平成21年8月24日(2009.8.24)  
 (31) 優先権主張番号 12/204,443  
 (32) 優先日 平成20年9月4日(2008.9.4)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 501358079  
 友達光電股▲ふん▼有限公司  
 AU Optronics Corporation  
 台湾新竹科学工業園區新竹市力行二路一号  
 No. 1, Lt-Hsin Rd, II,  
 Science-Based Industrial Park, Hsinchu,  
 Taiwan, R. O. C.  
 (74) 代理人 110000383  
 特許業務法人 エビス国際特許事務所  
 (72) 発明者 温 亦謙  
 台湾新竹市科学工業園區力行二路1号 友  
 達光電股▲ふん▼有限公司内

最終頁に続く

(54) 【発明の名称】 LCDパネルおよび液晶ディスプレイを駆動する方法

(57) 【特許請求の範囲】

【請求項1】

LCDパネルであって、

(a) 共通電極と、

(b) 行方向に沿って空間的に配置される複数の走査線  $\{G_n\}$  ( $n = 1, 2, \dots, N$ 、 $N$  はゼロより大きい整数である) と、

(c) 上記走査線  $\{G_n\}$  に垂直で、上記行方向と垂直な列方向に空間的に配置される複数のデータ線  $\{D_m\}$  ( $m = 1, 2, \dots, M$ 、 $M$  はゼロより大きい整数である) と、

(d) マトリクス状で空間的に配置されるとともに、二本の隣接する走査線  $G_n$  と  $G_{n+1}$  および二本の隣接するデータ線  $D_m$  と  $D_{m+1}$  により定義され、少なくとも第1サブ画素  $P_{n,m}(1)$  および第2サブ画素  $P_{n,m}(2)$  を含む複数の画素  $P_{n,m}$  と、  
 を有し、

各第1サブ画素と各第2サブ画素は、いずれもサブ画素電極と、上記サブ画素電極と上記共通電極との間に電氣的に結合される液晶(LC)キャパシタと、ゲート、ソースおよび上記サブ画素電極に電氣的に結合されるドレインを有するトランジスタとを含み、

上記画素  $P_{n,m}$  において、上記第1サブ画素  $P_{n,m}(1)$  の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_{n+1}$  と上記データ線  $D_m$  に電氣的に結合され、上記第2サブ画素  $P_{n,m}(2)$  の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_n$  と上記第1サブ画素  $P_{n,m}(1)$  のサブ画素電極に電氣的に結合され、

上記画素  $P_{n+1,m}$  において、上記第1サブ画素  $P_{n+1,m}(1)$  の上記トランジスタ

10

20

タのゲートとソースは、それぞれ上記走査線  $G_{n+1}$  と上記第2サブ画素  $P_{n+1,m}(2)$  のサブ画素電極に電氣的に結合され、上記第2サブ画素  $P_{n+1,m}(2)$  の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_{n+2}$  と上記データ線  $D_{m+1}$  に電氣的に結合され、

所定の期間ずつシフトした複数の走査信号は、上記複数の走査線  $\{G_n\}$  にそれぞれ印加されて、各走査線に接続される上記トランジスタを導通させ、

複数のデータ信号は上記複数のデータ線  $\{D_m\}$  にそれぞれ印加されて、上記複数のデータ信号における任意二つの隣接するデータ信号は逆の極性を有し、

上記各走査線にそれぞれ印加される各走査信号は、第1周期  $T_1$  で第1電圧  $V_1$  を有し、第2周期  $T_2$  で第2電圧  $V_2$  を有し、第3周期  $T_3$  で第3電圧  $V_3$  を有し、第4周期  $T_4$  で第4電圧  $V_4$  を有し、第5周期  $T_5$  で第5電圧  $V_5$  を有し、上記第  $(j+1)$  周期  $T_{j+1}$  は第  $j$  周期  $T_j$  の直後に続いており、 $j = 1, 2, 3, 4$ 、そのうち、 $V_1 = V_3 = V_5 > V_2 = V_4$ 、 $T_2 = (T_1 + 2t)$ 、 $T_3 = (T_1 - t)$ 、 $T_4 = 2t$ 、 $T_5 = T_1$ 、 $T_1 \gg t$  である波形を有し、上記各電圧が、上記各走査線に接続されている上記トランジスタを有効にオンオフする値に設定されており、

走査信号のシフト期間である上記所定の期間は  $(T_1 + T_2)$  であることを特徴とするLCDパネル。

#### 【請求項2】

LCDパネルであって、

(a) 共通電極と、

(b) 行方向に沿って空間的に配置される複数の走査線  $\{G_n\}$  ( $n = 1, 2, \dots, N$ 、 $N$  はゼロより大きい整数である) と、

(c) 上記走査線  $\{G_n\}$  に垂直で、上記行方向と垂直な列方向に空間的に配置される複数のデータ線  $\{D_m\}$  ( $m = 1, 2, \dots, M$ 、 $M$  はゼロより大きい整数である) と、

(d) マトリクス状で空間的に配置されるとともに、二本の隣接する走査線  $G_n$  と  $G_{n+1}$  および二本の隣接するデータ線  $D_m$  と  $D_{m+1}$  により定義され、少なくとも第1サブ画素  $P_{n,m}(1)$  および第2サブ画素  $P_{n,m}(2)$  を含む複数の画素  $P_{n,m}$  と、

を有し、

各第1サブ画素と各第2サブ画素は、いずれもサブ画素電極と、上記サブ画素電極と上記共通電極との間に電氣的に結合される液晶(LC)キャパシタと、ゲート、ソースおよび上記サブ画素電極に電氣的に結合されるドレインを有するトランジスタとを含み、

上記画素  $P_{n,m}$  において、上記第1サブ画素  $P_{n,m}(1)$  の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_{n+1}$  と上記データ線  $D_m$  に電氣的に結合され、上記第2サブ画素  $P_{n,m}(2)$  の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_n$  と上記第1サブ画素  $P_{n,m}(1)$  のサブ画素電極に電氣的に結合され、

上記画素  $P_{n+1,m}$  において、上記第1サブ画素  $P_{n+1,m}(1)$  の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_{n+1}$  と上記第2サブ画素  $P_{n+1,m}(2)$  のサブ画素電極に電氣的に結合され、上記第2サブ画素  $P_{n+1,m}(2)$  の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_{n+2}$  と上記データ線  $D_{m+1}$  に電氣的に結合され、

所定の期間ずつシフトした複数の走査信号は、上記複数の走査線  $\{G_n\}$  にそれぞれ印加されて、各走査線に接続される上記トランジスタを導通させ、

複数のデータ信号は上記複数のデータ線  $\{D_m\}$  にそれぞれ印加されて、上記複数のデータ信号における任意二つの隣接するデータ信号は逆の極性を有し、

上記各走査線にそれぞれ印加される各走査信号は、第1周期  $T_1$  で第1電圧  $V_1(t)$  を有し、第2周期  $T_2$  で第2電圧  $V_2(t)$  を有し、第3周期  $T_3$  で第3電圧  $V_3(t)$  を有する波形を備え、上記第2周期  $T_2$  は上記第1周期  $T_1$  の直後に、上記第3周期  $T_3$  は上記第2周期  $T_2$  の直後に続いており、 $V_1(t)$  と  $V_3(t)$  は時間とともに変化し、 $V_2(t)$  は時間とともに変化しない定電圧 ( $V_2(t) = V_2$ ) であり、上記各電圧が、上記各走査線に接続されている上記トランジスタを有効にオンオフする値に設定されており、

上記第1周期  $T_1$  は、第1時期  $T_0$  と、上記第1時期  $T_0$  の直後に続く第2時期  $T = (T_1 - T_0)$  と

10

20

30

40

50

を含み、上記第1時期 $T_0$ において、 $V_1(t)=V_1$ は定電圧であり、上記第2時期 $T$ において、 $V_1(t)$ は時間とともに $V_1$ から徐々に $V_0$ に低下し、且つ、上記第3周期 $T_3$ は、第1時期 $T_0$ と、上記第1時期 $T_0$ の直後に続く第2時期 $T$ と、上記第2時期 $T$ の直後に続く第3時期 $(T_3-T_1-T_0)$ とを含み、上記第1時期 $T_0$ において、 $V_3(t)=V_3$ は定電圧であり、上記第2時期 $T$ において、 $V_3(t)$ は時間とともに $V_3$ から徐々に $V_0$ に低下し、上記第3時期において、 $V_3(t)=V_3$ であり、 $V_1=V_3>V_2$ 、 $V_1>V_0$ 、 $V_2$ 、 $T_1=T_2$ 、 $T_3=2T_1$ であり、

走査信号のシフト期間である上記所定の期間は $(T_1+T_2)$ であることを特徴とするLCDパネル。

【請求項3】

LCDパネルを駆動する際、上記画素 $P_{n,m}$ はドット反転の画素極性を有することを特徴とする請求項1または2に記載のLCDパネル。

10

【請求項4】

各上記トランジスタは、電界効果薄膜トランジスタ(TFT)であることを特徴とする請求項1乃至3の何れか1項に記載のLCDパネル。

【請求項5】

さらに、複数のタッチセンシング信号線 $\{L_k\}$ ( $k=1, 2, \dots, K$ 、 $K$ はゼロより大きい整数である)を含み、各タッチセンシング信号線は、上記走査線 $G_n$ 或いは上記データ線 $D_m$ と平行且つ隣接するように配列されることを特徴とする請求項1乃至4の何れか1項に記載のLCDパネル。

【請求項6】

20

上記画素行列の偶数の画素行における各画素、または上記画素行列の奇数の画素行における各画素は、さらに、光検出器(PS)とトランジスタを含み、上記トランジスタは、上記画素を定義する二本の走査線のうちの一方に電氣的に接続されるゲートと、上記光検出器に電氣的に接続されるソースと、対応のタッチセンシング信号線に電氣的に接続されるドレインとを有することを特徴とする請求項5に記載のLCDパネル。

【請求項7】

液晶ディスプレイ(LCD)を駆動する方法であって、

(a) LCDパネルを提供するステップを含み、

上記LCDは、

(i) 共通電極と、

30

(ii) 行方向に沿って空間的に配置される複数の走査線 $\{G_n\}$ ( $n=1, 2, \dots, N$ 、 $N$ はゼロより大きい整数である)と、

(iii) 上記走査線 $\{G_n\}$ に垂直で、上記行方向と垂直な列方向に沿って空間的に配置される複数のデータ線 $\{D_m\}$ ( $m=1, 2, \dots, M$ 、 $M$ はゼロより大きい整数である)と、

(iv) 複数の画素 $P_{n,m}$ と、

を有し、各上記画素 $P_{n,m}$ は、マトリクス状で空間的に配置されるとともに、二本の隣接する走査線 $G_n$ と $G_{n+1}$ および二本の隣接するデータ線 $D_m$ と $D_{m+1}$ により定義され、少なくとも第1サブ画素 $P_{n,m}(1)$ と第2サブ画素 $P_{n,m}(2)$ を含み、

各第1サブ画素と各第2サブ画素は、いずれもサブ画素電極と、上記サブ画素電極と上記共通電極の間に電氣的に結合される液晶(LC)キャパシタおよびトランジスタを含み、上記トランジスタは、ゲート、ソースおよび上記サブ画素電極に電氣的に結合されるドレインを有し、

40

上記画素 $P_{n,m}$ において、上記第1サブ画素 $P_{n,m}(1)$ のトランジスタのゲートとソースは、それぞれ上記走査線 $G_{n+1}$ と上記データ線 $D_m$ に電氣的に結合され、上記第2サブ画素 $P_{n,m}(2)$ のトランジスタのゲートとソースは、それぞれ上記走査線 $G_n$ と上記第1サブ画素 $P_{n,m}(1)$ のサブ画素電極に電氣的に結合され、且つ、上記画素 $P_{n+1,m}$ において、上記第1サブ画素 $P_{n+1,m}(1)$ のトランジスタのゲートとソースは、それぞれ上記走査線 $G_{n+1}$ と、上記第2サブ画素 $P_{n+1,m}(2)$ のサブ画素電極とに電氣的に結合され、上記第2サブ画素 $P_{n+1,m}($

50

2) の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_{n+2}$  と上記データ線  $D_{m+1}$  に電氣的に結合されており、

(b) 印加ステップを含み、

上記印加ステップにおいて、

複数の走査信号を所定の期間ずつシフトして LCD パネルの上記複数の走査線  $\{G_n\}$  にそれぞれ印加して、各走査線に接続される上記トランジスタを導通させ、

複数のデータ信号を上記 LCD パネルの上記複数のデータ線  $\{D_m\}$  にそれぞれ印加し

、  
上記複数のデータ信号における任意二つの隣接するデータ信号は逆の極性を有し、

上記各走査線にそれぞれ印加される各走査信号は、第 1 周期  $T_1$  で第 1 電圧  $V_1$  を有し、第 2 周期  $T_2$  で第 2 電圧  $V_2$  を有し、第 3 周期  $T_3$  で第 3 電圧  $V_3$  を有し、第 4 周期  $T_4$  で第 4 電圧  $V_4$  を有し、第 5 周期  $T_5$  で第 5 電圧  $V_5$  を有し、上記第  $(j+1)$  周期  $T_{j+1}$  は第  $j$  周期  $T_j$  の直後に続いており、 $j = 1, 2, 3, 4$ 、 $V_1=V_3=V_5 > V_2=V_4$ 、 $T_2=(T_1+2t)$ 、 $T_3=(T_1-t)$ 、 $T_4=2t$ 、 $T_5=T_1$ 、 $T_1 \gg t$  である波形を有し、上記各電圧が、上記各走査線に接続されている上記トランジスタを有効にオンオフする値に設定されており、

走査信号のシフト期間である上記所定の期間は  $(T_1+T_2)$  であることを特徴とする液晶ディスプレイの駆動方法。

#### 【請求項 8】

液晶ディスプレイ (LCD) を駆動する方法であって、

(a) LCD パネルを提供するステップを含み、

上記 LCD は、

(i) 共通電極と、

(ii) 行方向に沿って空間的に配置される複数の走査線  $\{G_n\}$  ( $n = 1, 2, \dots, N$ 、 $N$  はゼロより大きい整数である) と、

(iii) 上記走査線  $\{G_n\}$  に垂直で、上記行方向と垂直な列方向に沿って空間的に配置される複数のデータ線  $\{D_m\}$  ( $m = 1, 2, \dots, M$ 、 $M$  はゼロより大きい整数である) と、

(iv) 複数の画素  $P_{n,m}$  と、

を有し、各上記画素  $P_{n,m}$  は、マトリクス状で空間的に配置されるとともに、二本の隣接する走査線  $G_n$  と  $G_{n+1}$  および二本の隣接するデータ線  $D_m$  と  $D_{m+1}$  により定義され、少なくとも第 1 サブ画素  $P_{n,m}(1)$  と第 2 サブ画素  $P_{n,m}(2)$  を含み、

各第 1 サブ画素と各第 2 サブ画素は、いずれもサブ画素電極と、上記サブ画素電極と上記共通電極の間に電氣的に結合される液晶 (LC) キャパシタおよびトランジスタとを含み、上記トランジスタは、ゲート、ソースおよび上記サブ画素電極に電氣的に結合されるドレインを有し、

上記画素  $P_{n,m}$  において、上記第 1 サブ画素  $P_{n,m}(1)$  の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_{n+1}$  と上記データ線  $D_m$  に電氣的に結合され、上記第 2 サブ画素  $P_{n,m}(2)$  の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_n$  と上記第 1 サブ画素  $P_{n,m}(1)$  の上記サブ画素電極に電氣的に結合され、且つ、上記画素  $P_{n+1,m}$  において、上記第 1 サブ画素  $P_{n+1,m}(1)$  の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_{n+1}$  と、上記第 2 サブ画素  $P_{n+1,m}(2)$  の上記サブ画素電極とに電氣的に結合され、上記第 2 サブ画素  $P_{n+1,m}(2)$  の上記トランジスタのゲートとソースは、それぞれ上記走査線  $G_{n+2}$  と上記データ線  $D_{m+1}$  に電氣的に結合されており、

(b) 印加ステップを含み、

上記印加ステップにおいて、

複数の走査信号を所定の期間ずつシフトして LCD パネルの上記複数の走査線  $\{G_n\}$  にそれぞれ印加して、各走査線に接続される上記トランジスタを導通させ、

複数のデータ信号を上記 LCD パネルの上記複数のデータ線  $\{D_m\}$  にそれぞれ印加し

10

20

30

40

50

上記複数のデータ信号における任意二つの隣接するデータ信号は逆の極性を有し、  
 上記各走査線にそれぞれ印加される各走査信号の上記波形は、第1周期 $T_1$ で第1電圧 $V_1(t)$ を有し、第2周期 $T_2$ で第2電圧 $V_2(t)$ を有し、第3周期 $T_3$ で第3電圧 $V_3(t)$ を有し、上記第2周期 $T_2$ は上記第1周期 $T_1$ の直後に続き、上記第3周期 $T_3$ は上記第2周期 $T_2$ の直後に続き、 $V_1(t)$ と $V_3(t)$ は時間とともに変化し、 $V_2(t)$ は時間とともに変化しない定電圧( $V_2(t)=V_2$ )であり、上記各電圧が、上記各走査線に接続されている上記トランジスタを有効にオンオフする値に設定されており、

上記第1周期 $T_1$ は、第1時期 $T_0$ と、上記第1時期 $T_0$ の直後に続く第2時期 $T=(T_1-T_0)$ とを含み、上記第1時期 $T_0$ において、 $V_1(t)=V_1$ は定電圧であり、上記第2時期 $T$ において、 $V_1(t)$ は時間とともに $V_1$ から徐々に $V_0$ に低下し、且つ、上記第3周期 $T_3$ は、第1時期 $T_0$ と、上記第1時期 $T_0$ の直後に続く第2時期 $T$ と、上記第2時期 $T$ の直後に続く第3時期 $(T_3-T_1-T_0)$ とを含み、上記第1時期 $T_0$ において、 $V_3(t)=V_3$ は定電圧であり、上記第2時期 $T$ において、 $V_3(t)$ は時間とともに $V_3$ から徐々に $V_0$ に低下し、上記第3時期において、 $V_3(t)=V_3$ 、そのうち、 $V_1=V_3>V_2$ 、 $V_1>V_0$ 、 $V_2$ 、 $T_1=T_2$ 、 $T_3=2T_1$ であり、

走査信号のシフト期間である上記所定の期間は $(T_1+T_2)$ であることを特徴とする液晶ディスプレイの駆動方法。

【請求項9】

LCDパネルを駆動する際、上記画素 $P_{n,m}$ はドット反転の画素極性を有することを特徴とする請求項7または8に記載の液晶ディスプレイの駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイに関し、特に、列反転データ駆動構造を利用して電力消費を下げるためのLCDパネルおよびその駆動方法に関する。

【背景技術】

【0002】

液晶ディスプレイ装置は、液晶分子と液晶分子に対応する画素素子からなるLCDパネルを含み、各画素素子は、液晶キャパシタと、蓄積キャパシタと、液晶キャパシタ及び蓄積キャパシタに電気的に接続される薄膜トランジスタとを有する。上記画素素子は、大体マトリクス状に配列され、上記マトリクスは、複数の画素行と複数の画素列を有する。一般的に、走査信号は順次複数の画素行に印加され、順次に画素素子を一行ずつ導通させる。走査信号が一行の画素に印加され対応の画素素子の薄膜トランジスタを作動させる時、画素行の画像信号はすぐ複数の画素列に印加され、対応する液晶キャパシタと蓄積キャパシタを充電し、よって、画素行に対応する液晶セルの方向を配列させるため、光線の透過を制御する。あらゆる画素行に対してこの過程を繰り返すと、あらゆる画素素子は、画像信号における対応のデータ信号を有し、その上で画像を表示させる。

【0003】

上記液晶分子は細長い外形を有するので、必ず精確な配向配列を有しなければならない。液晶ディスプレイの液晶分子配向は、光線透過の制御において重要な役割を果たす。周知のように、長時間高電圧を液晶分子に印加すると、液晶分子の光学透過特性は変化する。この変化は永久的であり、液晶ディスプレイの表示品質の不可逆的な劣化を招く。液晶分子が長時間高電圧により劣化されないようにするため、通常は液晶分子の両側にて電圧極性を連続して反転交互させる方法がある。この反転方式には、フレーム反転、行反転、列反転とドット反転が含まれる。一般的に、ドット反転を利用するが、高品質の画像を得るには、電圧を頻繁に反転交互しなければならないので、消費電力が高くなる。このような液晶表示装置、特に薄膜トランジスタ装置は、相当量の電力を消費し、そして過度の熱を発生するので、液晶表示装置の特性は過度の熱によって劣化する。

【0004】

従って、この業界では、電力消費が低い画素駆動機構および上記機構を駆動する方法の開発が急務となっている。

10

20

30

40

50

## 【 0 0 0 5 】

本発明の上述目的及び他の目的、特徴及び利点がより一層明確に判るよう、以下に好適な実施形態を例示し、添付の図面を参照しながら、詳細に説明する。

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 6 】

本発明は、LCDパネルおよび液晶ディスプレイを駆動する方法を提供する。

## 【 課題を解決するための手段 】

## 【 0 0 0 7 】

本発明は、また、カラーウォッシュアウトを改善することができるLCDパネルを提供する。 10

## 【 0 0 0 8 】

一実施例において、LCDパネルは、共通電極と、行方向に沿って空間的に配置される複数の走査線 $\{G_n\}$  ( $n = 1, 2 \dots N$ ,  $N$ はゼロより大きい整数である)と、行方向に垂直な列方向に沿って空間的に配置されるとともに、走査線と交差する複数のデータ線 $\{D_m\}$  ( $m = 1, 2 \dots M$ ,  $M$ はゼロより大きい整数である)と、マトリクス状で空間的に配置され、二本の隣接する走査線 $G_n$ と $G_{n+1}$ および二本の隣接するデータ線 $D_m$ と $D_{m+1}$ により定義される複数の画素 $P_{n,m}$ とを含む。各画素 $P_{n,m}$ は、少なくとも第1サブ画素 $P_{n,m}(1)$ と第2サブ画素 $P_{n,m}(2)$ を含み、各第1サブ画素と各第2サブ画素は、サブ画素電極と、サブ画素電極と共通電極との間に電氣的に結合される液晶キャパシタと、ゲート、ソースおよび該サブ画素電極に電氣的に結合されるドレインを有するトランジスタとを含む。 20

## 【 0 0 0 9 】

画素 $P_{n,m}$ の第1サブ画素 $P_{n,m}(1)$ におけるトランジスタのゲートとソースは、それぞれ走査線 $G_{n+1}$ とデータ線 $D_m$ に電氣的に結合されるとともに、画素 $P_{n,m}$ の第2サブ画素 $P_{n,m}(2)$ におけるトランジスタのゲートとソースは、それぞれ走査線 $G_n$ と第1サブ画素 $P_{n,m}(1)$ のサブ画素電極に電氣的に結合される。

## 【 0 0 1 0 】

画素 $P_{n+1,m}$ の第1サブ画素 $P_{n+1,m}(1)$ におけるトランジスタのゲートとソースは、それぞれ走査線 $G_{n+1}$ と第2サブ画素 $P_{n+1,m}(2)$ のサブ画素電極に電氣的に結合されるとともに、画素 $P_{n+1,m}$ の第2サブ画素 $P_{n+1,m}(2)$ におけるトランジスタのゲートとソースは、それぞれ走査線 $G_{n+2}$ とデータ線 $D_{n+1}$ に電氣的に結合される。 30

所定の期間ずつシフトした複数の走査信号は、上記複数の走査線 $\{G_n\}$ にそれぞれ印加されて、各走査線に接続される上記トランジスタを導通させ、複数のデータ信号は上記複数のデータ線 $\{D_m\}$ にそれぞれ印加されて、上記複数のデータ信号における任意二つの隣接するデータ信号は逆の極性を有する。

## 【 0 0 1 1 】

一実施例において、画素 $P_{n,m}$ の各第1サブ画素 $P_{n,m}(1)$ と各第2サブ画素 $P_{n,m}(2)$ は、さらに、サブ画素電極と共通電極との間に並列して電氣的に結合される蓄積キャパシタを含む。 40

## 【 0 0 1 2 】

さらに、LCDパネルは、複数のタッチセンシング信号線 $\{L_k\}$  ( $k = 1, 2, \dots, K$ , そのうち、 $K$ はゼロより大きい整数である)を有することができる。各タッチセンシング信号線は、走査線 $G_n$  或いはデータ線 $D_m$ に隣接且つ平行するように配列される。一実施例において、画素行列 $\{P_{n,m}\}$ における偶数の画素行の各画素、または画素行列 $\{P_{n,m}\}$ における奇数の画素行の各画素は、さらに、光検出器とトランジスタを含み、そのうち、トランジスタは、画素を定義するための二つの走査線のうちの一方に電氣的に接続されるゲートと、光検出器に電氣的に接続されるソースと、対応のタッチセンシング信号線に電氣的に接続されるドレインとを有する。 50

## 【0013】

LCDパネルは、また、ゲートドライバとデータドライバを有する。ゲートドライバは、それぞれ複数の走査線 $\{G_n\}$ に印加される、所定のタイミングで複数の走査線に接続されたトランジスタを導通する複数の走査信号を発生するのに用いられる。データドライバは、それぞれ複数のデータ線 $\{D_m\}$ に印加される複数のデータ信号を発生するのに用いられ、ここで、複数のデータ信号における任意二つの隣接するものは逆の極性を有する。

## 【0014】

一実施例において、各走査線にそれぞれ印加される各走査信号は波形を有する。この波形は、第1周期 $T_1$ で第1電圧 $V_1$ を有し、第2周期 $T_2$ で第2電圧 $V_2$ を有し、第3周期 $T_3$ で第3電圧 $V_3$ を有し、第4周期 $T_4$ で第4電圧 $V_4$ を有し、第5周期 $T_5$ で第5電圧 $V_5$ を有し、第(j+1)周期 $T_{j+1}$ は第j周期 $T_j$ の直後に続いており、

$j = 1, 2, 3, 4$ , そのうち、 $V_1=V_3=V_5>V_2=V_4$ 、 $T_2=(T_1+2t)$ 、 $T_3=(T_1-t)$ 、 $T_4=2t$ 、 $T_5=T_1$ 、 $T_1 \gg t$ である。上記各電圧が、上記各走査線に接続されているトランジスタを有効にオンオフする値に設定されている。各走査信号の波形は、順次にもう一つの波形が所定の期間である $(T_1+T_2)$ をシフトすることにより得られる。

## 【0015】

もう一つの実施例において、各走査信号は波形を有し、そのうち、波形は、第1周期 $T_1$ でいずれも第1電圧 $V_1(t)$ を有し、第2周期 $T_2$ でいずれも第2電圧 $V_2(t)$ を有し、第3周期 $T_3$ で第3電圧 $V_3(t)$ を有し、そのうち、第2周期 $T_2$ は第1周期 $T_1$ の直後に続き、第3周期 $T_3$ は第2周期 $T_2$ の直後に続く。 $V_1(t)$ と $V_3(t)$ は時間とともに変化し、 $V_2(t) = V_2$ は定電圧であり時間と関係がない。第1周期 $T_1$ には、また、第1時期 $T_0$ と第1時期 $T_0$ の直後に続く第2時期 $T=(T_1-T_0)$ が含まれる。第1時期 $T_0$ の場合、 $V_1(t)=V_1$ は定電圧であるが、第2時期 $T$ では、電圧 $V_1(t)$ は時間とともに徐々に $V_1$ から $V_0$ に低下される。さらに、第3周期 $T_3$ は、第1時期 $T_0$ 、 $T_0$ の直後に続く第2時期 $T$ および第2時期 $T$ の直後に続く第3時期 $(T_3-T_1-T_0)$ を含む。そのうち、第1時期 $T_0$ において、 $V_3(t)=V_3$ は定電圧であり、第2時期 $T$ において、電圧 $V_3(t)$ は時間とともに徐々に $V_3$ から $V_0$ に低下し、第3時期において、 $V_3(t)=V_3$ 、 $V_1=V_3>V_2$ 、 $V_1>V_0$ 、 $V_2$ 、 $T_1=T_2$ 且つ $T_3=2T_1$ である。各走査信号の波形は、順次にもう一つの波形が所定の期間である $(T_1+T_2)$ でシフトされることにより得られる。

## 【0016】

操作の際、この駆動構造における画素 $P_{n,m}$ はドット反転の画素極性を有する。

## 【0017】

一実施例において、各トランジスタは電界効果薄膜トランジスタである。

## 【0018】

もう一つの態様において、本発明は液晶ディスプレイを駆動する方法に関する。一実施例において、当該方法はLCDパネルを提供するステップを含む。LCDパネルは、共通電極と、行方向に沿って空間的に配置される複数の走査線 $\{G_n\}$  ( $n=1, 2, \dots, N$ 、 $N$ はゼロより大きい整数である)と、行方向に垂直な列方向に沿って空間的に配置されるとともに、走査線と交差する複数のデータ線 $\{D_m\}$  ( $m=1, 2, \dots, M$ 、 $M$ はゼロより大きい整数である)と、マトリクス状で空間的に配置される複数の画素 $P_{n,m}$ とを含む。

## 【0019】

各画素 $P_{n,m}$ は、二本の隣接する走査線 $G_n$ と $G_{n+1}$ 、および二本の隣接するデータ線 $D_m$ と $D_{m+1}$ により定義される。各画素 $P_{n,m}$ は少なくとも第1サブ画素 $P_{n,m}(1)$ と第2サブ画素 $P_{n,m}(2)$ とを含み、各第1サブ画素と各第2サブ画素は、サブ画素電極と、サブ画素電極と共通電極との間に電氣的に結合される液晶キャパシタと、サブ画素電極に電氣的に結合されるゲート、ソース及びドレインを有するトランジスタを含む。画素 $P_{n,m}$ の第1サブ画素 $P_{n,m}(1)$ におけるトランジスタのゲートとソースは、それぞれ走査線 $G_{n+1}$ とデータ線 $D_m$ に電氣的に結合され、画素 $P_{n,m}$ の第2サブ画素 $P_{n,m}(2)$ におけるトランジスタのゲートとソースは、それぞれ走査線 $G_n$

10

20

30

40

50

と第1サブ画素  $P_{n,m}(1)$  のサブ画素電極に電氣的に結合される。画素  $P_{n+1,m}$  の第1サブ画素  $P_{n+1,m}(1)$  におけるトランジスタのゲートとソースは、それぞれ走査線  $G_{n+1}$  と第2サブ画素  $P_{n+1,m}(2)$  のサブ画素電極に電氣的に結合され、画素  $P_{n+1,m}$  の第2サブ画素  $P_{n+1,m}(2)$  におけるトランジスタのゲートとソースは、それぞれ走査線  $G_{n+2}$  とデータ線  $D_{m+1}$  に電氣的に結合される。

【0020】

さらに、LCDパネルは複数のタッチセンシング信号線  $\{L_k\}$  ( $k=1, 2, \dots, K$ 、そのうち、 $K$ はゼロより大きい整数である)を有する。各タッチセンシング信号線は、走査線  $G_n$  またはデータ線  $D_m$  と隣接且つ平行するように配列される。一実施例において、画素行列  $\{P_{n,m}\}$  における偶数の画素行の各画素、または画素行列  $\{P_{n,m}\}$  における奇数の画素行の各画素は、さらに、光検出器とトランジスタを含み、当該トランジスタは、画素を定義する二本の走査線のうちの一方に電氣的に接続されるゲートと、光検出器に電氣的に接続されるソースと、対応のタッチセンシング信号線に電氣的に接続されるドレインとを含む。

10

【0021】

上記方法は、さらに、それぞれ複数の走査信号と複数のデータ信号を複数の走査線  $\{G_n\}$  と複数のデータ線  $\{D_m\}$  に印加するステップを含む。該印加ステップにおいて、複数の走査信号を所定の期間ずつシフトしてLCDパネルの複数の走査線  $\{G_n\}$  にそれぞれ印加して、各走査線に接続されるトランジスタを導通させ、複数のデータ信号における任意二つの隣接するデータ信号は逆の極性を有する。従って、操作の際、画素  $P_{n,m}$  は

20

【0022】

もう一つの態様において、本発明はLCDパネルに関する。一実施例において、LCDパネルはマトリクス状で空間的に配置される複数の画素  $P_{n,m}$  ( $n=1, 2, \dots, N$ 、 $m=1, 2, \dots, M$ 、 $M$ 、 $N$ はそれぞれゼロより大きい整数である)を有する。各画素  $P_{n,m}$  は、二つの隣接する走査線  $G_n$  と  $G_{n+1}$ 、および二つの隣接するデータ線  $D_m$  と  $D_{m+1}$  により定義される。各画素  $P_{n,m}$  は、少なくとも第1サブ画素  $P_{n,m}(1)$  と第2サブ画素  $P_{n,m}(2)$  を含み、各第1サブ画素と各第2サブ画素は、サブ画素電極と、サブ画素電極に電氣的に結合されるスイッチング素子とを含む。

30

【0023】

LCDパネルは、また、行方向に沿って空間的に配置される複数の走査線  $\{G_n\}$  を有する。各一对の隣接する走査線  $G_n$  と  $G_{n+1}$  は、画素行列  $\{P_{n,m}\}$  において画素行  $P_{n,\{m\}}$  を定義し、上記一对の隣接する走査線  $G_n$  と  $G_{n+1}$  は、それぞれ画素行における各画素の第1サブ画素と第2サブ画素のスイッチング素子に電氣的に結合される。

【0024】

LCDパネルは、さらに、行方向と垂直する列方向に沿って空間的に配置され且つ走査線と交差する複数のデータ線  $\{D_m\}$  を含む。各一对の隣接するデータ線  $D_m$  と  $D_{m+1}$  は、画素行列  $\{P_{n,m}\}$  において画素列  $P_{\{n\},m}$  を定義する。そのうち、各データ線  $D_m$  は、データ線  $D_m$  に関連して隣接する二つの画素列  $P_{\{n\},m-1}$  と  $P_{\{n\},m}$  の一方の列の各奇数の画素の第1サブ画素または第2サブ画素のスイッチング素子と、二つの隣接する画素列  $P_{\{n\},m-1}$  と  $P_{\{n\},m}$  の他方の列における各偶数の画素の第2サブ画素または第1サブ画素のスイッチング素子とに電氣的に接続される。さらに、LCDパネルは、少なくとも一つの共通電極を備えている。一実施例において、画素行列  $\{P_{n,m}\}$  における画素  $P_{n,m}$  の各第1サブ画素  $P_{n,m}(1)$  と各第2サブ画素  $P_{n,m}(2)$  は、さらに、いずれもサブ画素電極と共通電極との間に並列して電氣的に結合される液晶キャパシタと蓄積キャパシタを含む。

40

【0025】

さらに、LCDパネルは、ゲートドライバとデータドライバを有する。ゲートドライバは、それぞれ複数の走査線  $\{G_n\}$  に印加される、所定のタイミングで複数の走査線に接続されたスイッチング素子を導通する複数の走査信号を発生するのに用いられる。データ

50

ドライバは、それぞれ複数のデータ線 $\{D_m\}$ に印加される複数のデータ信号を発生するのに用いられる。ここで、複数のデータ信号における任意二つの隣接するものは逆の極性を有する。操作の際、画素 $P_{n,m}$ はドット反転の画素極性を有する。

【0026】

一実施例によれば、画素行列 $\{P_{n,m}\}$ における画素 $P_{n,m}$ の第1サブ画素 $P_{n,m}(1)$ と第2サブ画素 $P_{n,m}(2)$ の各スイッチング素子は、ゲート、ソースおよびドレインを有する電界効果薄膜トランジスタである。一実施例において、画素行列 $\{P_{n,m}\}$ における画素 $P_{n,m}$ の各第1サブ画素 $P_{n,m}(1)$ と各第2サブ画素 $P_{n,m}(2)$ のトランジスタのドレインは、対応サブ画素のサブ画素電極に電氣的に結合される。画素行列 $\{P_{n,m}\}$ における画素 $P_{n,m}$ の第1サブ画素 $P_{n,m}(1)$ のトランジスタのゲートとソースは、それぞれ走査線 $G_{n+1}$ とデータ線 $D_m$ に電氣的に結合され、画素行列 $\{P_{n,m}\}$ における画素 $P_{n,m}$ の第2サブ画素 $P_{n,m}(2)$ のトランジスタのゲートとソースは、それぞれ走査線 $G_n$ と第1サブ画素 $P_{n,m}(1)$ のサブ画素電極に電氣的に結合される。画素行列 $\{P_{n,m}\}$ における画素 $P_{n+1,m}$ の第1サブ画素 $P_{n+1,m}(1)$ のトランジスタのゲートとソースは、それぞれ走査線 $G_{n+1}$ と第2サブ画素 $P_{n,m}(2)$ のサブ画素電極に電氣的に結合され、画素行列 $\{P_{n,m}\}$ における画素 $P_{n+1,m}$ の第2サブ画素 $P_{n+1,m}(2)$ のトランジスタのゲートとソースは、それぞれ走査線 $G_{n+2}$ とデータ線 $D_{m+1}$ に電氣的に結合される。

10

【0027】

さらに、LCDパネルは、複数のタッチセンシング信号線 $\{L_k\}$  ( $k=1, 2, \dots, K$ 、そのうち、 $K$ はゼロより大きい整数である)を備えている。各タッチセンシング信号線は、走査線 $G_n$ またはデータ線 $D_m$ に隣接且つ平行に配列される。一実施例において、画素行列 $\{P_{n,m}\}$ における偶数の画素行の各画素、または画素行列 $\{P_{n,m}\}$ における奇数の画素行の各画素は、さらに、光検出器とトランジスタを含む。上記トランジスタは、画素を定義する二本の走査線の一方に電氣的に接続されるゲートと、光検出器に電氣的に接続されるソースと、対応のタッチセンシング信号線に電氣的に接続されるドレインとを含む。

20

【0028】

本発明は、また、液晶ディスプレイを駆動する方法に関する。

一実施例において、上記方法はLCDパネルを提供するステップを含む。LCDパネルは、一実施例によれば、マトリクス状で空間的に配置される複数の画素 $P_{n,m}$  ( $n=1, 2, \dots, N$ 、 $m=1, 2, \dots, M$ 、 $M, N$ はそれぞれゼロより大きい整数である)を有する。各画素 $P_{n,m}$ は、少なくとも第1サブ画素 $P_{n,m}(1)$ と第2サブ画素 $P_{n,m}(2)$ を含み、各第1サブ画素 $P_{n,m}(1)$ と各第2サブ画素 $P_{n,m}(2)$ は、サブ画素電極とサブ画素電極に電氣的に結合されるスイッチング素子を含む。

30

【0029】

LCDパネルは、また、行方向に沿って空間的に配置される複数の走査線 $\{G_n\}$ と、行方向に垂直する列方向に沿って空間的に配置されるとともに走査線と交差する複数のデータ線 $\{D_m\}$ とを含む。各一对の隣接する走査線 $G_n$ と $G_{n+1}$ は、画素行列 $\{P_{n,m}\}$ において画素行 $P_{n,\{m\}}$ を定義し、上記一对の隣接する走査線 $G_n$ と $G_{n+1}$ は、それぞれ画素行 $P_{n,\{m\}}$ における各画素の第1サブ画素と第2サブ画素のスイッチング素子に電氣的に結合される。各一对の隣接するデータ線 $D_m$ と $D_{m+1}$ は、画素行列 $\{P_{n,m}\}$ における画素列 $P_{\{n\},m}$ を定義し、各データ線 $D_m$ は、データ線 $D_m$ に関連して隣接する画素列 $P_{\{n\},m-1}$ と $P_{\{n\},m}$ の一方の列の各奇数の画素の第1サブ画素または第2サブ画素のスイッチング素子と、および二つの隣接する画素列 $P_{\{n\},m-1}$ と $P_{\{n\},m}$ の他方の列における各偶数の画素の第2サブ画素または第1サブ画素のスイッチング素子とに電氣的に接続される。

40

【0030】

一実施例によれば、LCDパネルは、さらに、少なくとも一つの共通電極を含む。画素行列 $\{P_{n,m}\}$ における画素 $P_{n,m}$ の各第1サブ画素 $P_{n,m}(1)$ と各第2サブ画素

50

$P_{n,m}(2)$ は、さらに、いずれもサブ画素電極と共通電極との間に並列して電氣的に結合される液晶キャパシタと蓄積キャパシタとを含む。

【0031】

一実施例において、画素行列 $\{P_{n,m}\}$ における画素 $P_{n,m}$ の第1サブ画素 $P_{n,m}(1)$ と第2サブ画素 $P_{n,m}(2)$ の各スイッチング素子は、ゲート、ソースおよびドレインを有する電界効果薄膜トランジスタである。画素行列 $\{P_{n,m}\}$ における画素 $P_{n,m}$ の各第1サブ画素 $P_{n,m}(1)$ と各第2サブ画素 $P_{n,m}(2)$ のトランジスタのドレインは、対応のサブ画素のサブ画素電極に電氣的に結合される。画素行列 $\{P_{n,m}\}$ における画素 $P_{n,m}$ の第1サブ画素 $P_{n,m}(1)$ のトランジスタのゲートとソースは、それぞれ走査線 $G_{n+1}$ とデータ線 $D_m$ に電氣的に結合され、画素行列 $\{P_{n,m}\}$ における画素 $P_{n,m}$ の第2サブ画素 $P_{n,m}(2)$ のトランジスタのゲートとソースはそれぞれ走査線 $G_n$ と第1サブ画素 $P_{n,m}(1)$ のサブ画素電極に電氣的に結合される。画素行列 $\{P_{n,m}\}$ における画素 $P_{n+1,m}$ の第1サブ画素 $P_{n+1,m}(1)$ のトランジスタのゲートとソースは、それぞれ走査線 $G_{n+1}$ と第2サブ画素 $P_{n+1,m}(2)$ のサブ画素電極に電氣的に結合され、画素行列 $\{P_{n,m}\}$ における画素 $P_{n+1,m}$ の第2サブ画素 $P_{n+1,m}(2)$ のトランジスタのゲートとソースは、それぞれ走査線 $G_{n+2}$ とデータ線 $D_{m+1}$ に電氣的に結合される。

10

【0032】

さらに、LCDパネルは、複数のタッチセンシング信号線 $\{L_k\}$  ( $k=1,2,\dots,K$ 、そのうち、 $K$ はゼロより大きい整数である)を備えている。各タッチセンシング信号線は走査線 $G_n$ またはデータ線 $D_m$ に隣接且つ平行に配列される。一実施例において、画素行列 $\{P_{n,m}\}$ における偶数の画素行の各画素、または画素行列 $\{P_{n,m}\}$ における奇数の画素行の各画素は、さらに、光検出器とトランジスタを含み、上記トランジスタは、画素を定義する二本の走査線の一方に電氣的に接続されるゲートと、光検出器に電氣的に接続されるソースと、対応のタッチセンシング信号線に電氣的に接続されるドレインとを有する。

20

【0033】

さらに、上記方法は、それぞれ複数の走査信号と複数のデータ信号を複数の走査線 $\{G_n\}$ と複数のデータ線 $\{D_m\}$ に印加するステップを含む。複数の走査信号は、所定のタイミングで複数の走査線 $\{G_n\}$ に接続されたスイッチング素子を導通し、複数のデータ信号における任意二つの隣接するものは逆の極性を有する。従って、操作の際、画素 $P_{n,m}$ はドット反転の画素極性を有する。

30

【図面の簡単な説明】

【0034】

【図1】本発明の実施例によるLCDパネルを概略的に示す部分等価回路図である。

【図2】図1に示すLCDパネルを概略的に示す他の等価回路図である。

【図3】図1に示すLCDパネルがゲートとソースドライバを含むことを概略的に示す等価回路図である。

【図4】図1に示すLCDパネルに印加される駆動信号のタイミング図である。

【図5】図1に示すLCDパネルを概略的に示す部分レイアウト図である。

40

【図6】図1に示すLCDパネルを概略的に示す他の部分的レイアウト図である。

【図7】図4に示す走査信号のタイミングと、図6に示す対応の画素電圧とを示している。

。

【図8】本発明の実施例による走査信号タイミングと、図6に示す対応の画素電圧を示している。

【図9】本発明の他の実施例による走査信号のタイミング図と図6に該当する画素電圧である。

【図10】図7に示す走査信号の画素電圧のシミュレーション結果を示している。

【図11】図9に示す走査信号の画素電圧のシミュレーション結果を示している。

【図12】本発明の実施例による走査信号のタイミング図である。

50

【図13】図1に示すLCDパネルを概略的に示す部分レイアウト図である。

【図14】本発明の実施例によるLCDパネルを概略的に示す部分等価回路図である。

【図15】図14に示すLCDパネルを概略的に示す部分レイアウト図である。

【図16】図15に示すLCDパネルを概略的に示す他の部分のレイアウト図である。

【発明を実施するための形態】

【0035】

本発明の実施例は、添付した図1～図16を参照しながら、次の通り説明する。本発明の目的および本明細書における実施例とその大体の開示によれば、一態様において、本発明は列反転データ駆動構造を利用して電力消費を下げるためのLCDパネルおよびその駆動方法に関する。

10

【0036】

図1～図3は、部分的に、且つ概略的に本発明に係わるLCDパネルを示す実施例である。LCDパネル100は、共通電極160を有すると共に、行(走査)方向130に沿って延伸される複数の走査線 $G_1$ 、 $G_2$ … $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 、 $G_{n+3}$ … $G_N$ と、および列方向140に沿って延伸されて複数の走査線 $\{G_N\}$ と交互する複数のデータ線 $D_1$ 、 $D_2$ … $D_m$ 、 $D_{m+1}$ 、 $D_{m+2}$ 、 $D_{m+3}$ … $D_M$ とを有する。そのうち、 $N$ 、 $M$ はいずれも1より大きい整数であり、行方向130と列方向140は互いに垂直である。さらに、LCDパネル100は、マトリクス状で空間的に配置される複数の画素 $P_{n,m}$ を有する。各画素 $P_{n,m}$ は、二つの隣接する走査線 $G_n$ と $G_{n+1}$ および二つの隣接するデータ線 $D_m$ と $D_{m+1}$ により定義される。本発明の実施例を説明するために、図1は概略的にLCDパネル100における四本の走査線 $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 、 $G_{n+3}$ 、四本のデータ線 $D_m$ 、 $D_{m+1}$ 、 $D_{m+2}$ 、 $D_{m+3}$ および九つの対応する画素のみを示し、図2は概略的にLCDパネル100における三本の走査線 $G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 、二本のデータ線 $D_m$ と $D_{m+1}$ および二つの対応する画素 $P_{n,m}$ と $P_{n+1,m}$ のみを示す。

20

【0037】

さらに、各画素 $P_{n,m}$ は二つまたは更に多くのサブ画素により構成される。例えば、図2に示すように、各二本の隣接する走査線 $G_n$ と $G_{n+1}$ および二本の隣接するデータ線 $D_m$ と $D_{m+1}$ の間にある画素 $P_{n,m}$ は第1サブ画素 $P_{n,m}(1)$ と第2サブ画素 $P_{n,m}(2)$ を有する。各第1サブ画素 $P_{n,m}(1)$ と第2サブ画素 $P_{n,m}(2)$ は、サブ画素電極115a/115b、液晶キャパシタ113a/113bおよびトランジスタ112/116を含み、トランジスタ112/116はゲート112g/116g、ソース112g/116sおよびドレイン112d/116dを有する。

30

【0038】

画素 $P_{n,m}$ の第1サブ画素 $P_{n,m}(1)$ の液晶キャパシタ113aは、画素 $P_{n,m}$ の第1サブ画素 $P_{n,m}(1)$ のサブ画素電極115aと共通電極160の間に電氣的に接続され、画素 $P_{n,m}$ の第2サブ画素 $P_{n,m}(2)$ の液晶キャパシタ113bは、画素 $P_{n,m}$ の第2サブ画素 $P_{n,m}(2)$ のサブ画素電極115bと共通電極160の間に電氣的に接続される。さらに、結合電圧を対応の液晶キャパシタ113a/113bに提供して画素 $P_{n,m}$ で形成される電荷漏洩を補償するために、画素 $P_{n,m}$ における各第1サブ画素 $P_{n,m}(1)$ と各第2サブ画素 $P_{n,m}(2)$ は蓄積キャパシタを有し、上記蓄積キャパシタは、画素 $P_{n,m}$ のサブ画素 $P_{n,m}(1)$ /サブ画素 $P_{n,m}(2)$ に対応するサブ画素電極115a/115bと共通電極160(此处では図示せず)の間に電氣的に接続される。

40

画素 $P_{n,m}$ の第1サブ画素 $P_{n,m}(1)$ のトランジスタ112のゲート112gとソース112sは、それぞれ走査線 $G_{n+1}$ とデータ線 $D_m$ に電氣的に結合し、画素 $P_{n,m}$ の第2サブ画素 $P_{n,m}(2)$ のトランジスタ116のゲート116gとソース116sは、それぞれ走査線 $G_n$ と第1サブ画素 $P_{n,m}(1)$ のサブ画素電極115aに電氣的に結合される。

50

## 【0039】

画素  $P_{n+1,m}$  の第1サブ画素  $P_{n+1,m}(1)$  のトランジスタ112のゲート112gとソース112sは、それぞれ走査線  $G_{n+1}$  と第2サブ画素  $P_{n+1,m}(2)$  のサブ画素電極115bに電氣的に結合し、画素  $P_{n+1,m}$  の第2サブ画素  $P_{n+1,m}(2)$  のトランジスタ116のゲート116gとソース116sは、それぞれ走査線  $G_{n+2}$  とデータ線  $D_{m+1}$  に電氣的に結合される。

## 【0040】

一実施例において、各画素  $P_{n,m}$  の第1サブ画素  $P_{n,m}(1)$  と第2サブ画素  $P_{n,m}(2)$  のサブ画素電極115a/115bは、第1基板上(図示せず)に沈着し、共通電極160は、第2基板上(図示せず)に沈着され、第1基板と空間的に切り離される。液晶分子は、上述の第1基板と第2基板の間に充填される。各セルは、LCDパネル100における一つの画素  $P_{n,m}$  に関係し、サブ画素電極に印加された電圧は、サブ画素に対応する液晶分子の方向配列を制御するのに用いられる。

10

## 【0041】

一実施例において、トランジスタ112とトランジスタ116は、電界効果薄膜トランジスタであり、第1サブ画素  $P_{n,m}(1)$  と第2サブ画素  $P_{n,m}(2)$  を起動するのに適用される。他のタイプのトランジスタも本発明の実施に利用することが出来る。走査信号をトランジスタ112のゲート112gとトランジスタ116のゲート116gに電氣的に結合される走査線  $G_n$  と  $G_{n+1}$  に印加することにより、トランジスタ112と116は選択されるとともにさらに導通される。この場合、それぞれ第1サブ画素  $P_{n,m}(1)$  と第2サブ画素  $P_{n,m}(2)$  の液晶キャパシタ113aと113bに充電を行うことで、対応するデータ線  $D_m$  または  $D_{m+1}$  に印加されるデータ信号は、第1サブ画素  $P_{n,m}(1)$  と第2サブ画素  $P_{n,m}(2)$  に組み込まれる。画素  $P_{n,m}$  の第1サブ画素  $P_{n,m}(1)$  と第2サブ画素  $P_{n,m}(2)$  における液晶キャパシタ113aと113bの充電電圧は、第1基板と第2基板の間の対応する液晶分子に印加される電界と対応している。

20

## 【0042】

図3に示すように、LCDパネル100は、ゲートドライバ152とデータドライバ154を有する。ゲートドライバ152は、それぞれ複数の走査線  $\{G_n\}$  に印加される複数の走査信号  $\{g_n\}$  を発生する。複数の走査信号  $\{g_n\}$  は、所定のタイミングで複数の走査線  $\{G_n\}$  に接続されたトランジスタ112/116を起動する。データドライバ154は、それぞれ複数のデータ線  $\{D_m\}$  に印加される複数のデータ信号  $\{d_m\}$  を発生する。複数のデータ信号  $\{d_m\}$  における任意二つの相互隣接するものは、 $d_m$  と  $d_{m+1}$  のように、互いに逆の極性を有し、例えば、データ信号  $d_m$  が正の/高電圧を有すれば、データ信号  $d_{m+1}$  は負の/低電圧を有し、逆の場合も同様である。

30

## 【0043】

そこで、画素配列と駆動方式で、表示したい画像のデータは列反転方式でデータ線  $\{D_m\}$  に印加され、この時、複数の画素  $P_{n,m}$  の画像表示は、高画質を有するドット反転方式で行われる。各データ線  $D_m$  は、すべて画素列  $P_{\{n\},m}$  とそれに隣接する画素列  $P_{\{n\},m+1}$  に電氣的に結合されるので、従来のドット反転方式を用いる場合と比べて、LCDパネル100のドット反転は半分のデータ線  $\{D_m\}$  だけで実現することができる。従って、LCDパネル100は、従来のドット反転式のLCDパネルの半分の電力消費を節約することができる。

40

## 【0044】

本発明の一実施例によれば、図4は、図5におけるLCDパネル200に印加された駆動信号を示す波形図であり、これらの波形は、対応するサブ画素電極215aと215bの充電に用いられる。上記の具体的実施例において、図示におけるLCDパネルは、部分的且つ概略的に  $3 \times 3$  画素を示している。例えば、 $3 \times 3$  画素行列の第1列における画素をそれぞれ画素  $P_{0,0}$ 、 $P_{1,0}$ 、 $P_{2,0}$  と称する。各画素は、第1サブ画素電極215a、第2サブ画素電極215b、第1トランジスタ212(スイッチング素子)と第2トラン

50

ジスタ 2 1 6 (スイッチング素子)を有し、各トランジスタ 2 1 2 または 2 1 6 はドレイン、ソースとゲートを有する。 $G_0$ と $G_1$ 、 $G_1$ と $G_2$ 、 $G_2$ と $G_3$ のように、各画素の第 1 トランジスタ 2 1 2 と第 2 トランジスタ 2 1 6 のゲートは、いずれも一对の相互隣接する走査線に電氣的に結合され、上記方法により一つの画素を定義する。各画素の第 1 トランジスタ 2 1 2 と第 2 トランジスタ 2 1 6 のドレインは、それぞれ上記画素の第 1 サブ画素電極 2 1 5 a と第 2 サブ画素電極 2 1 5 b に電氣的に結合される。

【 0 0 4 5 】

一对の相互隣接する走査線  $G_0$  と  $G_1$  により定義される第 1 画素行の画素  $P_{0,0}$ 、 $P_{0,1}$ 、 $P_{0,2}$  に対して、各画素  $P_{0,0}$ 、 $P_{0,1}$  または  $P_{0,2}$  の第 1 トランジスタ 2 1 2 のソースは、対応するデータ線  $D_0$ 、 $D_1$  または  $D_2$  に電氣的に接続され、各画素  $P_{0,0}$ 、 $P_{0,1}$  または  $P_{0,2}$  の第 2 トランジスタ 2 1 6 のソースは、上記画素の第 1 サブ画素電極 2 1 5 a に電氣的に接続される。しかしながら、一对の走査線  $G_1$  と  $G_2$  により定義される第 2 画素行の画素  $P_{1,0}$ 、 $P_{1,1}$ 、 $P_{1,2}$  に対して、各画素  $P_{1,0}$ 、 $P_{1,1}$  または  $P_{1,2}$  の第 1 トランジスタ 2 1 2 のソースは、上記画素の第 2 サブ画素電極 2 1 5 b に電氣的に接続され、各画素  $P_{1,0}$ 、 $P_{1,1}$  または  $P_{1,2}$  の第 2 トランジスタ 2 1 6 のソースは、対応するデータ線  $D_1$ 、 $D_2$  または  $D_3$  に電氣的に接続される。図 5 に示すように、画素の配列は二つの隣接する画素行の間で一回繰り返す。走査線  $G_0$  とデータ線  $D_0$  は、ダミー信号 (dummy signals) の入力によく使われる。

【 0 0 4 6 】

一実施例において、駆動信号は、それぞれ走査線  $G_1$ 、 $G_2$ 、 $G_3$  に印加される三つの走査信号  $g_1$  (2 7 1)、 $g_2$  (2 7 2)、 $g_3$  (2 7 3)、それぞれデータ線  $D_1$  と  $D_2$  に印加される二つのデータ信号  $d_1$  (2 8 1) と  $d_2$  (2 8 2) と、共通電極 (図示せず) に印加される共通信号  $V_{com}$  (2 9 0) を含む。走査信号 2 7 1、2 7 2、2 7 3 はゲートドライバにより発生する。各走査信号 2 7 1、2 7 2、2 7 3 は、波形 2 7 0 を有する。波形 2 7 0 は、第 1 周期  $T_1$  で第 1 電圧  $V_1$  を有し、第 2 周期  $T_2$  で第 2 電圧  $V_2$  を有し、第 3 周期  $T_3$  で第 3 電圧  $V_3$  を有し、第 2 周期  $T_2$  は第 1 周期  $T_1$  の直後に続き、第 3 周期  $T_3$  は上記第 2 周期  $T_2$  の直後に続く。図 5 に示す一実施例において、 $V_1=V_3>V_2$ 、 $T_1=T_2$  且つ  $T_3=2T_2$  である。対応する画素行の対応トランジスタを有効にオン/オフするために、 $V_1(V_3)$  と  $V_2$  はそれぞれ対応の高電圧と低電圧に位置する。所定の順番で三つの画素行を作動させるために、各走査信号 2 7 1、2 7 2 または 2 7 3 の波形 2 7 0 は、順次もう一方がシフトされる (shifted) ことにより得られる。一実施例において、走査信号 2 7 2 は走査信号 2 7 1 が周期  $T_1+T_2$  シフトされることにより得られ、走査信号 2 7 3 は走査信号 2 7 2 が周期  $T_1+T_2$  シフトされることにより得られる。

【 0 0 4 7 】

共通信号  $V_{com}$  2 9 0 は定電圧 (電位) を有する。データ信号 2 8 1 と 2 8 2 は、これらの画素において表示される画像により発生し、逆の極性を有する。言い換えれば、データ信号 2 8 1 が正電圧を有すると、データ信号 2 8 2 は負電圧を有し、逆の場合も同様である。具体的実施例において、データ信号 2 8 1 は正の電圧を有し、データ信号 2 8 2 は負の電圧を有する。

【 0 0 4 8 】

図 4 に示すように、 $(t_1 - t_0)$  の周期 1 内に、走査線  $G_1$  と  $G_2$  に電氣的に接続されたトランジスタ 2 1 2 と 2 1 6 はオンされ、走査線  $G_3$  に接続されたトランジスタ 2 1 2 と 2 1 6 はオフされる。従って、データ信号 2 8 1 を画素  $P_{1,0}$  の第 2 トランジスタ 2 1 6 のソースに印加することにより、画素  $P_{1,0}$  の第 1 サブ画素電極 2 1 5 a において正の電圧が発生し、それと同時に、データ信号 2 8 2 を画素  $P_{1,1}$  の第 2 トランジスタ 2 1 6 のソースに印加することにより、画素  $P_{1,1}$  の第 1 サブ画素電極 2 1 5 a において負の電圧が発生する。図 5 において、“+” と “-” で画素  $P_{1,0}$  の第 1 サブ画素 2 1 5 a により発生する正の電圧、および画素  $P_{1,1}$  の第 1 サブ画素 2 1 5 a により発生する負の電圧を表示する。さらに、図 5 において、サブ画素  $P_{1,0}(1)/P_{1,1}(1)$ 、 $P_{0,1}(1)/P_{0,2}(1)$ 、 $P_{2,1}(2)/P_{2,2}(2)$ 、 $P_{1,0}(2)/P_{1,1}(2)$ 、 $P_{2,1}(1)/P_{2,2}($

10

20

30

40

50

1) に示される数字“1”、“2”、“3”、“4”、“5”、“6”は、対応するサブ画素電極に充電する周期1、2、3、4、5、6を代表する。

【0049】

( $t_2 - t_1$ )の周期2内に、走査線 $G_1$ に電氣的に接続されるトランジスタ212と216はオンされ、走査線 $G_2$ と $G_3$ に接続されるトランジスタ212と216はオフされる。従って、データ信号281を画素 $P_{0,1}$ の第1トランジスタ212のソースに印加することにより、画素 $P_{0,1}$ の第1サブ画素電極215aにおいて正の電圧が発生し、それと同時に、データ信号282を画素 $P_{0,2}$ の第1トランジスタ212のソースに印加することにより、画素 $P_{0,2}$ の第1サブ画素電極215aにおいて負の電圧が発生する。図5において、“+”と“-”で、画素 $P_{0,1}$ の第1サブ画素215aにおいて発生した正の電圧と画素 $P_{0,2}$ の第1サブ画素215aにおいて発生した負の電圧を表示する。

10

【0050】

( $t_3 - t_2$ )の周期3内に、走査線 $G_1$ に電氣的に接続されるトランジスタ212と216はオンされ、走査線 $G_2$ と $G_3$ に接続されるトランジスタ212と216はオフされる。従って、データ信号281を画素 $P_{2,1}$ の第1トランジスタ212のソースに印加することにより、画素 $P_{2,1}$ の第2サブ画素電極215bにおいて正の電圧が発生し、それと同時に、データ信号282を画素 $P_{2,2}$ の第1トランジスタ212のソースに印加することにより、画素 $P_{2,2}$ の第2サブ画素電極215bにおいて負の電圧が発生する。図5において、“+”と“-”で、画素 $P_{2,1}$ の第2サブ画素215bにおいて発生した正の電圧と画素 $P_{2,2}$ の第2サブ画素215bにおいて発生した負の電圧を表示する。

20

【0051】

従って、上述の画素配列と駆動方式により、列反転の方式でデータをデータ線に入力することにより、画像表示を目的とするLCDパネル200の画素行列 $\{P_{n,m}\}$ 内でドット反転を達成することができる。

【0052】

しかしながら、LCDパネルの一部のサブ画素に対して充/放電する時、第1フィードスルー電圧を発生する可能性があり、同時にその他のサブ画素に対して第1フィードスルー電圧と第2フィードスルー電圧を発生するので、図4に示す走査信号 $g_1$ 、 $g_2$ 、 $g_3$ の簡略波形(パルス)およびその(ゲート)タイミングのように、現在発明されたLCDパネルにおいてムラ効果(mura effect)を引き起こす。図6と図7は、本発明に係わるLCDパネル300が表示される際のマルチゲートパルス効果およびゲートを閉じる順番を示し、そのうち、 $g_1$ 、 $g_2 \dots g_5$ はそれぞれ走査線 $G_1$ 、 $G_2 \dots G_5$ に印加する走査信号であり、 $A\_data$ 、 $B\_data$ 、 $C\_data$ と $D\_data$ はそれぞれサブ画素A、B、C、Dの電圧を示す。本実例において、四つのサブ画素A( $P_{2,1}(1)$ )、B( $P_{1,2}(1)$ )、C( $P_{3,2}(2)$ )とD( $P_{2,1}(2)$ )において、各サブ画素がすべて4Vに充電され、毎回のフィードスルー電圧が1Vであると仮定する。図6において部分的に示したLCDパネル300の画素配列は、図5のLCDパネルにおいて示したものと大体同じである。

30

【0053】

作動において、( $t_1 - t_0$ )の周期内に、ゲート $G_2$ と $G_3$ はオンされ、すなわち、走査線 $G_2$ と $G_3$ に電氣的に接続されるトランジスタ313と316はオンされ、データ線 $D_2$ を通じて印加されたデータ信号により、サブ画素Aは4Vに充電される。時間 $t_1$ の際、ゲート $G_3$ はオフされるとともにサブ画素Aにおいて第1フィードスルー電圧を発生するので、サブ画素電圧 $A\_data$ は3Vまで低下される。それと同時に、サブ画素Bは4Vに充電される。そして、時間 $t_2$ の際、ゲート $G_2$ もオフされるとともに、それぞれサブ画素Aにおいて第2フィードスルー電圧を発生し、サブ画素Bにおいて第1フィードスルー電圧を発生するので、それぞれサブ画素電圧 $A\_data$ を2V、サブ画素電圧 $B\_data$ を3Vに低下させる。( $t_3 - t_2$ )の周期において、ゲート $G_3$ と $G_4$ はオンされ、サブ画素Cは4Vに充電される。時間 $t_3$ の際、ゲート $G_4$ はオフされるとともにサブ画素Cにおいて第1フィードスルー電圧を発生するので、サブ画素電圧 $C\_data$ を3Vに低下させる。それと同時に、サブ画素Dは4Vに充電される。そして、時間 $t_4$ の際、ゲート $G_3$ もオ

40

50

フされるとともに、それぞれサブ画素Cにおいて第2フィードスルー電圧を発生し、サブ画素Dにおいて第1フィードスルー電圧を発生するので、それぞれサブ画素電圧C\_dataを2V、サブ画素電圧D\_dataを3Vに低下させる。

【0054】

サブ画素A、B、CとDの電圧が不均一であればパネルのムラ効果を引き起こす可能性があり、即ち、表示された画像中に光透過強度の欠陥がある。上記ムラ効果の発生を防止するために、ゲートのタイミングは、ゲートが所定の順番でオン及び/又はオフされるように修正する必要がある。この修正は、それぞれ走査線 $G_1$ 、 $G_2$ ... $G_N$ に印加された走査信号 $g_1$ 、 $g_2$ ... $g_N$ を変調することにより実現できる。

【0055】

図8は、本発明の実施例による走査信号を示している。走査信号 $g_1$ 、 $g_2$ ... $g_5$ のそれぞれは波形370を含む。波形370は、第1周期 $T_1$ で第1電圧 $V_1$ を有し、第2周期 $T_2$ で第2電圧 $V_2$ を有し、第3周期 $T_3$ で第3電圧 $V_3$ を有し、第4周期 $T_4$ で第4電圧 $V_4$ を有し、第5周期 $T_5$ で第5電圧 $V_5$ を有し、第(j+1)周期 $T_{j+1}$ は第j周期 $T_j$ の直後に続いており、且つ、 $j = 1, 2, 3, 4$ である。図8に示す具体的実施例において、 $V_1=V_3=V_5>V_2=V_4$ 、 $T_2=(T_1+2t)$ 、 $T_3=(T_1-t)$ 、 $T_4=2t$ 、 $T_5=T_1$ 、 $T_1 \gg t$ である。本実施例において、画素行の対応するトランジスタを有効にオン/オフするために、 $V_1(V_3, V_5)$ と $V_2(V_4)$ はそれぞれ高電圧と低電圧に対応している。各走査信号 $g_1$ 、 $g_2$ ... $g_5$ における波形370は、所定の順番(タイミング)で一つの走査信号からもう一つの走査信号にシフトされることで、三つの画素行をオンさせる。本実施例において、走査信号 $g_2$ は走査信号 $g_1$ が $T_1+T_2$ の周期シフトされることにより得られ、走査信号 $g_3$ は走査信号 $g_2$ が $T_1+T_2$ の周期シフトされることにより得られ、走査信号 $g_4$ は走査信号 $g_3$ が $T_1+T_2$ の周期シフトされることにより得られ、走査信号 $g_5$ は走査信号 $g_4$ が $T_1+T_2$ の周期シフトされることにより得られる。

【0056】

走査信号 $g_1$ 、 $g_2$ ... $g_5$ がそれぞれ走査線 $G_1$ 、 $G_2$ ... $G_5$ に印加される時、図6に示す各サブ画素A、B、C、Dは充電され、均一の電圧を持つので、操作の際、LCDパネル300においてムラ効果を引き起こすことがない。例えば、 $(t_1-t_0)$ の周期において、ゲート $G_2$ と $G_3$ はオンされ、データ線 $D_2$ により印加されたデータ信号によって、サブ画素Aは4Vに充電される。時間 $t_1$ の際、ゲート $G_2$ はオフされるとともに、サブ画素Aにおいてフィードスルー電圧が発生し、その後、サブ画素電圧A\_dataが3Vに下がる。時間 $t_2$ の際、ゲート $G_3$ はオフされる。なお、ゲート $G_2$ は既に時間 $t_2$ の際にオフされたので、ゲート $G_3$ のオフはサブ画素Aにて如何なるフィードスルー電圧を発生することがない。時間 $t_2$ の際、図8に示すように、サブ画素Aのサブ画素電圧A\_dataは依然として3Vである。時間 $t_3$ の際、ゲート $G_2$ は再度オンされ、サブ画素Aは4Vにチャージバックされる。それと同時に、サブ画素Bは4Vに充電される。次に、時間 $t_4$ の際、ゲート $G_2$ はオフされるとともにサブ画素Aとサブ画素Bにおいてフィードスルー電圧が発生する。本実施例において、図8に示すように、サブ画素電圧A\_dataとB\_dataはいずれも約3Vの電圧を有する。

同様に、サブ画素Cとサブ画素Dのサブ画素電圧C\_dataとD\_dataも大体3Vであり、サブ画素Aとサブ画素BのA\_dataとB\_dataに等しい。

【0057】

図9は、本発明に係わる走査信号によるもう一つの実施例を示している。各走査信号 $g_1$ 、 $g_2$ 、 $g_3$ 、 $g_4$ は、図4と図7に示す対応の走査信号を変調(またはトリミング)することにより得られるので、図9に示す各走査信号の波形470は、第1周期 $T_1$ ですべて第1電圧 $V_1(t)$ を有し、第2周期 $T_2$ ですべて第2電圧 $V_2(t)$ を有し、第3周期 $T_3$ ですべて第3電圧 $V_3(t)$ を有し、そのうち、第2周期 $T_2$ は第1周期 $T_1$ の直後に続き、第3周期 $T_3$ は第2周期 $T_2$ の直後に続く。 $V_1(t)$ と $V_3(t)$ は時間とともに変化し、 $V_2(t)=V_2$ は定電圧であり、時間と関係ない。図9に示すように、第1周期 $T_1$ には第1時期 $T_0$ と第1時期 $T_0$ 直後に続く第2時期 $T=(T_1-T_0)$ が含まれる。第1時期 $T_0$ において、 $V_1(t)=V_1$ は定電圧であるが、第2時期 $T$ において、電圧 $V_1(t)$ は時間とともに徐々に $V_1$ から $V_0$ に下がる。さらに、第3周期 $T_3$ は

10

20

30

40

50

、第1時期 $T_0$ 、 $T_0$ の直後に続く第2時期 $T$ と、第2時期 $T$ の直後に続くもう一つの第3時期( $T_3-T_1-T_0$ )を含み、そのうち、第1時期 $T_0$ 内で、 $V_3(t)=V_3$ は定電圧であり、第2時期 $T$ において、 $V_3(t)$ は時間とともに徐々に $V_3$ から $V_0$ に下がり、第3時期内で $V_3(t)=V_3$ である。図9の実施例において、 $V_1=V_3>V_2$ 、 $V_1>V_0$ 、 $V_2$ 、 $T_1=T_2$ であり、 $T_3=2T_1$ である。対応する画素行の対応トランジスタを有効にオン/オフするために、 $V_1(V_3)$ と $V_2$ はそれぞれ対応の高電圧と低電圧に位置する。各走査信号 $g_1$ 、 $g_2$ 、 $g_3$ 、 $g_4$ における波形470は、所定のタイミングで一つの走査信号からもう一つの走査信号にシフトされ、三つの画素行をオンさせる。本実施例において、走査信号 $g_2$ は走査信号 $g_1$ が $T_1+T_2$ の周期シフトされることにより得られ、走査信号 $g_3$ は走査信号 $g_2$ が $T_1+T_2$ の周期シフトされることにより得られ、走査信号 $g_4$ は走査信号 $g_3$ が $T_1+T_2$ の周期シフトされることにより得られる。

10

【0058】

走査信号 $g_1$ 、 $g_2$ 、 $g_3$ 、 $g_4$ がそれぞれ図6に示すLCDパネル300の走査線 $G_1$ 、 $G_2$ 、 $G_3$ と $G_4$ に印加される時、パネルのムラ効果を大幅に減少させることができる。例えば、 $(t_1-t_0)$ の周期内に、ゲート $G_2$ と $G_3$ がオンされるので、サブ画素Aは完全に充電される。時間 $t_1$ から時間 $t_2$ において、 $G_3$ はゆっくりオフされ、そのとき、 $t_2=t_1+T$ である。それと同時に、 $G_3$ がオフされることにより、 $G_2$ もゆっくりオフされて、サブ画素Aにて発生した第1フィードスルー電圧効果が十分に減少される。 $T$ の時間が長ければ長いほど、 $G_2$ がオフされるにかかると時間は長く、サブ画素Aにおける第1フィードスルー電圧効果も小さくなる。同様な方法を用いることにより、サブ画素Cの第1フィードスルー電圧効果を大幅に減少することもできる。その結果、LCDパネル300のムラ効果を減少

20

【0059】

図10と表1は、図4と図7に示す波形を有する走査信号を用いたシミュレーションの結果である。サブ画素Aとサブ画素Dの間の電圧差は  $V=550$ ミリボルトである。

【0060】

図11と表2は、図9に示す波形を有する走査信号を用いたシミュレーションの結果である。サブ画素Aとサブ画素Dの間の電圧差は  $V=450$ ミリボルトであり、上記シミュレーションで用いた550ミリボルトよりやや小さい。

【0061】

本発明の一実施例によれば、図12はLCDパネル500に印加され、対応するサブ画素515aと515bを充電する走査信号 $g_0$ 、 $g_1$ 、 $g_2$ 、 $g_3$ を示す波形図である。図13に示す具体的実施例において、そのLCDパネル500の画素配列は、図5に示すものと同じである。本発明を説明しやすくするために、LCDパネル500において部分的に $3 \times 3$ 画素行列を図示する。例えば、 $3 \times 3$ 画素行列の第1列における画素をそれぞれ $P_{1,1}$ 、 $P_{2,1}$ と $P_{3,1}$ と称する。各画素は、第1サブ画素電極515a、第2サブ画素電極515b、第1トランジスタ(スイッチング素子)512と第2トランジスタ(スイッチング素子)516を有し、各トランジスタ512/516はゲート、ソース、ドレインを有する。各画素の第1トランジスタ512と第2トランジスタ516のゲートはそれぞれ二本の隣接する走査線、例えば $G_0$ と $G_1$ 、 $G_1$ と $G_2$ または $G_2$ と $G_3$ に電氣的に接続される。各画素の第1トランジスタ512と第2トランジスタ516のドレインは、それぞれ第1サブ画素電極515aと第2サブ画素電極515bに電氣的に接続される。

30

40

【0062】

【表1】

表1： 一つのゲート整形電圧のないシミュレーション結果

整形電圧	V0	Vf1	V1	Vf2	$\Delta V1$	$\Delta V2$	$\Delta V(\text{total})$
A	5.9	5.385	5.385	4.258	0.515	1.127	1.542
D	5.9	5.9	5.9	4.809	0	1.091	1.091

【0063】

50

【表 2】

表 2: 一つのゲート整形電圧のあるシミュレーション結果

整形電圧	V0	Vf1	V1	Vf2	$\Delta V1$	$\Delta V2$	$\Delta V(\text{total})$
A	5.9	5.479	5.479	4.357	0.421	1.122	1.543
D	5.9	5.9	5.9	4.809	0	1.091	1.091

## 【0064】

二本の隣接する走査線  $G_0$  と  $G_1$  により定義される第 1 画素行の画素  $P_{1,1}$ 、 $P_{1,2}$  および  $P_{1,3}$  に対して、各画素  $P_{1,1}$ 、 $P_{1,2}$  または  $P_{1,3}$  の第 1 トランジスタ 512 のソースは、  
 対応するデータ線  $D_0$ 、 $D_1$  または  $D_2$  に電氣的に接続され、各画素  $P_{1,1}$ 、 $P_{1,2}$  または  $P_{1,3}$  の第 2 トランジスタ 516 のソースは上記画素の第 1 サブ画素電極 515 a に電氣的に接続される。なお、二つの隣接する走査線  $G_1$  と  $G_2$  により定義される第 2 画素行の画素  $P_{2,1}$ 、 $P_{2,2}$  および  $P_{2,3}$  に対して、各画素  $P_{2,1}$ 、 $P_{2,2}$  または  $P_{2,3}$  の第 1 トランジスタ 512 のソースは、上記画素の第 2 サブ画素電極 515 b に電氣的に接続され、各画素  $P_{1,1}$ 、 $P_{1,2}$  または  $P_{1,3}$  の第 2 トランジスタ 516 のソースは、対応するデータ線  $D_1$ 、 $D_2$  または  $D_3$  に電氣的に接続される。図 13 に示すように、画素の配列は二つの隣接する画素行ごとに一回繰り返す。

10

## 【0065】

具体的実施例において、駆動信号には走査線  $G_0$ 、 $G_1$ 、 $G_2$  と  $G_3$  に印加される四つの走査信号  $g_0$ 、 $g_1$ 、 $g_2$  と  $g_3$  が含まれる。各走査信号  $g_0$ 、 $g_1$ 、 $g_2$  と  $g_3$  は、いずれも波形 570 を有する。波形 570 は、第 1 周期  $T_1$  で第 1 電圧  $V_1$  を有し、第 2 周期  $T_2$  で第 2 電圧  $V_2$  を有し、第 3 周期  $T_3$  で第 3 電圧  $V_3$  を有し、第 4 周期  $T_4$  で第 4 電圧  $V_4$  を有し、第 5 周期  $T_5$  で第 5 電圧  $V_5$  を有し、第  $(j+1)$  周期  $T_{j+1}$  は第  $j$  周期  $T_j$  の直後に続いており、且つ、 $j=1,2,3,4$  である。図 12 に示す具体的実施例において、 $V_1=V_3=V_5>V_2=V_4$ 、 $T_1=T_3=T_5$ 、 $T_2=2T_1$  と  $T_4<T_1$  である。本実施例において、画素行の対応するトランジスタを有効にオン/オフするために、 $V_1(V_3, V_5)$  と  $V_2(V_4)$  はそれぞれ対応する高電圧と低電圧に位置する。各走査信号  $g_0$ 、 $g_1$ 、 $g_2$  と  $g_3$  における波形 570 は、所定の順番(タイミング)で一つの走査信号からもう一つの走査信号にシフトされて、三つの画素行をオンさせる。本実施例において、走査信号  $g_1$  は走査信号  $g_0$  が  $T_1+T_2$  の周期シフトされることにより発生し、走査信号  $g_2$  は走査信号  $g_1$  が  $T_1+T_2$  の周期シフトされることにより発生し、走査信号  $g_3$  は走査信号  $g_2$  が  $T_1+T_2$  の周期シフトされることにより発生される。

20

30

## 【0066】

データ信号  $d_1$ 、 $d_2$ 、 $d_3$ 、 $d_4$  (図 12 に図示せず) は、これらの画素において表示される画像によって発生されるとともに、逆の極性を有し、データ線  $D_0$ 、 $D_1$ 、 $D_2$ 、 $D_3$  に印加される。

## 【0067】

従って、上述の画素配列と駆動方式により、列反転の方式でデータをデータ線に入力し、画像表示を目的とする LCD パネル 500 の画素行列  $\{P_{n,m}\}$  内でドット反転を実現できる。

40

## 【0068】

図 13 は、正の電圧を有するデータ信号  $d_1$  が如何に LCD パネル 500 の対応サブ画素に印加されるのかを示す実例である。

## 【0069】

$(t_1-t_0)$  の周期内に、走査線  $G_0$  と  $G_1$  に電氣的に接続されるトランジスタ 512 と 516 のみオンされる。例えば、データ信号  $d_1$  はサブ画素 A を介して伝送される。最後に、データ信号  $d_1$  は、サブ画素 B (画素  $P_{1,2}$  之第二子画素 515 b) に伝送され、“+”記号で表記される。

## 【0070】

$(t_2-t_1)$  の周期内に、LCD パネル 500 のトランジスタ 512 と 516 はいずれもオ

50

ンされないので、データ信号  $d_1$  は伝送可能なところがない。

【0071】

( $t_3-t_2$ )の周期内に、走査線  $G_0$  に電氣的に接続されるトランジスタ 516 のみオンされ、( $t_1-t_0$ )周期のデータ信号からの対応電圧が( $t_3-t_2$ )の周期においてサブ画素 A と B に均等にかかるようにさせ、サブ画素 A と B におけるデータ信号の状態は( $t_1-t_0$ )の周期における際と同じである。

【0072】

( $t_4-t_3$ )の周期内に、LCD パネル 500 のトランジスタ 512 と 516 はいずれもオンされないので、データ信号  $d_1$  は伝送可能なところがない。

【0073】

( $t_5-t_4$ )の周期内に、走査線  $G_1$  と  $G_2$  に電氣的に接続されるトランジスタ 512 と 516 のみオンされる。例えば、データ信号  $d_1$  はサブ画素 D を介して伝送される。最後に、データ信号  $d_1$  はサブ画素 C (画素  $P_{2,1}$  の第 1 サブ画素  $P_{2,1}(1)515b$ ) に伝送される。

【0074】

( $t_6-t_5$ )の周期内に、LCD パネル 500 のトランジスタ 512 と 516 はいずれもオンされないので、データ信号  $d_1$  は伝送可能なところがない。

【0075】

( $t_7-t_6$ )の周期内に、走査線  $G_1$  に電氣的に接続されるトランジスタ 512 と 516 のみオンされ、( $t_5-t_4$ )周期のデータ信号からの対応電圧が( $t_3-t_2$ )周期においてサブ画素 C と D に均等にかかるようにさせ、サブ画素 C と D におけるデータ信号の状態は、( $t_5-t_4$ )周期にある時と同じである。

【0076】

( $t_8-t_7$ )の周期内に、LCD パネル 500 のトランジスタ 512 と 516 はいずれもオンされないので、データ信号  $d_1$  は伝送可能なところがない。

【0077】

( $t_9-t_8$ )の周期内に、走査線  $G_2$  と  $G_3$  に電氣的に接続されるトランジスタ 512 と 516 のみオンされる。例えば、データ信号  $d_1$  はサブ画素 E を介して伝送される。最後に、データ信号  $d_1$  はサブ画素 F (画素  $P_{3,2}$  の第 2 サブ画素  $P_{3,2}(2)515b$ ) に伝送される。

【0078】

( $t_{10}-t_9$ )の周期内に、LCD パネル 500 のトランジスタ 512 と 516 はいずれもオンされないので、データ信号  $d_1$  は伝送可能なところがない。

【0079】

( $t_{11}-t_{10}$ )周期内に、走査線  $G_2$  に電氣的に接続されるトランジスタ 512 と 516 のみオンされ、( $t_9-t_8$ )周期のデータ信号からの対応電圧が( $t_{11}-t_{10}$ )周期においてサブ画素 E と F に均等にかかるようにさせ、サブ画素 E と F におけるデータ信号の状態は( $t_9-t_8$ )周期にある時と同じである。

【0080】

その他のデータ信号に対して上記過程を繰り返すと、LCD パネル 500 に対してドット反転の効果が発生する。図 13 に示すように、記号 “+” または “-” はそれぞれ対応のサブ画素が正電荷または負電荷で充電されたことを表す。

【0081】

上記開示した本発明の実施例によれば、各データ線は二つの隣接する画素列に電氣的に結合されるとともに、対応のデータ線に印加されるデータ信号は、極性が異なる電圧を有し、即ち、列反転である。そのため、従来のドット反転方式を利用する場合と比べて、LCD パネルの列反転は半分数のデータ線だけで実現することができる。そこで、LCD パネルは、また、従来のドット反転方式による LCD パネルの電力消費を半分節約することができる。

【0082】

10

20

30

40

50

図14は、本発明に係わるLCDパネルのもう一つの実施例である。LCDパネル600は、複数のタッチセンシング信号線 $\{L_k\}$ を含み、図1に示す液晶ディスプレイの画素配列と統合され、そのうち、 $k=1, 2, \dots, K$ 、 $K$ はゼロより大きい整数である。タッチセンシング信号線 $L_k$ はデータ線 $D_{m+1}$ と隣接且つ並行するように配列される。複数のタッチセンシング信号線 $\{L_k\}$ のその他の配列も本発明を実現するのに用いることができる。例えば、タッチセンシング信号線 $L_k$ は、データ線 $D_m$ または $D_{m+1}$ と隣接且つ平行するように配列される。上記好適な実施例において、データ信号はジグザグ走査(zigzag scan)方式でそれぞれ画素 $P_{n,m}$ の左右配列の第1サブ画素 $P_{n,m}(1)$ および第2サブ画素 $P_{n,m}(2)$ 、および画素 $P_{n+1,m}$ の左右配列の第1サブ画素 $P_{n+1,m}(1)$ および第2サブ画素 $P_{n+1,m}(2)$ に印加される。例えば、データ信号 $d_1$ はデータ線 $D_m$ を介して画素 $P_{n,m}$ の左右配列の第1サブ画素 $P_{n,m}(1)$ および第2サブ画素 $P_{n,m}(2)$ に印加され、データ信号 $d_2$ はデータ線 $D_{m+1}$ を介して画素 $P_{n+1,m}$ の左右配列の第1サブ画素 $P_{n+1,m}(1)$ および第2サブ画素 $P_{n+1,m}(2)$ に印加される。従って、上記好適な実施例における左右のサブ画素配列とジグザグ走査の駆動方式により、列反転の方式でデータをデータ線に入力すると、画像表示を目的とするLCDパネル600の画素行列 $P_{\{n,m\}}$ 内でドット反転を実現することができる。

#### 【0083】

一実施例において、画素行列における偶数の画素行の各画素、または画素行列における奇数の画素行の各画素は、更に、光検出器(PS)とトランジスタを含み、上記トランジスタは、上記画素を定義する二つの走査線のうちの一方に電氣的に接続されるゲートと、光検出器に電氣的に接続されるソースと、対応のタッチセンシング信号線に電氣的に接続されるドレインとを有する。例えば、図14に示すように、二つの走査線 $G_n$ と $G_{n+1}$ により定義される画素行 $P_{n,\{m\}}$ の画素 $P_{n,m}$ は、さらに、光検出器650およびトランジスタ618を含む。トランジスタ618は、走査線 $G_{n+1}$ [User9]に電氣的に接続されるゲート618gと、上記光検出器650に電氣的に接続されるソース618sと、対応のタッチセンシング信号線 $L_k$ に電氣的に接続されるドレイン618dとを有する。

#### 【0084】

同様に、上記検討された駆動信号がLCDパネル600に印加される時、一つのドット反転画像を実現することができる。各データ線 $D_m$ がいずれも画素列 $P_{\{n\},m}$ とその隣接する画素列 $P_{\{n\},m+1}$ を電氣的に接続したため、従来のドット反転のLCDパネルと比べて、半分数のデータ線 $\{D_m\}$ だけでLCDパネル600においてドット反転を実現することが可能となる。従って、LCDパネル600は、従来のドット反転のLCDパネルが消費する電力の半分を節約することができる。

#### 【0085】

図15と図16は、それぞれ本発明の実施例による二つの液晶ディスプレイのレイアウトを示す概略図である。

#### 【0086】

本発明の一態様において、マトリクス状で空間的に配列された複数の画素 $\{P_{n,m}\}$ を有するLCDパネルを提供し、そのうち、 $n=1, 2, \dots, N$ 、 $m=1, 2, \dots, M$ 、且つ、 $N$ 、 $M$ はゼロより大きい整数である。各画素 $P_{n,m}$ は少なくとも第1サブ画素 $P_{n,m}(1)$ と第2サブ画素 $P_{n,m}(2)$ を有する。そのうち、各第1サブ画素 $P_{n,m}(1)$ と第2サブ画素 $P_{n,m}(2)$ は、サブ画素電極と、サブ画素電極に電氣的に接続されるスイッチング素子とを含む。スイッチング素子は、電界効果薄膜トランジスタまたは類似機能を有する素子である。

#### 【0087】

LCDパネルは、また、行方向に沿って空間的に配列される複数の走査線 $\{G_n\}$ を有する。各一对の隣接する走査線 $G_n$ と $G_{n+1}$ は画素行列 $\{P_{n,m}\}$ の画素行 $P_{n,\{m\}}$ を定義し、上記一对の隣接する走査線 $G_n$ と $G_{n+1}$ は、それぞれ第1サブ画素 $P_{n,m}(1)$ のスイッチング素子と、画素行 $P_{n,\{m\}}$ における各画素の第2サブ画素 $P_{n,m}(2)$ とに電氣的に結合される。

10

20

30

40

50

## 【 0 0 8 8 】

L C D パネルは、さらに、行方向に垂直する列方向に沿って空間的に配置されるとともに走査線 $\{G_n\}$ と交差する複数のデータ線 $\{D_m\}$ を含む。各一对の隣接するデータ線 $D_m$ と $D_{m+1}$ は、画素行列 $\{P_{\{n\},m}\}$ において画素列 $P_{\{n\},m}$ を定義する。そのうち、各データ線 $D_m$ は、データ線 $D_m$ に関連して相互隣接する二つの画素列 $P_{\{n\},m-1}$ と $P_{\{n\},m}$ のうちの一方の各奇数の画素の第1サブ画素または第2サブ画素のスイッチング素子と、二つの隣接する画素列 $P_{\{n\},m-1}$ と $P_{\{n\},m}$ の他方の列の各偶数の画素の第2サブ画素または第1サブ画素のスイッチング素子とに電氣的に接続される。

## 【 0 0 8 9 】

さらに、L C D パネルも複数のタッチセンシング信号線 $\{L_k\}$ を有し、 $k=1, 2, \dots, K$ 、そのうち、 $K$ はゼロより大きい整数である。各タッチセンシング信号線は、走査線 $G_n$ またはデータ線 $D_m$ に隣接且つ並行するように配列される。一実施例において、画素行列 $\{P_{n,m}\}$ における偶数の画素行の各画素、または画素行列 $\{P_{n,m}\}$ における奇数の画素行の各画素は、さらに、光検出器(P S)およびトランジスタを含み、上記トランジスタは、上記画素を定義する二本の走査線のうちの一方に電氣的に接続されるゲート、光検出器に電氣的に接続されるソース、および対応のタッチセンシング信号線に電氣的に接続されるドレインを有する。

10

## 【 0 0 9 0 】

さらに、L C D パネルは、複数の走査信号を発生するゲートドライバと、複数のデータ信号を発生するデータドライバとを有し、そのうち、複数の走査信号はそれぞれ複数の走査線 $\{G_n\}$ に印加されるとともに、所定のタイミングで複数の走査線 $\{G_n\}$ に接続されたスイッチング素子をオンさせ、複数のデータ信号は、それぞれデータ[User10]線 $\{D_m\}$ に印加されるとともに、任意二つの隣接するデータ線は逆の極性を有する。従って、画素 $\{P_{n,m}\}$ はドット反転の画素極性を有する。

20

## 【 0 0 9 1 】

本発明のもう一つの態様では、L C D パネルを駆動するための方法を提供する。この方法は、それぞれ複数の走査信号を複数の走査線 $\{G_n\}$ に印加するステップと、それぞれ複数のデータ信号を複数のデータ線 $\{D_m\}$ に印加するステップとを含む。複数の走査信号は、所定のタイミングで複数の走査線 $\{G_n\}$ に接続されるトランジスタをオンさせ、任意二つの隣接するデータ信号は逆の極性を有する。従って、画素 $\{P_{n,m}\}$ はドット反転の画素極性を有する。

30

## 【 0 0 9 2 】

簡潔に言えば、これ以外に、本発明は電力消費を低下させるL C D パネルおよびその駆動方法を開示する。L C D パネルの一実施例には、画素行列、複数の走査線、及び複数のデータ線が含まれる。各一对の隣接する走査線は、L C D パネルにおいて画素行を定義し、各一对の隣接するデータ線はL C D パネルにおいて画素列を定義する。各画素は、少なくとも第1サブ画素と第2サブ画素を有する。各サブ画素は、サブ画素電極とサブ画素電極に電氣的に結合されるスイッチング素子とを有する。各一对の隣接する走査線は、それぞれ第1サブ画素のスイッチング素子と第2サブ画素のスイッチング素子とに電氣的に結合される。そのうち、各データ線 $D_m$ は、データ線 $D_m$ に関連して隣接する画素列 $P_{\{n\},m-1}$ と $P_{\{n\},m}$ の一方の各奇数の画素の第1サブ画素または第2サブ画素のスイッチング素子と、二つの隣接する画素列 $P_{\{n\},m-1}$ と $P_{\{n\},m}$ の他方の列の各偶数の画素の第2サブ画素または第1サブ画素のスイッチング素子とに電氣的に接続される。

40

## 【 0 0 9 3 】

L C D パネルは、さらに、ゲートドライバとデータドライバを含み、走査信号とデータ信号を発生して、それぞれ走査線とデータ線に印加する。走査信号は所定のタイミングで走査線に接続されたスイッチング素子をオンさせ、データ信号における任意二つの隣接するものは逆の極性を有する。

## 【 0 0 9 4 】

本発明は、好ましい実施例によって前述の通り開示したが、これらは本発明を限定する

50

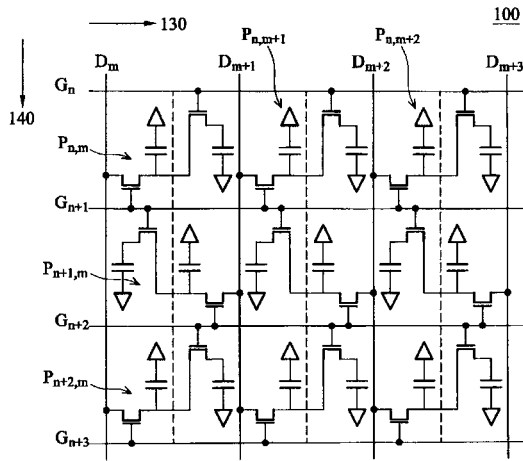
ものではなく、当該技術を熟知する者なら誰でも、本発明の精神と領域を脱しない範囲内で各種の変動や潤色を加えることができ、従って本発明の保護範囲は、特許請求の範囲で指定した内容を基準とする。

【符号の説明】

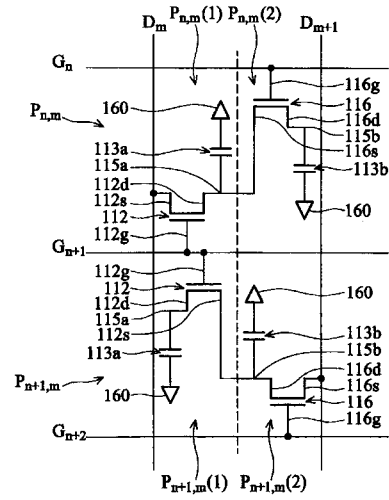
【 0 0 9 5 】

1 3 0	行方向	
1 4 0	列方向	
1 0 0、2 0 0、3 0 0、5 0 0、6 0 0	L C Dパネル	
$G_n$ 、 $G_{n+1}$ 、 $G_{n+2}$ 、 $G_{n+3}$ 、 $G_0$ 、 $G_1$ 、 $G_2$ 、 $G_3$ 、 $G_4$ 、 $G_{N-1}$ 、 $G_N$	走査線	
$D_m$ 、 $D_{m+1}$ 、 $D_{m+2}$ 、 $D_{m+3}$ 、 $D_0$ 、 $D_1$ 、 $D_2$ 、 $D_3$ 、 $D_{M-1}$ 、 $D_M$	データ線	10
$L_k$	タッチセンシング信号線	
$P_{n,m}$ 、 $P_{n+1,m}$ 、 $P_{n+2,m}$ 、 $P_{n,m+1}$ 、 $P_{n,m+2}$ 、 $P_{1,M}$ 、 $P_{2,M}$ 、 $P_{N,1}$ 、 $P_{N,2}$ 、 $P_{0,0}$ 、 $P_{1,0}$ 、 $P_{2,0}$ 、 $P_{3,0}$ 、 $P_{0,1}$ 、 $P_{1,1}$ 、 $P_{2,1}$ 、 $P_{3,1}$ 、 $P_{0,2}$ 、 $P_{1,2}$ 、 $P_{2,2}$ 、 $P_{3,2}$ 、 $P_{1,3}$ 、 $P_{2,3}$ 、 $P_{3,3}$	画素	
$P_{n,m}(1)$ 、 $P_{n,m}(2)$ 、 $P_{n+1,m}(1)$ 、 $P_{n+1,m}(2)$ 、 $P_{1,2}(1)$ 、 $P_{2,1}(1)$ 、 $P_{2,1}(2)$ 、 $P_{3,2}(2)$ 、A、B、C、D、E、F、X	サブ画素	
112、116、316、212、216、313、316、512、516、618	トランジスタ	
112s、116s、618s	ソース	
112d、116d、618d	ドレイン	
112g、116g、618g	ゲート	
115a、115b	サブ画素電極	20
215a、515a	第1サブ画素電極	
215b、515b	第2サブ画素電極	
1 6 0	共通電極	
1 1 3 a、1 1 3 b	液晶キャパシタ	
1 5 2	ゲートドライバ	
1 5 4	データドライバ	
6 5 0	光検出器	
2 7 0、3 7 0、4 7 0、5 7 0	波形	
$g_0$ 、 $g_1$ 、 $g_2$ 、 $g_3$ 、 $g_4$ 、 $g_5$ 、271、272、273	走査信号	
$d_1$ 、 $d_2$ 、 $d_3$ 、 $d_{M-1}$ 、 $d_M$ 、281、282	データ信号	30
$V_{com}$ 、290	共通信号	
$T_1$ 、 $T_2$ 、 $T_3$ 、 $T_4$ 、 $T_5$ 、 $t$ 、1、2、3、4、5、6	周期	
$T_0$ 、 $T$	時期	
$t_0$ 、 $t_1$ 、 $t_2$ 、 $t_3$ 、 $t_4$ 、 $t_5$ 、 $t_6$ 、 $t_7$ 、 $t_8$ 、 $t_9$ 、 $t_{10}$ 、 $t_{11}$	時間	
$V_0$ 、 $V_1$ 、 $V_2$ 、 $V_3$ 、 $V_4$ 、 $V_5$ 、 $V_{f1}$ 、 $V_{f2}$ 、A_data、B_data、C_data、D_data	電圧	

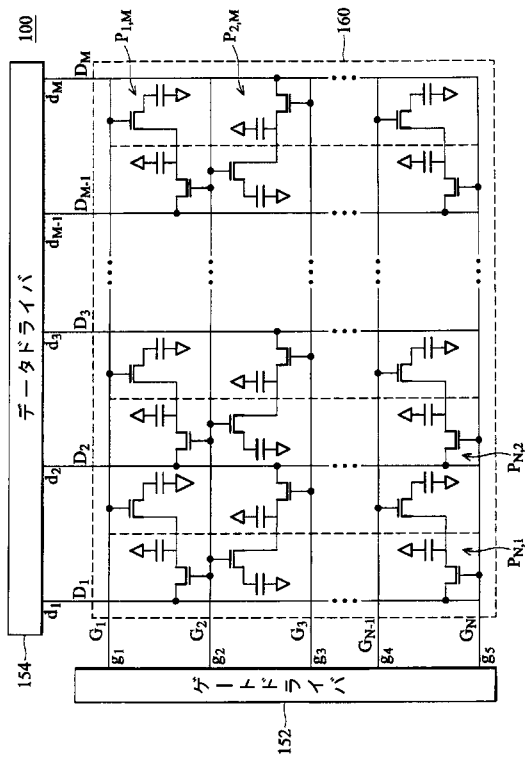
【 図 1 】



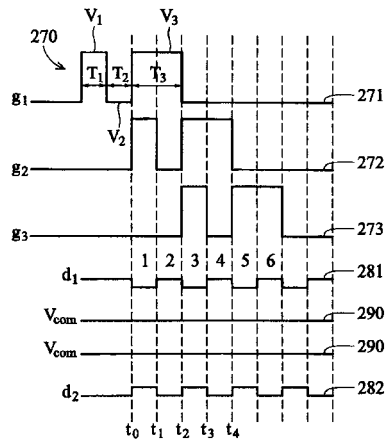
【 図 2 】



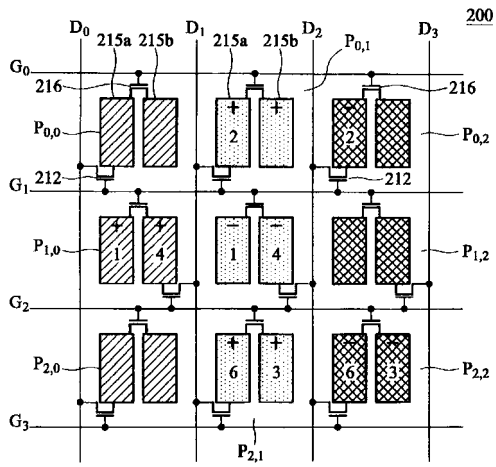
【 図 3 】



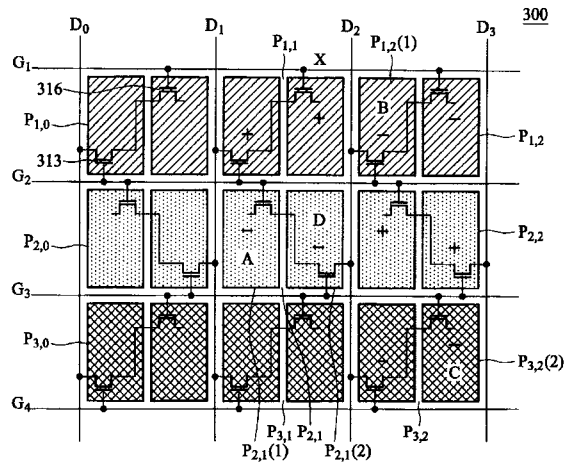
【 図 4 】



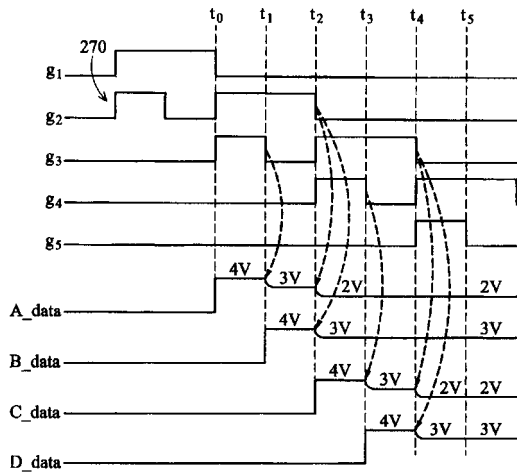
【 図 5 】



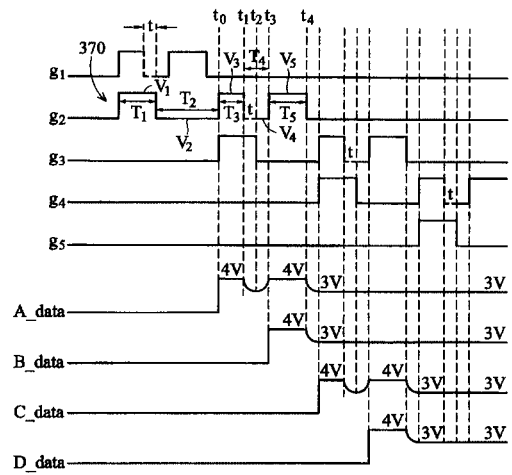
【 図 6 】



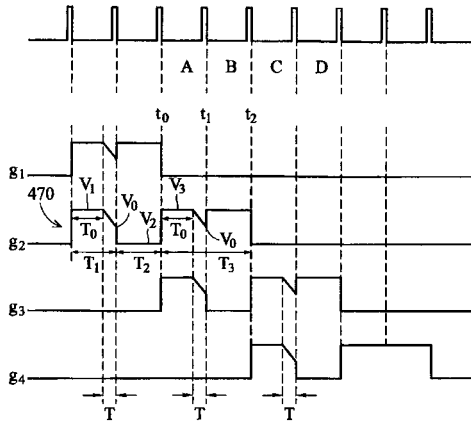
【 図 7 】



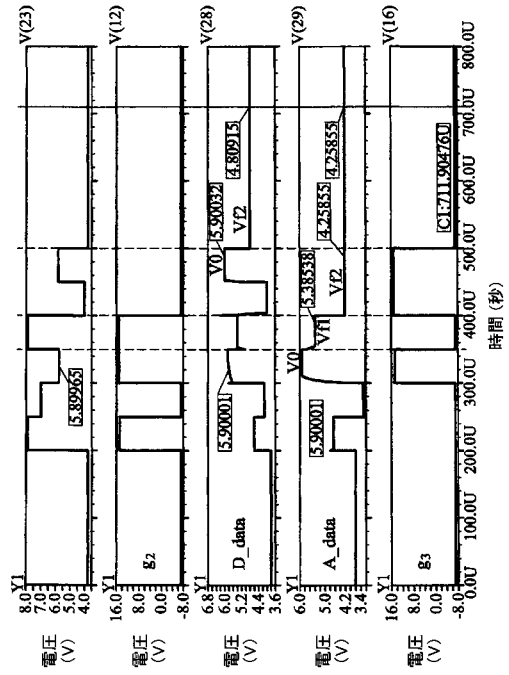
【 図 8 】



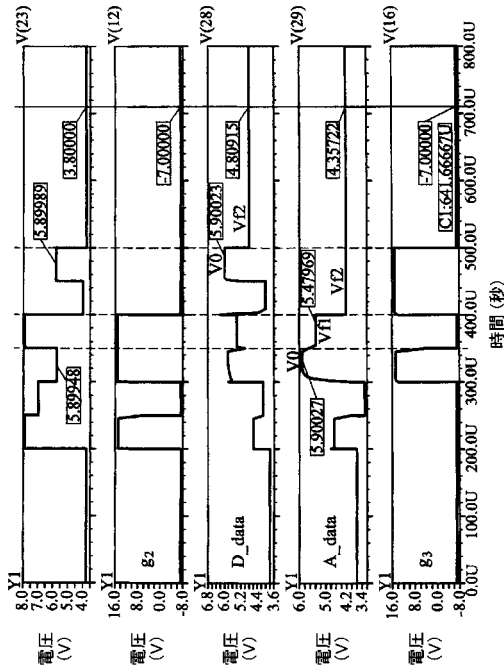
【 図 9 】



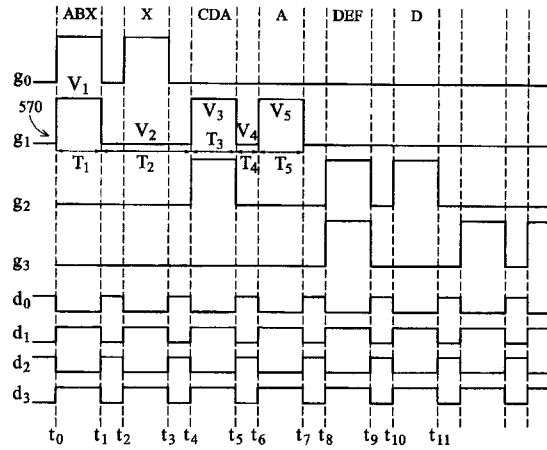
【 図 10 】



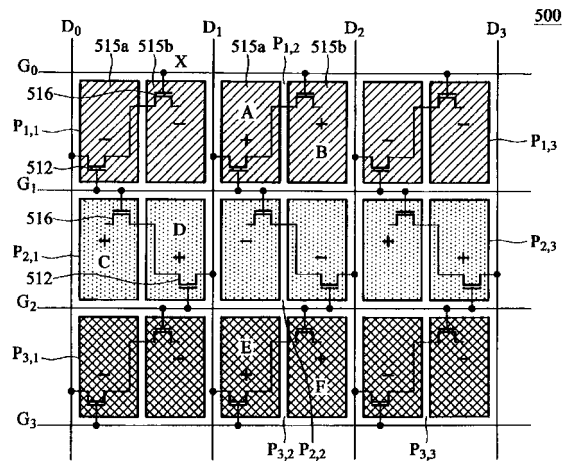
【 図 11 】



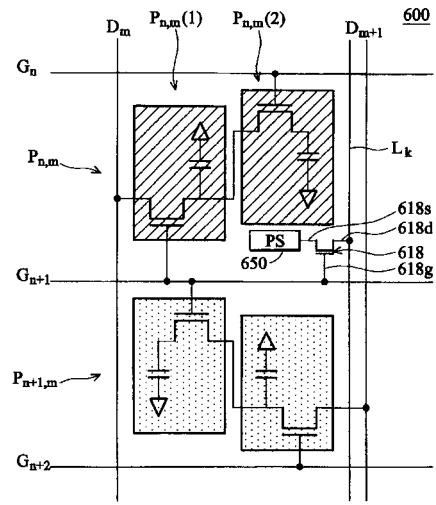
【 図 12 】



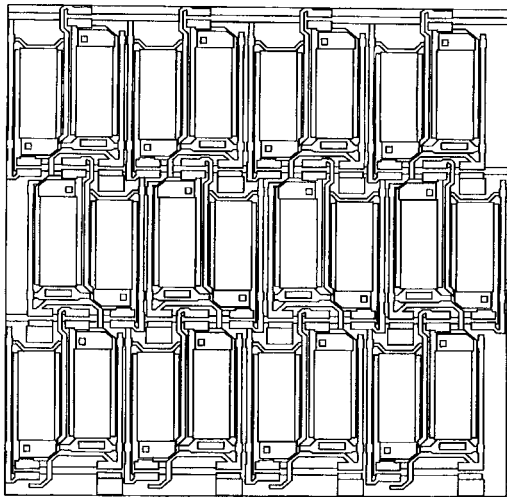
【図13】



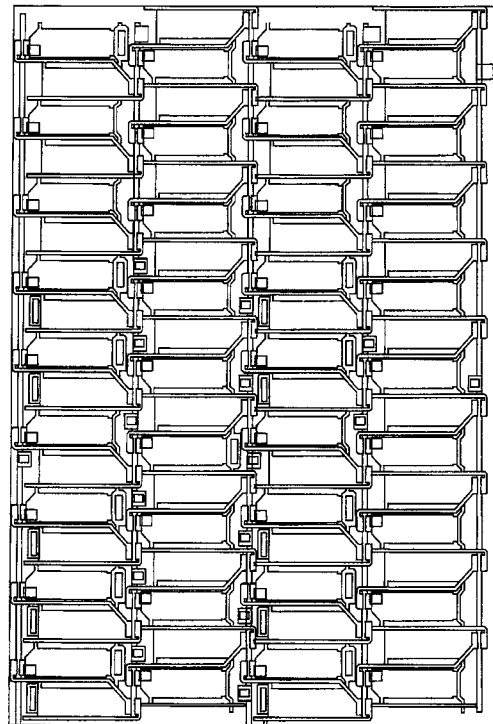
【図14】



【図15】



【図16】



## フロントページの続き

(51)Int.Cl. F I  
**G 0 2 F 1/1333 (2006.01)**  
 G 0 9 G 3/20 6 2 2 D  
 G 0 9 G 3/20 6 2 3 C  
 G 0 9 G 3/20 6 2 2 C  
 G 0 9 G 3/20 6 9 1 D  
 G 0 9 G 3/20 6 1 1 A  
 G 0 9 G 3/20 6 2 1 B  
 G 0 2 F 1/133 5 5 0  
 G 0 2 F 1/1343  
 G 0 2 F 1/1368  
 G 0 2 F 1/133 5 2 5  
 G 0 2 F 1/1333  
 G 0 2 F 1/133 5 3 0

(72)発明者 呂 昭良  
 台湾新竹市科学工業園區力行二路1号 友達光電股 ぶん 有限公司内  
 (72)発明者 陳 耿銘  
 台湾新竹市科学工業園區力行二路1号 友達光電股 ぶん 有限公司内  
 (72)発明者 洪 集茂  
 台湾新竹市科学工業園區力行二路1号 友達光電股 ぶん 有限公司内  
 (72)発明者 李 純懷  
 台湾新竹市科学工業園區力行二路1号 友達光電股 ぶん 有限公司内  
 (72)発明者 郭 峻廷  
 台湾新竹市科学工業園區力行二路1号 友達光電股 ぶん 有限公司内  
 (72)発明者 蘇 昶 ウェ  
 台湾新竹市科学工業園區力行二路1号 友達光電股 ぶん 有限公司内  
 (72)発明者 謝 曜任  
 台湾新竹市科学工業園區力行二路1号 友達光電股 ぶん 有限公司内

審査官 山崎 仁之

(56)参考文献 特開平06-214214(JP,A)  
 特開2004-341134(JP,A)  
 特開2006-133786(JP,A)  
 特表2006-500617(JP,A)  
 特開2004-004590(JP,A)  
 特開平05-265045(JP,A)  
 特表2007-524126(JP,A)  
 特開平11-109313(JP,A)  
 特開平03-053218(JP,A)  
 特開平11-281957(JP,A)  
 特開2004-139078(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 6  
 G 0 2 F 1 / 1 3 3  
 G 0 2 F 1 / 1 3 3 3  
 G 0 2 F 1 / 1 3 4 3

G 0 2 F     1 / 1 3 6 8  
G 0 9 G     3 / 2 0

专利名称(译)	LCD面板和用于驱动液晶显示器的方法		
公开(公告)号	<a href="#">JP5258705B2</a>	公开(公告)日	2013-08-07
申请号	JP2009193271	申请日	2009-08-24
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
当前申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	温亦謙 呂昭良 陳耿銘 洪集茂 李純懷 郭峻廷 蘇昶ウ工 謝曜任		
发明人	温 亦謙 呂 昭良 陳 耿銘 洪 集茂 李 純懷 郭 峻廷 蘇 昶▲ウ工▼ 謝 曜任		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1343 G02F1/1368 G02F1/1333		
CPC分类号	G09G3/3614 G09G2300/0426 G09G2310/02 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.624.C G09G3/20.680.H G09G3/20.621.M G09G3/20.680.G G09G3/20.622.D G09G3/20.623.C G09G3/20.622.C G09G3/20.691.D G09G3/20.611.A G09G3/20.621.B G02F1/133.550 G02F1/1343 G02F1/1368 G02F1/133.525 G02F1/1333 G02F1/133.530		
F-TERM分类号	2H092/GA15 2H092/JA24 2H092/JA45 2H092/JB04 2H092/JB06 2H092/JB13 2H092/JB32 2H092/JB42 2H092/JB45 2H092/JB63 2H092/NA17 2H092/NA26 2H092/PA06 2H189/HA01 2H189/LA10 2H189/LA27 2H189/LA31 2H192/AA24 2H192/BC23 2H192/BC24 2H192/CB13 2H192/CC22 2H192/CC62 2H192/FB02 2H192/GB14 2H192/GD61 2H193/ZA04 2H193/ZA08 2H193/ZA19 2H193/ZB03 2H193/ZC07 2H193/ZC13 2H193/ZC14 2H193/ZC25 2H193/ZD23 2H193/ZF36 2H193/ZH04 2H193/ZH07 2H193/ZH13 2H193/ZJ02 2H193/ZP03 5C006/AA12 5C006/AC22 5C006/AC23 5C006/AC24 5C006/AC25 5C006/AC26 5C006/AF43 5C006/BB16 5C006/BF38 5C006/FA25 5C006/FA26 5C006/FA42 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD23 5C080/DD26 5C080/JJ03 5C080/JJ04 5C080/JJ06		
优先权	12/204443 2008-09-04 US		
其他公开文献	JP2010061135A		
外部链接	<a href="#">Espacenet</a>		
摘要(译)			

要解决的问题：提供LCD面板和驱动液晶显示器的方法。解决方案：本发明涉及LCD面板和用于驱动面板的方法。每个像素至少具有第一和第二子像素。每个子像素具有子像素电极和耦合到子像素电极的开关元件。每对的相邻扫描线在每个像素行中的相应像素中耦合到第一子像素和第二子像素的开关元件。数据线D<sub>m</sub> 连接到像素列P<sub>n</sub>的一个奇数像素的各个像素行的第一或第二子像素的第一或第二开关元件，m-1和P<sub>n</sub>，m和像素列P<sub>n</sub>的另一个偶数像素的第一或第二子像素的开关元件，m-1和P<sub>n</sub>，m。该面板产生扫描信号和数据信号，其分别包括施加到扫描线和数据线的栅极驱动器 and 数据驱动器。扫描信号在规定的定时传导耦合到扫描线的开关元件。数据信号的两个任意相邻信号具有相反的极化。Ž

表1: 一つのゲート整形電圧のないシミュレーション結果

整形電圧	V0	Vf1	V1	V2	ΔV1	ΔV2	ΔV(total)
A	5.9	5.385	5.385	4.258	0.515	1.127	1.542
D	5.9	5.9	5.9	4.809	0	1.091	1.091