

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5036745号
(P5036745)

(45) 発行日 平成24年9月26日(2012.9.26)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl.

F I

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 5 (全 12 頁)

(21) 出願番号 特願2009-40362 (P2009-40362)
(22) 出願日 平成21年2月24日(2009.2.24)
(62) 分割の表示 特願2000-315977 (P2000-315977)
の分割
原出願日 平成12年10月16日(2000.10.16)
(65) 公開番号 特開2009-151328 (P2009-151328A)
(43) 公開日 平成21年7月9日(2009.7.9)
審査請求日 平成21年3月25日(2009.3.25)
(31) 優先権主張番号 1999-44791
(32) 優先日 平成11年10月15日(1999.10.15)
(33) 優先権主張国 韓国 (KR)

(73) 特許権者 501426046
エルジー ディ스플레이 カンパニー リ
ミテッド
大韓民国 ソウル、ヨンドゥンポグ、ヨ
ウィーテロ 128
(74) 代理人 100109726
弁理士 園田 吉隆
(74) 代理人 100101199
弁理士 小林 義教
(72) 発明者 朴 光燮
大韓民国 慶尚北道 龜尾市 臨洙洞 4
01-3, ドンラクウォン ビー-7 1
2号

最終頁に続く

(54) 【発明の名称】 液晶表示装置とその製造方法

(57) 【特許請求の範囲】

【請求項 1】

ゲートラインとデータラインの交差部に設置する薄膜トランジスタと、前記薄膜トランジスタのソース電極に接続することと共に有機絶縁膜を間に置いて前記ゲートラインと前記データラインの中に少なくとも一つに重畳する画素電極とを具備する液晶表示装置において、前記ゲートライン及び前記データライン上の信号遅延が減少するように前記有機絶縁膜の誘電常数を2.0以下に設定し、前記有機絶縁膜の厚さは0.8~0.9 μmであり

、
前記ゲートライン及び前記データラインの中の少なくとも一つに前記画素電極が重畳する重畳領域の寄生キャパシティは0.0003 pF以下であることを特徴とする、液晶表示装置。

【請求項 2】

前記絶縁膜の厚さと誘電常数は前記薄膜トランジスタのチャンネルを形成するための制御信号のイネーブル時間の約1/2時間内に前記画素電極によって駆動する液晶画素セルが前記ビデオデータの約95%以上を充電するように設定することを特徴とする請求項1記載の液晶表示装置。

【請求項 3】

ゲートラインとデータラインの交差部に設置する薄膜トランジスタと、前記薄膜トランジスタのソース電極に接続することと共に有機絶縁膜を間に置いて前記ゲートラインと前記データラインの中に少なくとも一つに重畳する画素電極とを具備する液晶表示装置におい

10

20

て、前記薄膜トランジスタのソース電極と前記画素電極の間の断線不良及び接触不良を防止することと共に前記ゲートライン及び前記データラインの上の信号遅延が減少するように前記有機絶縁膜の厚さを $0.8 \sim 0.9 \mu\text{m}$ 内の範囲内に設定し、前記有機絶縁膜の誘電常数は 2.0 以下であり、

前記ゲートライン及び前記データラインの中の少なくとも一つに前記画素電極が重畳する重畳領域の寄生キャパシティは 0.0003 pF 以下であることを特徴とする液晶表示装置。

【請求項 4】

ゲートラインとデータラインの交差部に設置する薄膜トランジスタと、前記薄膜トランジスタのソース電極に接続することと共に有機絶縁膜を間に置いて前記ゲートラインと前記データラインの中に少なくとも一つに重畳する画素電極とを具備する液晶表示装置の製造方法において、前記薄膜トランジスタ、前記ゲートライン及び前記データラインを透明基板上に形成する段階と、前記薄膜トランジスタのソース電極と前記画素電極の間の断線不良及び接触不良を防止することと共に前記ゲートライン及び前記データラインの上の信号遅延が減少するように前記有機絶縁膜を $0.8 \sim 0.9 \mu\text{m}$ 厚で前記透明基板上に形成する段階と、前記ゲートライン及び前記データラインの中の少なくとも一つに所定の面積ほど重畳するように前記画素電極を前記有機絶縁膜上に形成する段階を含み、前記有機絶縁膜の誘電常数は 2.0 以下であり、

前記ゲートライン及び前記データラインの中の少なくとも一つに前記画素電極が重畳する重畳領域の寄生キャパシティは 0.0003 pF 以下であることを特徴とする液晶表示装置の製造方法。

【請求項 5】

前記ゲートライン及び前記データラインの中の少なくとも一つに前記画素電極が重畳する重畳領域の幅は少なくとも $1.5 \mu\text{m}$ 以上であることを特徴とする請求項 4 記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及びその製造方法に関するもので、特に画素電極と信号配線を重畳する高開口率の液晶表示素子において液晶画素セルのデータ充電時間を短くするようにした液晶表示素子及びその製造方法に関するものである。

【背景技術】

【0002】

アクティブ・マトリックス (Active Matrix) 駆動方式の液晶表示装置はスイッチング素子として薄膜トランジスタ (Thin Film Transistor: "TFT" という) を利用して自然な動画像を表示している。このような液晶表示装置はブラウン管に比べて小型化が可能で携帯用のテレビジョン (Television) からラップ・トップ (Lap-Top) 型パーソナルコンピュータ (Personal Computer) のモニタとして商品化されている。アクティブ・マトリックス・タイプの液晶表示装置は画素がゲートラインとデータラインの交差部それぞれに配列された画素マトリックス (Picture Element Matrix または Pixel Matrix) にテレビジョン信号のようなビデオ信号に該当する画像を表示する。画素それぞれはデータラインからのデータライン信号の電圧レベルに従って透過光量を調節する液晶セルを含む。TFT はゲートラインとデータラインの交差部に設置されてゲートラインからのスキャン信号 (ゲートパルス) に応答して液晶セル側に伝送するデータ信号を切り換える。

【0003】

一般的に、液晶表示素子は図 1 のようにデータライン (22) とゲートライン (24) の交差部に TFT (30) が形成されて、データライン (22) とゲートライン (24) の間の画素領域に画素電極 (20) がマトリックス形態で配置する。TFT (30) は図 2 のように透明基板 (2) 上に形成する。この TFT (30) はゲートライン (24) に接続されたゲート電極 (4)、データライン (22) に接続されたドレーン電極 (14) 及

び画素電極（２０）に接続されたソース電極（１６）を含む。ゲート電極（４）がパタニングされた透明基板（２）上にはＳｉＮ_x等の無機誘電体からなるゲート絶縁膜（６）が全面蒸着する。このゲート絶縁膜（６）上には非晶質シリコン（amorphous-Si：以下“a-Si”という）である半導体層（８）とn+イオンがドーピングされたa-Siであるオーミック接触層（１０）がゲート電極（４）上のゲート絶縁膜（６）を覆うように順次的に形成する。オーミック接触層（１０）の上には金属であるドレーン電極（１４）とソース電極（１６）が形成する。ドレーン電極（１４）とソース電極（１６）は前もって設定されたチャンネル幅ほど離隔するようにパタニングする。続いて、ドレーン電極（１４）とソース電極（１６）の間に形成されたチャンネルに従ってオーミック接触層（１０）がエッチングされて半導体層（８）を露出させる。次にＳｉＮ_x、ＳｉＯ_xからなる保護膜（１８）が透明基板（２）上に全面蒸着されてＴＦＴを覆う。ソース電極（１６）上の保護膜（１８）はコンタクトホール（１２）が形成するようにエッチングによって除去する。このコンタクトホール（１２）を通してソース電極（１６）に接触するようにインディウム・ティン・オキサイド（Indium Tin Oxide）である画素電極（２０）が蒸着する。

【０００４】

図１のように液晶表示素子は画素電極（２０）がデータライン（２２）またはゲートライン（２４）から約５～１０μmの間隔を置くようにパタニングする。また、図示しないブラックマトリックスは画素電極（２０）と約５～１０μm重畳する。これによって、図１のような液晶表示素子は約５０％の開口率を有する。その結果、図１のような液晶表示素子は画像の明るさが低くてバックライトの消費電力が大きくなる。

【０００５】

液晶表示素子の開口率を高めるために、アメリカ特許第５，０５５，８９９号には画素電極をゲートラインまたはデータラインに重畳するようにする方法が開示されている。アメリカ特許第５，０５５，８９９号に開示された液晶表示素子は図３のように保護膜（２８）として有機絶縁膜を利用する。この有機保護膜（２８）は２０００～８０００（０．２～０．８μmの厚さにスピンコーティングによって表面が平坦に塗布する。しかし有機保護膜（２８）はその厚さが薄いために画素電極（２０）とデータライン（２２）または画素電極（２０）とゲートライン（２４）の重畳領域に高い寄生キャパシティを発生する問題点がある。これを数式１を参照して説明する。

【０００６】

$$C = \frac{(\epsilon \epsilon_0 A)}{d} \quad (1)$$

ここで、“ε”は有機保護膜（２８）の誘電常数であり、“ε₀”は $8.85 \times 10^{-14} \text{ F/cm}$ である。“A”は画素電極（２０）とデータライン（２２）または画素電極（２０）とゲートライン（２４）の重畳領域であり、“d”は有機保護膜（２８）の厚さである。有機保護膜（２８）の厚さは前述したように０．２～０．８μmで非常に低いために画素電極（２０）の重畳領域によって発生する寄生キャパシティの値が大きくなるとゲートライン（２４）またはデータライン（２４）上のキャパシティの値がする増大する。このようにキャパシティの値はゲートライン（２４）またはデータライン（２２）に供給する信号の遅延値を大きくするために、制限された充電時間内に液晶画素セルがビデオ信号を十分に充電できなくなる。その結果、望む色信号が表現されなくなり画像が歪曲する。

【０００７】

一方、図１のような液晶表示素子の保護膜（１８）は誘電常数（ε）が約６．７であるＳｉＮ_x、誘電常数（ε）が約３．９であるＳｉＯ₂等の無機物質からなるので保護膜（１８）を間に置いて画素電極（２０）がデータライン（２２）またはゲートライン（２４）と重畳すると非常に大きい寄生容量が発生する。その結果、無機物質を保護膜（１８）に

利用する液晶表示素子の場合は、画素電極（２０）がデータライン（２２）またはゲートライン（２４）と重畳しない。

【０００８】

重畳領域による寄生キャパシティの値を制限するために、アメリカ特許第５，９２０，０８４号は適切な有機保護膜の厚さと誘電常数を提示している。この方法によると、有機保護膜（２８）の厚さは１．５μｍ以上（好ましくは２～３μｍ）に設定する。次に有機保護膜（２８）の誘電常数は３．０以下に設定されている。このように有機保護膜（２８）の厚さを厚くしてその誘電常数を低く設定すると数式１に示したように重畳による寄生キャパシタンスは小さくなる。しかし有機保護膜（２８）の厚さが厚くなるとスピニング時に回転速度（ＲＰＭ）が低くなるので有機絶縁膜のコーティングの不均一が大きくなって平坦度が悪くなる。これによって、有機保護膜（２８）の厚さの再現性が悪化することは勿論であり、ドライ・エッチング時に画素電極（２０）とソース電極（１６）を接触させるためのコンタクトホール（３２）内に有機保護膜（２８）の残膜が残ったりオーバーエッチングによってソース電極（１６）が損傷されたり断線することがある。その結果、画素電極（２０）とソース電極（１６）の間に接触抵抗が増加したり断線不良が発生する。また、有機保護膜（２８）の厚さが厚くなるとドライエッチング時に有機保護膜（２８）を保護するために有機保護膜（２８）上にマスキングされるフォトリソ（Photoresist）がその分厚くなってフォトリソの厚さの不均一増大する。例えば、ベンゾシクロブテン（Benzocyclobutene：以下“ＢＣＢ”という）からなる有機保護膜（２８）の厚さが１．５μｍでありゲート絶縁膜（６）の厚さが０．４μｍである場合、フォトリソの厚さは約２．４μｍになる。このようにフォトリソの厚さが２．５μｍ以内であるとフォトリソの厚さの均一性が確保されるが、フォトリソの厚さが２．５μｍ以上になるとフォトリソの厚さを均一に形成するに困難である。またフォトリソの厚さが厚くなるとドライエッチング時間、露光及び現像に要する時間がその分増加するので生産性が低下する。

【０００９】

【特許文献１】米国特許第５０５５８９９号明細書

【特許文献２】米国特許第５９２００８４号明細書

【発明の概要】

【発明が解決しようとする課題】

【００１０】

本発明の目的は画素電極と信号配線を重畳する高開口率の液晶表示素子において液晶画素セルのデータの充電時間を短縮した液晶表示素子及びその製造方法を提供することである。本発明の他の目的は画素電極と信号配線を重畳する高開口率の液晶表示素子において有機保護膜を間に置いて設置された薄膜トランジスタのソース電極と画素電極の間の断線不良及び接触不良を最小化するようにした液晶表示素子及びその製造方法を提供することである。

【課題を解決するための手段】

【００１１】

前記の目的を達成するために、本発明による液晶表示素子はゲートライン及びデータライン上の信号遅延を最小化するように有機絶縁膜の厚さと誘電常数を設定する。本発明による液晶表示素子は薄膜トランジスタのソース電極と画素電極の間の断線不良及び接触不良を防止するように有機絶縁膜の厚さを設定する。本発明による液晶表示素子は薄膜トランジスタのソース電極と画素電極の間の断線不良及び接触不良を防止することと共にゲートライン及びデータライン上の信号遅延が最小化するように有機絶縁膜の厚さを０．８～１．５μｍ内の範囲に設定する。

【００１２】

本発明による液晶表示素子の製造方法はゲートラインとデータラインの交差部に設置する薄膜トランジスタと、薄膜トランジスタのソース電極に接続することと共に有機絶縁膜を間に置いてゲートラインとデータラインの中に少なくとも一つに重畳する画素電極とを具

備する液晶表示素子の製造方法において、前記薄膜トランジスタ、ゲートライン及びデータラインを透明基板上に形成する段階と、薄膜トランジスタのソース電極と画素電極の間の断線不良及び接触不良を防止することと共にゲートライン及びデータラインの上の信号遅延が減少するように有機絶縁膜を $0.8 \sim 1.5 \mu\text{m}$ 厚さで透明基板上に形成する段階と、ゲートライン及びデータラインの中の少なくとも一つに所定の面積ほど重畳するように画素電極を有機絶縁膜上に形成する段階を含む。

【発明の効果】

【0013】

本発明による液晶表示素子及びその製造方法はデータライン、ゲートライン及びTFTの中の一つと画素電極の間に誘電率が 3.0 以下であり、厚さが $0.8 \sim 1.5 \mu\text{m}$ である有機保護膜をTFTと画素電極の間に形成することで画素電極と信号配線を重畳する高開口率の液晶表示素子において信号遅延を減らして液晶画素セルのデータ充電時間を短くする。本発明による液晶表示素子及びその製造方法は画素電極と信号配線を重畳する高開口率の液晶表示素子において有機保護膜の厚さを $1.5 \mu\text{m}$ 以下に塗布することで有機保護膜のコーティングの均一性を十分に確保することができることは勿論、画素電極とTFTのソース電極を接続させるためのコンタクトホールのエッチングを均一にしてトランジスタと画素電極の間の断線不良及び染色不良を最小化することができる。

【図面の簡単な説明】

【0014】

前記目的以外に本発明の他の目的及び利点は添付した図面を参照した本発明の好ましい実施例に対する説明を通して明らかになる。

【図1】図1は画素電極が信号配線と重畳されない従来の液晶表示素子を表した平面図である。

【図2】図2は図1で線A-A'に従って切り取って表す薄膜トランジスタの断面図である。

【図3】図3は有機絶縁膜が保護膜に利用する従来の液晶表示素子の薄膜トランジスタを表す断面図である。

【図4】図4は本発明の実施例による液晶表示素子の平面図である。

【図5】図5は図4で線B-B'線に従って切り取って表す薄膜トランジスタの断面図である。

【図6】図6は図4で線C-C'に従って切り取って表す画素電極とデータラインの間の重畳部を表す断面図である。

【図7】図7は図4で線D-D'に従って切り取って表す画素電極とゲートラインの間の重畳部を表す断面図である。

【図8】図8はゲートパルスが印加する時の液晶画素セルのビデオデータ充電を表す波形図である。

【図9】図9は図4に図示された有機保護膜が適用されたXGA級の解像図を有する液晶パネルとその駆動部を表す平面図である。

【図10】図10は図4に図示された有機保護膜の厚さ及び誘電率による液晶画素セルのデータ充電時間を現す特性図である。

【発明を実施するための最良の形態】

【0015】

前記目的以外に本発明の他の目的及び利点は添付した図面を参照した本発明の好ましい実施例に対する説明を通して明らかになる。以下、本発明の好ましい実施例を図4乃至図10を参照して詳細に説明する。

【0016】

図4を参照すると、データライン(52)とゲートライン(54)の交差部にTFT(60)が形成されて、データライン(52)とゲートライン(54)に重畳された画素電極(50)がマトリクス形態で配置された本発明による液晶表示素子が図示されている。データライン(52)は各液晶画素セルにビデオ信号を供給する。ゲートライン(54)

はビデオ信号に同期したゲートパルスを用いたTFT(60)のゲート電極(34)に供給する。液晶画素セルそれぞれは画素電極(50)と図示しない共通電極の間に注入された液晶層を含む。液晶層は画素電極(50)と共通電極の間に電界によって駆動されて透明基板を經由して入射する入射光の透過光量を調節する。従って、液晶画素セルはゲートパルスがハイレベルを維持する時間の間にビデオ信号を充電することで画像を表示する。画素電極(50)の縁は信号配線即ち、データライン(52)及びゲートライン(54)の側面と重畳されない液晶表示素子の開口率は従来の画素電極と信号配線が重畳みされない液晶表示素子のそれに比べて従来の画素電極と信号配線の間の間隔ほど増大する。画素電極(50)と信号配線(52、54)の重畳部に存在する重畳ライン(56a、56b)では金属からなる信号配線(52、54)によって図示しないバックライトから入射した光が遮断される。この重畳ライン(56a、56b)によってデータライン(52)及びゲートライン(54)に寄生キャパシティが発生する。本発明では重畳ラインによる信号遅延を最小化するようにして液晶画素セルがゲートパルスの約1/2時間内にビデオ信号の95%以上を充電することができるように有機保護膜の厚さと誘電常数を制限する。また、有機保護膜はパネル全体に均一に塗布されてエッチングが均一でなければいけない。これをTFTの構造と重畳ライン(56a、56b)をより詳細に表す図5乃至図7を参照しながら詳細に説明する。

【0017】

図5乃至図7を参照すると、TFT(60)はゲートライン(54)に接続されたゲート電極(34)、データライン(52)に接続されたドレーン電極(44)及び画素電極(50)に接続されたソース電極(46)を含む。ゲート電極(34)とゲートライン(54)を形成するために、金属層が2500の厚さでスパッタリングか真空蒸着によって基板(2)上にパタニングされる。次に、金属層はフォトリソが形成された後、反応性イオンエッチングによってパタニングされる。このようにゲート電極(34)とゲートライン(54)が透明基板(2)上にはSiNxの誘電体からなるゲート絶縁膜(36)がプラズマエンハンスの化学蒸着によって蒸着されてゲート電極(34)とゲートライン(54)を覆う。このゲート絶縁膜(36)は約2000~3000の厚さを有する。このゲート絶縁膜(36)上にはa-Siからなる半導体層(38)が約2000の厚さで蒸着されて、その上にa-Siにn+イオンがドーピングされたオーミック接触層(40)が約500の厚さで蒸着される。これら半導体層(38)とオーミック接触層(40)はゲート電極(34)上のゲート絶縁膜(36)を覆う。オーミック接触層(40)上には金属からなるドレーン電極(44)とソース電極(46)を約500~2000の厚さで蒸着する。ドレーン電極(44)とソース電極(46)は既に設定されたチャンネル幅程度離隔するようにパタニングされる。続いて、ドレーン電極(34)とソース電極(36)の間に形成されたチャンネルに従ってオーミック接触層(40)がエッチングされて半導体層(38)を露出させる。このようにTFT(60)、データライン(52)及びゲートライン(54)が形成された透明基板(2)上には誘電常数が3.0以下である有機絶縁膜、例えば、誘電常数が2.7であるBCBからなる有機保護膜(48)が約0.8~1.5μmの厚さでスパッタリングされる。この時、データライン(52)及びゲートライン(54)上の有機保護膜(48)即ち、重畳ライン(56a、56b)内の有機保護膜(48)の厚さは約1.25~1.27μmになる。この有機保護膜(48)はスパッタリングによって表面が平坦に透明基板(2)全体を覆う。有機保護膜(48)が窒素雰囲気中でキュアリング(Curing)された後、各ソース電極(46)を覆っている有機保護膜(48)の一部がエッチングされる。このソース電極(46)が露出された部分はソース電極(46)と画素電極(50)を接触させるためのコンタクトホール(42)になる。コンタクトホール(42)が形成された有機保護膜(48)上にはインディウム・ティン・オキサイド(Indium Tin Oxide)からなる画素電極(50)が1200~3000の厚さで全面蒸着する。最後に、有機保護膜(48)上に蒸着された画素電極(50)は図6及び図7のようにデータライン(52)とゲートライン(54)の側面に縁が重畳されるようにフォトリソされた後、エッチングによってパタニング

10

20

30

40

50

される。

【0018】

画素電極(50)がデータライン(52)及びゲートライン(54)が重畳する重畳ライン(56a、56b)の幅(W)は図6及び図7のように信号配線(52、54)と画素電極(50)間に光が漏洩しないように少なくとも $1.5\mu\text{m}$ 以上に設定する。このように液晶表示素子において、液晶画素セルは画像が歪曲されないようにゲートパルスの約1/2時間内にビデオ信号の95%以上を充電する必要がある。詳細に言えば、液晶画素セルは図8のようにゲート電極(34)に印加されるゲートパルス(GP)のハイ論理時間即ち、ドレーン電極(44)とソース電極(46)間のチャンネルが形成する時間の約1/2時間内にビデオ信号(VD)と共通電圧(Vcom)の差電圧の95%以上を充電する必要がある。次に、液晶画素セルはゲートパルス(GP)がハイ論理を維持する残りの時間の間ビデオ信号(VD)と共通電圧(Vcom)のこの差電圧を充電した後、次のフレームでゲートパルス(GP)がハイレベルを維持する時間がXGA級の解像度を有するパネル(ゲートライン768×データライン1024×RGB3)の場合、フレームの周波数が60Hz内外であるので $21.7\mu\text{s}$ である。ゲートパルス時間タイミングマージンを考慮するとゲートパルス(GP)がハイレベルを維持する時間は約 $18\mu\text{s}$ に設定される。これに従って、液晶画素セルは約 $10\mu\text{s}$ 以内(好ましくは $9\mu\text{s}$ 以内)にビデオ信号(VD)の95%以上を維持しなければならない。このような液晶画素セルの充電時間は有機保護膜(48)の厚さ(d)と誘電率(ϵ)値に依存する重畳ライン(56a、56b)の寄生キャパシティ値によって異なる。

【0019】

図9を参照すると、768個のゲートライン(54)と3072個のデータライン(52)の間に液晶画素セル(71)がマトリックス形態で配置された液晶パネル(70)が図示されている。この液晶パネル(70)のゲートライン(54)はゲート駆動部(74)に接続されてゲート駆動部(74)からゲートパルス(GP)が供給される。データライン(52)はデータ駆動部(72)に接続されてデータ駆動部(72)からゲートパルス(GP)に同期する一ライン分のデータが同時に供給される。このような液晶パネル(70)上に信号遅延が一番大きい画素はデータ駆動部(72)とゲート駆動部(74)から一番遠い位置にある画素である。これによって、信号遅延が一番大きい画素は768番目のゲートライン(54)と3072番目データライン(52)の間に位置する。この画素(PIX(768、3072))の充電時間が約 $10\mu\text{s}$ 内にビデオ信号(VD)の95%以上を充電することができる条件は表1及び図10で分かれるところのように有機保護膜(48)の厚さ(d)が $0.8\mu\text{m}$ である時、2.0以下の誘電率(ϵ)を有する場合と有機保護膜(48)の厚さ(d)が $1.3\mu\text{m}$ と $1.5\mu\text{m}$ である時、4.0以下の誘電率(ϵ)を有する場合である。ゲートパルス間のタイミングマージンに従って有機保護膜(48)の厚さ(d)が $0.8\mu\text{m}$ であり誘電率(ϵ)が3である時の充電時間である $9.3\mu\text{s}$ 、またビデオ信号(VD)を十分に速く充電することができる。有機保護膜(48)の厚さは前述したように有機保護膜(48)のコーティングの均一度とエッチング時の均一性を顧慮して最大 $1.5\mu\text{m}$ に限定する。

【0020】

【表 1】

d ϵ	0.5 μm	0.7 μm	0.8 μm	0.9 μm	1.1 μm	1.3 μm	1.5 μm
2	10.5 μs	9.1 μs	8.8 μs	8.6 μs	8.3 μs	8.1 μs	7.9 μs
3	12.2 μs	10.1 μs	9.6 μs	9.3 μs	8.8 μs	8.5 μs	8.3 μs
4	13.9 μs	11.1 μs	10.5 μs	10.0 μs	9.4 μs	9.0 μs	8.8 μs
5	15.5 μs	12.0 μs	11.3 μs	10.7 μs	10.0 μs	9.5 μs	9.2 μs

10

20

この時、画素電極（50）とデータライン（52）が重畳された重畳ライン（56a）の寄生キャパシティは下の表2のようである。

【0021】

【表 2】

d ϵ	0.5 μm	0.7 μm	0.8 μm	0.9 μm	1.1 μm	1.3 μm	1.5 μm
2	0.000305pF	0.000201pF	0.000177pF	0.000159pF	0.000135pF	0.000119pF	0.000107pF
3	0.000402pF	0.000272pF	0.000238pF	0.000213pF	0.000179pF	0.000157pF	0.000141pF
4	0.000533pF	0.000341pF	0.000297pF	0.000265pF	0.000223pF	0.000194pF	0.000174pF
5	0.000644pF	0.000409pF	0.000355pF	0.000316pF	0.000264pF	0.000231pF	0.000206pF

30

【0022】

表2で寄生キャパシティ値はデータライン（52）上に塗布された有機保護膜（48）の厚さ（d）が1.25 μm であり画素電極（50）とデータライン（52）が重畳された重畳ライン（56a）の面積（A）は837 μm^2 である時に測定された値である。面積（A）は画素セル（PIX（768、3072））の縦辺の長さが279 μm であり画素電極（50）とデータライン（52）が重畳された重畳ライン（56a）の幅が3 μm である場合である。画素電極（50）とゲートライン（52）が重畳された重畳ライン（56b）での寄生キャパシティは有機保護膜（48）の厚さが画素電極（50）とデータライン（54）の間より厚いためにもっと小さくなる。

40

【0023】

上述したように、本発明による液晶表示素子及びその製造方法はデータライン、ゲートライン及びTFTの中の少なくとも一つと画素電極の間に誘電率が3.0以下であり、0.

50

8 ~ 1.5 μm である有機保護膜をTFTと画素電極の間に形成することで画素電極と信号配線を重畳する高開口率の液晶表示素子において信号遅延を減らして液晶画素セルのデータ充電時間を短くする。本発明による液晶表示素子及びその製造方法は画素電極と信号配線を重畳する高開口率の液晶表示素子において有機保護膜の厚さを1.5 μm 以下に塗布することで有機保護膜のコーティングの均一性を十分に確保することができることは勿論、画素電極とTFTのソース電極を接続させるためのコンタクトホールのエッチングが均一にしてトランジスタと画素電極の間の断線不良及び染色不良を最小化することができる。

【0024】

上述したように、本発明による液晶表示素子及びその製造方法はデータライン、ゲートライン及びTFTの中の少なくとも一つと画素電極の間に誘電常数が3.0以下であり、厚さが0.8 ~ 1.5 μm である有機保護膜をTFTと画素電極の間に形成することで画素電極と信号配線を重畳する高開口率の液晶表示素子において信号遅延を減らして液晶画素セルのデータ充電時間を短くする。本発明による液晶表示素子及びその製造方法は画素電極と信号配線を重畳する高開口率の液晶表示素子において有機保護膜の厚さを1.5 μm 以下に塗布することで有機保護膜のコーティングの均一性を十分に確保することができることは勿論、画素電極とTFTのソース電極を接続させるためのコンタクトホールのエッチングを均一にしてトランジスタと画素電極の間の断線不良及び染色不良を最小化することができる。

【0025】

以上説明した内容を通して当業者であれば本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることがわかる。従って、本発明の技術的範囲は明細書の詳細な説明に記載された内容に限らず特許請求の範囲によって定めなければならない。

【符号の説明】

【0026】

- 2：透明基板
- 4、34：ゲート電極
- 6、36：ゲート絶縁膜
- 8、38：半導体層
- 10、40：オーミック接触層
- 12、32、42：コンタクトホール
- 14、44：ドレイン電極
- 16、46：ソース電極
- 18：無機保護膜
- 20、50：画素電極
- 22、52：データライン
- 24、54：ゲートライン
- 28、48：有機保護膜
- 30、60：薄膜トランジスタ
- 56a、56b：重畳ライン
- 70：液晶パネル
- 72：データ駆動部
- 74：ゲート駆動部

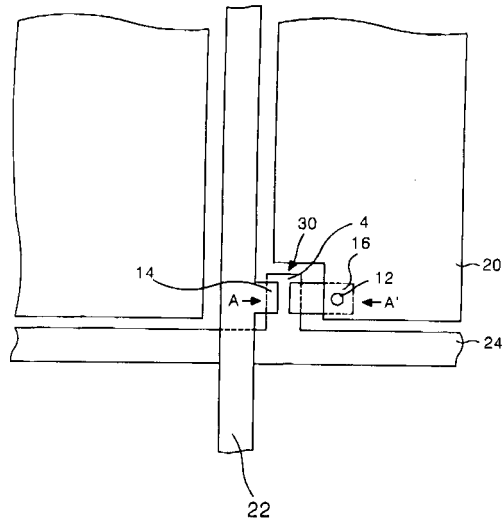
10

20

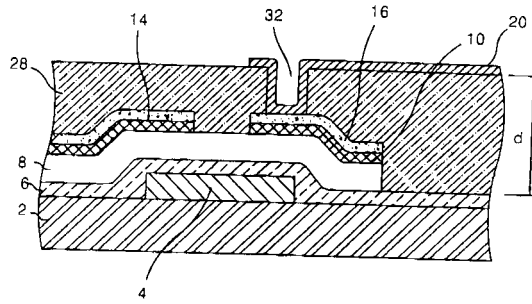
30

40

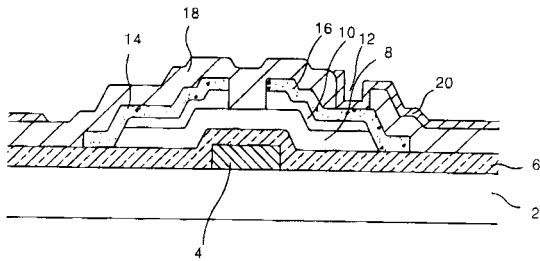
【図 1】



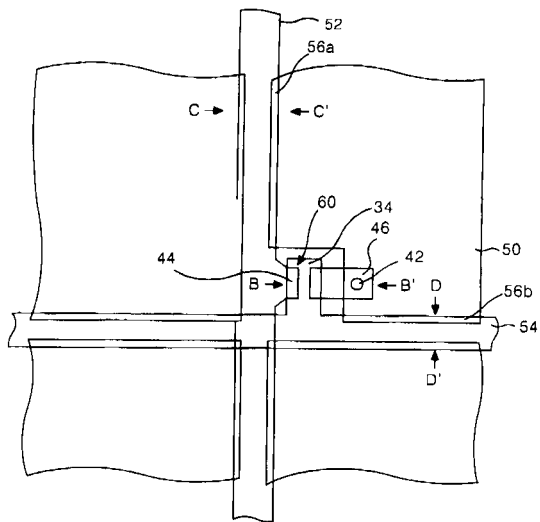
【図 3】



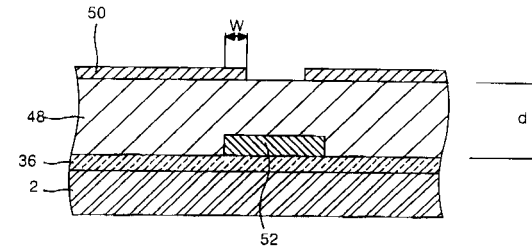
【図 2】



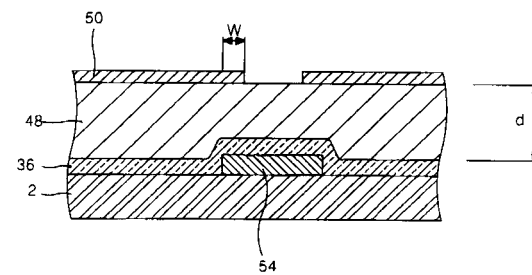
【図 4】



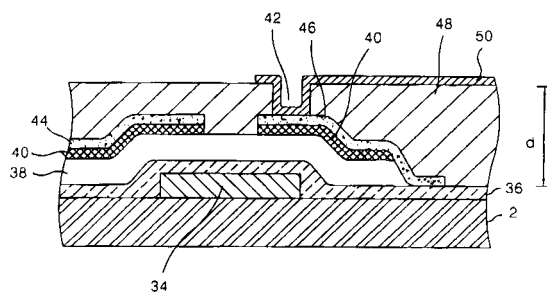
【図 6】



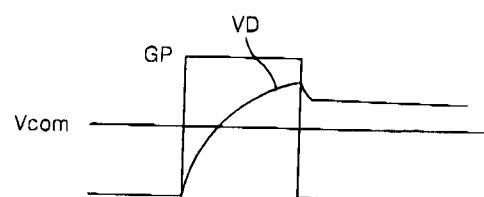
【図 7】



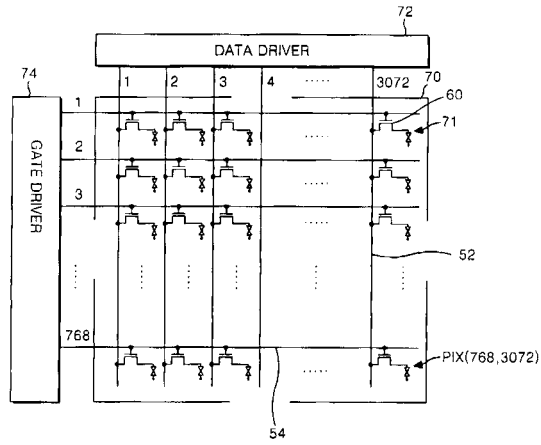
【図 5】



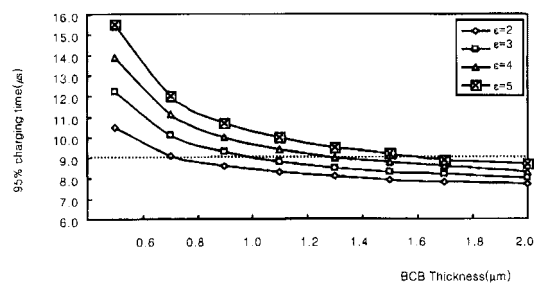
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 郭 東寧

大韓民国 大邱廣城市 達西区 ソンヒュンドン, グリーン マンション 103-1108号

(72)発明者 丁 在永

大韓民国 釜山廣城市 水営区 水営洞 494-4

審査官 吉田 英一

(56)参考文献 特開平06-202076(JP,A)

特開平10-048610(JP,A)

特開平09-022028(JP,A)

特開平09-090404(JP,A)

特開平09-230378(JP,A)

特開平11-095261(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP5036745B2	公开(公告)日	2012-09-26
申请号	JP2009040362	申请日	2009-02-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	朴光燮 郭東寧 丁在永		
发明人	朴 光燮 郭 東寧 丁 在永		
IPC分类号	G02F1/1368 G02F1/136 G02F1/1333 G02F1/1362 G09F9/30 H01L29/786		
CPC分类号	G02F1/136227		
FI分类号	G02F1/1368 G02F1/1333.505 G02F1/1343 G09F9/30.338 G09F9/30.348.A		
F-TERM分类号	2H090/HA04 2H090/HB07X 2H090/HD05 2H090/LA04 2H092/GA25 2H092/JA24 2H092/JA34 2H092/JA40 2H092/JA41 2H092/JA44 2H092/JB56 2H092/JB66 2H092/KA13 2H092/KA23 2H092/MA16 2H092/MA17 2H092/NA15 2H092/NA16 2H190/HA04 2H190/HB07 2H190/HD05 2H190/LA04 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB61 2H192/DA73 2H192/DA74 2H192/EA67 2H192/GA41 2H192/GA42 2H192/HA22 5C094/AA21 5C094/AA32 5C094/BA03 5C094/BA43 5C094/DA15 5C094/DB01 5C094/FB15 5C094/JA01 5C094/JA06 5C094/JA08		
审查员(译)	吉田荣一		
优先权	1019990044791 1999-10-15 KR		
其他公开文献	JP2009151328A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示元件及其制造方法，其缩短液晶像素单元的数据充电时间，在高开口率的液晶显示元件中叠加像素电极和信号布线。解决方案：通过减小叠加像素电极和信号布线的高开口率的液晶显示元件中的信号延迟，缩短了液晶像素单元的数据充电时间。通过在液晶显示元件中使有机保护膜的厚度为1.5μm以下，并且蚀刻用于连接像素电极50的接触孔42，也可以充分确保有机保护膜的涂布的均匀性。TFT源电极46被均匀化，并且可以使晶体管和像素电极50之间的断开失败和染色失败最小化。Ž

d	0.5μm	0.7μm	0.8μm	0.9μm	1.1μm	1.3μm	1.5μm
ε							
2	10.5μs	9.1μs	8.8μs	8.6μs	8.3μs	8.1μs	7.9μs
3	12.2μs	10.1μs	9.6μs	9.3μs	8.8μs	8.5μs	8.3μs
4	13.9μs	11.1μs	10.5μs	10.0μs	9.4μs	9.0μs	8.8μs
5	15.5μs	12.0μs	11.3μs	10.7μs	10.0μs	9.5μs	9.2μs