

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2018-507431

(P2018-507431A)

(43) 公表日 平成30年3月15日(2018.3.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G09G 3/20 (2006.01)	G09G 3/20 622E	2H192
G02F 1/133 (2006.01)	G09G 3/20 612K	2H193
G02F 1/1368 (2006.01)	G09G 3/20 621F	5B074
G02F 1/1345 (2006.01)	G02F 1/133 55O	5C006
審査請求 有 予備審査請求 未請求 (全 29 頁) 最終頁に続く		

(21) 出願番号 特願2017-534676 (P2017-534676)
 (86) (22) 出願日 平成27年1月12日 (2015.1.12)
 (85) 翻訳文提出日 平成29年7月31日 (2017.7.31)
 (86) 国際出願番号 PCT/CN2015/070533
 (87) 国際公開番号 W02016/106830
 (87) 国際公開日 平成28年7月7日 (2016.7.7)
 (31) 優先権主張番号 201410856556.0
 (32) 優先日 平成26年12月31日 (2014.12.31)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 515203228
 深▲せん▼市華星光電技術有限公司
 中華人民共和國廣東省深▲せん▼市光明新
 區塘明大道9-2號518132
 (74) 代理人 100143720
 弁理士 米田 耕一郎
 (74) 代理人 100080252
 弁理士 鈴木 征四郎
 (72) 発明者 曹尚操
 中華人民共和國廣東省深▲せん▼市光明新
 區塘明大道9-2號518132
 Fターム(参考) 2H092 GA50 GA59 JA24 NA01 PA06
 2H192 AA24 FB03 FB46 GD61
 2H193 ZA04 ZB02 ZF23 ZF42
 5B074 CA01 EA02 EA04

最終頁に続く

(54) 【発明の名称】 GOA回路及び液晶表示装置

(57) 【要約】

【課題】本発明は、GOA回路内のGOAユニットのステージトランスファ効率を高めることができるGOA回路及び液晶表示装置を提供する。

【解決手段】GOA回路及び液晶表示装置は、複数の連結したGOAユニットとからなり、その内第nステージGOAユニットは、表示領域第nステージ水平走査線に充電させ、前記第nステージGOAユニットは、プルアップ制御回路と、プルアップ回路と、ダウンリンク回路と、第一プルダウン制御回路と、第一プルダウン回路と、第二プルダウン制御回路と、第二プルダウン回路と、メインプルダウン回路と、からなる。その内nは正の整数である。本発明はGOA回路のステージトランスファ効率を高め、走査駆動信号の出力品質及び液晶表示管の充電率も高め、さらに走査駆動信号のプルダウン速度を早くすることができる。

【選択図】図2

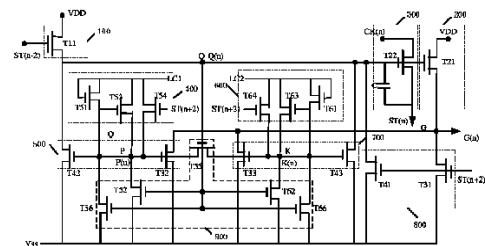


図2 / Fig. 2

【特許請求の範囲】

【請求項 1】

複数の連結された G O A ユニットからなる G O A 回路であって、その内第 n ステージ G O A ユニットは、表示領域第 n ステージ水平走査線に充電させ、また、前記第 n ステージ G O A ユニットは、ブルアップ制御回路と、ブルアップ回路と、ダウンリンク回路と、第一ブルダウン制御回路と、第一ブルダウン回路と、第二ブルダウン制御回路と、第二ブルダウン回路と、メインブルダウン回路と、からなり、その内、 n は正の整数であり、

前記ブルアップ制御回路は、第 $n - 2$ ステージ G O A ユニットが出力する $n - 2$ ステージのステージトランスファ信号 $ST(n - 2)$ を受信するとともに、前記 $n - 2$ ステージのステージトランスファ信号 $ST(n - 2)$ に基づき、ブルアップ制御信号 $Q(n)$ を出力させ、

10

前記ブルアップ回路は、直流高電圧信号 VDD 及び前記ブルアップ制御信号 $Q(n)$ を受信するとともに、前記直流高電圧信号 VDD 及び前記ブルアップ制御信号 $Q(n)$ に基づき、走査駆動信号 $G(n)$ を出力させ、

前記ダウンリンク回路は、クロック信号 $CK(n)$ 及び前記ブルアップ制御信号 $Q(n)$ を受信するとともに、前記クロック信号 $CK(n)$ 及び前記ブルアップ制御信号 $Q(n)$ に基づき、 n ステージのステージトランスファ信号 $ST(n)$ を出力させ、

前記第一ブルダウン制御回路は、第一低周波クロック信号 $LC1$ 及び $n + 2$ ステージ G O A ユニットが発生させる $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ を受信するとともに、前記第一低周波クロック信号 $LC1$ 及び前記 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ に基づき、第一ブルダウン制御信号 $P(n)$ を出力させ、

20

前記第一ブルダウン回路は、前記第一ブルダウン制御信号 $P(n)$ 及び直流低電圧信号 Vss を受信するとともに、前記第一ブルダウン制御信号 $P(n)$ 及び前記直流低電圧信号 Vss に基づき、前記ブルアップ制御信号 $Q(n)$ にブルダウン処理をし、さらに、前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ にブルダウン処理を行い、

前記第二ブルダウン制御回路は、第二低周波クロック信号 $LC2$ 及び前記 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ を受信するとともに、前記第二低周波クロック信号 $LC2$ 及び前記 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ に基づき、第二ブルダウン制御信号 $K(n)$ を出力させ、

30

前記第二ブルダウン回路は、前記第二ブルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 Vss を受信するとともに、前記第二ブルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 Vss に基づき、前記ブルアップ制御信号 $Q(n)$ にブルダウン処理をし、さらに、前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ にブルダウン処理を行い、

前記メインブルダウン回路は、前記直流低電圧信号 Vss 及び前記 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ を受信するとともに、前記直流低電圧信号 Vss 及び前記 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ に基づき、前記ブルアップ制御信号 $Q(n)$ 及び前記走査駆動信号 $G(n)$ にブルダウン処理を行う

40

ことを特徴とする、G O A 回路。

【請求項 2】

前記第一ブルダウン制御回路は、さらに、前記高電圧直流信号 VDD 及び前記第二低周波信号 $LC2$ を受信するとともに、前記第一低周波信号 $LC1$ と、前記直流高電圧信号 VDD と、前記第二低周波信号 $LC2$ と、前記 $n + 2$ ステージのステージトランスファ信号 $ST(n + 2)$ とに基づき、前記第一ブルダウン制御信号 $P(n)$ を出力させる

ことを特徴とする、請求項 1 に記載の回路。

【請求項 3】

前記第二ブルダウン制御回路は、さらに、前記高電圧直流信号 VDD 及び前記第一低周波信号 $LC1$ を受信するとともに、前記第一低周波信号 $LC1$ と、前記直流高電圧信号 V

50

DDと、前記第二低周波信号LC2と、前記 $n+2$ ステージのステージトランスファ信号ST($n+2$)とに基づき、前記第二プルダウン制御信号K(n)を出力させることを特徴とする、請求項1に記載の回路。

【請求項4】

前記第一低周波信号LC1及び前記第二低周波信号LC2の位相は、逆であることを特徴とする、請求項1に記載の回路。

【請求項5】

前記GOA回路は、さらに、プルアップ保持回路を備え、前記プルアップ制御信号Q(n)及び前記直流低電圧信号Vssを受信するとともに、前記プルアップ制御信号Q(n)及び前記直流低電圧信号Vssに基づき、前記第一プルダウン制御信号P(n)及び前記第二プルダウン制御信号K(n)にプルダウン処理をし、前記プルアップ回路及び前記ダウンリンク回路が、前記走査駆動信号G(n)及び前記 n ステージのステージトランスファ信号ST(n)を、それぞれ出力し続けることができるようにすることを特徴とする、請求項1に記載の回路。

【請求項6】

前記プルアップ制御回路は、前記直流高電圧信号VDDを受信するとともに、前記 $n-2$ ステージのステージトランスファ信号ST($n-2$)及び前記直流高電圧信号VDDに基づき、前記プルアップ制御信号Q(n)を出力させることを特徴とする、請求項1に記載の回路。

【請求項7】

前記プルアップ制御回路は、第一薄膜トランジスタ(T11)からなり、前記第一薄膜トランジスタ(T11)の制御端には、前記 $n-2$ ステージのステージトランスファ信号ST($n-2$)が入力され、前記第一薄膜トランジスタ(T11)の第一端には、前記直流高電圧信号VDDが入力され、第一薄膜トランジスタ(T11)の第二端は、プルアップ制御信号点Qに接続されるとともに、前記 $n-2$ ステージのステージトランスファ信号ST($n-2$)及び前記直流高電圧信号VDDに基づき、前記プルアップ制御信号Q(n)を出力させることを特徴とする、請求項1に記載の回路。

【請求項8】

前記プルアップ回路は、第二薄膜トランジスタ(T21)からなり、前記第二薄膜トランジスタ(T21)の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第二薄膜トランジスタ(T21)の第一端には、前記直流高電圧信号VDDが入力され、前記第二薄膜トランジスタ(T21)の第二端は、水平走査線Gに接続されるとともに、前記プルアップ制御信号Q(n)及び前記直流高電圧信号VDDに基づき、走査駆動信号G(n)を出力させることを特徴とする、請求項7に記載の方法。

【請求項9】

前記ダウンリンク回路は、第三薄膜トランジスタ(T22)からなり、前記第三薄膜トランジスタ(T22)の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第三薄膜トランジスタ(T22)の第一端には、前記クロック信号CK(n)が入力され、第三薄膜トランジスタ(T22)の第二端は、前記 $n-2$ ステージのステージトランスファ信号ST($n-2$)及び前記直流高電圧信号VDDに基づき、前記ステージトランスファ信号ST(n)を出力させることを特徴とする、請求項8に記載の回路。

【請求項10】

前記第一プルダウン制御回路は、第四薄膜トランジスタ(T51)と、第五薄膜トランジスタ(T53)と、第六薄膜トランジスタ(T54)と、からなり、前記第四薄膜トランジスタ(T51)の制御端及び第一端には、前記第一低周波信号LC1が入力され、前記第五薄膜トランジスタ(T53)の制御端は、前記第四薄膜トランジスタ(T51

10

20

30

40

50

）の第二端に接続され、前記第五薄膜トランジスタ（ $T53$ ）の第一端には、前記第一低周波信号 $LC1$ が入力され、

前記第六薄膜トランジスタ（ $T54$ ）の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第六薄膜トランジスタ（ $T54$ ）の第一端には、前記第一低周波信号 $LC1$ が入力され、

前記第四薄膜トランジスタ（ $T51$ ）と、前記第五薄膜トランジスタ（ $T53$ ）と、前記第六薄膜トランジスタ（ $T54$ ）の第二端は、第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ を出力させる

ことを特徴とする、請求項 9 に記載の回路。

【請求項 11】

前記第一プルダウン回路は、第七薄膜トランジスタ（ $T42$ ）と、第八薄膜トランジスタ（ $T32$ ）と、からなり、

前記第七薄膜トランジスタ（ $T42$ ）の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ を受信し、前記第七薄膜トランジスタ（ $T42$ ）の第二端には、直流低電圧信号 Vss が入力され、前記第七薄膜トランジスタ（ $T42$ ）の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ 及び前記直流低電圧信号 Vss に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理を行い、

前記第八薄膜トランジスタ（ $T32$ ）の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ を受信し、前記第八薄膜トランジスタ（ $T32$ ）の第二端には、前記直流低電圧信号 Vss が入力され、前記第八薄膜トランジスタ（ $T32$ ）の第一端は、前記水平走査線 G に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ 及び前記直流低電圧信号 Vss に基づき、前記走査駆動信号 $G(n)$ にプルダウン処理を行う

ことを特徴とする、請求項 10 に記載の回路。

【請求項 12】

前記第二プルダウン制御回路は、第九薄膜トランジスタ（ $T61$ ）と、第十薄膜トランジスタ（ $T63$ ）と、第十一薄膜トランジスタ（ $T64$ ）と、からなり、

前記第九薄膜トランジスタ（ $T61$ ）の制御端及び第一端には、前記第二低周波信号 $LC2$ が入力され、

前記第十薄膜トランジスタ（ $T63$ ）の制御端は、前記第九薄膜トランジスタ（ $T61$ ）の第一端に接続され、前記第十薄膜トランジスタ（ $T63$ ）の第一端には、前記第二低周波信号 $LC2$ が入力され、

前記第十一薄膜トランジスタ（ $T64$ ）の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第十一薄膜トランジスタ（ $T64$ ）の第一端には、前記第二低周波信号 $LC2$ が入力され、

前記第九薄膜トランジスタ（ $T61$ ）と、前記第十薄膜トランジスタ（ $T63$ ）と、前記第十一薄膜トランジスタ（ $T64$ ）の第二端は、第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 $K(n)$ を出力させる

ことを特徴とする、請求項 11 に記載の回路。

【請求項 13】

前記第二プルダウン回路は、第十二薄膜トランジスタ（ $T43$ ）と、第十三薄膜トランジスタ（ $T33$ ）と、からなり、

前記第十二薄膜トランジスタ（ $T43$ ）の制御端は、前記第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 $K(n)$ を受信し、前記第十二薄膜トランジスタ（ $T43$ ）の第二端には、前記直流低電圧信号 Vss が入力され、前記第十二薄膜トランジスタ（ $T43$ ）の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第二プルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 Vss に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理を行い、

前記第十三薄膜トランジスタ（ $T33$ ）の制御端は、前記第二プルダウン制御信号点 K

10

20

30

40

50

に接続されるとともに、前記第二プルダウン制御信号 $K(n)$ を受信し、前記第十三薄膜トランジスタ ($T33$) の第二端には、前記直流低電圧信号 V_{ss} が入力され、前記第十三薄膜トランジスタ ($T33$) の第一端は、前記水平走査線 G に接続されるとともに、前記第二プルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記走査駆動信号 $G(n)$ にプルダウン処理を行う

ことを特徴とする、請求項 12 に記載の回路。

【請求項 14】

前記メインプルダウン回路は、第十四薄膜トランジスタ ($T41$) と、第十五薄膜トランジスタ ($T31$) と、からなり、

前記第十四薄膜トランジスタ ($T41$) の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第十四薄膜トランジスタ ($T41$) の第二端には、前記直流低電圧信号 V_{ss} が入力され、前記第十四薄膜トランジスタ ($T41$) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理を行い、

前記第十五薄膜トランジスタ ($T31$) の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第十五薄膜トランジスタ ($T31$) の第二端には、前記直流低電圧信号 V_{ss} が入力され、前記第十五薄膜トランジスタ ($T31$) の第一端は、前記水平走査線 G に接続されるとともに、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記走査駆動信号 $G(n)$ にプルダウン処理を行う

ことを特徴とする、請求項 13 に記載の回路。

【請求項 15】

前記プルアップ保持回路は、第十六薄膜トランジスタ ($T52$) と、第十七薄膜トランジスタ ($T56$) と、第十八薄膜トランジスタ ($T62$) と、第十九薄膜トランジスタ ($T66$) と、第二十薄膜トランジスタ ($T55$) と、からなり、

前記第十六薄膜トランジスタ ($T52$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、前記第十六薄膜トランジスタ ($T52$) の第二端には、前記直流低電圧信号 V_{ss} が入力され、前記第十六薄膜トランジスタ ($T52$) の第一端は、前記第一プルダウン信号制御点 P に接続されるとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記プルダウン制御信号 $P(n)$ にプルダウン処理を行い、

前記第十七薄膜トランジスタ ($T56$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、前記第十七薄膜トランジスタ ($T56$) の第二端には、前記直流低電圧信号 V_{ss} が入力され、前記第十七薄膜トランジスタ ($T56$) の第一端は、前記第一プルダウン信号制御点 P に接続されるとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記プルダウン制御信号 $P(n)$ にプルダウン処理を行い、

前記第十八薄膜トランジスタ ($T62$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、前記第十八薄膜トランジスタ ($T62$) の第二端には、前記直流低電圧信号 V_{ss} が入力され、前記第十八薄膜トランジスタ ($T62$) の第一端は、前記第二プルダウン信号制御点 K に接続されるとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、プルダウン前記プルダウン制御信号 $K(n)$ にプルダウン処理を行い、

前記第十九薄膜トランジスタ ($T66$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、前記第十九薄膜トランジスタ ($T66$) の第二端には、前記直流低電圧信号 V_{ss} が入力され、前記第十九薄膜トランジスタ ($T66$) の第一端は、前記第二プルダウン信号制御点 K に接続されるとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、プルダウン前記プルダウン制御信号 $K(n)$ にプルダウン処理を行い、

10

20

30

40

50

前記第二十薄膜トランジスタ (T 5 5) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 Q (n) を受信し、前記第二十薄膜トランジスタ (T 5 5) の第二端は、前記第二プルダウン制御信号点 K に接続され、前記第二十薄膜トランジスタ (T 5 5) の第一端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記プルアップ制御信号 Q (n) に基づき、前記第一プルダウン制御信号 P (n) 及び前記第二プルダウン制御信号 K (n) が同じ電位を保持するように制御することを特徴とする、請求項 1 4 に記載の回路。

【請求項 1 6】

前記ダウンリンク回路は、さらに、ブーストコンデンサ (C) を備え、前記ブーストコンデンサ (C) は、前記第三薄膜トランジスタ (T 2 2) の制御端及び第二端に接合されるとともに、前記プルアップ制御信号 Q (n) を引き上げることを特徴とする、請求項 8 に記載の回路。

10

【請求項 1 7】

前記第一プルダウン制御回路は、第四薄膜トランジスタ (T 5 1) と、第五薄膜トランジスタ (T 5 3) と、第六薄膜トランジスタ (T 5 4) と、第二十一薄膜トランジスタ (T 1 0) と、からなり、

前記第四薄膜トランジスタ (T 5 1) の制御端及び第一端には、前記第一低周波信号 L C 1 が入力され、

前記第五薄膜トランジスタ (T 5 3) の制御端は、前記第四薄膜トランジスタ (T 5 1) の第二端に接続され、前記第五薄膜トランジスタ (T 5 3) の第一端には、前記第一低周波信号 L C 1 が入力され、

20

前記第六薄膜トランジスタ (T 5 4) の制御端には、前記第二低周波信号 L C 2 が入力され、前記第六薄膜トランジスタ (T 5 4) の第一端には、前記第一低周波信号 L C 1 が入力され、

前記第二十一薄膜トランジスタ (T 1 0) の制御端には、前記 n + 2 ステージのステージトランスファ信号 S T (n + 2) が入力され、前記第二十一薄膜トランジスタ (T 1 0) の第一端には、前記直流高電圧信号 V D D が入力され、

前記第四薄膜トランジスタ (T 5 1) と、前記第五薄膜トランジスタ (T 5 3) と、前記第二十一薄膜トランジスタ (T 1 0) と、前記第六薄膜トランジスタ (T 5 4) の第二端は、第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を出力させる

30

ことを特徴とする、請求項 9 に記載の回路。

【請求項 1 8】

前記第二プルダウン制御回路は、第九薄膜トランジスタ (T 6 1) と、第十薄膜トランジスタ (T 6 3) と、第十一薄膜トランジスタ (T 6 4) と、第二十二薄膜トランジスタ (T 1 2) と、からなり、

前記第九薄膜トランジスタ (T 6 1) の制御端及び第一端には前記第二低周波信号 L C 2 が入力され、

前記第十薄膜トランジスタ (T 6 3) の制御端は、前記第九薄膜トランジスタ (T 6 1) の第二端に接続され、前記第十薄膜トランジスタ (T 6 3) の第一端には前記第二低周波信号 L C 2 が入力され、

40

前記第十一薄膜トランジスタ (T 6 4) の制御端には、前記第一低周波信号 L C 1 が入力され、その第一端に前記第二低周波信号 L C 2 が入力され、

前記第二十二薄膜トランジスタ (T 1 2) の制御端には、前記 n + 2 ステージのステージトランスファ信号 S T (n + 2) が入力され、前記第二十二薄膜トランジスタ (T 1 2) の第一端には、前記直流高電圧信号 V D D が入力され、

前記第九薄膜トランジスタ (T 6 1) と前記第十薄膜トランジスタ (T 6 3) と前記第二十二薄膜トランジスタ (T 1 2) と前記第十一薄膜トランジスタ (T 6 4) の第二端は、第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 K (n) を出力させる

50

ことを特徴とする、請求項 11 に記載の回路。

【請求項 19】

前記プルアップ制御回路は、第一薄膜トランジスタ (T11) からなり、第一薄膜トランジスタ (T11) の制御端及び第一端には、前記 n - 2 ステージのステージトランスファ信号 ST (n - 2) が入力され、また、第一薄膜トランジスタ (T11) の第二端は、前記プルアップ制御信号点 Q に接続されるとともに、前記 n - 2 ステージのステージトランスファ信号 ST (n - 2) に基づき、前記プルアップ制御信号 Q (n) を出力させることを特徴とする、請求項 1 に記載の回路。

【請求項 20】

複数の連結された GOA ユニットからなる液晶表示装置であって、

10

その内第 n ステージ GOA ユニットは、表示領域第 n ステージ水平走査線に充電させ、前記第 n ステージ GOA ユニットは、プルアップ制御回路と、プルアップ回路と、ダウンリンク回路と、第一プルダウン制御回路と、第一プルダウン回路と、第二プルダウン制御回路と、第二プルダウン回路と、メインプルダウン回路と、からなり、その内 n は正の整数であり、

前記プルアップ制御回路は、第 n - 2 ステージ GOA ユニットが出力する n - 2 ステージのステージトランスファ信号 ST (n - 2) を受信するとともに、前記 n - 2 ステージのステージトランスファ信号 ST (n - 2) に基づき、プルアップ制御信号 Q (n) を出力させ、

前記プルアップ回路は、直流高電圧信号 VDD 及び前記プルアップ制御信号 Q (n) を受信するとともに、前記直流高電圧信号 VDD 及び前記プルアップ制御信号 Q (n) に基づき、走査駆動信号 G (n) を出力させ、

20

前記ダウンリンク回路は、クロック信号 CK (n) 及び前記プルアップ制御信号 Q (n) を受信するとともに、前記クロック信号 CK (n) 及び前記プルアップ制御信号 Q (n) に基づき、n ステージのステージトランスファ信号 ST (n) を出力させ、

前記第一プルダウン制御回路は、第一低周波クロック信号 LC1 及び n + 2 ステージ GOA ユニットが発生させる n + 2 ステージのステージトランスファ信号 ST (n + 2) を受信するとともに、前記第一低周波クロック信号 LC1 及び前記 n + 2 ステージのステージトランスファ信号 ST (n + 2) に基づき、第一プルダウン制御信号 P (n) を出力させ、

30

前記第一プルダウン回路は、前記第一プルダウン制御信号 P (n) 及び直流低電圧信号 Vss を受信するとともに、前記第一プルダウン制御信号 P (n) 及び前記直流低電圧信号 Vss に基づき、前記プルアップ制御信号 Q (n) にプルダウン処理をし、さらに、前記走査駆動信号 G (n) 及び前記 n ステージのステージトランスファ信号 ST (n) にプルダウン処理を行い、

前記第二プルダウン制御回路は、第二低周波クロック信号 LC2 及び前記 n + 2 ステージのステージトランスファ信号 ST (n + 2) を受信するとともに、前記第二低周波クロック信号 LC2 及び前記 n + 2 ステージのステージトランスファ信号 ST (n + 2) に基づき、第二プルダウン制御信号 K (n) を出力させ、

前記第二プルダウン回路は、前記第二プルダウン制御信号 K (n) 及び前記直流低電圧信号 Vss を受信するとともに、前記第二プルダウン制御信号 K (n) 及び前記直流低電圧信号 Vss に基づき、前記プルアップ制御信号 Q (n) にプルダウン処理をし、さらに、前記走査駆動信号 G (n) 及び前記 n ステージのステージトランスファ信号 ST (n) にプルダウン処理を行い、

40

前記メインプルダウン回路は、前記直流低電圧信号 Vss 及び前記 n + 2 ステージのステージトランスファ信号 ST (n + 2) を受信するとともに、前記直流低電圧信号 Vss 及び前記 n + 2 ステージのステージトランスファ信号 ST (n + 2) に基づき、前記プルアップ制御信号 Q (n) 及び前記走査駆動信号 G (n) にプルダウン処理を行う

ことを特徴とする、液晶表示装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、2014年12月31日に提出した申請番号201410856556.0・発明名称「GOA回路及び液晶表示装置」の先願優先権を要求し、前記先願の内容は引用の方法で本文中に合併される。

【0002】

本発明は、液晶表示技術に関し、特にGOA回路及び液晶表示装置に関する。

【背景技術】

【0003】

液晶表示装置は、軽く薄くて、省エネであり、放射能の数値も全体的にCRT (Cathode Ray Tube、ブラウン管) より低いという長所があり、徐々にCRT表示装置に代わって各種電子製品において、広く応用されている。現在アクティブ液晶表示パネルの水平走査線の駆動は、主にパネルに外接したICによって行われ、外接したICは、各ステージの水平走査線のステージに応じて充電及び放電を制御することができる。GOA (Gate Driver on Array、アレイ基板行走査駆動) 技術は、TFT (Thin-film transistor、薄膜トランジスタ) を用いて、液晶表示装置の配列工程内で、Gate行走査駆動信号回路を配列基板に設けることで、Gateに逐一走査駆動をさせることができ、それゆえ、液晶表示パネルに元々ある工程を用いて、表示領域の周りの基板に水平走査線の駆動回路を設けることができる。GOA技術は、外接したICのバインディング工程を減らすことができ、また、生産能率を上げる

とともに、生産コストを下げることもでき、さらに、薄型フレームまたはノーフレームのディスプレイ装置を製造しやすくすることを可能にする。

【0004】

GOA回路の主な構造は、プルアップ回路と、プルアップ制御回路と、ダウンリンク回路と、プルダウン回路と、プルダウン保持回路と、電位を上昇させる役割のBoost (ブースト) コンデンサと、からなる。従来の技術において、GOA回路のダウンリンク回路及びプルアップ回路の内、主にCK (クロック信号) を走査駆動信号及びステージトランスファ信号の出力ソースとしていたが、CKがCOF (Chip On Film、チップオンフィルム) からGOAまでのルートを通じた後、その元々の信号がひどく遅延してしまい、GOAステージトランスファに影響するだけでなく、走査駆動信号の出力品質にも影響し、一定の充電率を犠牲にしなければならない。CK遅延を緩和するために、よくCKの幅を厚くする方法が用いられるが、このようにすると、液晶表示装置のフレームの幅が厚くなる。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の実施例は、GOA回路内のGOAユニットのステージトランスファ効率を高め、走査駆動信号の出力品質及び液晶表示管の充電率を高めることができ、さらに、走査駆動信号のプルダウン速度を早くすることができるGOA回路及び液晶表示装置を提供する。

【課題を解決するための手段】

【0006】

本発明の実施例は、GOA回路及び液晶表示装置を提供する。前記回路は、複数の連結されたGOAユニットからなり、その内第nステージGOAユニットは、表示領域の第nステージ水平走査線に充電させる。前記第nステージGOAユニットは、プルアップ制御回路と、プルアップ回路と、ダウンリンク回路と、第一プルダウン制御回路と、第一プルダウン回路と、第二プルダウン制御回路と、第二プルダウン回路と、メインプルダウン回路と、からなり、その内nは正の整数である。

【0007】

前記プルアップ制御回路は、第n-2ステージGOAユニットが出力するn-2ステー

10

20

30

40

50

ジのステージトランスファ信号 $ST(n-2)$ を受信するとともに、前記 $n-2$ ステージのステージトランスファ信号 $ST(n-2)$ に基づき、プルアップ制御信号 $Q(n)$ を出力させる。

【0008】

前記プルアップ回路は、直流高電圧信号 VDD 及び前記プルアップ制御信号 $Q(n)$ を受信するとともに、前記直流高電圧信号 VDD 及び前記プルアップ制御信号 $Q(n)$ に基づき、走査駆動信号 $G(n)$ を出力させる。

【0009】

前記ダウンリンク回路は、クロック信号 $CK(n)$ 及び前記プルアップ制御信号 $Q(n)$ を受信するとともに、前記クロック信号 $CK(n)$ 及び前記プルアップ制御信号 $Q(n)$ に基づき、 n ステージのステージトランスファ信号 $ST(n)$ を出力させる。

10

【0010】

前記第一プルダウン制御回路は、第一低周波クロック信号 $LC1$ 及び $n+2$ ステージ GOA ユニットが発生させる $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ を受信するとともに、前記第一低周波クロック信号 $LC1$ 及び前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ に基づき、第一プルダウン制御信号 $P(n)$ を出力させる。

【0011】

前記第一プルダウン回路は、前記第一プルダウン制御信号 $P(n)$ 及び直流低電圧信号 Vss を受信するとともに、前記第一プルダウン制御信号 $P(n)$ 及び前記直流低電圧信号 Vss に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理をし、さらに、前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ にプルダウン処理を行う。

20

【0012】

前記第二プルダウン制御回路は、第二低周波クロック信号 $LC2$ 及び前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ を受信するとともに、前記第二低周波クロック信号 $LC2$ 及び前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ に基づき、第二プルダウン制御信号 $K(n)$ を出力させる。

【0013】

前記第二プルダウン回路は、前記第二プルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 Vss を受信するとともに、前記第二プルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 Vss に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理をし、さらに、前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ にプルダウン処理を行う。

30

【0014】

前記メインプルダウン回路は、前記直流低電圧信号 Vss 及び前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ を受信するとともに、前記直流低電圧信号 Vss 及び前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ に基づき、前記プルアップ制御信号 $Q(n)$ 及び前記走査駆動信号 $G(n)$ にプルダウン処理を行う。

【0015】

その内、前記第一プルダウン制御回路は、さらに、前記高電圧直流信号 VDD 及び前記第二低周波信号 $LC2$ を受信するとともに、前記第一低周波信号 $LC1$ と、前記直流高電圧信号 VDD と、前記第二低周波信号 $LC2$ と、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ とに基づき、前記第一プルダウン制御信号 $P(n)$ を出力させる。

40

【0016】

その内、前記第二プルダウン制御回路は、さらに、前記高電圧直流信号 VDD 及び前記第一低周波信号 $LC1$ を受信するとともに、前記第一低周波信号 $LC1$ と、前記直流高電圧信号 VDD と、前記第二低周波信号 $LC2$ と、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ とに基づき、前記第二プルダウン制御信号 $K(n)$ を出力させる

50

。

【 0 0 1 7 】

その内、前記第一低周波信号 $L C 1$ 及び前記第二低周波信号 $L C 2$ の位相は逆である。

【 0 0 1 8 】

その内、前記 $G O A$ 回路は、さらに、ブルアップ保持回路を備え、前記ブルアップ制御信号 $Q (n)$ 及び前記直流低電圧信号 $V s s$ を受信するとともに、前記ブルアップ制御信号 $Q (n)$ 及び前記直流低電圧信号 $V s s$ に基づき、前記第一ブルダウン制御信号 $P (n)$ 及び前記第二ブルダウン制御信号 $K (n)$ にブルダウン処理をし、前記ブルアップ回路及び前記ダウンリンク回路が、前記走査駆動信号 $G (n)$ 及び前記 n ステージのステージトランスファ信号 $S T (n)$ を、それぞれ出力し続けることができるようにする。

10

【 0 0 1 9 】

その内、前記ブルアップ制御回路は、前記直流高電圧信号 $V D D$ を受信するとともに、前記 $n - 2$ ステージのステージトランスファ信号 $S T (n - 2)$ 及び前記直流高電圧信号 $V D D$ に基づき、前記ブルアップ制御信号 $Q (n)$ を出力させる。

【 0 0 2 0 】

その内、前記ブルアップ制御回路は、第一薄膜トランジスタ ($T 1 1$) と、第二薄膜トランジスタ ($T 2 1$) と、からなる。前記第一薄膜トランジスタ ($T 1 1$) の制御端には、前記 $n - 2$ ステージのステージトランスファ信号 $S T (n - 2)$ が入力され、前記第一薄膜トランジスタ ($T 1 1$) の第一端には、前記直流高電圧信号 $V D D$ が入力され、前記第一薄膜トランジスタ ($T 1 1$) の第二端は、ブルアップ制御信号点 Q に接続されるとともに、前記 $n - 2$ ステージのステージトランスファ信号 $S T (n - 2)$ 及び前記直流高電圧信号 $V D D$ に基づき、前記ブルアップ制御信号 $Q (n)$ を出力させる。第二薄膜トランジスタ ($T 2 1$) の制御端は、前記ブルアップ制御信号点 Q に接続されるとともに、前記ブルアップ制御信号 $Q (n)$ を受信し、前記第二薄膜トランジスタ ($T 2 1$) の第一端には、前記直流高電圧信号 $V D D$ が入力され、前記第二薄膜トランジスタ ($T 2 1$) の第二端には、水平走査線 G が接続されるとともに、前記ブルアップ制御信号 $Q (n)$ 及び前記直流高電圧信号 $V D D$ に基づき、走査駆動信号 $G (n)$ を出力させる。

20

【 0 0 2 1 】

その内、前記ダウンリンク回路は、第三薄膜トランジスタ ($T 2 2$) からなり、前記第三薄膜トランジスタ ($T 2 2$) の制御端は、前記ブルアップ制御信号点 Q に接続されるとともに、前記ブルアップ制御信号 $Q (n)$ を受信し、また、前記第三薄膜トランジスタ ($T 2 2$) の第一端には、前記クロック信号 $C K (n)$ が入力され、前記第三薄膜トランジスタ ($T 2 2$) の第二端は、前記 $n - 2$ ステージのステージトランスファ信号 $S T (n - 2)$ 及び前記直流高電圧信号 $V D D$ に基づき、前記ステージトランスファ信号 $S T (n)$ を出力させる。

30

【 0 0 2 2 】

その内、前記第一ブルダウン制御回路は、第四薄膜トランジスタ ($T 5 1$) と、第五薄膜トランジスタ ($T 5 3$) と、第六薄膜トランジスタ ($T 5 4$) と、からなる。前記第四薄膜トランジスタ ($T 5 1$) の制御端及び第一端には、前記第一低周波信号 $L C 1$ が入力される。前記第五薄膜トランジスタ ($T 5 3$) の制御端には、前記第四薄膜トランジスタ ($T 5 1$) の第二端を接続させ、その第一端には前記第一低周波信号 $L C 1$ が入力される。前記第六薄膜トランジスタ ($T 5 4$) の制御端には、前記 $n + 2$ ステージのステージトランスファ信号 $S T (n + 2)$ が入力され、前記第六薄膜トランジスタ ($T 5 4$) の第一端には、前記第一低周波信号 $L C 1$ が入力される。前記第四薄膜トランジスタ ($T 5 1$) と、前記第五薄膜トランジスタ ($T 5 3$) と、前記第六薄膜トランジスタ ($T 5 4$) の第二端は、第一ブルダウン制御信号点 P と接続させるとともに、前記第一ブルダウン制御信号 $P (n)$ を出力させる。

40

【 0 0 2 3 】

その内、前記第一ブルダウン回路は、第七薄膜トランジスタ ($T 4 2$) と、第八薄膜トランジスタ ($T 3 2$) と、からなる。前記第七薄膜トランジスタ ($T 4 2$) の制御端は、

50

前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を受信し、前記第七薄膜トランジスタ (T 4 2) の第二端には、直流低電圧信号 V s s が入力され、前記第七薄膜トランジスタ (T 4 2) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第一プルダウン制御信号 P (n) 及び前記直流低電圧信号 V s s に基づき、前記プルアップ制御信号 Q (n) にプルダウン処理を行う。前記第八薄膜トランジスタ (T 3 2) の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を受信し、前記第八薄膜トランジスタ (T 3 2) の第二端には、前記直流低電圧信号 V s s が入力され、前記第八薄膜トランジスタ (T 3 2) の第一端は、前記水平走査線 G に接続されるとともに、前記第一プルダウン制御信号 P (n) 及び前記直流低電圧信号 V s s に基づき、前記走査駆動信号 G (n) にプルダウン処理を行う。

【 0 0 2 4 】

その内、前記第二プルダウン制御回路は、第九薄膜トランジスタ (T 6 1) と、第十薄膜トランジスタ (T 6 3) と、第十一薄膜トランジスタ (T 6 4) と、からなる。前記第九薄膜トランジスタ (T 6 1) の制御端及び第一端に前記第二低周波信号 L C 2 が入力される。前記第十薄膜トランジスタ (T 6 3) の制御端は、前記第九薄膜トランジスタ (T 6 1) の第一端に接続され、前記第十薄膜トランジスタ (T 6 3) の第一端には、前記第二低周波信号 L C 2 が入力される。前記第十一薄膜トランジスタ (T 6 4) の制御端には、前記 n + 2 ステージのステージトランスファ信号 S T (n + 2) が入力され、前記第十薄膜トランジスタ (T 6 3) の第一端には、前記第二低周波信号 L C 2 が入力される。前記第九薄膜トランジスタ (T 6 1) と、前記第十薄膜トランジスタ (T 6 3) と、前記第十一薄膜トランジスタ (T 6 4) の第二端は、第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 K (n) を出力させる。

【 0 0 2 5 】

その内、前記第二プルダウン回路は、第十二薄膜トランジスタ (T 4 3) と、第十三薄膜トランジスタ (T 3 3) と、からなる。前記第十二薄膜トランジスタ (T 4 3) の制御端は、前記第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 K (n) を受信し、前記第十二薄膜トランジスタ (T 4 3) の第二端には、前記直流低電圧信号 V s s が入力され、また、前記第十二薄膜トランジスタ (T 4 3) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第二プルダウン制御信号 K (n) 及び前記直流低電圧信号 V s s に基づき、前記プルアップ制御信号 Q (n) にプルダウン処理を行う。前記第十三薄膜トランジスタ (T 3 3) の制御端は、前記第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 K (n) を受信し、前記第十三薄膜トランジスタ (T 3 3) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十三薄膜トランジスタ (T 3 3) の第一端は、前記水平走査線 G に接続されるとともに、前記第二プルダウン制御信号 K (n) 及び前記直流低電圧信号 V s s に基づき、前記走査駆動信号 G (n) にプルダウン処理を行う。

【 0 0 2 6 】

その内、前記メインプルダウン回路は、第十四薄膜トランジスタ (T 4 1) と、第十五薄膜トランジスタ (T 3 1) と、からなる。前記第十四薄膜トランジスタ (T 4 1) の制御端には、前記 n + 2 ステージのステージトランスファ信号 S T (n + 2) が入力され、前記第十四薄膜トランジスタ (T 4 1) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十四薄膜トランジスタ (T 4 1) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記 n + 2 ステージのステージトランスファ信号 S T (n + 2) 及び前記直流低電圧信号 V s s に基づき、前記プルアップ制御信号 Q (n) にプルダウン処理を行う。前記第十五薄膜トランジスタ (T 3 1) の制御端には、前記 n + 2 ステージのステージトランスファ信号 S T (n + 2) が入力され、前記第十五薄膜トランジスタ (T 3 1) の第二端には、前記直流低電圧信号 V s s が入力され、前記第十五薄膜トランジスタ (T 3 1) の第一端は、前記水平走査線 G に接続されるとともに、前記 n + 2 ステージのステージトランスファ信号 S T (n + 2) 及び前記直流低電圧信号 V s s に基づき、

前記走査駆動信号 $G(n)$ にプルダウン処理を行う。

【0027】

その内、前記プルアップ保持回路は、第十六薄膜トランジスタ ($T52$) と、第十七薄膜トランジスタ ($T56$) と、第十八薄膜トランジスタ ($T62$) と、第十九薄膜トランジスタ ($T66$) と、第二十薄膜トランジスタ ($T55$) と、からなる。前記第十六薄膜トランジスタ ($T52$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、前記第十六薄膜トランジスタ ($T52$) の第二端には、前記直流低電圧信号 V_{ss} が入力され、前記第十六薄膜トランジスタ ($T52$) の第一端は、前記第一プルダウン信号制御点 P に接続されるとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記プルダウン制御信号 $P(n)$ にプルダウン処理を行う。前記第十七薄膜トランジスタ ($T56$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、前記第十七薄膜トランジスタ ($T56$) の第二端には、前記直流低電圧信号 V_{ss} が入力され、前記第十七薄膜トランジスタ ($T56$) の第一端は、前記第一プルダウン信号制御点 P に接続されるとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記プルダウン制御信号 $P(n)$ にプルダウン処理を行う。前記第十八薄膜トランジスタ ($T62$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、前記第十八薄膜トランジスタ ($T62$) の第二端には、前記直流低電圧信号 V_{ss} が入力され、また、前記第十八薄膜トランジスタ ($T62$) の第一端は、前記第二プルダウン信号制御点 K に接続されるとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記プルダウン制御信号 $K(n)$ にプルダウン処理を行う。前記第十九薄膜トランジスタ ($T66$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、前記第十九薄膜トランジスタ ($T66$) の第二端には、前記直流低電圧信号 V_{ss} が入力され、また、前記第十九薄膜トランジスタ ($T66$) の第一端は、前記第二プルダウン信号制御点 K に接続されるとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記プルダウン制御信号 $K(n)$ にプルダウン処理を行う。前記第二十薄膜トランジスタ ($T55$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、前記第二十薄膜トランジスタ ($T55$) の第二端は、前記第二プルダウン制御信号点 K に接続され、前記第二十薄膜トランジスタ ($T55$) の第一端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記プルアップ制御信号 $Q(n)$ に基づき、前記第一プルダウン制御信号 $P(n)$ 及び前記第二プルダウン制御信号 $K(n)$ が同じ電位を保持するように制御する。

【0028】

その内、前記ダウンリンク回路は、さらに、ブーストコンデンサ (C) を備え、前記ブーストコンデンサ (C) を、前記第三薄膜トランジスタ ($T22$) の制御端及び第二端に接合させ、前記プルアップ制御信号 $Q(n)$ を引き上げる。

【0029】

その内、前記第一プルダウン制御回路は、第四薄膜トランジスタ ($T51$) と、第五薄膜トランジスタ ($T53$) と、第六薄膜トランジスタ ($T54$) と、第二十一薄膜トランジスタ ($T10$) と、からなる。前記第四薄膜トランジスタ ($T51$) の制御端及び第一端には、前記第一低周波信号 $LC1$ が入力される。前記第五薄膜トランジスタ ($T53$) の制御端は、前記第四薄膜トランジスタ ($T51$) の第二端に接続され、前記第五薄膜トランジスタ ($T53$) の第一端には、前記第一低周波信号 $LC1$ が入力される。前記第六薄膜トランジスタ ($T54$) の制御端には、前記第二低周波信号 $LC2$ が入力され、前記第六薄膜トランジスタ ($T54$) の第一端には、前記第一低周波信号 $LC1$ が入力される。前記第二十一薄膜トランジスタ ($T10$) の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第二十一薄膜トランジスタ ($T10$) の第一端には、前記直流高電圧信号 VDD が入力される。前記第四薄膜トランジスタ ($T51$) の制御端及び第一端には、前記第一低周波信号 $LC1$ が入力される。前記第五薄膜トランジスタ ($T53$) の制御端は、前記第四薄膜トランジスタ ($T51$) の第二端に接続され、前記第五薄膜トランジスタ ($T53$) の第一端には、前記第一低周波信号 $LC1$ が入力される。前記第六薄膜トランジスタ ($T54$) の制御端には、前記第二低周波信号 $LC2$ が入力され、前記第六薄膜トランジスタ ($T54$) の第一端には、前記第一低周波信号 $LC1$ が入力される。前記第二十一薄膜トランジスタ ($T10$) の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第二十一薄膜トランジスタ ($T10$) の第一端には、前記直流高電圧信号 VDD が入力される。前記第四薄膜トランジスタ ($T51$) の制御端及び第一端には、前記第一低周波信号 $LC1$ が入力される。前記第五薄膜トランジスタ ($T53$) の制御端は、前記第四薄膜トランジスタ ($T51$) の第二端に接続され、前記第五薄膜トランジスタ ($T53$) の第一端には、前記第一低周波信号 $LC1$ が入力される。前記第六薄膜トランジスタ ($T54$) の制御端には、前記第二低周波信号 $LC2$ が入力され、前記第六薄膜トランジスタ ($T54$) の第一端には、前記第一低周波信号 $LC1$ が入力される。前記第二十一薄膜トランジスタ ($T10$) の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第二十一薄膜トランジスタ ($T10$) の第一端には、前記直流高電圧信号 VDD が入力される。

T 5 1) と、前記第五薄膜トランジスタ (T 5 3) と、前記第二十一薄膜トランジスタ (T 1 0) と、前記第六薄膜トランジスタ (T 5 4) の第二端は、第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 P (n) を出力させる。

【 0 0 3 0 】

その内、前記第二プルダウン制御回路は、第九薄膜トランジスタ (T 6 1) と、第十薄膜トランジスタ (T 6 3) と、第十一薄膜トランジスタ (T 6 4) と、第二十二薄膜トランジスタ (T 1 2) と、からなる。前記第九薄膜トランジスタ (T 6 1) の制御端及び第一端には、前記第二低周波信号 L C 2 が入力される。前記第十薄膜トランジスタ (T 6 3) の制御端は、前記第九薄膜トランジスタ (T 6 1) の第二端に接続され、前記第十薄膜トランジスタ (T 6 3) の第一端には、前記第二低周波信号 L C 2 が入力される。前記第十一薄膜トランジスタ (T 6 4) の制御端には、前記第一低周波信号 L C 1 が入力され、前記第十一薄膜トランジスタ (T 6 4) の第一端には、前記第二低周波信号 L C 2 が入力される。前記第二十二薄膜トランジスタ (T 1 2) の制御端には、前記 n + 2 ステージのステージトランスファ信号 S T (n + 2) が入力され、前記第二十二薄膜トランジスタ (T 1 2) の第一端には、前記直流高電圧信号 V D D が入力される。前記第九薄膜トランジスタ (T 6 1) と、前記第十薄膜トランジスタ (T 6 3) と、前記第二十二薄膜トランジスタ (T 1 2) と、前記第十一薄膜トランジスタ (T 6 4) の第二端は、第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 K (n) を出力させる。

10

【 0 0 3 1 】

その内、前記プルアップ制御回路は、第一薄膜トランジスタ (T 1 1) からなり、前記第一薄膜トランジスタ (T 1 1) の制御端及び第一端には、前記 n - 2 ステージのステージトランスファ信号 S T (n - 2) が入力され、また、前記第一薄膜トランジスタ (T 1 1) の第二端は、及び前記プルアップ制御信号点 Q に接続されるとともに、前記 n - 2 ステージのステージトランスファ信号 S T (n - 2) に基づき、前記プルアップ制御信号 Q (n) を出力させる。

20

【 0 0 3 2 】

対応して、本発明はさらに、上記の液晶表示に使われる G O A 回路からなる液晶表示装置を提供する。

【発明の効果】

30

【 0 0 3 3 】

本発明の実施例は、直流高電圧信号を G O A ユニット内のプルアップ回路の入力ソースとするとともに、クロック信号をステージトランスファ信号だけのための入力ソースとすることで、クロック信号の遅延が G O A のステージトランスファ効率に影響するのを防ぐことができ、それにより、G O A ユニットのステージトランスファ効率を高めることができ、さらに、走査駆動信号の出力品質を高め、液晶表示管の充電率も高めることができる。

【図面の簡単な説明】

【 0 0 3 4 】

本発明の実施例の技術考案についてさらに詳しく説明するため、以下では実施例の説明において用いられる図について簡単な説明を行う。以下において示す図は、本発明の一実施例に過ぎず、本領域の一般的な技術者は、創作ではない前提のもと、さらに図に基づきその他の図を得ることができる。

40

【図 1】本発明の実施例が提供する G O A 回路の構造概略図である。

【図 2】本発明の実施例が提供するもう一つの G O A 回路の構造概略図である。

【図 3】本発明の実施例が提供するまた別の G O A 回路の構造概略図である。

【図 4】本発明の実施例が提供するさらに別の G O A 回路の構造概略図である。

【図 5】本発明の実施例が提供するさらに別の G O A 回路の構造概略図である。

【図 6】本発明の実施例が提供する G O A 回路の各キーノードの波形概略図である。

【発明を実施するための形態】

50

【 0 0 3 5 】

以下では、本発明の実施例内の図を用いて、本発明の実施例内の技術考案についての詳しい説明を行う。説明する実施例は、本発明のうち一部分の実施例であって、すべての実施例ではない。本発明内の実施例に基づき、本領域の一般的な技術者は、創作によらない前提のもとで得られたすべてのその他実施例も、すべて本発明の保護範囲に含まれるものとする。

【 0 0 3 6 】

以下では、図 1 から図 6 を参照しつつ本発明の実施例が提供する G O A 回路及び液晶表示装置について具体的に説明する。

【 0 0 3 7 】

図 1 を参照する。図 1 は、本発明の実施例が提供する G O A 回路の構造概略図である。図が示すように、G O A 回路は少なくとも、ブルアップ制御回路 1 0 0 と、ブルアップ回路 2 0 0 と、ダウンリンク回路 3 0 0 と、第一ブルダウン制御回路 4 0 0 と、第一ブルダウン回路 5 0 0 と、第二ブルダウン制御回路 6 0 0 と、第二ブルダウン回路 7 0 0 と、メインブルダウン回路 8 0 0 と、からなる。

【 0 0 3 8 】

前記ブルアップ制御回路 1 0 0 は、第 $n - 2$ ステージ G O A (G a t e D r i v e r o n A r r a y 、アレイ基板行走査駆動) ユニットが出力する $n - 2$ ステージのステージトランスファ信号 $S T (n - 2)$ を受信するとともに、前記 $n - 2$ ステージのステージトランスファ信号 $S T (n - 2)$ に基づき、ブルアップ制御信号 $Q (n)$ を出力させる。

【 0 0 3 9 】

前記ブルアップ回路 2 0 0 は、前記ブルアップ制御回路 1 0 0 と電氣的に接続されるとともに、直流高電圧信号 $V D D$ 及び前記ブルアップ制御信号 $Q (n)$ を受信し、前記直流高電圧信号 $V D D$ 及び前記ブルアップ制御信号 $Q (n)$ に基づき、走査駆動信号 $G (n)$ を出力させる。

【 0 0 4 0 】

前記ダウンリンク回路 3 0 0 は、前記ブルアップ制御回路 1 0 0 及び前記ブルアップ回路 2 0 0 と、電氣的に接続され、クロック信号 $C K (n)$ 及び前記ブルアップ制御信号 $Q (n)$ を受信するとともに、前記クロック信号 $C K (n)$ 及び前記ブルアップ制御信号 $Q (n)$ に基づき、 n ステージのステージトランスファ信号 $S T (n)$ を出力させる。

【 0 0 4 1 】

前記第一ブルダウン制御回路 4 0 0 は、第一低周波クロック信号 $L C 1$ 及び $n + 2$ ステージ G O A ユニットが発生させる $n + 2$ ステージのステージトランスファ信号 $S T (n + 2)$ を受信するとともに、前記第一低周波クロック信号 $L C 1$ 及び前記 $n + 2$ ステージのステージトランスファ信号 $S T (n + 2)$ に基づき、第一ブルダウン制御信号 $P (n)$ を出力させる。

【 0 0 4 2 】

前記第一ブルダウン回路 5 0 0 は、前記第一ブルダウン制御回路 4 0 0 と電氣的に接続され、前記第一ブルダン制御信号 $P (n)$ 及び直流低電圧信号 $V s s$ を受信するとともに、前記第一ブルダウン制御信号 $P (n)$ 及び前記直流低電圧信号 $V s s$ に基づき、前記ブルアップ制御信号 $Q (n)$ にブルダウン処理し、さらに、前記走査駆動信号 $G (n)$ 及び前記 n ステージのステージトランスファ信号 $S T (n)$ にブルダウン処理をする。

【 0 0 4 3 】

前記第二ブルダウン制御回路 6 0 0 は、第二低周波クロック信号 $L C 2$ 及び前記 $n + 2$ ステージのステージトランスファ信号 $S T (n + 2)$ を受信するとともに、前記第二低周波クロック信号 $L C 2$ 及び前記 $n + 2$ ステージのステージトランスファ信号 $S T (n + 2)$ に基づき、第二ブルダウン制御信号 $K (n)$ を出力させる。

【 0 0 4 4 】

前記第二ブルダウン回路 7 0 0 は、前記ブルアップ制御回路 1 0 0 と、前記ブルアップ

10

20

30

40

50

回路 200 と、前記ダウンリンク回路 300 と、前記第二ブルダウン制御回路 600 と電氣的に接続され、前記第二ブルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 V_{ss} を受信するとともに、前記第二ブルダウン制御信号 $K(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記ブルアップ制御信号 $Q(n)$ にブルダウン処理し、さらに前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ にブルダウン処理をする。

【0045】

前記主ブルダウン回路 800 は、前記ブルアップ制御回路 100 と、前記ブルアップ回路 200 と、前記ダウンリンク回路 300 と電氣的に接続され、前記直流低電圧信号 V_{ss} 及び前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ を受信するとともに、前記直流低電圧信号 V_{ss} 及び前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ に基づき、前記ブルアップ制御信号 $Q(n)$ 及び前記走査駆動信号 $G(n)$ にブルダウン処理をする。

10

【0046】

実施例のオプションの内、前記 G_OA 回路は、さらに、ブルアップ保持回路 900 を備えており、前記ブルアップ保持回路 900 は、前記ブルアップ制御回路 100 と、前記第一ブルダウン制御回路 400 と、前記第一ブルダウン回路 500 と、前記第二ブルダウン制御回路 600 と、前記第二ブルダウン回路 700 と電氣的に接続され、前記ブルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} を受信するとともに、前記ブルアップ制御信号 $Q(n)$ 及び前記直流低電圧信号 V_{ss} に基づき、前記第一ブルダウン制御信号 $P(n)$ 及び前記第二ブルダウン制御信号 $K(n)$ にブルダウン処理をし、前記ブルアップ回路 200 及び前記ダウンリンク回路 300 に前記走査駆動信号 $G(n)$ 及び前記 n ステージのステージトランスファ信号 $ST(n)$ をそれぞれ出力させ続ける。

20

【0047】

本発明の実施例は、直流高電圧信号を G_OA ユニット内のブルアップ回路の入力ソースとするとともに、クロック信号をステージトランスファ信号だけのための入力ソースとすることによって、クロック信号の遅延が G_OA のステージトランスファ効率に影響するのを防ぐことができ、 G_OA ユニットのステージトランスファ効率を高めることができ、ひいては走査駆動信号の出力品質を高めるとともに、液晶表示管の充電率をも高めることができる。

30

【0048】

図 2 を参照する。図 2 は、本発明の実施例が提供するもう一つの G_OA 回路の構造概略図である。図 1 が示す G_OA 回路の構造概略図と合わせると、図 2 が示す G_OA 回路は、ブルアップ制御回路 100 と、ブルアップ回路 200 と、ダウンリンク回路 300 と、第一ブルダウン制御回路 400 と、第一ブルダウン回路 500 と、第二ブルダウン制御回路 600 と、第二ブルダウン回路 700 と、メインブルダウン回路 800 と、ブルアップ保持回路 900 と、からなる。本実施例内で、説明しやすくするため、また上記各回路及び各回路内に含まれるトランジスタ間の接続関係はいずれも図において示すため、明細書においては記載を省略する。

【0049】

その内、前記ブルアップ制御回路 100 は、具体的に、第一薄膜トランジスタ (T_{11}) からなり、前記第一薄膜トランジスタ (T_{11}) の制御端には、前記 $n-2$ ステージのステージトランスファ信号 $ST(n-2)$ が入力される。第一薄膜トランジスタ (T_{11}) の第一端には、前記直流高電圧信号 V_{DD} が入力され、また、第一薄膜トランジスタ (T_{11}) の第二端は、ブルアップ制御信号点 Q に接続されるとともに、前記 $n-2$ ステージのステージトランスファ信号 $ST(n-2)$ 及び前記直流高電圧信号 V_{DD} に基づき、前記ブルアップ制御信号 $Q(n)$ を出力させる。

40

【0050】

前記ブルアップ回路 200 は、具体的に、第二薄膜トランジスタ (T_{21}) からなり、前記第二薄膜トランジスタ (T_{21}) の制御端は、前記ブルアップ制御信号点 Q に接続さ

50

れるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、また、前記第二薄膜トランジスタ ($T21$) の第一端には、前記直流高電圧信号 VDD が入力され、さらに、第二薄膜トランジスタ ($T21$) の第二端は、水平走査線 G に接続されるとともに、前記プルアップ制御信号 $Q(n)$ 及び前記直流高電圧信号 VDD に基づき、走査駆動信号 $G(n)$ を出力させる。

【0051】

前記ダウンリンク回路 300 は、具体的に、第三薄膜トランジスタ ($T22$) からなり、前記第三薄膜トランジスタ ($T22$) の制御端は、前記プルアップ制御信号点 Q に接続されるとともに、前記プルアップ制御信号 $Q(n)$ を受信し、前記第三薄膜トランジスタ ($T22$) の第一端には、前記クロック信号 $CK(n)$ が入力され、第三薄膜トランジスタ ($T22$) の第二端は、前記 $n-2$ ステージのステージトランスファ信号 $ST(n-2)$ 及び前記直流高電圧信号 VDD に基づき、前記のステージトランスファ信号 $ST(n)$ を出力させる。

10

【0052】

前記第一プルダウン制御回路 400 は、具体的に、第四薄膜トランジスタ ($T51$) と、第五薄膜トランジスタ ($T53$) と、第六薄膜トランジスタ ($T54$) と、からなる。前記第四薄膜トランジスタ ($T51$) の制御端及び第一端には、前記第一低周波信号 $LC1$ が入力される。また、前記第五薄膜トランジスタ ($T53$) の制御端は、前記第四薄膜トランジスタ ($T51$) の第一端に接続され、前記第五薄膜トランジスタ ($T53$) の第一端には、前記第一低周波信号 $LC1$ が入力される。さらに、前記第六薄膜トランジスタ ($T54$) の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第六薄膜トランジスタ ($T54$) の第一端には、前記第一低周波信号 $LC1$ が入力される。前記第四薄膜トランジスタ ($T51$) と、前記第五薄膜トランジスタ ($T53$) と、前記第六薄膜トランジスタ ($T54$) の第二端は、第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ を出力させる。

20

【0053】

前記第一プルダウン回路 500 は、具体的に、第七薄膜トランジスタ ($T42$) と、第八薄膜トランジスタ ($T32$) と、からなる。前記第七薄膜トランジスタ ($T42$) の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ を受信し、前記第七薄膜トランジスタ ($T42$) の第二端には、直流低電圧信号 Vss が入力され、前記第七薄膜トランジスタ ($T42$) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ 及び前記直流低電圧信号 Vss に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理をする。前記第八薄膜トランジスタ ($T32$) の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ を受信し、前記第八薄膜トランジスタ ($T32$) の第二端には、前記直流低電圧信号 Vss が入力され、前記第八薄膜トランジスタ ($T32$) の第一端は、前記水平走査線 G に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ 及び前記直流低電圧信号 Vss に基づき、前記走査駆動信号 $G(n)$ にプルダウン処理する。

30

【0054】

前記第二プルダウン制御回路 600 は、具体的に、第九薄膜トランジスタ ($T61$) と、第十薄膜トランジスタ ($T63$) と、第十一薄膜トランジスタ ($T64$) と、からなる。前記第九薄膜トランジスタ ($T61$) の制御端及び第一端には、前記第二低周波信号 $LC2$ が入力される。前記第十薄膜トランジスタ ($T63$) の制御端は、前記第九薄膜トランジスタ ($T61$) の第一端に接続され、前記第十薄膜トランジスタ ($T63$) の第一端には、前記第二低周波信号 $LC2$ が入力される。前記第十一薄膜トランジスタ ($T64$) の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第十一薄膜トランジスタ ($T64$) の第一端には、前記第二低周波信号 $LC2$ が入力される。前記第九薄膜トランジスタ ($T61$) と、前記第十薄膜トランジスタ ($T63$) と、前記第十一薄膜トランジスタ ($T64$) の第二端は、第二プルダウン制御信号点

40

50

Kに接続されるとともに、前記第二プルダウン制御信号K(n)を出力する。

【0055】

前記第二プルダウン回路700は、具体的に、第十二薄膜トランジスタ(T43)と、第十三薄膜トランジスタ(T33)と、からなる。前記第十二薄膜トランジスタ(T43)の制御端は、前記第二プルダウン制御信号点Kに接続されるとともに、前記第二プルダウン制御信号K(n)を受信し、前記第十二薄膜トランジスタ(T43)の第二端には、前記直流低電圧信号Vssが入力され、また、前記第十二薄膜トランジスタ(T43)の第一端は、前記プルアップ制御信号点Qに接続されるとともに、前記第二プルダウン制御信号K(n)及び前記直流低電圧信号Vssに基づき、前記プルアップ制御信号Q(n)にプルダウン処理をする。前記第十三薄膜トランジスタ(T33)の制御端は、前記第二プルダウン制御信号点Kに接続されるとともに、前記第二プルダウン制御信号K(n)を受信し、前記第十三薄膜トランジスタ(T33)の第二端には、前記直流低電圧信号Vssが入力され、また、前記第十三薄膜トランジスタ(T33)の第一端は、前記水平走査線Gに接続されるとともに、前記第二プルダウン制御信号K(n)及び前記直流低電圧信号Vssに基づき、前記走査駆動信号G(n)にプルダウン処理をする。

10

【0056】

前記メインプルダウン回路800は、具体的に、第十四薄膜トランジスタ(T41)と、第十五薄膜トランジスタ(T31)と、からなる。前記第十四薄膜トランジスタ(T41)の制御端には、前記n+2ステージのステージトランスファ信号ST(n+2)が入力され、前記第十四薄膜トランジスタ(T41)の第一端には、前記直流低電圧信号Vssが入力され、また、前記第十四薄膜トランジスタ(T41)の第二端は、前記プルアップ制御信号点Qに接続されるとともに、前記n+2ステージのステージトランスファ信号ST(n+2)及び前記直流低電圧信号Vssに基づき、前記プルアップ制御信号Q(n)にプルダウン処理をする。前記第十五薄膜トランジスタ(T31)の制御端には、前記n+2ステージのステージトランスファ信号ST(n+2)が入力され、前記第十五薄膜トランジスタ(T31)の第二端には、前記直流低電圧信号Vssが入力され、また、前記第十五薄膜トランジスタ(T31)の第一端は、前記水平走査線Gに接続されるとともに、前記n+2ステージのステージトランスファ信号ST(n+2)及び前記直流低電圧信号Vssに基づき、前記走査駆動信号G(n)にプルダウン処理をする。

20

【0057】

前記プルアップ保持回路900は、具体的に、第十六薄膜トランジスタ(T52)と、第十七薄膜トランジスタ(T56)と、第十八薄膜トランジスタ(T62)と、第十九薄膜トランジスタ(T66)と、第二十薄膜トランジスタ(T55)と、からなる。前記第十六薄膜トランジスタ(T52)の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第十六薄膜トランジスタ(T52)の第二端には、前記直流低電圧信号Vssが入力され、また、前記第十六薄膜トランジスタ(T52)の第一端は、前記第一プルダウン信号制御点Pに接続されるとともに、前記プルアップ制御信号Q(n)及び前記直流低電圧信号Vssに基づき、前記プルダウン制御信号P(n)にプルダウン処理をする。前記第十七薄膜トランジスタ(T56)の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第十七薄膜トランジスタ(T56)の第二端には、前記直流低電圧信号Vssが入力され、前記第十七薄膜トランジスタ(T56)の第一端は、前記第一プルダウン信号制御点Pに接続されるとともに、前記プルアップ制御信号Q(n)及び前記直流低電圧信号Vssに基づき、前記プルダウン制御信号P(n)にプルダウン処理をする。前記第十八薄膜トランジスタ(T62)の制御端は、前記プルアップ制御信号点Qに接続されるとともに、前記プルアップ制御信号Q(n)を受信し、前記第十八薄膜トランジスタ(T62)の第二端には、前記直流低電圧信号Vssが入力され、前記第十八薄膜トランジスタ(T62)の第一端は、前記第二プルダウン信号制御点Kに接続されるとともに、前記プルアップ制御信号Q(n)及び前記直流低電圧信号Vssに基づき、前記プルダウン制御信号K(n)にプルダウン処理をする。前記第十九薄膜トランジスタ(T

30

40

50

T 6 6) の制御端は、前記ブルアップ制御信号点 Q に接続されるとともに、前記ブルアップ制御信号 Q (n) を受信し、前記第十九薄膜トランジスタ (T 6 6) の第二端には前記直流低電圧信号 V s s が入力され、前記第十九薄膜トランジスタ (T 6 6) の第一端は、前記第二ブルダウン信号制御点 K に接続されるとともに、前記ブルアップ制御信号 Q (n) 及び前記直流低電圧信号 V s s に基づき、前記ブルダウン制御信号 K (n) にブルダウン処理をする。前記第二十薄膜トランジスタ (T 5 5) の制御端は、前記ブルアップ制御信号点 Q に接続されるとともに、前記ブルアップ制御信号 Q (n) を受信し、前記第二十薄膜トランジスタ (T 5 5) の第二端は、前記第二ブルダウン制御信号点 K に接続されるとともに、前記第二十薄膜トランジスタ (T 5 5) の第一端は、前記第一ブルダウン制御信号点 P に接続されるとともに、前記ブルアップ制御信号 Q (n) に基づき、前記第一ブルダウン制御信号 P (n) 及び前記第二ブルダウン制御信号 K (n) が同じ電位を保持するように制御する。

10

【 0 0 5 8 】

その内、前記第二十薄膜トランジスタ (T 5 5) は、前記ブルアップ制御信号 Q (n) を受信したときオンになり、第一ブルダウン制御信号 P (n) 及び前記第二ブルダウン制御信号 K (n) が同じ電位を保持するようにするとともに、前記第二十薄膜トランジスタ (T 5 5) は、さらに前記第一ブルダウン制御信号 P (n) 及び前記第二ブルダウン制御信号 K (n) の放電経路を増やすことができる。例えば、前記第二十薄膜トランジスタ (T 5 5) に接続しているブルアップ信号点 P に入力しているブルアップ制御信号 P (n) がハイレベルである時、前記第二十薄膜トランジスタ (T 5 5) はオンになり、もしこの時前記第一低周波信号 L C 1 がハイレベルであれば、前記ブルダウン制御回路は、前記第一ブルダウン制御信号点 P を充電し、前記第一ブルダウン制御信号 P (n) をハイレベルにさせ、また、この時第十一薄膜トランジスタ (T 6 4) の制御端に入力されている n + 2 ステージのステージトランスファ信号 S T (n + 2) はハイレベルであり、前記第二低周波信号 L C 2 はローレベルであり、さらに、第十一薄膜トランジスタ (T 6 4) をオンにさせ、ブルダウン制御信号点 K が出力する前記第二ブルダウン制御信号 K (n) はローレベルであり、第一ブルダウン制御信号点 P が出力する第一ブルダウン制御信号 P (n) が第二ブルダウン制御信号点 K に放電できるようにする。

20

【 0 0 5 9 】

本発明の実施例は、直流高電圧信号を G O A ユニット内のブルアップ回路の入力ソースとするとともに、クロック信号をステージトランスファ信号の入力ソースとすることで、G O A ユニットのステージトランスファ効率及び走査駆動信号の出力の品質を高めることができるのみならず、ブルアップ保持回路の保持のステージトランスファ信号及び走査駆動信号の出力を増加させることによって、ステージトランスファ信号及び走査駆動信号の安定性をも高めることができる。

30

【 0 0 6 0 】

図 3 を参照する。図 3 は、本発明の実施例が提供するさらに別の G O A 回路の構造概略図である。図 3 の実施例及び図 2 の実施例の主な相違点は、ブルアップ制御回路 1 0 0 である。簡潔にするため、図 2 に示す本実施例内で重複する部分は記載を省略する。

【 0 0 6 1 】

図 3 に示す G O A 回路のブルアップ制御回路 1 0 0 の内、第一薄膜トランジスタ (T 1 1) の制御端及び第一端には、前記 n - 2 ステージのステージトランスファ信号 S T (n - 2) が入力され、第一薄膜トランジスタ (T 1 1) の第二端は、ブルアップ制御信号点 Q に接続されるとともに、前記 n - 2 ステージのステージトランスファ信号 S T (n - 2) に基づき、前記ブルアップ制御信号 Q (n) を出力させる。

40

【 0 0 6 2 】

本発明の実施例は、G O A ユニットのステージトランスファ効率及び走査駆動信号の出力品質を高めることができるのみならず、さらにステージトランスファ信号及び走査駆動信号出力の安定性を保持できる。ブルアップ制御回路内の第一薄膜トランジスタ (T 1 1) の第一端に入力させた直流高電圧信号 V D D を n - 2 ステージのステージトランスファ

50

信号 $ST(n-2)$ に変えることによって、第一薄膜トランジスタ ($T11$) の電圧の圧力を減少させることができ、第一薄膜トランジスタ ($T11$) の使用寿命を長くすることができる。

【0063】

図4を参照する。図4は、本発明の実施例が提供するさらに別のGOA回路の構造概略図である。図4が示す実施例及び図2が示す実施例の主な相違点は第一プルダウン制御回路400及び第二プルダウン制御回路600である。簡潔にするために、重複する部分は記載を省略する。

【0064】

図4が示すGOA回路の第一プルダウン制御回路400は、第四薄膜トランジスタ ($T51$) と、第五薄膜トランジスタ ($T53$) と、第六薄膜トランジスタ ($T54$) と、第二十一薄膜トランジスタ ($T10$) と、からなる。

10

【0065】

前記第四薄膜トランジスタ ($T51$) の制御端及び第一端には、前記第一低周波信号 $LC1$ が入力される。

【0066】

前記第五薄膜トランジスタ ($T53$) の制御端は、前記第四薄膜トランジスタ ($T51$) の第二端に接続され、前記第五薄膜トランジスタの第一端には、前記第一低周波信号 $LC1$ が入力される。

【0067】

前記第六薄膜トランジスタ ($T54$) の制御端には、前記第二低周波信号 $LC2$ が入力され、前記第六薄膜トランジスタ ($T54$) の第一端には、前記第一低周波信号 $LC1$ が入力される。

20

【0068】

前記第二十一薄膜トランジスタ ($T10$) の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第二十一薄膜トランジスタ ($T10$) の第一端には、前記直流高電圧信号 VDD が入力される。

【0069】

前記第四薄膜トランジスタ ($T51$) と、前記第五薄膜トランジスタ ($T53$) と、前記第二十一薄膜トランジスタ ($T10$) と、前記第六薄膜トランジスタ ($T54$) の第二端は、第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ を出力させる。

30

【0070】

図4が示すGOA回路の第二プルダウン制御回路600は、第九薄膜トランジスタ ($T61$) と、第十薄膜トランジスタ ($T63$) と、第十一薄膜トランジスタ ($T64$) と、第二十二薄膜トランジスタ ($T12$) と、からなる。

【0071】

前記第九薄膜トランジスタ ($T61$) の制御端及び第一端には、前記第二低周波信号 $LC2$ が入力される。

【0072】

前記第十薄膜トランジスタ ($T63$) の制御端は、前記第九薄膜トランジスタ ($T61$) の第二端に接続されるとともに、前記第十薄膜トランジスタ ($T63$) の第一端には、前記第二低周波信号 $LC2$ が入力される。

40

【0073】

前記第十一薄膜トランジスタ ($T64$) の制御端には、前記第一低周波信号 $LC1$ が入力され、前記第十一薄膜トランジスタ ($T64$) の第一端には、前記第二低周波信号 $LC2$ が入力される。

【0074】

前記第二十二薄膜トランジスタ ($T12$) の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第二十二薄膜トランジスタ ($T12$

50

）の第一端には、前記直流高電圧信号 VDD が入力される。

【0075】

前記第九薄膜トランジスタ ($T61$) と、前記第十薄膜トランジスタ ($T63$) と、前記第二十二薄膜トランジスタ ($T12$) と、前記第十一薄膜トランジスタ ($T64$) の第二端は、第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 $K(n)$ を出力させる。

【0076】

本発明の実施例は、 GOA ユニットのステージトランスファ効率及び走査駆動信号の出力品質を高めることができるのみならず、ステージトランスファ信号及び走査駆動信号出力の安定性を保持することができ、さらに第一プルダウン制御回路及び第二プルダウン制御回路内に、それぞれ第二十一薄膜トランジスタ ($T10$) 及び第二十二薄膜トランジスタ ($T12$) を増やし、その第一端に直流高電圧信号 VDD が入力され、その制御端に $n+2$ ステージのステージトランスファ信号が入力され、その第二端を第一プルダウン制御信号点 P 及び第二プルダウン制御信号点 K にそれぞれ接続させることで、プルダウン第一プルダウン制御信号 $P(n)$ 及び第二プルダウン制御信号 $K(n)$ のプルダウン速度を早くすることができる。

【0077】

図5を参照する。本発明の実施例が提供するもう一つの GOA 回路の構造概略図である。図5が示す実施例と、図4が示す実施例の主な相違点は、第一プルダウン回路500及び第二プルダウン回路700及びメインプルダウン回路800である。簡潔にするため、重複する部分は記載を省略する。

【0078】

図5が示す GOA 回路の内、第一プルダウン回路500は、第七薄膜トランジスタ ($T42$) と、第八薄膜トランジスタ ($T32$) と、からなる。

【0079】

前記第七薄膜トランジスタ ($T42$) の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ を受信し、前記第七薄膜トランジスタ ($T42$) の第二端には、第一直流低電圧信号 $Vss1$ が入力され、また、前記第七薄膜トランジスタ ($T42$) の第二端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ 及び前記第一直流低電圧信号 $Vss1$ に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理をする。

【0080】

前記第八薄膜トランジスタ ($T32$) の制御端は、前記第一プルダウン制御信号点 P に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ を受信し、前記第八薄膜トランジスタ ($T32$) の第二端には、第二直流低電圧信号 $Vss2$ が入力され、前記第八薄膜トランジスタ ($T32$) の第一端は、前記水平走査線 G に接続されるとともに、前記第一プルダウン制御信号 $P(n)$ 及び前記第二直流低電圧信号 $Vss2$ に基づき、前記走査駆動信号 $G(n)$ にプルダウン処理をする。

【0081】

図5が示す GOA 回路内の、第二プルダウン回路500は、第十二薄膜トランジスタ ($T43$) と、第十三薄膜トランジスタ ($T33$) と、からなる。

【0082】

前記第十二薄膜トランジスタ ($T43$) の制御端は、前記第二プルダウン制御信号点 K に接続されるとともに、前記第二プルダウン制御信号 $K(n)$ を受信し、前記第十二薄膜トランジスタ ($T43$) の第二端には、前記第一直流低電圧信号 $Vss1$ が入力され、また、前記第十二薄膜トランジスタ ($T43$) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記第二プルダウン制御信号 $K(n)$ 及び前記第一直流低電圧信号 $Vss1$ に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理をする。

【0083】

前記第十三薄膜トランジスタ ($T33$) の制御端は、前記第二プルダウン制御信号点 K

に接続されるとともに、前記第二プルダウン制御信号 $K(n)$ を受信し、前記第十三薄膜トランジスタ ($T33$) の第二端には、前記第二直流低電圧信号 V_{ss2} が入力され、前記第十三薄膜トランジスタ ($T33$) の第一端は、前記水平走査線 G に接続されるとともに、前記第二プルダウン制御信号 $K(n)$ 及び前記第二直流低電圧信号 V_{ss2} に基づき、前記走査駆動信号 $G(n)$ にプルダウン処理をする。

【0084】

図5が示すGOA回路内の、メインプルダウン回路800は、第十四薄膜トランジスタ ($T41$) と、第十五薄膜トランジスタ ($T31$) と、からなる。

【0085】

前記第十四薄膜トランジスタ ($T41$) の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第十四薄膜トランジスタ ($T41$) の第二端には、前記第一直流低電圧信号 V_{ss1} が入力され、また、前記第十四薄膜トランジスタ ($T41$) の第一端は、前記プルアップ制御信号点 Q に接続されるとともに、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ 及び前記第一直流低電圧信号 V_{ss1} に基づき、前記プルアップ制御信号 $Q(n)$ にプルダウン処理をする。

10

【0086】

前記第十五薄膜トランジスタ ($T31$) の制御端には、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ が入力され、前記第十五薄膜トランジスタ ($T31$) の第二端には、前記第二直流低電圧信号 V_{ss2} が入力され、また、前記第十五薄膜トランジスタ ($T31$) の第二端は、前記水平走査線 G に接続されるとともに、前記 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ 及び前記第二直流低電圧信号 V_{ss2} に基づき、前記走査駆動信号 $G(n)$ にプルダウン処理をする。

20

【0087】

本発明の実施例は、GOAユニットのステージトランスファ効率及び走査駆動信号の出力品質を高めることができるだけでなく、ステージトランスファ信号及び走査駆動信号出力の安定性を保持することができる。さらに本実施例は、二本の低電圧直流信号を採用し、第一プルダウン制御信号 $P(n)$ 及び第二プルダウン制御信号 $K(n)$ のプルダウンソースとする。その内、 V_{SS1} は V_{ss2} より大きく、それにより、第二薄膜トランジスタ ($T21$) の制御端及び第二端の間の電圧は0より小さくなることで、漏電を減らすことができる。

30

【0088】

図6を参照する。図6は、本発明の実施例が提供するGOA回路の各キーノードの波形概略図である。波形概略図は、直流高電圧信号 VDD と、クロック信号 $CK(n)$ と、 n ステージのステージトランスファ信号 $ST(n)$ と、 $n+2$ ステージのステージトランスファ信号 $ST(n+2)$ と、走査駆動信号 $G(n)$ と、第一プルダウン制御信号 $P(n)$ と、第一低周波信号 $LC1$ と、第二低周波信号 $LC2$ 及 $n-2$ ステージのステージトランスファ信号 $ST(n-2)$ と、からなる。その内、第一低周波信号 $LC1$ と第二低周波信号 $LC2$ は逆方向である。

【0089】

波形図から見て分かるように、 $ST(n-2)$ 電位が高電位である時、 VDD は Q 点に対して充電させ、 $Q(n)$ 点は高電位に変わり、 $P(n)$ が低電位に変わる。この時、クロック信号 $CK(n)$ は低電位であり、 $ST(n)$ は低電位であり、 $G(n)$ は高電位である。 $ST(n-2)$ 電位が低電位である時、 $Q(n)$ 点は高電位に変わり、 $CK(n)$ は高電位であり、 $ST(n)$ は高電位であり、 C との連結において、 $Q(n)$ は更に高電位にさせられ、 $G(n)$ は高電位である。 ST_{n+2} が高電位である時、 $CK(n)$ は低電位であり、 $Q(n)$ 及び $G(n)$ は、低電位に変わる。

40

【0090】

本発明の実施例は、さらに対応して、上記図2から図5内の各実施例が示す液晶表示に用いられるGOA回路からなる液晶表示装置を提供する。

【0091】

50

本発明の実施例は、直流高電圧信号をG O Aユニット内のプルアップ回路の入力ソースとするとともに、クロック信号をステージトランスファ信号だけのための入力ソースすることで、クロック信号の遅延がG O Aのステージトランスファ効率に影響するのを防ぐことができ、G O Aユニットのステージトランスファ効率を高めることができるだけでなく、走査駆動信号の出力品質、ひいては提高液晶表示管の充電率を高めることができる。

【0092】

以上は、本発明の実施例が示すG O A回路及び液晶表示装置についての詳細な説明である。上記において説明した内容は、本発明についての実施例に過ぎず、当然これにより本発明の権利保護範囲を限定するものではなく、それゆえ、本発明の権利請求に基づきなされる同様の変更も、やはり本発明の保護範囲に含まれるものとする。

10

【符号の説明】

【0093】

100	プルアップ制御回路
200	プルアップ回路
300	ダウンリンク回路
400	第一プルダウン制御回路
500	第一プルダウン回路
600	第二プルダウン制御回路
700	第二プルダウン回路
800	メインプルダウン回路
900	プルアップ保持回路
ST(n)	ステージトランスファ信号
ST(n - 2)	ステージトランスファ信号
ST(n + 2)	ステージトランスファ信号
VDD	直流高電圧信号
Q(n)	プルアップ制御信号
G(n)	走査駆動信号
CK(n)	クロック信号
P(n)	第一プルダウン制御信号
K(n)	第二プルダウン制御信号
Vss	直流低電圧信号
T11	第一薄膜トランジスタ
T21	第二薄膜トランジスタ
T22	第三薄膜トランジスタ
T51	第四薄膜トランジスタ
T53	第五薄膜トランジスタ
T54	第六薄膜トランジスタ
T42	第七薄膜トランジスタ
T32	第八薄膜トランジスタ
T61	第九薄膜トランジスタ
T63	第十薄膜トランジスタ
T64	第十一薄膜トランジスタ
T43	第十二薄膜トランジスタ
T33	第十三薄膜トランジスタ
T41	第十四薄膜トランジスタ
T31	第十五薄膜トランジスタ
T52	第十六薄膜トランジスタ
T56	第十七薄膜トランジスタ
T62	第十八薄膜トランジスタ
T66	第十九薄膜トランジスタ

20

30

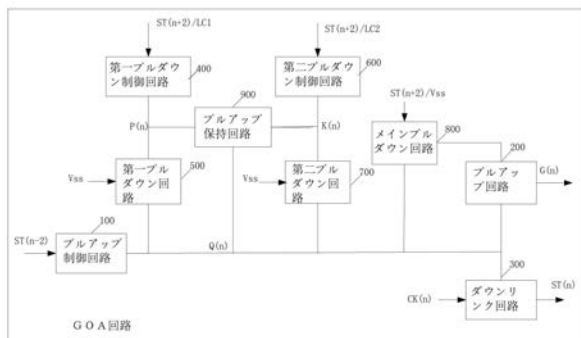
40

50

T 5 5	第二十薄膜トランジスタ
T 1 0	第二十一薄膜トランジスタ
T 1 2	第二十二薄膜トランジスタ
L C 1	第一低周波信号
L C 2	第二低周波信号

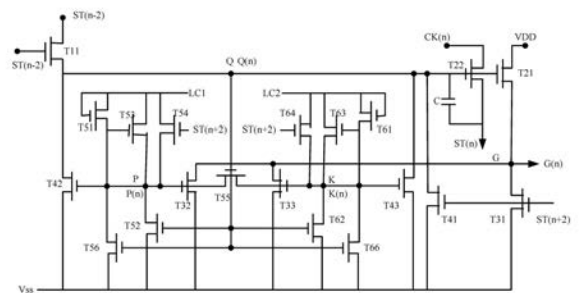
【図 1】

【図1】



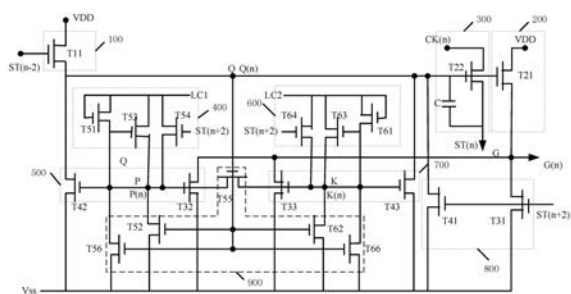
【図 3】

【図3】



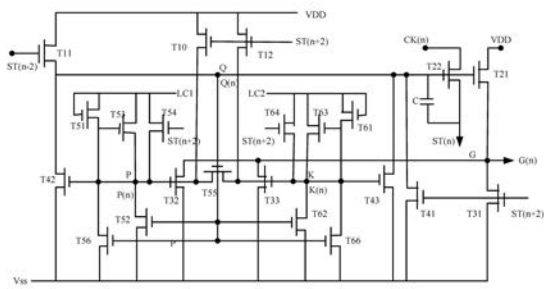
【図 2】

【図2】



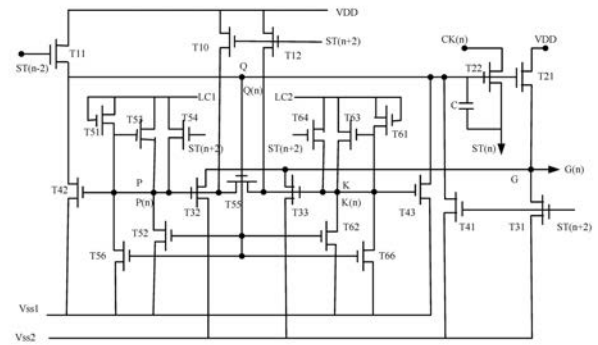
【図4】

【図4】



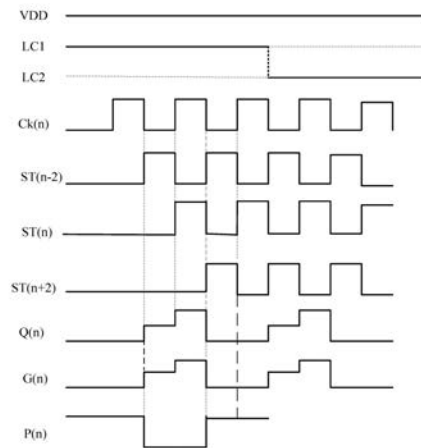
【図5】

【図5】



【図6】

【図6】



【 国际調查報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2015/070533		
A. CLASSIFICATION OF SUBJECT MATTER				
G09G 3/36 (2006.01) i				
According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols)				
G09G; G11C 19				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)				
CPRSABS, CNABS, VEN: GOA, gate 1w driver 1w on 1w array?, pull up, pull down, cascade transmission, charge rate, pull-down rate, pull, up, down, control+, scan+, level?, charg+, rate, speed				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
A	CN 103730094 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 16 April 2014 (16.04.2014), description, paragraphs [0060]-[0064], and figures 2-4	1-20		
A	CN 102800292 A (INFOVISION OPTOELECTRONICS (KUNSHAN) CO., LTD.), 28 November 2012 (28.11.2012), the whole document	1-20		
A	CN 101930712 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD.), 29 December 2010 (29.12.2010), the whole document	1-20		
A	US 8483350 B2 (AU OPTRONICS CORP.), 09 July 2013 (09.07.2013), the whole document	1-20		
A	US 8149025 B2 (AU OPTRONICS CORP.), 03 April 2012 (03.04.2012), the whole document	1-20		
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.				
<table border="0"> <tr> <td style="vertical-align: top;"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 21 August 2015 (21.08.2015)		Date of mailing of the international search report 25 September 2015 (25.09.2015)		
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451		Authorized officer XI, Wanhua Telephone No.: (86-10) 62085833		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2015/070533

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103730094 A	16 April 2014	US 20150187312 A1	02 July 2015
		WO 2015100813 A1	09 July 2015
CN 102800292 A	28 November 2012	CN 102800292 B	10 December 2014
CN 101930712 A	29 December 2010	CN 101930712 B	17 October 2012
US 8483350 B2	09 July 2013	US 2013070891 A1	21 March 2013
US 8149025 B2	03 April 2012	TW 201123128 A	01 July 2011
		TW 1405162 B	11 August 2013
		US 2011273226 A1	10 November 2011

国际检索报告

国际申请号

PCT/CN2015/070533

A. 主题的分类 G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G; G11C19 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CPRSABS, CNABS, VEN:GOA, 阵列基板行扫描驱动, 上拉, 下拉, 控制, 扫描, 级传, 充电率, 充电速度, 下拉速度, gate lw driver lw on lw array?, pull, up, down, control+, scan+, level?, charg+, rate, speed		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103730094 A (深圳市华星光电技术有限公司) 2014年 4月 16日 (2014 - 04 - 16) 说明书[0060]-[0064]段, 图2-4	1-20
A	CN 102800292 A (昆山龙腾光电有限公司) 2012年 11月 28日 (2012 - 11 - 28) 全文	1-20
A	CN 101930712 A (上海天马微电子有限公司) 2010年 12月 29日 (2010 - 12 - 29) 全文	1-20
A	US 8483350 B2 (AU OPTRONICS CORP.) 2013年 7月 9日 (2013 - 07 - 09) 全文	1-20
A	US 8149025 B2 (AU OPTRONICS CORP.) 2012年 4月 3日 (2012 - 04 - 03) 全文	1-20
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2015年 8月 21日		国际检索报告邮寄日期 2015年 9月 25日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		授权官员 席万花 电话号码 (86-10)62085833

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/070533

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103730094	A	2014年 4月 16日	US	20150187312	A1	2015年 7月 2日
				WO	2015100813	A1	2015年 7月 9日
CN	102800292	A	2012年 11月 28日	CN	102800292	B	2014年 12月 10日
CN	101930712	A	2010年 12月 29日	CN	101930712	B	2012年 10月 17日
US	8483350	B2	2013年 7月 9日	US	2013070891	A1	2013年 3月 21日
US	8149025	B2	2012年 4月 3日	TW	201123128	A	2011年 7月 1日
				TW	1405162	B	2013年 8月 11日
				US	2011273226	A1	2011年 11月 10日

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(51) Int. Cl.		F I		テーマコード (参考)
G 1 1 C 19/28 (2006.01)		G 0 2 F	1/1368	5 C 0 8 0
		G 0 2 F	1/1345	
		G 1 1 C	19/28 2 3 0	

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

F ターム(参考) 5C006 AF72 BC03 BC20 BF03 BF34 FA14
5C080 AA10 BB05 DD08 FF01 FF12 JJ02 JJ03 JJ04

专利名称(译)	GOA电路和液晶显示器件		
公开(公告)号	JP2018507431A	公开(公告)日	2018-03-15
申请号	JP2017534676	申请日	2015-01-12
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	曹尚操		
发明人	曹尚操		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1368 G02F1/1345 G11C19/28		
CPC分类号	G09G3/3677 G09G3/36 G09G2310/0251 G09G2310/0267 G09G2310/0286 G09G2310/06 G09G2310/08 G11C19/28		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.612.K G09G3/20.621.F G02F1/133.550 G02F1/1368 G02F1/1345 G11C19/28.230		
F-TERM分类号	2H092/GA50 2H092/GA59 2H092/JA24 2H092/NA01 2H092/PA06 2H192/AA24 2H192/FB03 2H192/FB46 2H192/GD61 2H193/ZA04 2H193/ZB02 2H193/ZF23 2H193/ZF42 5B074/CA01 5B074/EA02 5B074/EA04 5C006/AF72 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF34 5C006/FA14 5C080/AA10 5C080/BB05 5C080/DD08 5C080/FF01 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	铃木 征四郎		
优先权	201410856556.0 2014-12-31 CN		
其他公开文献	JP6498772B2		
外部链接	Espacenet		

摘要(译)

待解决的问题：提供一种能够提高GOA电路中的GOA单元的级转移效率的GOA电路和液晶显示装置。GOA电路和液晶显示装置由多个连接的GOA单元构成，其中第n级GOA单元对显示区域中的第n级水平扫描线充电，第n级GOA单元，上拉控制电路，上拉电路，下行电路，第一下拉控制电路，第一下拉电路，第二下拉控制电路，第二下拉电路，主上拉电路，下电路。其中，n是正整数。在本发明中，GOA电路的级传输效率增加，扫描驱动信号的输出质量和液晶显示管的充电速率增加，并且扫描驱动信号的下拉速度可以增加。

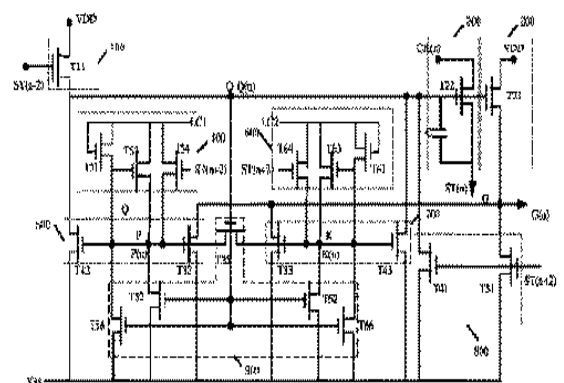


图 2 / Fig. 2