

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-504821

(P2017-504821A)

(43) 公表日 平成29年2月9日(2017.2.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20	622E 5B074
G02F 1/133 (2006.01)	G09G 3/20	621M 5C006
G11C 19/28 (2006.01)	G09G 3/20	680G 5C080
	G09G 3/20	612K
審査請求 有 予備審査請求 未請求 (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2016-533627 (P2016-533627)	(71) 出願人	515203228 深▲せん▼市華星光電技術有限公司 中華人民共和國廣東省深▲せん▼市光明新 區塘明大道9-2號518132
(86) (22) 出願日	平成26年1月3日(2014.1.3)	(74) 代理人	100143720 弁理士 米田 耕一郎
(85) 翻訳文提出日	平成28年5月23日(2016.5.23)	(74) 代理人	100080252 弁理士 鈴木 征四郎
(86) 国際出願番号	PCT/CN2014/070115	(72) 発明者	▲虞▼曉江 中華人民共和國廣東省深▲せん▼市光明新 區塘明大道9-2號518132
(87) 国際公開番号	W02015/089914	(72) 発明者	李長暉 中華人民共和國廣東省深▲せん▼市光明新 區塘明大道9-2號518132
(87) 国際公開日	平成27年6月25日(2015.6.25)		
(31) 優先権主張番号	201310700186.7		
(32) 優先日	平成25年12月18日(2013.12.18)		
(33) 優先権主張国	中国 (CN)		

最終頁に続く

(54) 【発明の名称】 液晶表示に用いられるGOA回路及び表示装置

(57) 【要約】

【課題】本発明は、液晶表示に用いられるGOA回路及び表示装置を提供する。

【解決手段】本発明のGOA回路は、縦続接続された複数個のGOAユニットからなる。第nステージGOAユニットは、プルアップ回路と、プルダウン回路と、プルダウン保持回路と、プルアップ制御回路と、ブートストラップコンデンサとからなる。動作時、第nステージクロック信号・第一及び第二クロック信号がそれぞれ入力される。前記第一クロック信号と前記第二クロック信号の周波数は前記第nステージクロック信号よりも低く、且つ前記第一クロック信号の第一回路点に対する充電と第二クロック信号の第二回路点に対する充電は交替で行われる。また本発明は対応する表示装置を提供する。本発明のGOA回路は、低周波クロック信号及び高周波クロック信号によって、水平走査線充電に影響するゲートの電圧を精確に制御することで、GOA充電信号の安定的な出力を保证する。

【選択図】図1

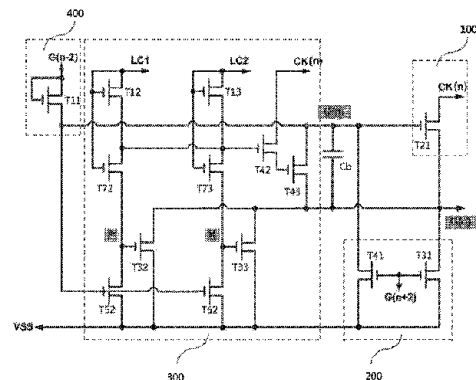


図1 / Fig.1

【特許請求の範囲】

【請求項 1】

液晶表示に用いられる G O A 回路であって、

前記 G O A 回路は、縦続接続された複数個の G O A ユニットからなるとともに、第 n ステージ G O A ユニットと対応する表示領域の第 n ステージ水平走査線に対する充電を制御し

、
前記第 n ステージ G O A ユニットは、プルアップ回路と、プルダウン回路と、プルダウン保持回路と、プルアップ制御回路と、ブートストラップコンデンサとからなり、

前記プルアップ回路・プルダウン回路・プルダウン保持回路・ブートストラップコンデンサは、ゲート信号点及び前記第 n ステージ水平走査線とそれぞれ接続され、

前記プルアップ制御回路は、前記ゲート信号点と接続され、

前記プルダウン保持回路は、第一～第十薄膜トランジスタからなり、

前記第一薄膜トランジスタにおいて、ゲートは第一回路点と接続され、ドレインは前記第 n ステージ水平走査線と接続され、ソースは直流低電圧を入力し、

前記第二薄膜トランジスタにおいて、ゲートは第二回路点と接続され、ドレインは前記第 n ステージ水平走査線と接続され、ソースは直流低電圧を入力し、

前記第三薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第一回路点と接続され、ソースは前記直流低電圧を入力し、

前記第四薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第二回路点と接続され、ソースは前記直流低電圧を入力し、

前記第五薄膜トランジスタにおいて、ドレイン及びソースはそれぞれ前記ゲート信号点及び前記第 n ステージ水平走査線と接続され、

前記第六薄膜トランジスタにおいて、ドレインは第 n ステージクロック信号を入力し、ソースは前記第五薄膜トランジスタのゲートと接続され、

前記第七薄膜トランジスタにおいて、ゲートは第一クロック信号を入力し、ドレイン及びソースはそれぞれ前記第六薄膜トランジスタのゲート及び前記第一回路点と接続され、

前記第八薄膜トランジスタにおいて、ゲートは第二クロック信号を入力し、ドレイン及びソースはそれぞれ前記第六薄膜トランジスタのゲート及び前記第二回路点と接続され、

前記第九薄膜トランジスタにおいて、ゲートは前記第一クロック信号を入力し、ドレインは前記第一クロック信号を入力し、ソースは前記第六薄膜トランジスタのゲートと接続され、

第十薄膜トランジスタにおいて、ゲートは前記第二クロック信号を入力し、ドレインは前記第二クロック信号を入力し、ソースは前記第六薄膜トランジスタのゲートと接続され、動作時において、

前記第一クロック信号と前記第二クロック信号の周波数は、前記第 n ステージクロック信号よりも低く、

且つ前記第一クロック信号の前記第一回路点に対する充電と、前記第二クロック信号の前記第二回路点に対する充電は、交替で行われることを特徴とする、液晶表示に用いられる G O A 回路。

【請求項 2】

更に、前記プルアップ回路は、第十一薄膜トランジスタからなり、

前記第十一薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第 n ステージクロック信号を入力し、ソースは前記第 n ステージ水平走査線と接続されることを特徴とする、請求項 1 に記載の液晶表示に用いられる G O A 回路。

【請求項 3】

更に、前記プルダウン回路は、第十二薄膜トランジスタと、第十三薄膜トランジスタとからなり、

前記第十二薄膜トランジスタにおいて、ゲートは第 n + 2 ステージ水平走査線と接続され、ドレインは前記第 n ステージ水平走査線と接続され、ソースは前記直流低電圧を入力し、

、

10

20

30

40

50

前記第十三薄膜トランジスタにおいて、ゲートは前記第 $n + 2$ ステージ水平走査線と接続され、ドレインは前記ゲート信号点と接続され、ソースは前記直流低電圧を入力することを特徴とする、請求項 1 に記載の液晶表示に用いられる G O A 回路。

【請求項 4】

更に、前記ブルアップ制御回路は、第十四薄膜トランジスタからなり、前記第十四薄膜トランジスタにおいて、ゲートは第 $n - 2$ ステージ水平走査線と接続され、ドレイン及びソースはそれぞれ前記第 $n - 2$ ステージ水平走査線及び前記ゲート信号点と接続されることを特徴とする、請求項 1 に記載の液晶表示に用いられる G O A 回路。

【請求項 5】

更に、前記第 n ステージクロック信号のデューティ比は、40%であることを特徴とする、請求項 1 に記載の液晶表示に用いられる G O A 回路。

10

【請求項 6】

更に、前記第一クロック信号は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力されることを特徴とする、請求項 1 に記載の液晶表示に用いられる G O A 回路。

【請求項 7】

更に、前記第二クロック信号は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力されることを特徴とする、請求項 1 に記載の液晶表示に用いられる G O A 回路。

【請求項 8】

更に、前記直流低電圧は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力されることを特徴とする、請求項 1 に記載の液晶表示に用いられる G O A 回路。

20

【請求項 9】

液晶表示に用いられる G O A 回路であって、
前記 G O A 回路は、縦続接続された複数個の G O A ユニットからなるとともに、第 n ステージ G O A ユニットと対応する表示領域の第 n ステージ水平走査線に対する充電を制御し、

前記第 n ステージ G O A ユニットは、ブルアップ回路と、ブルダウン回路と、ブルダウン保持回路と、ブルアップ制御回路と、ブートストラップコンデンサとからなり、

30

前記ブルアップ回路・ブルダウン回路・ブルダウン保持回路・ブートストラップコンデンサは、ゲート信号点及び前記第 n ステージ水平走査線とそれぞれ接続され、

前記ブルアップ制御回路は、前記ゲート信号点と接続され、

前記ブルダウン保持回路は、第一～第十薄膜トランジスタからなり、

前記第一薄膜トランジスタにおいて、ゲートは第一回路点と接続され、ドレインは前記第 n ステージ水平走査線と接続され、ソースは直流低電圧を入力し、

前記第二薄膜トランジスタにおいて、ゲートは第二回路点と接続され、ドレインは前記第 n ステージ水平走査線と接続され、ソースは直流低電圧を入力し、

前記第三薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第一回路点と接続され、ソースは前記直流低電圧を入力し、

40

前記第四薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第二回路点と接続され、ソースは前記直流低電圧を入力し、

前記第五薄膜トランジスタにおいて、ドレイン及びソースはそれぞれ前記ゲート信号点及び前記第 n ステージ水平走査線と接続され、

前記第六薄膜トランジスタにおいて、ドレインは第 n ステージクロック信号を入力し、ソースは前記第五薄膜トランジスタのゲートと接続され、

前記第七薄膜トランジスタにおいて、ゲートは第一クロック信号を入力し、ドレイン及びソースはそれぞれ前記第六薄膜トランジスタのゲート及び前記第一回路点と接続され、

前記第八薄膜トランジスタにおいて、ゲートは第二クロック信号を入力し、ドレイン及びソースはそれぞれ前記第六薄膜トランジスタのゲート及び前記第二回路点と接続され、

50

前記第九薄膜トランジスタにおいて、ゲートは前記第一クロック信号を入力し、ドレインは前記第一クロック信号を入力し、ソースは前記第六薄膜トランジスタのゲートと接続され、

第十薄膜トランジスタにおいて、ゲートは前記第二クロック信号を入力し、ドレインは前記第二クロック信号を入力し、ソースは前記第六薄膜トランジスタのゲートと接続され、動作時において、

前記第一クロック信号と前記第二クロック信号の周波数は、前記第 n ステージクロック信号よりも低く、

且つ前記第一クロック信号の前記第一回路点に対する充電と、前記第二クロック信号の前記第二回路点に対する充電は、交替で行われ、

更に、前記プルアップ回路は、第十一薄膜トランジスタからなり、

前記第十一薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第 n ステージクロック信号を入力し、ソースは前記第 n ステージ水平走査線と接続され、

更に、前記プルダウン回路は、第十二薄膜トランジスタと、第十三薄膜トランジスタとからなり、

前記第十二薄膜トランジスタにおいて、ゲートは第 $n + 2$ ステージ水平走査線と接続され、ドレインは前記第 n ステージ水平走査線と接続され、ソースは前記直流低電圧を入力し、

前記第十三薄膜トランジスタにおいて、ゲートは前記第 $n + 2$ ステージ水平走査線と接続され、ドレインは前記ゲート信号点と接続され、ソースは前記直流低電圧を入力することを特徴とする、液晶表示に用いられる G O A 回路。

【請求項 10】

更に、前記プルアップ制御回路は、第十四薄膜トランジスタからなり、

前記第十四薄膜トランジスタにおいて、ゲートは第 $n - 2$ ステージ水平走査線と接続され、ドレイン及びソースはそれぞれ前記第 $n - 2$ ステージ水平走査線及び前記ゲート信号点と接続されることを特徴とする、請求項 9 に記載の液晶表示に用いられる G O A 回路。

【請求項 11】

更に、前記第 n ステージクロック信号のデューティ比は、40%であることを特徴とする、請求項 9 に記載の液晶表示に用いられる G O A 回路。

【請求項 12】

更に、前記第一クロック信号は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力されることを特徴とする、請求項 9 に記載の液晶表示に用いられる G O A 回路。

【請求項 13】

更に、前記第二クロック信号は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力されることを特徴とする、請求項 9 に記載の液晶表示に用いられる G O A 回路。

【請求項 14】

更に、前記直流低電圧は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力されることを特徴とする、請求項 9 に記載の液晶表示に用いられる G O A 回路。

【請求項 15】

表示装置であって、

請求項 1 に記載の前記液晶表示に用いられる G O A 回路からなることを特徴とする、表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示技術に関し、特に、液晶表示に用いられる G O A (G a t e D r i

10

20

30

40

50

ver on Array、アレイ基板行駆動)回路及び表示装置に関する。

【背景技術】

【0002】

液晶ディスプレイは薄型ボディ・省エネ・放射線が無い等の多くの長所を備えており、幅広く応用されている。現在、市場における液晶ディスプレイの多くはバックライト型液晶ディスプレイであり、液晶パネルと、バックライトモジュール(bac k l i g h t m o d u l e)とからなる。液晶パネルの動作原理は、平行する二枚のガラス基板の中に液晶分子が設けられるとともに、二枚のガラス基板上に駆動電圧を印加することで液晶分子の回転方向を制御し、これによりバックライトモジュールの光線が屈折照射されて画面を生成するというものである。

10

【0003】

アクティブ型液晶ディスプレイにおいて、一つ一つの画素は一個の薄膜トランジスタ(TFT)を有するとともに、ゲート(Gate)は水平走査線と接続され、ドレイン(Drain)は垂直方向のデータ線と接続され、ソース(Source)は画素電極と接続される。水平走査線上に十分な電圧を印加することで、前記線上の全てのTFTがオンになり、且つこの時、前記水平走査線上の画素電極は垂直方向のデータ線と接続される。これにより、データ線上の表示信号電圧が画素に書き込まれて、異なる液晶の光透過度が制御されることで色彩制御の効果が得られる。現在、アクティブ型液晶表示パネルの水平走査線における駆動は、主にパネルと外部接続されたICによって行われる。外部接続されたICは、各ステージの水平走査線における順次充電と放電を制御することが出来る。またGOA技術、即ちGate Driver on Array(アレイ基板行駆動)技術は、液晶表示パネルの従来の製造工程を利用して水平走査線の駆動回路を表示エリア周囲の基板上に作成することで、外部接続ICを代替して水平走査線の駆動を行うことが出来る。GOA技術は、外部接続ICのボンディング(bonding)工程を削減可能であり、生産能力の向上と製品コストの削減が望める。加えて、狭額縁或はフレームレスの表示製品に適した液晶表示パネルの製造が可能である。

20

【0004】

従来のGOA回路は通常、縦続接続された複数個のGOAユニットからなる。各ステージのGOAユニットは、一つのステージの水平走査線と対応して駆動する。GOAユニットは主に、プルアップ回路(Pull-up part)と、プルアップ制御回路(Pull-up control part)と、トランスファ回路(Transfer Part)と、プルダウン回路(Key Pull-down Part)と、プルダウン保持回路(Pull-down Holding Part)と、電位上昇を担うブートストラップコンデンサ(Boast)とからなる。プルアップ回路は、主にクロック信号(Clock)をゲート(Gate)信号として出力する。プルアップ制御回路は、プルアップ回路のオン時間の制御を担い、一般的に前ステージのGOA回路から送られたトランスファ信号或はGate信号と接続される。プルダウン回路は、第一時間にGateを低電位に引き下げて、Gate信号をオフにする。プルダウン保持回路は、Gate出力信号とプルアップ回路のGate信号(通常Q点と呼ばれる)のオフ状態(即ち負電位)を保持(Holding)するとともに、通常二個のプルダウン保持モジュールが交替で作用する。ブートストラップコンデンサ(Cboast)は、Q点の二次上昇を担い、これによりプルアップ回路のG(N)出力を利する。

30

40

【0005】

GOA回路の目的は、集積回路が出力した走査波形を回路操作を経て出力することにより、画素スイッチをオンにして酸化インジウムスズ(ITO)電極にデータ信号を入力することである。データ信号の入力完了後、データ信号の内容は次のフレームがオンになるまで保持される。回路操作の過程において、一本の走査回路がオンになった後、一フレームの残り時間内は常にオフであり、走査回路のオフ(保持)時間は走査時間よりも大幅に長いため、GOA回路中の薄膜トランジスタの安定性に対する要求は非常に高い。GOA回路の充電信号の安定的な出力を保证するため、GOA回路中で水平走査線充電に影響する

50

薄膜トランジスタのゲートQ (n) の電圧を精確に制御可能な解決策が強く求められている。

【発明の概要】

【発明が解決しようとする課題】

【0006】

よって、本発明は、低周波クロック信号と高周波クロック信号を通して、水平走査線充電に影響する薄膜トランジスタのゲートQ (n) 電圧を精確に制御することにより、GOA充電信号の安定的な出力を保証する、液晶表示に用いられるGOA回路を提供することを目的とする。

【0007】

また本発明は、前記GOA回路を用いるとともに、低周波クロック信号と高周波クロック信号を通して、水平走査線充電に影響する薄膜トランジスタのゲートQ (n) 電圧を精確に制御することにより、GOA充電信号の安定的な出力を保証する、液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述の目的を達成するために、本発明が提供する液晶表示に用いられるGOA回路は、縦続接続された複数個のGOAユニットからなるとともに、第nステージGOAユニットと対応する表示領域の第nステージ水平走査線に対する充電を制御する。前記第nステージGOAユニットは、プルアップ回路と、プルダウン回路と、プルダウン保持回路と、プルアップ制御回路と、ブートストラップコンデンサとからなる。前記プルアップ回路・プルダウン回路・プルダウン保持回路・ブートストラップコンデンサは、ゲート信号点及び前記第nステージ水平走査線とそれぞれ接続される。前記プルアップ制御回路は、前記ゲート信号点と接続される。

【0009】

前記プルダウン保持回路は、第一～第十薄膜トランジスタからなる。

【0010】

第一薄膜トランジスタにおいて、ゲートは第一回路点と接続され、ドレインは前記第nステージ水平走査線と接続され、ソースは直流低電圧を入力する。

【0011】

第二薄膜トランジスタにおいて、ゲートは第二回路点と接続され、ドレインは前記第nステージ水平走査線と接続され、ソースは前記直流低電圧を入力する。

【0012】

第三薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第一回路点と接続され、ソースは前記直流低電圧を入力する。

【0013】

第四薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第二回路点と接続され、ソースは前記直流低電圧を入力する。

【0014】

第五薄膜トランジスタにおいて、ドレイン及びソースはそれぞれ前記ゲート信号点及び前記第nステージ水平走査線と接続される。

【0015】

第六薄膜トランジスタにおいて、ドレインは第nステージクロック信号を入力し、ソースは前記第五薄膜トランジスタのゲートと接続される。

【0016】

第七薄膜トランジスタにおいて、ゲートは第一クロック信号を入力し、ドレイン及びソースはそれぞれ前記第六薄膜トランジスタのゲート及び前記第一回路点と接続される。

【0017】

第八薄膜トランジスタにおいて、ゲートは第二クロック信号を入力し、ドレイン及びソースはそれぞれ前記第六薄膜トランジスタのゲート及び前記第二回路点と接続される。

10

20

30

40

50

【 0 0 1 8 】

第九薄膜トランジスタにおいて、ゲートは前記第一クロック信号を入力し、ドレインは前記第一クロック信号を入力し、ソースは前記第六薄膜トランジスタのゲートと接続される。

【 0 0 1 9 】

第十薄膜トランジスタにおいて、ゲートは前記第二クロック信号を入力し、ドレインは前記第二クロック信号を入力し、ソースは前記第六薄膜トランジスタのゲートと接続される。

【 0 0 2 0 】

動作時において、前記第一クロック信号と前記第二クロック信号の周波数は前記第 n ステージクロック信号よりも低く、且つ前記第一クロック信号の前記第一回路点に対する充電と前記第二クロック信号の前記第二回路点に対する充電は交替で行われる。

10

【 0 0 2 1 】

このうち、前記プルアップ回路は、第十一薄膜トランジスタからなる。第十一薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第 n ステージクロック信号を入力し、ソースは前記第 n ステージ水平走査線と接続される。

【 0 0 2 2 】

このうち、前記プルダウン回路は、第十二薄膜トランジスタと、第十三薄膜トランジスタとからなる。第十二薄膜トランジスタにおいて、ゲートは第 $n + 2$ ステージ水平走査線と接続され、ドレインは前記第 n ステージ水平走査線と接続され、ソースは前記直流低電圧を入力する。第十三薄膜トランジスタにおいて、ゲートは前記第 $n + 2$ ステージ水平走査線と接続され、ドレインは前記ゲート信号点と接続され、ソースは前記直流低電圧を入力する。

20

【 0 0 2 3 】

このうち、前記プルアップ制御回路は、第十四薄膜トランジスタからなる。第十四薄膜トランジスタにおいて、ゲートは第 $n - 2$ ステージ水平走査線と接続され、ドレイン及びソースはそれぞれ前記第 $n - 2$ ステージ水平走査線及び前記ゲート信号点と接続される。

【 0 0 2 4 】

このうち、前記第 n ステージクロック信号のデューティ比は 40 % である。

【 0 0 2 5 】

このうち、前記第一クロック信号は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力される。

30

【 0 0 2 6 】

このうち、前記第二クロック信号は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力される。

【 0 0 2 7 】

このうち、前記直流低電圧は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力される。

【 0 0 2 8 】

また、本発明が提供する液晶表示に用いられる G O A 回路は、縦続接続された複数個の G O A ユニットからなるとともに、第 n ステージ G O A ユニットと対応する表示領域の第 n ステージ水平走査線に対する充電を制御する。前記第 n ステージ G O A ユニットは、プルアップ回路と、プルダウン回路と、プルダウン保持回路と、プルアップ制御回路と、ブートストラップコンデンサとからなる。前記プルアップ回路・プルダウン回路・プルダウン保持回路・ブートストラップコンデンサは、ゲート信号点及び前記第 n ステージ水平走査線とそれぞれ接続される。前記プルアップ制御回路は、前記ゲート信号点と接続される。

40

【 0 0 2 9 】

前記プルダウン保持回路は、第一～第十薄膜トランジスタからなる。

【 0 0 3 0 】

第一薄膜トランジスタにおいて、ゲートは第一回路点と接続され、ドレインは前記第 n ス

50

テージ水平走査線と接続され、ソースは直流低電圧を入力する。

【0031】

第二薄膜トランジスタにおいて、ゲートは第二回路点と接続され、ドレインは前記第 n ステージ水平走査線と接続され、ソースは直流低電圧を入力する。

【0032】

第三薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第一回路点と接続され、ソースは前記直流低電圧を入力する。

【0033】

第四薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第二回路点と接続され、ソースは前記直流低電圧を入力する。

10

【0034】

第五薄膜トランジスタにおいて、ドレイン及びソースはそれぞれ前記ゲート信号点及び前記第 n ステージ水平走査線と接続される。

【0035】

第六薄膜トランジスタにおいて、ドレインは第 n ステージクロック信号を入力し、ソースは前記第五薄膜トランジスタのゲートと接続される。

【0036】

第七薄膜トランジスタにおいて、ゲートは第一クロック信号を入力し、ドレイン及びソースはそれぞれ前記第六薄膜トランジスタのゲート及び前記第一回路点と接続される。

20

【0037】

第八薄膜トランジスタにおいて、ゲートは第二クロック信号を入力し、ドレイン及びソースはそれぞれ前記第六薄膜トランジスタのゲート及び前記第二回路点と接続される。

【0038】

第九薄膜トランジスタにおいて、ゲートは前記第一クロック信号を入力し、ドレインは前記第一クロック信号を入力し、ソースは前記第六薄膜トランジスタのゲートと接続される。

【0039】

第十薄膜トランジスタにおいて、ゲートは前記第二クロック信号を入力し、ドレインは前記第二クロック信号を入力し、ソースは前記第六薄膜トランジスタのゲートと接続される。

30

【0040】

動作時において、前記第一クロック信号と前記第二クロック信号の周波数は前記第 n ステージクロック信号よりも低く、且つ前記第一クロック信号の前記第一回路点に対する充電と前記第二クロック信号の前記第二回路点に対する充電は交替で行われる。

【0041】

このうち、前記プルアップ回路は、第十一薄膜トランジスタからなる。第十一薄膜トランジスタにおいて、ゲートは前記ゲート信号点と接続され、ドレインは前記第 n ステージクロック信号を入力し、ソースは前記第 n ステージ水平走査線と接続される。

【0042】

このうち、前記プルダウン回路は、第十二薄膜トランジスタと、第十三薄膜トランジスタとからなる。第十二薄膜トランジスタにおいて、ゲートは第 $n + 2$ ステージ水平走査線と接続され、ドレインは前記第 n ステージ水平走査線と接続され、ソースは前記直流低電圧を入力する。第十三薄膜トランジスタにおいて、ゲートは前記第 $n + 2$ ステージ水平走査線と接続され、ドレインは前記ゲート信号点と接続され、ソースは前記直流低電圧を入力する。

40

【0043】

前記プルアップ制御回路は、第十四薄膜トランジスタからなる。第十四薄膜トランジスタにおいて、ゲートは第 $n - 2$ ステージ水平走査線と接続され、ドレイン及びソースはそれぞれ前記第 $n - 2$ ステージ水平走査線及び前記ゲート信号点と接続される。

【0044】

50

前記第 n ステージクロック信号のデューティ比は 40 % である。

【0045】

前記第一クロック信号は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力される。

【0046】

前記第二クロック信号は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力される。

【0047】

前記直流低電圧は、コモンの金属線を通して、前記縦続接続された複数個の G O A ユニットに入力される。

10

【0048】

また、本発明が提供する表示装置は、上述した前記液晶表示に用いられる G O A 回路からなる。

【発明の効果】

【0049】

本発明の液晶表示に用いられる G O A 回路及び表示装置は、低周波クロック信号と高周波クロック信号によって、水平走査線充電に影響する薄膜トランジスタのゲート $Q(n)$ の充電期間及び非充電期間における電圧を精確に制御することにより、G O A 充電信号の安定的な出力を保証するとともに、本発明の G O A 回路を利用することで、低コストの狭額縁或はフレームレスの液晶表示装置を製造することが出来る。

20

【図面の簡単な説明】

【0050】

下記の図を合わせて本発明の具体的実施形態について詳細に説明することで、本発明の技術手法及びその他の有益な効果を詳らかにする。

【図1】本発明の液晶表示に用いられる G O A 回路（シングルステージ）の実施例における回路図である。

【図2】本発明の液晶表示に用いられる G O A 回路の常温時における出力波形図である。

【図3】本発明の液晶表示に用いられる G O A 回路のマルチステージ構造を示した概略図である。

【図4】本発明の液晶表示に用いられる G O A 回路を使用した液晶表示装置の構造概略図である。

30

【発明を実施するための形態】

【0051】

（実施例1）

図1を参照する。図は、本発明の液晶表示に用いられる G O A 回路（シングルステージ）の実施例における回路図である。本発明の G O A 回路は、縦続接続された複数個の G O A ユニットからなるとともに、第 n ステージ G O A ユニットと対応する表示領域の第 n ステージ水平走査線 $G(n)$ に対する充電を制御する。第 n ステージ G O A ユニットは、プルアップ回路 100 と、プルダウン回路 200 と、プルダウン保持回路 300 と、プルアップ制御回路 400 と、ブートストラップコンデンサ C_b とからなる。プルアップ回路 100 ・プルダウン回路 200 ・プルダウン保持回路 300 ・ブートストラップコンデンサ C_b は、ゲート信号点 $Q(n)$ 及び第 n ステージ水平走査線 $G(n)$ とそれぞれ接続される。プルアップ制御回路 400 は、ゲート信号点 $Q(n)$ と接続される。

40

【0052】

プルアップ回路 100 は、表示領域の第 n ステージ水平走査線 $G(n)$ に対する充電実行を直接制御する薄膜トランジスタ T_{21} からなるとともに、ゲートはゲート信号点 $Q(n)$ と接続され、 T_{21} のドレインは第 n ステージ高周波クロック信号 $CK(n)$ を入力し、 T_{21} のソースは第 n ステージ水平走査線 $G(n)$ と接続される。 T_{21} のゲート $Q(n)$ の電位は、 $CK(n)$ が $G(n)$ を充電するよう直接働きかける。

【0053】

50

ブルダウン回路 200 は、 $G(n)$ 充電終了時に放電を行う一組の薄膜トランジスタ、即ち $G(n)$ に対して放電を行う T_{31} と、 $Q(n)$ に対して放電を行う T_{41} とからなる。 T_{31} において、ゲートは第 $n+2$ ステージ水平走査線 $G(n+2)$ と接続され、ドレインは第 n ステージ水平走査線 $G(n)$ と接続され、ソースは直流低電圧 V_{SS} を入力する。 T_{41} において、ゲートは第 $n+2$ ステージ水平走査線 $G(n+2)$ と接続され、ドレインはゲート信号点 $Q(n)$ と接続され、ソースは直流低電圧 V_{SS} を入力する。

【0054】

ブルアップ制御回路 400 は、薄膜トランジスタ T_{11} からなるとともに、ゲートは第 $n-2$ ステージ水平走査線 $G(n-2)$ と接続され、ドレイン及びソースはそれぞれ第 $n-2$ ステージ水平走査線 $G(n-2)$ 及びゲート信号点 $Q(n)$ と接続される。薄膜トランジスタ T_{11} は、第 $n-2$ ステージ GOA 信号が第 n ステージ GOA 回路に伝送されるように制御することが可能であり、これにより GOA 回路がステージ毎に順次充放電する。

【0055】

$Q(n)$ と $G(n)$ の間に接続されたブートストラップ機能を有するコンデンサ C_b は、 $G(n)$ 電位上昇時に C_b の結合効果によって $Q(n)$ 電位を上昇させ、これにより、更に高い $Q(n)$ 電位と、より小さい GOA 充電信号のキャパシタンス遅延 ($RC\ delay$) が得られる。

【0056】

ブルダウン保持回路 300 に設けられた一群の薄膜トランジスタは、 GOA 回路の非充電期間において $G(n)$ と $Q(n)$ の低電位を保持する。薄膜トランジスタ T_{32} において、ゲートは第一回路点 P と接続され、ドレインは第 n ステージ水平走査線 $G(n)$ と接続され、ソースは直流低電圧 V_{SS} を入力する。薄膜トランジスタ T_{33} において、ゲートは第二回路点 K と接続され、ドレインは第 n ステージ水平走査線 $G(n)$ と接続され、ソースは直流低電圧 V_{SS} を入力する。薄膜トランジスタ T_{52} において、ゲートはゲート信号点 $Q(n)$ と接続され、ドレインは第一回路点 P と接続され、ソースは直流低電圧 V_{SS} を入力する。薄膜トランジスタ T_{62} において、ゲートはゲート信号点 $Q(n)$ と接続され、ドレイン及びソースはそれぞれ第二回路点 K 及び直流低電圧 V_{SS} と接続される。薄膜トランジスタ T_{43} において、ドレイン及びソースはそれぞれゲート信号点 $Q(n)$ 及び第 n ステージ水平走査線 $G(n)$ と接続される。薄膜トランジスタ T_{42} において、ドレイン及びソースはそれぞれ第 n ステージクロック信号 $CK(n)$ 及び薄膜トランジスタ T_{43} のゲートを入力する。薄膜トランジスタ T_{72} において、ゲートは第一クロック信号 $LC1$ を入力し、ドレイン及びソースはそれぞれ薄膜トランジスタ T_{42} のゲート及び第一回路点 P と接続される。薄膜トランジスタ T_{73} において、ゲートは第二クロック信号 $LC2$ を入力し、ドレイン及びソースはそれぞれ薄膜トランジスタ T_{42} のゲート及び第二回路点 K と接続される。薄膜トランジスタ T_{12} において、ゲートは第一クロック信号 $LC1$ を入力し、ドレインは第一クロック信号 $LC1$ を入力し、ソースは薄膜トランジスタ T_{42} のゲートと接続される。薄膜トランジスタ T_{13} において、ゲートは第二クロック信号 $LC2$ を入力し、ドレインは第二クロック信号 $LC2$ を入力し、ソースは薄膜トランジスタ T_{42} のゲートと接続される。直流低電圧 V_{SS} は、ローレベル電圧を受け取るか、或は接地される。動作時には、第 n ステージクロック信号 $CK(n)$ ・第一クロック信号 $LC1$ 及び第二クロック信号 $LC2$ が入力される。第一クロック信号 $LC1$ 及び第二クロック信号 $LC2$ の周波数は、第 n ステージクロック信号 $CK(n)$ よりも低く、且つ第一クロック信号 $LC1$ の第一回路点 P に対する充電と第二クロック信号 $LC2$ の第二回路点 K に対する充電は交替で行われる。

【0057】

回路の P 点と K 点は交替で低周波クロック信号 $LC1$ と $LC2$ の充電を受けて高電位になることで、交替で薄膜トランジスタ T_{32} 或は T_{33} のオン状態を制御し、これにより $G(n)$ の非充電期間における低電位を保持するとともに、薄膜トランジスタ T_{32} 或は T_{33} が長時間にわたってゲート電圧ストレスの影響を受けないようにする。薄膜トランジスタ T_{52} は P 点と接続されるとともに直流低電圧 V_{SS} を入力し、薄膜トラン

10

20

30

40

50

ジスタ T 6 2 は K 点と接続されるとともに直流低電圧 V S S を入力し、更に T 5 2 と T 6 2 は Q (n) が高電位である時にオンになって P 点・K 点電位を引き下げ、これにより T 3 2 と T 3 3 をオフにして充電に影響しないようにする。非充電期間において、薄膜トランジスタ T 1 2 & T 7 2 或は T 1 3 & T 7 3 がオンになり、P 点或は K 点が高電位になることにより、薄膜トランジスタ T 4 2 のゲートが高電位になり、高周波クロック信号 C K (n) が周期的に薄膜トランジスタ T 4 3 をオンにして Q (n) の低電位状態を保持する。充電期間において、Q (n) が高電位まで充電された後、T 5 2 或は T 6 2 がオンになり、T 4 2 のゲート電位が引き下げられて T 4 2 がオフになるとともに、T 4 3 も導通不能になることにより、Q (n) が T 4 3 の漏れ電流を通して縮小して、Q (n) 電圧の安定性が向上する。

10

【 0 0 5 8 】

本発明の G O A 回路は、低周波クロック信号と高周波クロック信号を通して水平走査線充電に影響する薄膜トランジスタのゲート Q (n) における非充電期間及び充電期間の電圧を精確に制御することにより、G O A 充電信号の安定的な出力を保證することが出来る。具体的に述べると、1、非充電期間において、高周波クロック信号 C K (n) 及び薄膜トランジスタ T 4 3 と接続された薄膜トランジスタ T 4 2 が導通するとともに、高周波クロック信号 C K (n) が周期的に薄膜トランジスタ T 4 3 をオンにすることで Q (n) の低電位状態を保持することが出来る。2、充電期間において、Q (n) が高電位まで充電された後、薄膜トランジスタ T 4 2 と T 4 3 がオフになるとともに、Q (n) が T 4 3 の漏れ電流を通して低減する。

20

【 0 0 5 9 】

図 2 を参照する。図は、本発明の液晶表示に用いられる G O A 回路の常温時における出力波形図である。このうち、高周波クロック信号のデューティ比 (d u t y r a t i o) は 4 0 % である。図 2 において、t 1 ~ t 3 は G (n) 充電前の準備時間であり、t 3 ~ t 4 は G (n) の充電時間であり、t 4 後に G (n) は放電される。低周波クロック信号 L C 1 及び L C 2 は、周波数が同等で、位相が逆であることが可能である。更に図 1 と図 2 を合わせて参照する。t 1 時において、C K (n - 2) の電位が上昇を開始し、これに伴い G (n - 2) の電位も上昇を始め、薄膜トランジスタ T 1 1 がオンになって Q (n) を充電する。Q (n) 電位の上昇後、薄膜トランジスタ T 5 2 及び T 6 2 をオンにして、T 3 2 ・ T 4 2 ・ T 3 3 ・ T 4 3 をオフにすることにより、Q (n) 及び G (n) の充電に影響しないようにすることが出来る。t 2 時において、C K (n - 2) の電位が下降を開始するものの、薄膜トランジスタ T 1 1 の接続方法によって Q (n) の漏れ電流が防がれるため、Q (n) 電位は基本的に変わず保たれる。t 3 時において、C K (n) の電位が上昇を開始して、薄膜トランジスタ T 2 1 がオンになり、Q (n) は上昇して更に高電位になるとともに T 2 1 が G (n) を充電するよう制御する。t 4 時において、C K (n) が下降を開始するものの、Q (n) 電位が直ぐに引き下げられることはなく、薄膜トランジスタ T 2 1 は t 4 後の短時間内において導通状態を保持して、G (n) 電位を引き下げる。この後、G (n + 2) 電位が上昇し、薄膜トランジスタ T 3 1 及び T 4 1 がオンになって、G (n) 及び Q (n) が確実に低電位まで引き下げられるようにする。T 5 2 及び T 6 2 は Q (n) 電位が引き下げられた後にオフになり、T 3 2 ・ T 3 3 ・ T 4 2 ・ T 4 3 は通常通りオンになることで、G (n) 及び Q (n) の非充電期間における低電位を保持することが出来る。総じて言えば、本発明は低周波クロック信号及び高周波クロック信号を通して Q (n) 電圧を正確に制御することにより、G O A 充電信号の安定的な出力を保證することが出来る。

30

40

【 0 0 6 0 】

図 3 を参照する。図は、本発明の液晶表示に用いられる G O A 回路のマルチステージ構造を示した概略図である。図 3 に示した本発明の G O A 回路のマルチステージ構造において、低周波クロック信号 L C 1 及び L C 2 ・ 直流低電圧 V S S ・ C K 1 ~ C K 4 の 4 個の高周波クロック信号を伝送するために用いられる金属線が、各ステージの G O A 回路 (具体的接続方法は図 1 を参照) における周辺に設けられる。低周波クロック信号 L C 1 ・ 低周

50

波クロック信号 $LC2$ 及び直流低電圧 VSS は、それぞれ各々のコモンの金属線を通して、縦続接続された複数個の GOA ユニット中に入力される。本実施例において、第 n ステージ GOA 回路は、 $LC1 \cdot LC2 \cdot VSS \cdot CK1 \sim CK4$ の中の 1 個の CK 信号・第 $n - 2$ ステージ GOA 回路が発した $G(n - 2)$ ・第 $n + 2$ ステージ GOA 回路が発した $G(n + 2)$ をそれぞれ受け取るとともに、 $G(n)$ 信号を発する。図 3 に示した各ステージの GOA 回路間の接続方法は、 GOA 信号がステージ毎に順次伝送されるよう保証することが可能であり、これにより各ステージの水平走査線が順次充電及び放電される。先端・末端に縦続接続された GOA ユニットについては、活性化信号を入力する方法を採用することにより、不足した $G(n)$ 信号入力を代替可能である。

【0061】

本発明の GOA 回路は、液晶表示パネルの従来の製造工程を利用してパネルの水平走査線における駆動回路を表示エリア周囲の基板上に作成することが可能であり、これにより外部接続 IC を代替してフラット表示パネルの各ステージにおける水平走査線の駆動を完了することが出来る。本発明は特に、狭額縁或はフレームレスの液晶表示製品の製造に適している。

【0062】

(実施例 2)

図 4 を参照する。図は、本発明の液晶表示に用いられる GOA 回路を使用した液晶表示装置の構造概略図である。図 4 において、液晶表示装置は表示基板 10 を有し、表示基板 10 上方の駆動制御盤 20 は表示基板 10 に駆動及び制御信号を提供し、表示基板 10 の左側領域 30 及び右側領域 40 には GOA 回路が設けられ、左側及び右側の二つの方向から表示領域 50 の水平走査線を駆動することが出来る。 GOA 回路は、駆動制御盤 20 の入力信号を受け取るとともにステージ毎に順次水平走査線の制御信号を発して、表示領域 50 中の画素が順次オンになるよう制御することが出来る。

【0063】

上述を総じて言えば、本発明の液晶表示に用いられる GOA 回路及び表示装置は、低周波クロック信号と高周波クロック信号によって、水平走査線充電に影響する薄膜トランジスタのゲート $Q(n)$ の充電期間及び非充電期間における電圧を精確に制御することにより、 GOA 充電信号の安定的な出力を保証するとともに、本発明の GOA 回路を利用することで、低コストの狭額縁或はフレームレスの液晶表示装置を製造することが出来る。

【0064】

以上の記述により、本発明の分野の一般的な技術員は、本発明の技術手法と構想に基づいて各種の変更と変形を加えることが可能であり、これらの変更と変形は、いずれも本発明の権利要求の保護範囲に属する。

【符号の説明】

【0065】

- 10 表示基板
- 20 駆動制御盤
- 30 左側領域
- 40 右側領域
- 50 表示領域
- 100 プルアップ回路
- 200 プルダウン回路
- 300 プルダウン保持回路
- 400 プルアップ制御回路
- Cb ブートストラップコンデンサ
- $CK(n)$ 第 n ステージ高周波クロック信号
- $CK(n - 2)$ 第 $n - 2$ ステージ高周波クロック信号
- $CK1$ 高周波クロック信号
- $CK2$ 高周波クロック信号

10

20

30

40

50

C K 3 高周波クロック信号
 C K 4 高周波クロック信号
 G (n) 第 n ステージ水平走査線
 G (n + 2) 第 n + 2 ステージ水平走査線
 G (n - 2) 第 n - 2 ステージ水平走査線
 L C 1 第一クロック信号
 L C 2 第二クロック信号
 P 第一回路点
 K 第二回路点
 Q (n) ゲート信号点
 T 1 1 薄膜トランジスタ
 T 1 2 薄膜トランジスタ
 T 1 3 薄膜トランジスタ
 T 2 1 薄膜トランジスタ
 T 3 1 薄膜トランジスタ
 T 3 2 薄膜トランジスタ
 T 3 3 薄膜トランジスタ
 T 4 1 薄膜トランジスタ
 T 4 2 薄膜トランジスタ
 T 4 3 薄膜トランジスタ
 T 5 2 薄膜トランジスタ
 T 6 2 薄膜トランジスタ
 T 7 2 薄膜トランジスタ
 T 7 3 薄膜トランジスタ
 V S S 直流低電圧

10

20

【 図 1 】

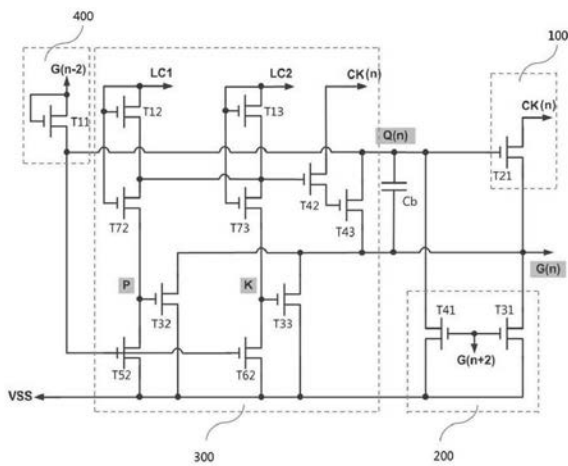


図 1

【 図 2 】

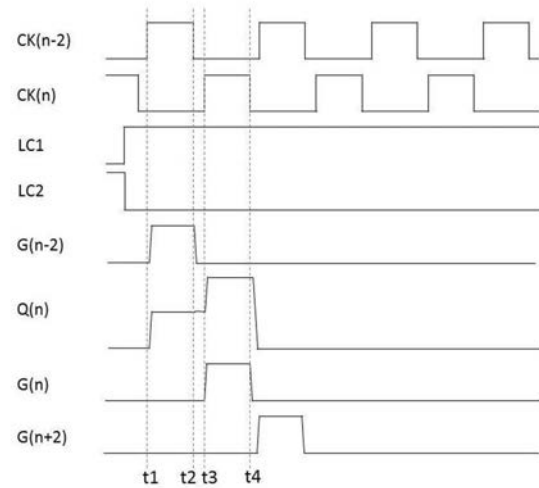


図 2

【 図 3 】

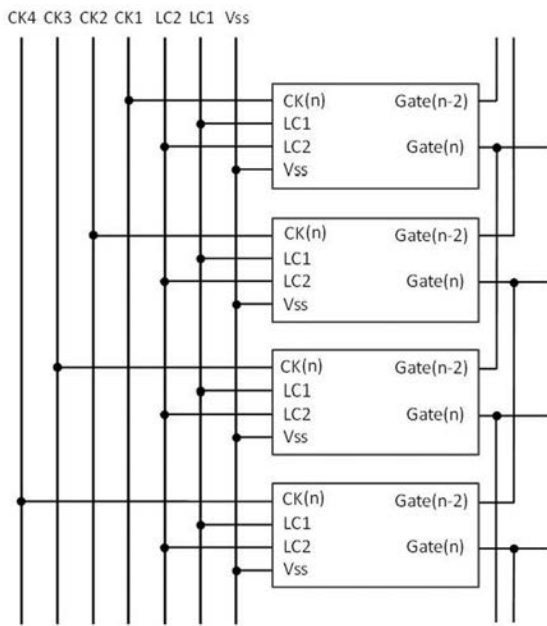


図3

【 図 4 】

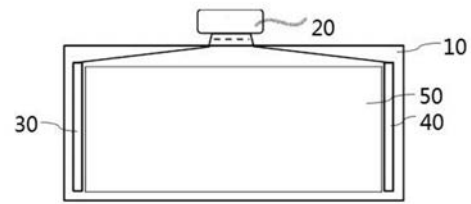


図4

【 国际調查報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2014/070115
A. CLASSIFICATION OF SUBJECT MATTER		
G09G 3/36(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
G09G,G02F,G09F,G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS,CNXT,VEN:array,row,scan+,gate.horizontal+,driv+,GOA,ASG,GDM,GIP,GATE,BOAST+,TFT,transistor?,capacitor,panel, driv+, monolith+, pull?up, pull+, up, down, pull?down, maintain+, sustain+, retain+, keep+, boot+, capacity+, frequent+		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103310755 A (SHENZHEN CHINA STAR OPTOELECTRONICS TEC) 18 September 2013 (18.09.2013) description, paragraphs [0033] to [0052] and figures 2-6	1-15
A	CN 102651187 A (BOE TECHNOLOGY GROUP CO LTD) 29 August 2012 (29.08.2012) the whole document	1-15
A	CN 101552040 A (AU OPTRONICS CORP) 07 October 2009 (07.10.2009) the whole document	1-15
A	US 2010097368 A1 (HWANG IN-JAE) 22 April 2010 (22.04.2010) the whole document	1-15
A	TW 201123728 A1 (AU OPTRONICS CORP) 01 July 2011 (01.07.2011) the whole document	1-15
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 24 August 2014		Date of mailing of the international search report 26 September 2014
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451		Authorized officer LIU, Xue Telephone No. (86-10) 62085841

INTERNATIONAL SEARCH REPORTInternational application No.
PCT/CN2014/070115

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20130062127 A (LG DISPLAY CO LTD) 12 June 2013 (12.06.2013) the whole document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2014/070115

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103310755 A	18 September 2013	None	
CN 102651187 A	29 August 2012	US 2012293737 A1	22 November 2012
		US 8532248 B2	10 September 2013
CN 101552040 A	07 October 2009	CN 101552040 B	13 April 2011
US 2010097368 A1	22 April 2010	US 8344991 B2	01 January 2013
		KR 20100042474 A	26 April 2010
TW 201123728 A1	01 July 2011	US 2011150169 A1	23 June 2011
		TWI 384756 B	01 February 2013
		US 8098791 B2	17 January 2012
KR 20130062127 A	12 June 2013	None	

国际检索报告		国际申请号 PCT/CN2014/070115
A. 主题的分类 G09G 3/36(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G, G02F, G09F, G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, CNTXT: 阵列, 行, 扫描, 栅, 水平, 驱动, GOA, ASG, GDM, GIP, GATE, ARRAY, 下拉, 下降, PULL, DOWN, UP, 维持, 保持, 上升, 抬升, 拉升, 抬高, 自举, 电容, BOAST, 频率 VEN: GOA, ASG, GDM, GIP, GATE, level, driv+, ARRAY, BOAST+, TFT, transistor?, capacitor, panel, driv+, monolith+, pull?up, pull+, up, down, pull?down, frequen+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 103310756 A (深圳市华星光电技术有限公司) 2013年 9月 18日 (2013 - 09 - 18) 说明书第[0033]段至第[0052]段、附图2-6	1-15
A	CN 102651187 A (京东方科技集团股份有限公司等) 2012年 8月 29日 (2012 - 08 - 29) 全文	1-15
A	CN 101552040 A (友达光电股份有限公司) 2009年 10月 07日 (2009 - 10 - 07) 全文	1-15
A	US 2010097368 A1 (HWANG IN-JAE) 2010年 4月 22日 (2010 - 04 - 22) 全文	1-15
A	TW 201123728 A1 (友达光电股份有限公司) 2011年 7月 01日 (2011 - 07 - 01) 全文	1-15
A	KR 20130062127 A (LG DISPLAY CO LTD) 2013年 6月 12日 (2013 - 06 - 12) 全文	1-15
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类型文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2014年 8月 24日		国际检索报告邮寄日期 2014年 9月 26日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		受权官员 刘雪 电话号码 (86-10)62085841

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/070115

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103310755	A	2013年 9月 18日	无			
CN	102651187	A	2012年 8月 29日	US	2012293737	A1	2012年 11月 22日
				US	8532248	B2	2013年 9月 10日
CN	101552040	A	2009年 10月 07日	CN	101552040	B	2011年 4月 13日
US	2010097368	A1	2010年 4月 22日	US	8344991	B2	2013年 1月 01日
				KR	20100042474	A	2010年 4月 26日
TW	201123728	A1	2011年 7月 01日	US	2011150169	A1	2011年 6月 23日
				TW	I384756	B	2013年 2月 01日
				US	8098791	B2	2012年 1月 17日
KR	20130062127	A	2013年 6月 12日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 7 0 J
	G 0 9 G 3/20	6 7 0 E
	G 0 9 G 3/20	6 1 1 J
	G 0 2 F 1/133	5 5 0
	G 1 1 C 19/28	2 3 0

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72) 発明者 ▲ 頼 ▼ 梓杰

中華人民共和国 廣東省 深 ▲ せん ▼ 市 光明新區 塘明大道 9 - 2 號 5 1 8 1 3 2

F ターム (参考) 2H193 ZA04 ZF23 ZF24 ZF44
 5B074 AA02 CA01 EA02
 5C006 AA16 AA22 AF42 AF50 AF72 BB16 BC02 BC03 BC06 BC20
 BF03 BF34 BF37 BF42 EB05 FA33 FA36 FA41 FA51
 5C080 AA10 BB05 CC03 DD09 DD25 DD28 DD29 EE29 FF03 FF11
 JJ02 JJ03 JJ04

专利名称(译)	GOA电路和显示装置用于液晶显示器		
公开(公告)号	JP2017504821A	公开(公告)日	2017-02-09
申请号	JP2016533627	申请日	2014-01-03
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	李長暉		
发明人	▲虞▼曉江 李長暉 ▲賴▼梓杰		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G11C19/28		
CPC分类号	G09G3/3674 G09G3/3677 G09G2310/0286 G11C19/28 G09G3/3607 G09G3/3648 G09G3/3688 G09G2300/0809 G09G2310/0248 G09G2310/027 G09G2320/0242 G09G2320/0252 G02F1/13306 G02F1/13454		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.621.M G09G3/20.680.G G09G3/20.612.K G09G3/20.670.J G09G3/20.670.E G09G3/20.611.J G02F1/133.550 G11C19/28.230		
F-TERM分类号	2H193/ZA04 2H193/ZF23 2H193/ZF24 2H193/ZF44 5B074/AA02 5B074/CA01 5B074/EA02 5C006/AA16 5C006/AA22 5C006/AF42 5C006/AF50 5C006/AF72 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF03 5C006/BF34 5C006/BF37 5C006/BF42 5C006/EB05 5C006/FA33 5C006/FA36 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD09 5C080/DD25 5C080/DD28 5C080/DD29 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	铃木 征四郎		
优先权	201310700186.7 2013-12-18 CN		
其他公开文献	JP6208872B2		
外部链接	Espacenet		

摘要(译)

阿本发明提供一种电路GOA和在液晶显示器中使用的显示装置。本发明的GOA电路包括多个级联的GOA单元。级n GOA单元由上拉电路，一个下拉电路，和一个下拉保持电路，上拉控制电路，所述自举电容器的。在操作期间，分别输入第n级时钟信号·第一和第二时钟信号。第一时钟信号和第二时钟信号的频率比所述第n级的时钟信号下，并且被充电到充电的所述第二电路点和第二时钟信号与第一时钟信号的第一电路点它依次完成。本发明还提供了相应的显示装置。本发明中，低频时钟信号和高频时钟信号，通过精确地控制影响的水平扫描线充电栅极的电压，以确保充电GOA信号的稳定的输出的电路GOA。点域1

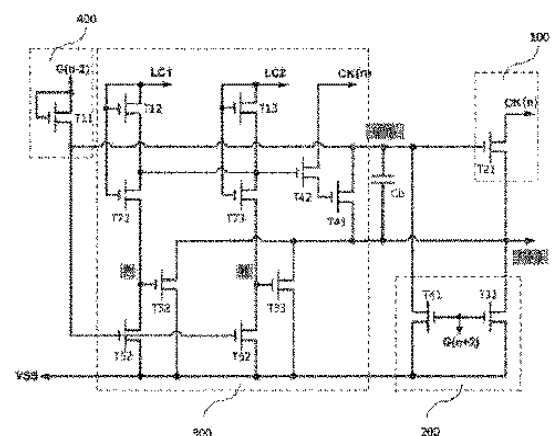


图 1 / Fig. 1