

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2016-527560

(P2016-527560A)

(43) 公表日 平成28年9月8日(2016.9.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H192
G09G 3/20 (2006.01)	G09G 3/20 622R	2H193
G02F 1/1368 (2006.01)	G09G 3/20 621K	5C006
G02F 1/133 (2006.01)	G09G 3/20 660X	5C080
	G09G 3/20 622D	
審査請求 有 予備審査請求 未請求 (全 27 頁) 最終頁に続く		

(21) 出願番号	特願2016-530304 (P2016-530304)	(71) 出願人	515203228
(86) (22) 出願日	平成25年8月7日 (2013.8.7)		深▲せん▼市華星光電技術有限公司
(85) 翻訳文提出日	平成28年3月8日 (2016.3.8)		中華人民共和國廣東省深▲せん▼市光明新
(86) 国際出願番号	PCT/CN2013/080981		區塘明大道9-2號518132
(87) 国際公開番号	W02015/013988	(74) 代理人	100143720
(87) 国際公開日	平成27年2月5日 (2015.2.5)		弁理士 米田 耕一郎
(31) 優先権主張番号	201310332337.8	(74) 代理人	100080252
(32) 優先日	平成25年8月1日 (2013.8.1)		弁理士 鈴木 征四郎
(33) 優先権主張国	中国 (CN)	(72) 発明者	姚曉慧
			中華人民共和國廣東省深▲せん▼市光明新
			區塘明大道9-2號518132
		(72) 発明者	許哲豪
			中華人民共和國廣東省深▲せん▼市光明新
			區塘明大道9-2號518132
最終頁に続く			

(54) 【発明の名称】 アレイ基板及び液晶表示パネル

(57) 【要約】

【課題】 2D、3D表示モードにおける大視野角の色ずれを抑制し、同時に2D表示モードの開口率を高め、3D表示モードにおける両眼信号のクロストークを抑制するアレイ基板、及び液晶表示パネルを提供する。

【解決手段】 行に分けて配列した複数の第1走査線と、行に分けて配列した複数の第2走査線と、複数のデータ線と、行に分けて配列した複数の画素ユニットと、及びコモン電圧を入力するために用いるコモン電極とを含んでなり、該複数の画素ユニットは、それぞれが1本の第1走査線と、1本の第2走査線と、1本のデータ線に対応し、それぞれの該画素ユニットは、第1画素電極と第2画素電極と第3画素電極と、及び第1開閉器と第2開閉器と第3開閉器とを含み、かつそれぞれの該画素ユニットは制御回路をさらに含み、該第1画素電極は、該第1開閉器を介して該画素ユニットに対応する該第1走査線と該データ線とに接続し、該第2画素電極は、該第2開閉器を介して該画素ユニットに対応する第1走査線と該データ線とに接続し、該第3画素電極は、該第3開閉器を介して該第2画素電極と該画素ユニットに対応する

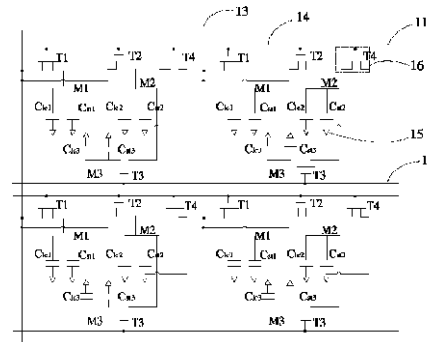


図3 / FIG. 3

【特許請求の範囲】

【請求項 1】

行に分けて配列した複数の第 1 走査線と、行に分けて配列した複数の第 2 走査線と、複数のデータ線と、行に分けて配列した複数の画素ユニットと、及びコモン電圧を入力するために用いるコモン電極とを含んでなり、該複数の画素ユニットは、それぞれが 1 本の第 1 走査線と、1 本の第 2 走査線と、1 本のデータ線に対応し、

それぞれの該画素ユニットは、第 1 画素電極と第 2 画素電極と第 3 画素電極と、及び第 1 開閉器と第 2 開閉器と第 3 開閉器とを含み、かつそれぞれの該画素ユニットは制御回路をさらに含み、

該第 1 画素電極は、該第 1 開閉器を介して該画素ユニットに対応する該第 1 走査線と該データ線とに接続し、該第 2 画素電極は、該第 2 開閉器を介して該画素ユニットに対応する第 1 走査線と該データ線とに接続し、該第 3 画素電極は、該第 3 開閉器を介して該第 2 画素電極と該画素ユニットに対応する第 2 走査線に接続し、

該制御回路が第 4 開閉器であって、該第 4 開閉器が制御端と、第 1 端と及び第 2 端とを含み、かつ該第 4 開閉器の制御端が該画素ユニットに対応する該第 1 走査線に接続し、該第 4 開閉器の第 1 端が該画素ユニットに対応する第 2 画素電極に接続し、該第 4 開閉器の第 2 端が該コモン電極に接続し、該第 4 開閉器が、該第 1 走査線に走査信号入力した場合にオンになって該第 2 画素電極の電圧を変化させるとともに、オンになっている時間内に該第 2 画素電極と該コモン電極との間の電圧差がゼロにならないように制御し、

2 D 表示モードにおいて、該第 1 走査線に走査信号を入力して該第 1 開閉器と該第 2 開閉器とがオンになるように制御し、かつ該第 1 画素電極と該第 2 画素電極とが該データ線からデータ信号を受けて 2 D 画面に対応する画像を表示する状態になるとともに、該第 4 開閉器がオンになると該第 2 画素電極と該コモン電極とが電氣的に接続して該第 2 画素電極に第 1 回目の変化が発生し、次いで該第 1 走査線が該第 1 開閉器と該第 2 開閉器とを制御してオフにし、該第 2 走査線に走査信号を入力して該第 3 開閉器がオンになるように制御して該第 2 画素電極と該第 3 画素電極とを電氣的に接続し、該第 3 画素電極が該第 2 画素電極からデータ信号を受けて 2 D 画面に対応する画像を表示する状態になり、第 1 回目の変化が発生した該第 2 画素電極の電圧に該第 3 画素電極によって第 2 回目の変化が発生し、該第 3 開閉器がオンになっている時間内に該第 2 画素電極と該第 3 画素電極との間の電圧差がゼロにならないように制御し、一行の該画素ユニットに対応する第 1 走査線に対して走査を行うと同時に、該一行の該画素ユニットに隣り合い、かつ最近に走査された前一行の画素ユニットに対応する第 2 走査線に走査を行い、

3 D 表示モードにおいて、該第 2 走査線が該第 3 開閉器を制御してオフにし、該第 1 走査線に走査信号を入力して該第 1 開閉器と該第 2 開閉器とがオンになるように制御し、該第 1 画素電極と該第 2 画素電極とが該データ線からデータ信号を受けて 3 D 画面に対応する画像を表示する状態となり、該制御回路が該第 2 画素電極に作用して該第 2 画素電極の電圧を変化させ、該第 3 画素電極が該第 3 開閉器のオフになる作用によって黒い画面に対応する画像を表示する状態となることを特徴とするアレイ基板。

【請求項 2】

前記第 4 開閉器が薄膜トランジスタであって、該第 4 開閉器の制御端が薄膜トランジスタのゲートに対応し、該第 4 開閉器の第 1 端が薄膜トランジスタのソースに対応し、かつ該第 4 開閉器の第 2 端が薄膜トランジスタのドレインに対応するとともに、該薄膜トランジスタの幅と長さの比が第 1 設定値よりも小さく、オンになっている時間内に該第 2 画素電極と該コモン電極との間の電圧差がゼロにならないように制御することを特徴とする請求項 1 に記載のアレイ基板。

【請求項 3】

前記アレイ基板が、該アレイ基板の外周領域に位置するスイッチ素子と短絡線とを含み、
該スイッチ素子が複数の制御スイッチを含み、かつ該制御スイッチが制御端と入力端と及び出力端とを含んでなり、

それぞれの該制御スイッチの入力端が一行の該画素ユニットに対応する第1走査線に接続し、かつ出力端が該一行の該画素ユニットに隣り合う前一行の画素ユニットに対応する第2走査線に接続するとともに、全ての該制御スイッチの制御端が該短絡線に接続し、

2D表示モードにおいて該短絡線に制御信号を入力して全ての該制御スイッチがオンになるように制御し、一行の画素ユニットに対応する第1走査線に走査信号を入力した場合、該走査信号が該制御スイッチを通過すると同時に該制御スイッチの出力端に接続する第2走査線に入力して対応する第3開閉器がオンになるように制御し、かつ3D表示モードにおいては該短絡線に制御信号を入力して全ての該制御スイッチがオフになるように制御し、全ての該第3開閉器がオフになるように制御することを特徴とする請求項1に記載のアレイ基板。

10

【請求項4】

前記第3画素電極の位置する領域の面積が該第1画素電極と該第2画素電極の位置する領域の面積より狭いことを特徴とする請求項1に記載のアレイ基板。

【請求項5】

前記第3開閉器が薄膜トランジスタであって、該薄膜トランジスタのゲートが該第2走査線に接続し、該薄膜トランジスタのソースが該第2画素電極に接続し、該薄膜トランジスタのドレインが該第3画素電極に接続し、かつ該薄膜トランジスタの幅と長さとの比が第2設定値より小さく、オンになっている時間内に該第2画素電極と該第3画素電極との間の電圧差がゼロにならないように制御することを特徴とする請求項1に記載のアレイ基板。

20

【請求項6】

複数の第1走査線と、複数の第2走査線と、複数のデータ線と、複数の画素ユニットと、及びコモン電圧を入力するために用いるコモン電極とを含んでなり、該複数の画素ユニットは、それぞれが1本の第1走査線と、1本の第2走査線と、1本のデータ線に対応し、

それぞれの該画素ユニットは、第1画素電極と第2画素電極と第3画素電極と、及び第1開閉器と第2開閉器と第3開閉器とを含み、かつそれぞれの該画素ユニットは制御回路をさらに含み、

該第1画素電極は、該第1開閉器を介して該画素ユニットに対応する該第1走査線と該データ線とに接続し、該第2画素電極は、該第2開閉器を介して該画素ユニットに対応する第1走査線と該データ線とに接続し、該第3画素電極は、該第3開閉器を介して該第2画素電極と該画素ユニットに対応する第2走査線に接続し、

30

該制御回路が該画素ユニットに対応する該第1走査線と該第2画素電極に接続し、該制御回路が該第1走査線に走査信号を入力した場合に該第2画素電極に作用して、該第2画素電極の電圧を変化させるとともに、該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御し、

2D表示モードにおいて、該第1走査線に走査信号を入力して該第1開閉器と該第2開閉器とがオンになるように制御し、かつ該第1画素電極と該第2画素電極とが該データ線からデータ信号を受けて2D画面に対応する画像を表示する状態になるとともに、該制御回路が該第2画素電極に作用して該第2画素電極の電圧に第1回目の電圧の変化を発生させ、次いで該第1走査線が該第1開閉器と該第2開閉器とを制御してオフにし、該第2走査線に走査信号を入力して該第3開閉器がオンになるように制御して該第2画素電極と該第3画素電極とを電氣的に接続し、該第3画素電極が該第2画素電極からデータ信号を受けて2D画面に対応する画像を表示する状態になり、第1回目の変化が発生した該第2画素電極の電圧に該第3画素電極によって第2回目の変化が発生し、該第3開閉器がオンになっている時間内に該第2画素電極と該第3画素電極との間の電圧差がゼロにならないように制御し、

40

3D表示モードにおいて、該第2走査線が該第3開閉器を制御してオフにし、該第1走査線に走査信号を入力して該第1開閉器と該第2開閉器とがオンになるように制御し、該第1画素電極と該第2画素電極とが該データ線からデータ信号を受けて3D画面に対応す

50

る画像を表示する状態となり、該制御回路が該第2画素電極に作用して該第2画素電極の電圧を変化させ、該第3画素電極が該第3開閉器のオフになる作用によって黒い画面に対応する画像を表示する状態となることを特徴とするアレイ基板。

【請求項7】

前記制御回路が第4開閉器であって、かつ該第4開閉器が制御端と第1端と第2端とを含んでなり、該第4開閉器の制御端が該画素ユニットに対応する該第1走査線に接続し、該第4開閉器の該第1端が該画素ユニットに対応する該第2画素電極に接続し、該第4開閉器の該第2端が該コモン電極に接続し、

該第1走査線に走査信号を入力した場合に該第4開閉器がオンになり、該第2画素電極と該コモン電極とが電氣的に接続して該第2画素電極に第1回目の電圧の変化が発生し、該第4開閉器がオンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御することを特徴とする請求項6に記載のアレイ基板。

10

【請求項8】

前記第4開閉器が薄膜トランジスタであって、該第4開閉器の該制御端が薄膜トランジスタのゲートに対応し、該第4開閉器の該第1端が薄膜トランジスタのソースに対応し、かつ該第4開閉器の該第2端が薄膜トランジスタのドレインに対応するとともに、該薄膜トランジスタの幅と長さの比が第1設定値よりも小さく、オンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御することを特徴とする請求項7に記載のアレイ基板。

【請求項9】

20

前記複数の画素ユニットが行に分けて配列され、複数の該第1走査線と複数の該第2走査線も行に分けて配列され、2D表示モードにおいて、一行の該画素ユニットに対応する第1走査線に走査を行うと同時に、該一行の該画素ユニットに隣り合い、かつ最近に走査された前一行の画素ユニットに対応する第2走査線に走査を行うことを特徴とする請求項6に記載のアレイ基板。

【請求項10】

前記アレイ基板が、アレイ基板外周領域に位置するスイッチ素子と短絡線とを含み、該スイッチ素子は複数の制御スイッチを含み、該制御スイッチは制御端と、入力端と、出力端を含んでなり、それぞれの該制御スイッチは入力端が一行の該画素ユニットに対応する第1走査線に接続し、出力端が該一行の該画素ユニットに隣り合う前一行の画素ユニットに対応する第2走査線に接続し、かつ全ての該制御スイッチの該制御端が該短絡線に接続し、

30

2D表示モードにおいて該短絡線に制御信号を入力して全ての該制御スイッチをオンにし、一行の該画素ユニットに対応する第1走査線に走査信号を入力した場合に該走査信号が該制御スイッチを通過すると同時に、該制御スイッチの出力端に接続する第2走査線に入力して対応する第3開閉器がオンになるように制御し、3D表示モードにおいて該短絡線に制御信号を入力して全ての該制御スイッチがオフになるように制御し、かつ全ての該第3開閉器がオフになるように制御することを特徴とする請求項9に記載のアレイ基板。

【請求項11】

前記第3画素電極の位置する領域の面積が、該第1画素電極と該第2画素電極の位置する領域の面積より狭いことを特徴とする請求項6に記載のアレイ基板。

40

【請求項12】

前記第3開閉器が薄膜トランジスタであって、該薄膜トランジスタのゲートが該第2走査線に接続し、該薄膜トランジスタのソースが該第2画素電極に接続し、該薄膜トランジスタのドレイントが該第3画素電極に接続し、かつ該薄膜トランジスタは幅と長さとの比が第2設定値より小さく、オンになっている時間内に該第2画素電極と該第3画素電極との間の電圧差がゼロにならないように制御することを特徴とする請求項6に記載のアレイ基板。

【請求項13】

アレイ基板と、カラーフィルタ基板と、及び該アレイ基板と該カラーフィルタ基板との

50

間に位置する液晶層とを含んでなり、

該アレイ基板が、複数の第1走査線と、複数の第2走査線と、複数のデータ線と、複数の画素ユニットと、及びコモン電圧を入力するために用いるコモン電極とを含んでなり、該複数の画素ユニットは、それぞれが1本の第1走査線と、1本の第2走査線と、1本のデータ線に対応し、

それぞれの該画素ユニットは、第1画素電極と第2画素電極と第3画素電極と、及び第1開閉器と第2開閉器と第3開閉器とを含み、かつそれぞれの該画素ユニットは制御回路をさらに含み、

該第1画素電極は、該第1開閉器を介して該画素ユニットに対応する該第1走査線と該データ線とに接続し、該第2画素電極は、該第2開閉器を介して該画素ユニットに対応する第1走査線と該データ線とに接続し、該第3画素電極は、該第3開閉器を介して該第2画素電極と該画素ユニットに対応する第2走査線に接続し、

該制御回路が該画素ユニットに対応する該第1走査線と該第2画素電極に接続し、該制御回路が該第1走査線に走査信号を入力した場合に該第2画素電極に作用して、該第2画素電極の電圧を変化させるとともに、該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御し、

2D表示モードにおいて、該第1走査線に走査信号を入力して該第1開閉器と該第2開閉器とがオンになるように制御し、かつ該第1画素電極と該第2画素電極とが該データ線からデータ信号を受けて2D画面に対応する画像を表示する状態になるとともに、該制御回路が該第2画素電極に作用して該第2画素電極の電圧に第1回目の電圧の変化を発生させ、次いで該第1走査線が該第1開閉器と該第2開閉器とを制御してオフにし、該第2走査線に走査信号を入力して該第3開閉器がオンになるように制御して該第2画素電極と該第3画素電極とを電氣的に接続し、該第3画素電極が該第2画素電極からデータ信号を受けて2D画面に対応する画像を表示する状態になり、第1回目の変化が発生した該第2画素電極の電圧に該第3画素電極によって第2回目の変化が発生し、該第3開閉器がオンになっている時間内に該第2画素電極と該第3画素電極との間の電圧差がゼロにならないように制御し、

3D表示モードにおいて、該第2走査線が該第3開閉器を制御してオフにし、該第1走査線に走査信号を入力して該第1開閉器と該第2開閉器とがオンになるように制御し、該第1画素電極と該第2画素電極とが該データ線からデータ信号を受けて3D画面に対応する画像を表示する状態となり、該制御回路が該第2画素電極に作用して該第2画素電極の電圧を変化させ、該第3画素電極が該第3開閉器のオフになる作用によって黒い画面に対応する画像を表示する状態となることを特徴とする液晶表示パネル。

【請求項14】

前記制御回路が第4開閉器であって、かつ該第4開閉器が制御端と第1端と第2端とを含んでなり、該第4開閉器の制御端が該画素ユニットに対応する該第1走査線に接続し、該第4開閉器の該第1端が該画素ユニットに対応する該第2画素電極に接続し、該第4開閉器の該第2端が該コモン電極に接続し、

該第1走査線に走査信号を入力した場合に該第4開閉器がオンになり、該第2画素電極と該コモン電極とが電氣的に接続して該第2画素電極に第1回目の電圧の変化が発生し、該第4開閉器がオンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御することを特徴とする請求項13に記載の液晶表示パネル。

【請求項15】

前記第4開閉器が薄膜トランジスタであって、該第4開閉器の該制御端が薄膜トランジスタのゲートに対応し、該第4開閉器の該第1端が薄膜トランジスタのソースに対応し、かつ該第4開閉器の該第2端が薄膜トランジスタのドレインに対応するとともに、該薄膜トランジスタの幅と長さの比が第1設定値よりも小さく、オンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御することを特徴とする請求項14に記載の液晶表示パネル。

【請求項16】

前記複数の画素ユニットが行に分けて配列され、複数の該第1走査線と複数の該第2走査線も行に分けて配列され、2D表示モードにおいて、一行の該画素ユニットに対応する第1走査線に走査を行うと同時に、該一行の該画素ユニットに隣り合い、かつ最近に走査された前一行の画素ユニットに対応する第2走査線に走査を行うことを特徴とする請求項13に記載の液晶表示パネル。

【請求項17】

前記アレイ基板が、アレイ基板外周領域に位置するスイッチ素子と短絡線とを含み、
該スイッチ素子は複数の制御スイッチを含み、該制御スイッチは制御端と、入力端と、出力端を含んでなり、それぞれの該制御スイッチは入力端が一行の該画素ユニットに対応する第1走査線に接続し、出力端が該一行の該画素ユニットに隣り合う前一行の画素ユニットに対応する第2走査線に接続し、かつ全ての該制御スイッチの該制御端が該短絡線に接続し、

2D表示モードにおいて該短絡線に制御信号を入力して全ての該制御スイッチをオンにし、一行の該画素ユニットに対応する第1走査線に走査信号を入力した場合に該走査信号が該制御スイッチを通過すると同時に、該制御スイッチの出力端に接続する第2走査線に入力して対応する第3開閉器がオンになるように制御し、3D表示モードにおいて該短絡線に制御信号を入力して全ての該制御スイッチがオフになるように制御し、かつ全ての該第3開閉器がオフになるように制御することを特徴とする請求項16に記載の液晶表示パネル。

【請求項18】

前記第3画素電極の位置する領域の面積が、該第1画素電極と該第2画素電極の位置する領域の面積より狭いことを特徴とする請求項13に記載の液晶表示パネル。

【請求項19】

前記第3開閉器が薄膜トランジスタであって、該薄膜トランジスタのゲートが該第2走査線に接続し、該薄膜トランジスタのソースが該第2画素電極に接続し、該薄膜トランジスタのドレイントが該第3画素電極に接続し、かつ該薄膜トランジスタは幅と長さとの比が第2設定値より小さく、オンになっている時間内に該第2画素電極と該第3画素電極との間の電圧差がゼロにならないように制御することを特徴とする請求項13に記載の液晶表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、表示技術に関し、特にアレイ基板及び液晶表示パネルに関する。

【背景技術】

【0002】

VA (Vertical Alignment) 方式の液晶表示パネルは、反応速度が速く、高いコントラストが得られるなどの利点を有する。このため、目下液晶表示パネルの主流として発展している。但し、異なる視野角においては、液晶分子の配向方向が一致しない。このため液晶分子の有効な屈折率もことなる。ここから透過する光線強度の変化を招き、具体的には斜め視野角における光透過能力の表現が劣ることになる。斜め視野角方向と正面視野角とでは表現される色彩が一致しなくなり、色収差が発生する。よって、大視野角において色ずれが見られるようになる。大視野角における色ずれを改善するため、画素のレイアウトにおいて一つの画素をメイン画素エリアとサブ画素エリアとに分け、かつそれぞれの画素エリアを4つのドメイン (domain、液晶分子の配向ベクトルが基本的に同一の微小なエリア) に分ける。このため、それぞれ画素が8つのドメインに分けられ、かつメイン画素エリアとサブ画素エリアの電圧が異なるように制御することで、2つの画素エリア内の液晶分子の配向が異なるようにし、ここから大視野角における色ずれを改善し、LCS (Low Color Shift、低ひずみ) の効果を得ることができる。

【0003】

また、液晶表示技術の発展にともない、ほとんどの液晶表示装置は、すでに2Dと3D表示機能を兼ね備えている。3DFRP (Film-type Patterned Retarder, 偏光方式) の立体技術において、隣り合う2列の画素が使用者の左眼と右眼とに対応し、それぞれ左眼用の画像と右眼用の画像とを発生させる。視聴者の左右の眼がそれぞれ対応する左眼用の画像と右眼用の画像とを受けると、大腦を通じて左右の画像が合成されて立体的な表示に感じるという効果が生じる。だが、左眼用の画像と右眼用の画像はクロストークが容易に発生する。このため画像が重なって見え、視聴効果に影響を与える。両眼画像信号のクロストークを避けるために、通常は隣り合う画像の間に余剰の遮光エリアBM (ブラックマトリクス) を増加させ、遮蔽方式でクロストークの発生を抑制する。係る方式を採用することは、2D表示モードにおける開口率を大幅に下げることになり、2D表示モードの表示の明るさが低下する。

10

【0004】

上述するLCSのレイアウトについて、一つの画素をメイン画素エリアとサブ画素エリアとに分ける技術プランは、2D表示モードにおける開口率の問題と、3D表示モードにおける両眼信号のクロストークの問題とを同時に解決することができる。即ち、2D表示モードにおいてはメイン画素エリアとサブ画素エリアとを制御して正常に2D画像を表示し、3D表示モードにおいてはメイン画素エリアに、ブラックマトリクスと均等の効果を有する黒い画面を表示して両眼信号のクロストークを抑制し、サブ画素エリアにおいて正常に3D画像を表示する。しかしながら、3D表示モードにおいては、メイン画素エリアに黒い画面を表示するため、即ち3D表示モードにおいては1つの画素エリアにおいてのみ正常な3D画像を表示するため、LCSの効果を達成することができず、大視野角においては、依然として色ずれが見られる。

20

【発明の概要】

【発明が解決しようとする課題】

【0005】

この発明は、2D表示モード、及び3D表示モードにおける大視野角の色ずれを抑制し、同時に2D表示モードにおける開口率を高め、3D表示モードにおける両眼信号のクロストークを抑制することのできるアレイ基板、及び液晶表示パネルを提供することを課題とする。

【0006】

また、この発明は走査駆動チップの数を減少させて製造コストを節減することのできるアレイ基板、及び液晶表示パネルを提供することを課題とする。

30

【課題を解決するための手段】

【0007】

そこで、本発明者は従来の技術に見られる欠点に鑑み鋭意研究を重ねた結果、行に分けて配列した複数の第1走査線と、行に分けて配列した複数の第2走査線と、複数のデータ線と、行に分けて配列した複数の画素ユニットと、及びコモン電圧を入力するために用いるコモン電極とを含んでなり、該複数の画素ユニットは、それぞれが1本の第1走査線と、1本の第2走査線と、1本のデータ線に対応し、

それぞれの該画素ユニットは、第1画素電極と第2画素電極と第3画素電極と、及び第1開閉器と第2開閉器と第3開閉器とを含み、かつそれぞれの該画素ユニットは制御回路をさらに含み、

40

該第1画素電極は、該第1開閉器を介して該画素ユニットに対応する該第1走査線と該データ線とに接続し、該第2画素電極は、該第2開閉器を介して該画素ユニットに対応する第1走査線と該データ線とに接続し、該第3画素電極は、該第3開閉器を介して該第2画素電極と該画素ユニットに対応する第2走査線に接続し、

該制御回路が第4開閉器であって、該第4開閉器が制御端と、第1端と及び第2端とを含み、かつ該第4開閉器の制御端が該画素ユニットに対応する該第1走査線に接続し、該第4開閉器の第1端が該画素ユニットに対応する第2画素電極に接続し、該第4開閉器の第2端が該コモン電極に接続し、該第4開閉器が、該第1走査線に走査信号入力した場合

50

にオンになって該第2画素電極の電圧を変化させるとともに、オンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御するアレイ基板と、及び係るアレイ基板を含んでなる液晶表示パネルによって課題を解決できる点に着眼し、係る知見に基づいて本発明を完成させた。

【0008】

以下、この発明について説明する。請求項1に記載するアレイ基板は、

行に分けて配列した複数の第1走査線と、行に分けて配列した複数の第2走査線と、複数のデータ線と、行に分けて配列した複数の画素ユニットと、及びコモン電圧を入力するために用いるコモン電極とを含んでなり、該複数の画素ユニットは、それぞれが1本の第1走査線と、1本の第2走査線と、1本のデータ線に対応し、

それぞれの該画素ユニットは、第1画素電極と第2画素電極と第3画素電極と、及び第1開閉器と第2開閉器と第3開閉器とを含み、かつそれぞれの該画素ユニットは制御回路をさらに含み、

該第1画素電極は、該第1開閉器を介して該画素ユニットに対応する該第1走査線と該データ線とに接続し、該第2画素電極は、該第2開閉器を介して該画素ユニットに対応する第1走査線と該データ線とに接続し、該第3画素電極は、該第3開閉器を介して該第2画素電極と該画素ユニットに対応する第2走査線に接続し、

該制御回路が第4開閉器であって、該第4開閉器が制御端と、第1端と及び第2端とを含み、かつ該第4開閉器の制御端が該画素ユニットに対応する該第1走査線に接続し、該第4開閉器の第1端が該画素ユニットに対応する第2画素電極に接続し、該第4開閉器の第2端が該コモン電極に接続し、該第4開閉器が、該第1走査線に走査信号入力した場合にオンになって該第2画素電極の電圧を変化させるとともに、オンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御し、

2D表示モードにおいて、該第1走査線に走査信号を入力して該第1開閉器と該第2開閉器がオンになるように制御し、かつ該第1画素電極と該第2画素電極とが該データ線からデータ信号を受けて2D画面に対応する画像を表示する状態になるとともに、該第4開閉器がオンになると該第2画素電極と該コモン電極とが電氣的に接続して該第2画素電極に第1回目の変化が発生し、次いで該第1走査線が該第1開閉器と該第2開閉器とを制御してオフにし、該第2走査線に走査信号を入力して該第3開閉器がオンになるように制御して該第2画素電極と該第3画素電極とを電氣的に接続し、該第3画素電極が該第2画素電極からデータ信号を受けて2D画面に対応する画像を表示する状態になり、第1回目の変化が発生した該第2画素電極の電圧に該第3画素電極によって第2回目の変化が発生し、該第3開閉器がオンになっている時間内に該第2画素電極と該第3画素電極との間の電圧差がゼロにならないように制御し、一行の該画素ユニットに対応する第1走査線に対して走査を行うと同時に、該一行の該画素ユニットに隣り合い、かつ最近に走査された前一行の画素ユニットに対応する第2走査線に走査を行い、

3D表示モードにおいて、該第2走査線が該第3開閉器を制御してオフにし、該第1走査線に走査信号を入力して該第1開閉器と該第2開閉器とがオンになるように制御し、該第1画素電極と該第2画素電極とが該データ線からデータ信号を受けて3D画面に対応する画像を表示する状態となり、該制御回路が該第2画素電極に作用して該第2画素電極の電圧を変化させ、該第3画素電極が該第3開閉器のオフになる作用によって黒い画面に対応する画像を表示する状態となる。

【0009】

請求項2に記載するアレイ基板は、請求項1における第4開閉器が薄膜トランジスタであって、該第4開閉器の制御端が薄膜トランジスタのゲートに対応し、該第4開閉器の第1端が薄膜トランジスタのソースに対応し、かつ該第4開閉器の第2端が薄膜トランジスタのドレインに対応するとともに、該薄膜トランジスタの幅と長さの比が第1設定値よりも小さく、オンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御する。

【0010】

請求項 3 に記載するアレイ基板は、請求項 1 におけるアレイ基板が、該アレイ基板の外周領域に位置するスイッチ素子と短絡線とを含み、

該スイッチ素子が複数の制御スイッチを含み、かつ該制御スイッチが制御端と入力端と及び出力端とを含んでなり、

それぞれの該制御スイッチの入力端が一行の該画素ユニットに対応する第 1 走査線に接続し、かつ出力端が該一行の該画素ユニットに隣り合う前一行の画素ユニットに対応する第 2 走査線に接続するとともに、全ての該制御スイッチの制御端が該短絡線に接続し、

2 D 表示モードにおいて該短絡線に制御信号を入力して全ての該制御スイッチがオンになるように制御し、一行の画素ユニットに対応する第 1 走査線に走査信号を入力した場合、該走査信号が該制御スイッチを通過すると同時に該制御スイッチの出力端に接続する第 2 走査線に入力して対応する第 3 開閉器がオンになるように制御し、かつ 3 D 表示モードにおいては該短絡線に制御信号を入力して全ての該制御スイッチがオフになるように制御し、全ての該第 3 開閉器がオフになるように制御する。

【0011】

請求項 4 に記載するアレイ基板は、請求項 1 における記第 3 画素電極の位置する領域の面積が該第 1 画素電極と該第 2 画素電極の位置する領域の面積より狭い。

【0012】

請求項 5 に記載するアレイ基板は、請求項 1 における第 3 開閉器が薄膜トランジスタであって、該薄膜トランジスタのゲートが該第 2 走査線に接続し、該薄膜トランジスタのソースが該第 2 画素電極に接続し、該薄膜トランジスタのドレインが該第 3 画素電極に接続し、かつ該薄膜トランジスタの幅と長さとの比が第 2 設定値より小さく、オンになっている時間内に該第 2 画素電極と該第 3 画素電極との間の電圧差がゼロにならないように制御する。

【0013】

請求項 6 に記載するアレイ基板は、複数の第 1 走査線と、複数の第 2 走査線と、複数のデータ線と、複数の画素ユニットと、及びコモン電圧を入力するために用いるコモン電極とを含んでなり、該複数の画素ユニットは、それぞれが 1 本の第 1 走査線と、1 本の第 2 走査線と、1 本のデータ線に対応し、

それぞれの該画素ユニットは、第 1 画素電極と第 2 画素電極と第 3 画素電極と、及び第 1 開閉器と第 2 開閉器と第 3 開閉器とを含み、かつそれぞれの該画素ユニットは制御回路をさらに含み、

該第 1 画素電極は、該第 1 開閉器を介して該画素ユニットに対応する該第 1 走査線と該データ線とに接続し、該第 2 画素電極は、該第 2 開閉器を介して該画素ユニットに対応する第 1 走査線と該データ線とに接続し、該第 3 画素電極は、該第 3 開閉器を介して該第 2 画素電極と該画素ユニットに対応する第 2 走査線に接続し、

該制御回路が該画素ユニットに対応する該第 1 走査線と該第 2 画素電極に接続し、該制御回路が該第 1 走査線に走査信号を入力した場合に該第 2 画素電極に作用して、該第 2 画素電極の電圧を変化させるとともに、該第 2 画素電極と該コモン電極との間の電圧差がゼロにならないように制御し、

2 D 表示モードにおいて、該第 1 走査線に走査信号を入力して該第 1 開閉器と該第 2 開閉器と該第 4 開閉器がオンになるように制御し、かつ該第 1 画素電極と該第 2 画素電極とが該データ線からデータ信号を受けて 2 D 画面に対応する画像を表示する状態になるとともに、該制御回路が該第 2 画素電極に作用して該第 2 画素電極の電圧に第 1 回目の電圧の変化を発生させ、次いで該第 1 走査線が該第 1 開閉器と該第 2 開閉器とを制御してオフにし、該第 2 走査線に走査信号を入力して該第 3 開閉器がオンになるように制御して該第 2 画素電極と該第 3 画素電極とを電氣的に接続し、該第 3 画素電極が該第 2 画素電極からデータ信号を受けて 2 D 画面に対応する画像を表示する状態になり、第 1 回目の変化が発生した該第 2 画素電極の電圧に該第 3 画素電極によって第 2 回目の変化が発生し、該第 3 開閉器がオンになっている時間内に該第 2 画素電極と該第 3 画素電極との間の電圧差がゼロにならないように制御し、

10

20

30

40

50

3 D表示モードにおいて、該第2走査線が該第3開閉器を制御してオフにし、該第1走査線に走査信号を入力して該第1開閉器と該第2開閉器とがオンになるように制御し、該第1画素電極と該第2画素電極とが該データ線からデータ信号を受けて3 D画面に対応する画像を表示する状態となり、該制御回路が該第2画素電極に作用して該第2画素電極の電圧を変化させ、該第3画素電極が該第3開閉器のオフになる作用によって黒い画面に対応する画像を表示する状態となる。

【0014】

請求項7に記載するアレイ基板は、請求項6における制御回路が第4開閉器であって、かつ該第4開閉器が制御端と第1端と第2端とを含んでなり、該第4開閉器の制御端が該画素ユニットに対応する該第1走査線に接続し、該第4開閉器の該第1端が該画素ユニットに対応する該第2画素電極に接続し、該第4開閉器の該第2端が該コモン電極に接続し、

10

該第1走査線に走査信号を入力した場合に該第4開閉器がオンになり、該第2画素電極と該コモン電極とが電氣的に接続して該第2画素電極に第1回目の電圧の変化が発生し、該第4開閉器がオンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御する。

【0015】

請求項8に記載するアレイ基板は、請求項7における第4開閉器が薄膜トランジスタであって、該第4開閉器の該制御端が薄膜トランジスタのゲートに対応し、該第4開閉器の該第1端が薄膜トランジスタのソースに対応し、かつ該第4開閉器の該第2端が薄膜トランジスタのドレインに対応するとともに、該薄膜トランジスタの幅と長さの比が第1設定値よりも小さく、オンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御する。

20

【0016】

請求項9に記載するアレイ基板は、請求項6における複数の画素ユニットが行に分けて配列され、複数の該第1走査線と複数の該第2走査線も行に分けて配列され、2 D表示モードにおいて、一行の該画素ユニットに対応する第1走査線に走査を行うと同時に、該一行の該画素ユニットに隣り合い、かつ最近に走査された前一行の画素ユニットに対応する第2走査線に走査を行う。

【0017】

30

請求項10に記載するアレイ基板は、請求項9におけるアレイ基板が、アレイ基板外周領域に位置するスイッチ素子と短絡線とを含み、

該スイッチ素子は複数の制御スイッチを含み、該制御スイッチは制御端と、入力端と、出力端を含んでなり、それぞれの該制御スイッチは入力端が一行の該画素ユニットに対応する第1走査線に接続し、出力端が該一行の該画素ユニットに隣り合う前一行の画素ユニットに対応する第2走査線に接続し、かつ全ての該制御スイッチの該制御端が該短絡線に接続し、

2 D表示モードにおいて該短絡線に制御信号を入力して全ての該制御スイッチをオンにし、一行の該画素ユニットに対応する第1走査線に走査信号を入力した場合に該走査信号が該制御スイッチを通過すると同時に、該制御スイッチの出力端に接続する第2走査線に入力して対応する第3開閉器がオンになるように制御し、3 D表示モードにおいて該短絡線に制御信号を入力して全ての該制御スイッチがオフになるように制御し、かつ全ての該第3開閉器がオフになるように制御する。

40

【0018】

請求項11に記載するアレイ基板は、請求項6における第3画素電極の位置する領域の面積が、該第1画素電極と該第2画素電極の位置する領域の面積より狭い。

【0019】

請求項12に記載するアレイ基板は、請求項6における第3開閉器が薄膜トランジスタであって、該薄膜トランジスタのゲートが該第2走査線に接続し、該薄膜トランジスタのソースが該第2画素電極に接続し、該薄膜トランジスタのドレイントが該第3画素電極に

50

接続し、かつ該薄膜トランジスタは幅と長さとの比が第2設定値より小さく、オンになっている時間内に該第2画素電極と該第3画素電極との間の電圧差がゼロにならないように制御する。

【0020】

請求項13に記載する液晶表示パネルは、アレイ基板と、カラーフィルタ基板と、及び該アレイ基板と該カラーフィルタ基板との間に位置する液晶層とを含んでなり、

該アレイ基板が、複数の第1走査線と、複数の第2走査線と、複数のデータ線と、複数の画素ユニットと、及びコモン電圧を入力するために用いるコモン電極とを含んでなり、該複数の画素ユニットは、それぞれが1本の第1走査線と、1本の第2走査線と、1本のデータ線に対応し、

それぞれの該画素ユニットは、第1画素電極と第2画素電極と第3画素電極と、及び第1開閉器と第2開閉器と第3開閉器とを含み、かつそれぞれの該画素ユニットは制御回路をさらに含み、

該第1画素電極は、該第1開閉器を介して該画素ユニットに対応する該第1走査線と該データ線とに接続し、該第2画素電極は、該第2開閉器を介して該画素ユニットに対応する第1走査線と該データ線とに接続し、該第3画素電極は、該第3開閉器を介して該第2画素電極と該画素ユニットに対応する第2走査線に接続し、

該制御回路が該画素ユニットに対応する該第1走査線と該第2画素電極に接続し、該制御回路が該第1走査線に走査信号を入力した場合に該第2画素電極に作用して、該第2画素電極の電圧を変化させるとともに、該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御し、

2D表示モードにおいて、該第1走査線に走査信号を入力して該第1開閉器と該第2開閉器とがオンになるように制御し、かつ該第1画素電極と該第2画素電極とが該データ線からデータ信号を受けて2D画面に対応する画像を表示する状態になるとともに、該制御回路が該第2画素電極に作用して該第2画素電極の電圧に第1回目の電圧の変化を発生させ、次いで該第1走査線が該第1開閉器と該第2開閉器とを制御してオフにし、該第2走査線に走査信号を入力して該第3開閉器がオンになるように制御して該第2画素電極と該第3画素電極とを電氣的に接続し、該第3画素電極が該第2画素電極からデータ信号を受けて2D画面に対応する画像を表示する状態になり、第1回目の変化が発生した該第2画素電極の電圧に該第3画素電極によって第2回目の変化が発生し、該第3開閉器がオンになっている時間内に該第2画素電極と該第3画素電極との間の電圧差がゼロにならないように制御し、

3D表示モードにおいて、該第2走査線が該第3開閉器を制御してオフにし、該第1走査線に走査信号を入力して該第1開閉器と該第2開閉器とがオンになるように制御し、該第1画素電極と該第2画素電極とが該データ線からデータ信号を受けて3D画面に対応する画像を表示する状態となり、該制御回路が該第2画素電極に作用して該第2画素電極の電圧を変化させ、該第3画素電極が該第3開閉器のオフになる作用によって黒い画面に対応する画像を表示する状態となる。

【0021】

請求項14に記載する液晶表示パネルは、請求項13における記制御回路が第4開閉器であって、かつ該第4開閉器が制御端と第1端と第2端とを含んでなり、該第4開閉器の制御端が該画素ユニットに対応する該第1走査線に接続し、該第4開閉器の該第1端が該画素ユニットに対応する該第2画素電極に接続し、該第4開閉器の該第2端が該コモン電極に接続し、

該第1走査線に走査信号を入力した場合に該第4開閉器がオンになり、該第2画素電極と該コモン電極とが電氣的に接続して該第2画素電極に第1回目の電圧の変化が発生し、該第4開閉器がオンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御する。

【0022】

請求項15に記載する液晶表示パネルは、請求項14における記第4開閉器が薄膜トラン

10

20

30

40

50

ジスタであって、該第 4 開閉器の該制御端が薄膜トランジスタのゲートに対応し、該第 4 開閉器の該第 1 端が薄膜トランジスタのソースに対応し、かつ該第 4 開閉器の該第 2 端が薄膜トランジスタのドレインに対応するとともに、該薄膜トランジスタの幅と長さの比が第 1 設定値よりも小さく、オンになっている時間内に該第 2 画素電極と該コモン電極との間の電圧差がゼロにならないように制御する。

【0023】

請求項 16 に記載する液晶表示パネルは、請求項 13 における複数の画素ユニットが行に分けて配列され、複数の該第 1 走査線と複数の該第 2 走査線も行に分けて配列され、2D 表示モードにおいて、一行の該画素ユニットに対応する第 1 走査線に走査を行うと同時に、該一行の該画素ユニットに隣り合い、かつ最近に走査された前一行の画素ユニットに対応する第 2 走査線に走査を行う。

10

【0024】

請求項 17 に記載する液晶表示パネルは、請求項 16 におけるアレイ基板が、アレイ基板外周領域に位置するスイッチ素子と短絡線とを含み、

該スイッチ素子は複数の制御スイッチを含み、該制御スイッチは制御端と、入力端と、出力端を含んでなり、それぞれの該制御スイッチは入力端が一行の該画素ユニットに対応する第 1 走査線に接続し、出力端が該一行の該画素ユニットに隣り合う前一行の画素ユニットに対応する第 2 走査線に接続し、かつ全ての該制御スイッチの該制御端が該短絡線に接続し、

2D 表示モードにおいて該短絡線に制御信号を入力して全ての該制御スイッチをオンにし、一行の該画素ユニットに対応する第 1 走査線に走査信号を入力した場合に該走査信号が該制御スイッチを通過すると同時に、該制御スイッチの出力端に接続する第 2 走査線に入力して対応する第 3 開閉器がオンになるように制御し、3D 表示モードにおいて該短絡線に制御信号を入力して全ての該制御スイッチがオフになるように制御し、かつ全ての該第 3 開閉器がオフになるように制御する。

20

【0025】

請求項 18 に記載する液晶表示パネルは、請求項 13 における第 3 画素電極の位置する領域の面積が、該第 1 画素電極と該第 2 画素電極の位置する領域の面積より狭い。

【0026】

請求項 19 に記載する液晶表示パネルは、請求項 13 における第 3 開閉器が薄膜トランジスタであって、該薄膜トランジスタのゲートが該第 2 走査線に接続し、該薄膜トランジスタのソースが該第 2 画素電極に接続し、該薄膜トランジスタのドレイントが該第 3 画素電極に接続し、かつ該薄膜トランジスタは幅と長さとの比が第 2 設定値より小さく、オンになっている時間内に該第 2 画素電極と該第 3 画素電極との間の電圧差がゼロにならないように制御する。

30

【図面の簡単な説明】

【0027】

【図 1】この発明の実施例によるアレイ基板の構造を示した説明図である。

【図 2】図 1 に開示する画素ユニットの構造を示した説明図である。

【図 3】図 1 に開示する画素ユニットと等価の回路図である。

40

【図 4】図 1 に開示する第 3 画素電極が 3D 表示モードにおいて画像を表示する状態を示した説明図である。

【図 5】他の実施の形態によるアレイ基板の画素ユニットと等価の回路図である。

【図 6】この発明による液晶表示パネルの構造を示した説明図である。

【発明を実施するための形態】

【0028】

この発明は、2D 表示モード、及び 3D 表示モードにおける大視野角の色ずれを抑制し、同時に 2D 表示モードにおける開口率を高め、3D 表示モードにおける両眼信号のクロストークを抑制することのできるアレイ基板、及び液晶表示パネルを提供するものであって、そのアレイ基板は、行に分けて配列した複数の第 1 走査線と、行に分けて配列した複

50

数の第2走査線と、複数のデータ線と、行に分けて配列した複数の画素ユニットと、及びコモン電圧を入力するために用いるコモン電極とを含んでなり、該複数の画素ユニットは、それぞれが1本の第1走査線と、1本の第2走査線と、1本のデータ線とに対応し、

それぞれの該画素ユニットは、第1画素電極と第2画素電極と第3画素電極と、及び第1開閉器と第2開閉器と第3開閉器とを含み、かつそれぞれの該画素ユニットは制御回路をさらに含み、

該第1画素電極は、該第1開閉器を介して該画素ユニットに対応する該第1走査線と該データ線とに接続し、該第2画素電極は、該第2開閉器を介して該画素ユニットに対応する第1走査線と該データ線とに接続し、該第3画素電極は、該第3開閉器を介して該第2画素電極と該画素ユニットに対応する第2走査線に接続し、

10

該制御回路が第4開閉器であって、該第4開閉器が制御端と、第1端と及び第2端とを含み、かつ該第4開閉器の制御端が該画素ユニットに対応する該第1走査線に接続し、該第4開閉器の第1端が該画素ユニットに対応する第2画素電極に接続し、該第4開閉器の第2端が該コモン電極に接続し、該第4開閉器が、該第1走査線に走査信号入力した場合にオンになって該第2画素電極の電圧を変化させるとともに、オンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御する。また、液晶表示パネルは、係るアレイ基板を含んでなる。係るアレイ基板と液晶表示パネルの構造と特徴を説明するために、図面を参照にして以下に詳述する。

【実施例】

【0029】

20

図1に、この発明によるアレイ基板の実施例を開示する。図面の開示によれば、アレイ基板は複数の第1走査線11と、複数の第2走査線12と、複数のデータ線13と、複数の画素ユニット14と、及びコモン電圧を入力するために用いるコモン電極15とを含んでなる。複数の画素ユニット14はアレイ状に配列し、かつそれぞれの画素ユニット14には1本の第1走査線11と、1本の第2走査線12と、1本のデータ線13が接続する。

【0030】

図2と図3とに開示するように、それぞれの画素ユニット14は、第1画素電極M1と、第2画素電極M2と、第3画素電極M3と、及び第1画素電極M1に作用する第1開閉器T1と、第2画素電極M2に作用する第2開閉器T2と、第3画素電極M3作用する第3開閉器T3とを含む。第1開閉器T1は、制御端が第2開閉器T2の制御端と第1走査線11とに電氣的に接続し、かつ入力端が第2開閉器T2の入力端とデータ線13とに電氣的に接続するとともに、出力端が第1画素電極M1に電氣的に接続する。第2開閉器T2は、出力端が第2画素電極M2に電氣的に接続する。第3開閉器は、制御端が第2走査線12に電氣的に接続し、かつ入力端が第2画素電極M2に電氣的に接続するとともに、出力端が第3画素電極M3に電氣的に接続する。

30

【0031】

実施例において、第1開閉器T1と第2開閉器T2と第3開閉器T3とは、いずれも薄膜トランジスタであって、かつ第1開閉器T1と第2開閉器T2と第3開閉器T3とは、それぞれの制御端が薄膜トランジスタのゲートに対応し、それぞれの入力端が薄膜トランジスタのソースに対応するとともに、それぞれの出力端が薄膜トランジスタのドレインに対応する。当然のことながら、その他の実施方式において、前記3つの開閉器が三極真空管か、もしくはダーリントトランジスタなどのスイッチ素子であってもよい。

40

【0032】

それぞれの画素ユニット14は制御回路16をさらに含み、制御回路16は画素ユニット14の第1走査線11と第2画素ユニットM2とに接続する。第1走査線11に走査信号を入力すると、制御回路16は第2画素電極M2に作用して第2画素電極M2の電圧を変化させ、かつ第2画素電極M2とコモン電極15との電圧差がゼロにならないように制御する。具体的に述べると、実施例における制御回路16は第4開閉器T4であって、第4開閉器T4は制御端と入力端と出力端をと含んでなる。第4開閉器T4は、制御端が第

50

1 走査線 1 1 と電氣的に接続し、第 1 端が第 2 画素電極 M 2 に電氣的に接続し、かつ第 2 端がコモン電極 1 5 に電氣的に接続する。第 4 開閉器 T 4 は薄膜トランジスタであって、第 4 開閉器 T 4 の制御端が薄膜トランジスタのゲートに対応し、第 4 開閉器 T 4 の第 1 端が薄膜トランジスタのソースに対応し、第 4 開閉器 T 4 の第 2 端が薄膜トランジスタのドレインに対応する。第 1 走査線 1 1 に走査信号を入力すると、第 4 開閉器 T 4 がオンになり、ここから第 2 画素電極 M 2 とコモン電極 1 5 とが電氣的に接続し、第 2 画素電極 M 2 の電圧がコモン電極 1 5 によって変化し、且つ第 4 開閉器 T 4 がオンになっている時間内に第 2 画素電極 M 2 とコモン電極 1 5 との間の電圧差がゼロにならないように制御して、第 2 画素電極 M 2 が正常に画像を表示する状態であるよう保証する。

【0033】

実施例におけるアレイ基板は、2D 表示モードと 3D 表示モードとにおいて大視野角に見られる色ずれを抑制し、同時に 2D 表示モードにおける開口率を高め、かつ 3D 表示モードにおける両眼信号のクロストークを抑制することができる。

【0034】

具体的に述べると、2D 表示モードにおいて、実施例ではプログレッシブスキャン方式で第 1 走査線 1 1 と第 2 走査線 1 2 に対して走査し、コモン電極 1 5 にコモン電圧を入力する。第 1 走査線 1 1 高レベルの走査信号を入力して第 1 開閉器 T 1 と第 2 開閉器 T 2 がオンになるように制御する。データ線 1 3 にデータ信号を入力し、第 1 画素電極 M 1 と第 2 画素電極 M 2 とが、それぞれ第 1 開閉器 T 1 と第 2 開閉器 T 2 を介してデータ線 1 3 からのデータ信号を受信する。このため 2D 画面に対応する画像を表示する状態になる。第 1 走査線 1 1 に高レベルの走査信号を入力すると、第 4 開閉器 T 4 も同時に走査信号を受信してオンになる。この場合、第 2 画素電極 M 2 とコモン電極 1 5 が電氣的に接続する。正極性（即ちデータ信号がコモン電圧より大きい）反転駆動の時間内において、第 2 画素電極 M 2 はコモン電極 1 5 を介して放電し、その一部の電荷がコモン電極 1 5 に移動し、第 2 画素電極 M 2 の電圧が降下してデータ信号を受信する時のデータ電圧ではなくなる。このため、第 2 画素電極 M 2 と第 1 画素電極 M 1 との間にゼロではない電圧差が具わる。負極性（即ち、データ信号がコモン電圧より小さい）反転の時間内においては、第 2 画素電極 M 2 がコモン電極 1 5 を介して充電され、コモン電極 1 5 の一部の電荷が第 2 画素電極 M 2 に移動する。よって、第 2 画素電極 M 2 の電圧が増加し、データ信号を受信する場合のデータ電圧ではなくなる。ここから第 2 画素電極 M 2 と第 1 画素電極 M 1 との間にゼロではない電圧差が具わる。したがって、正極性反転であろうと、負極性反転であろうと、第 4 開閉器 T 4 がオンになった場合は、いずれも第 2 画素電極 M 2 の電圧に第 1 回目の変化（降下、または増加）が発生する。

【0035】

また、第 4 開閉器 T 4 がオンになっている時間内において、第 2 画素電極 M 2 とコモン電極 1 5 との間の電圧差がゼロでなくなるように制御する。具体的に述べると、第 4 開閉器 T 4 がオンになっている時間内、即ち第 1 走査線 1 1 に走査信号を入力する時間内において、正極性反転の場合は第 4 開閉器 T 4 の制御作用によって第 4 開閉器 T 4 がオンになっている時間内に第 2 画素電極 M 2 がコモン電極 1 5 に対して一部の電荷のみを放出し、第 2 画素電極 M 2 の電圧が降下する。但し、コモン電圧 1 5 と同一の電圧にはならない。負極性反転の場合は、第 4 開閉器 T 4 の制御作用によって、第 4 開閉器 T 4 がオンになっている時間内にコモン電極 1 5 が第 2 画素電極 M 2 に対して一部の電荷のみを移動させる。このため第 2 画素電極 M 2 の電圧が増加する。但し、コモン電圧 1 5 と同一の電圧になるまで増加しない。このため、第 2 画素電極 M 2 とコモン電圧 1 5 との間には、依然として一定の電圧差が存在し、第 2 画素電極 M 2 が正常に画像を表示する状態にあることを保証し、さらに一歩進んで、第 4 開閉器 T 4 のオンになった場合の電流駆動能力を制御することによって、第 2 画素電極 M 2 とコモン電極 1 5 との間の電荷の移動速度を制御する。該電流駆動能力とは、第 4 開閉器 T 4 がオンになった場合に通過を許容できる電流の大きさを指す。例えば、第 4 開閉器 T 4 がオンになった場合の電流駆動能力が比較的低いと、第 2 画素電極 M 2 とコモン電極 1 5 との間の電荷の移動速度が遅くなる。ここから第 4 開

10

20

30

40

50

閉器 T 4 がオンになっている時間内に両者の間で放電が平衡した状態にはならず、依然として一定の電圧差が存在する（即ち、電圧差がゼロにならない）。実施例において第 4 開閉器 T 4 は薄膜トランジスタであって、薄膜トランジスタがオンになった場合に通過できる電流の大きさは、薄膜トランジスタの幅と長さとの比に関連する。幅と長さの比が小さければ、薄膜トランジスタがオンになった場合に流れる電流が小さくなり、その電流駆動能力も小さくなる。薄膜トランジスタの幅と長さとの比が大きくなれば、オンになった場合に流れる電流が大きくなり、電流駆動能力も大きくなる。したがって、第 4 開閉器 T 4 の幅と長さとの比を制御することによって、幅と長さとの比が第 1 設定値より小さくなるようにすれば、第 4 開閉器 T 4 がオンになった場合の電流駆動能力は一定値より小さくなる。ここから第 4 開閉器 T 4 がオンになった場合に第 2 画素電極 M 2 とコモン電極 1 5 との間の電荷の移動速度も一定値より小さくなるように制御し、第 4 開閉器 T 4 がオンになっている間に第 2 画素電極 M 2 とコモン電極 1 5 との電圧差がゼロにならないことを保証する。該一定値は、実際の状況に基づいて選択する。第 4 開閉器 T 4 がオンになっている時間内に第 2 画素電極 M 2 とコモン電極 1 5 との間の電圧差がゼロにならないことを保証し、且つ第 2 画素電極 M 2 とコモン電極 1 5 との間の間に電荷の移動を発生させる（第 1 設定値が小さすぎると、第 4 開閉器 T 4 を流れる電流がゼロになり、第 2 画素電極 M 2 の電圧を変化させることができなくなる恐れがある）という条件下において、該一定値には多くの選択を有することが許される。例えば、0.3 であってもよく、もしくはその他の比の値であってもよい。

【0036】

当然のことながら、その他の実施の形態においては、第 4 開閉器のゲート電圧の大きさを制御することによって第 4 開閉器の電流駆動能力を制御してもよい。ゲート電圧が大きくなるほど電流駆動能力も大きくなり、この逆であれば電流駆動能力は小さくなる。また、第 4 開閉器は三極真空管などであってもよく、この点に関しては限定しない。

【0037】

実施例においては、第 1 走査線 1 1 に走査信号を入力し、かつデータ線 1 3 にデータ信号を入力した後、第 4 開閉器 T 4 の作用によって第 2 画素電極 M 2 の電圧に第 1 回目の変化を発生させる。ここから第 2 画素電極 M 2 と第 1 画素電極 M 1 との間に一定の電圧差が具わり、このため大視野角における色ずれを改善することができる。しかも、第 4 開閉器 T 4 の制御作用によって、第 4 開閉器 T 4 がオンになっている時間内に第 2 画素電極 M 2 とコモン電極 1 5 との間の電圧差がゼロにならず、第 2 画素電極 M 2 が正常な画像を表示できる状態であること保証する。

【0038】

第 1 走査線 1 1 の走査が完成すると、第 1 走査線 1 1 は高レベルの走査信号の入力を中止し、第 1 開閉器 T 1 と第 2 開閉器 T 2 をオフにし、第 2 走査線 1 2 に高レベルの走査信号を入力して第 3 開閉器 T 3 がオンになるように制御する。この場合、第 2 画素電極 M 2 と第 3 画素電極 M 3 は第 3 開閉器 T 3 を介して電氣的に接続する。第 3 画素電極 M 3 が第 2 画素電極 M 2 からのデータ信号を受信すると 2 D 画面に対応する画像を表示する状態になる。したがって、2 D 表示モードにおいて、第 1 画素電極 M 1、第 2 画素電極 M 2、第 3 画素電極 M 3 の 3 つの画素電極は、いずれも 2 D 画面に対応する画像を表示する状態になる。このため 2 D 表示モードにおける開口率を高めることができる。また、第 3 画素電極 M 3 を介して第 2 画素電極 M 2 の電圧の第 2 回目の変化が発生する。即ち、第 4 開閉器 T 4 の作用によって第 2 画素電極 M 2 の電圧に第 1 回目の変化が発生した後、第 3 開閉器 T 3 がオンになった場合、第 2 画素電極 M 2 と液晶コンデンサ C 1 c 3（第 3 画素電極 M 3 と他の基板のコモン電極との間に挟まれた液晶分子によって形成される等価コンデンサ）との間に電荷の移動が発生して第 2 画素電極に第 2 回目の電圧の変化が発生する。具体的に述べると、正極性（データ信号がコモン電圧より大きい）の反転においては、第 2 画素電極 M 2 の一部の電荷が第 3 画素電極 M 2 に移動し、第 2 画素電極 M 2 の電圧が再度低下し、第 3 画素電極 M 3 の電圧が高くなる。このため、第 2 画素電極 M 2 の電圧と第 1 画素電極 M 1 との電圧の差が大きくなり、一歩進んで大視野角における色ずれを改善する。

負極性（データ信号がコモン電圧より小さい）の反転においては、第3画素電極M3が、その一つ前のタイムスロットの正極性電圧を保留する。よって、第3開閉器T3がオンになった場合に第3画素電極M3の一部の電荷が第2画素電極M2に移動し、第2画素電極M2の電圧が再度増加し、ここから第2画素電極M2と第1画素電極M1との電圧差が増大し、一歩進んで色ずれを改善する。しかも、第3開閉器T3がオンになっている時間内に第2画素電極M2と第3画素電極M3との間の電圧差がゼロにならないように制御することによって、第3開閉器T3がオンになっている時間内において第2画素電極M2と第3画素電極M3との間では放電が平衡した状態には至らない。即ち、第2画素電極M2の電圧と第3画素電極M3の電圧とが異なり、ここから第1画素電極M1、第2画素電極M2、第3画素電極M3が2つずつ隣り合った間の電圧がいずれも異なり、2つずつ隣り合った間に一定の電圧差が存在するようになる。このため、さらに一歩進んで2D表示モードにおける大視野角の色ずれを抑制し、LCSの効果を達成することができる。

10

【0039】

さらに一歩進み、実施例における第3開閉器T3は薄膜トランジスタであって、第3開閉器T3の幅と長さとの比を制御することによって第3開閉器T3がオンになっている時間内の第2画素電極M2と第3画素電極M3との間の電圧差がゼロにならないように制御することができる。即ち、第3開閉器T3の幅と長さとの比を制御することによって、第3開閉器T3の電流駆動能力を制御する。第3開閉器T3の幅と長さとの比が比較的大きい場合、第3開閉器T3がオンになった場合の電流駆動能力も大きくなり、第2画素電極M2と第3画素電極M3との間の電荷の移動速度も速くなる。第3開閉器T3の幅と長さとの比が小さくなると、第3開閉器T3がオンになった場合の電流駆動能力も小さくなり、第2画素電極M2と第3画素電極M3との間の電荷の移動速度も遅くなる。第3開閉器T3がオンになっている時間内に第2画素電極M2の電圧と第3画素電極M3の電圧とが同一にならないことを保証するために、第2画素電極M2と第3画素電極M3との間の電荷の移動速度が遅くなるように制御する。即ち、第3開閉器T3の幅と長さとの比を第2設定値よりも小さくすることで、第3開閉器T3がオンになっている時間内に第2画素電極M2と第3画素電極M3との間の電圧差がゼロではなくなるようにする。該第2設定値は、例えば0.2であってもよい。また、その他実施の形態においては、

20

第3開閉器T3のゲート電圧の大きさ（即ち、第2走査線12に入力する走査信号の大きさ）によって第3開閉器T3がオンになった場合の電流駆動能力を制御してもよい。この点に関して限定はしない。

30

【0040】

一行の画素ユニット14に対応する第1走査線11と第2走査線12の走査が終了した後、次の一行の画素ユニットに対応する第1走査線11と第2走査線12に走査を行い、係る方式で続けて行う。

【0041】

3D表示モードに関して、図4を合わせ説明する。先ず黒い画面用の信号を利用して第3画素電極M3をオフにする。即ち、データ線13が第1画素電極M1と第2画素電極M2に黒い画面に対応するデータ信号を入力し、第3開閉器T3がオンになっている時間内に第3画素電極M3が黒い画面に対応する画像を表示する状態になるように制御する。第2走査線12のブランキング期間（Blanking time）に黒挿入を行い、第2画素電極M2から漏電によって光線が漏れることを防ぐ。第3画素電極M3をオフにした後、第1走査線11に高レベルの走査信号を入力して第1開閉器T1と第2開閉器T2がONになるように制御する。データ線13は第1開閉器T1と第2開閉器T2とを介して第1画素電極M1と第2画素電極M2とに、それぞれデータ信号を入力して第1画素電極M1と第2画素電極M2とが3D画面に対応する画像を表示する状態にする。この場合、第4開閉器T4も第1走査線11に走査信号を入力した時にONの状態となる。このため第2画素電極M2とコモン電極15とが電氣的に接続し、第2画素電極M2の電圧が変化する。即ち正極性反転の場合は第2画素電極M2の電圧が低下し、負極性反転の場合は第2画素電極の電圧が増加する。このため第2画素電極M2と第1画素電極M1との電圧が

40

50

異なり、両者の間に一定の電圧差が存在することになる。このため、3Dモードにおける色ずれを改善することができる。第4開閉器T4がオンになっている時間内に第2画素電極M2とコモン電極15との間の電圧差がゼロにならないように制御することによって第2画素電極M2が3D画面に対応する画像を正常に表示する状態を保持できるよう保証する。また、3D表示モードにおいて、第2走査線12をオフにすること、即ち第2走査線12に走査信号を入力しないことによって第3開閉器T3がオフの状態になるように制御し、ここから第3画素電極M3が黒い画面に対応する画像を表示する状態を保持する。

【0042】

実施例において、第1画素電極M1、第2画素電極M2、第3画素電極M3は列方向に沿って順に配列され、隣り合う2行の画素ユニット14は、それぞれ3D画面の左眼用画像と右眼用画像とに対応する。3D表示モードにおいては、図4に開示するように、第3開閉器T3をオフにする作用によって第3画素電極M3が黒い画面に対応する画像を表示する状態となり、該黒い画面に対応する画像を表示する状態となった画素電極M3を遮光領域（等価ブラックマトリクス、Black Matrix、BM）とする。ここから隣り合う2行の画素ユニット14において、左眼に対応する画像を表示する画素電極（一行の画素ユニットにおける第2画素電極と第3画素電極）と右眼に対応する画像を表示する画素電極（他の一行の画素ユニットにおける第2画素電極と第3画素電極）との間に遮光領域が存在することになり、該遮光領域が左眼用画像と右眼用画像との信号のクロストークを阻止することによって、3D表示モードにおける両眼信号のクロストークを抑制する。また、第3画素電極M3は、主に3D表示モードにおいて遮光領域を形成して3D信号のクロストークを抑制するために用いる。よって、第3画素電極M3の存在する領域の面積は第1画素電極M1と第2画素電極M2とが存在する領域の面積より狭い。当然のことながら、実際の遮光のニーズに基づいて第3画素電極M3の占める面積をレイアウトして、3D両眼信号のクロストーク現象をできる限り減少させるようにしてもよい。

【0043】

当然のことながら、その他の実施の形態において、3つの画素電極は行方向に沿って配向してもよい。この場合、隣り合う2列の画素ユニットは、それぞれ3D画面の左眼用画像と右眼用画像とに対応する状態となり、該黒い画面に対応する画像を表示する状態となった画素電極M3によって、3D表示モードにおける両眼信号のクロストークを減少させることができる。また、3D表示モードの場合、黒挿入方式を利用して第3画素電極M3を黒い画面に対応する画像を表示する状態にするとともに、第1走査線11のブランキング期間（Blanking time）に黒挿入を行う。さらに一歩進んで述べれば、一つの走査タイムスロットにおいては第1画素電極と第2画素電極とが3D画面に対応する画像を表示する状態となり、第3画素電極は依然として黒い画面に対応する画像を表示する状態であって、次の走査タイムスロットにおいては第1画素電極と第2画素電極と第3画素電極とがいずれも黒い画面に対応する画像を表示する状態となる。その後、第1画素電極と第2画素電極が3D画面に対応する画像を表示する状態を回復し、第3画素電極は依然として3D画面に対応する画像を表示する状態を保持する。即ち、第1画素電極と第2画素電極とにおいて、3D画面の画像を表示する状態と黒い画面に対応する画像を表示する状態とが交互し、第3画素電極は3D画面に対応する画像を表示する状態をずっと保持する。上述する黒挿入の方式によって第2画素電極が漏電によって光線の漏れることを防ぐ。

【0044】

この実施例におけるアレイ基板によれば、2D表示モードにおける開口率を高め、2D、3D表示モードにおける色ずれを効率よく改善し、好ましいLCS（Low Color Shift、低ひずみ）の効果を得ることができる。同時に3D表示モードにおける両眼信号のクロストークを抑制することができる。

【0045】

その他の実施の形態において、制御回路は分圧抵抗とスイッチ素子を用いて実現することができる。第2画素電極はトリガースイッチを介して分圧抵抗に接続し、第1走査線に

走査信号を入力し、トリガースイッチ素子をオンにした場合、第2画素電極は分圧抵抗によって電圧が変化する。係る方式を採用しても、同様に第2画素電極の電圧を変化させ、第1画素電極と第2画素電極との間に一定の電圧差が具わるようになる。ここからLCS (Low Coloe Shift、低ひずみ)の効果を達成することができる。

【0046】

上述する実施の形態は、2D表示モードにおいてプログレッシブスキャン方式を採用し、第1走査線と第2走査線とに走査を行う。図5に開示するこの発明のアレイ基板の他の実施の形態においては、対応する異なる画素ユニットの第1走査線と第2走査線とを同時に走査してもよい。第1走査線(図面には第1走査線51__1、51__2、51__3の3本のみを開示する)と第2走査線(図面には第2走査線52__1、52__2、52__3の3本のみを開示する)とは、行の方向に沿って延伸する。2D表示モードにおいて、隣り合う第1行目画素ユニットA1と第2行画素ユニットA2とを例に挙げて説明する。第2行目画素ユニットA2に対応する第1走査線51__2に対して走査を行うと同時に、第2行目画素ユニットA2に隣り合う一行上の最近走査された第1行目画素ユニットA1に対応する第2走査線52__1に対して走査を行う。

【0047】

具体的に述べれば、この実施の形態のアレイ基板は、アレイ基板外周領域に位置するスイッチ素子55と、1本の短絡線56とを含む。スイッチ素子55は複数の制御スイッチ(制御スイッチT5__1とT5__2とを含む)を含む。制御スイッチは制御端と、入力端と、出力端を含む。第1行目画素ユニットA1と第2行目画素ユニットA2との間の制御スイッチT5__1を例に挙げて説明する。制御スイッチT5__1は、入力端が第2行目画素ユニットA2に対応する第1走査線51__2に接続し、かつ出力端が第1行目画素ユニットA1に対応する第2走査線52__1に接続する。全ての制御スイッチの制御端は短絡線56に接続する。制御スイッチT5__1は薄膜トランジスタであって、制御スイッチT5__1の制御端は薄膜トランジスタのゲートに対応し、制御スイッチT5__1の入力端は薄膜トランジスタのソースに対応し、制御スイッチT5__1の出力端は薄膜トランジスタのドレインに対応する。

【0048】

2D表示モードにおいて、短絡線56に高レベルの制御信号を入力し、全ての制御スイッチがオンになるように制御する。次いで、第1走査線にプログレッシブスキャンを実行する。まず、第1行目画素ユニットA1に対応する第1走査線51__1に走査信号を入力して第1行目画素ユニットA1の第1開閉器T1と第2開閉器T2とをオンにし、データ線53にデータ信号を入力して第1行目画素ユニットA1の第1画素電極M1と第2画素電極M2を2D画面に対応する画像を表示する状態にする。第4開閉器T4は、第1走査線51__1に走査信号を入力した場合にオンになり、第2画素電極M2の電圧に第1回目の変化を発生させる。このため第1画素電極M1と第2画素電極M2とは電圧が異なるようになり、ここから両者の間に一定の電圧差が発生する。しかも、第4開閉器T4がオンになっている時間内に第2画素電極M2とコモン電極57との間の電圧差がゼロにならないように制御して、第2画素電極M2が正常に画像を表示する状態にする。

【0049】

第1行目画素ユニットA1に対応する第1走査線51__1の走査が終了した後、第2行目画素ユニットA2に対応する第1走査線51__2に走査信号を入力して第2行目画素ユニットA2の第1開閉器T1と第2開閉器T2と第4開閉器T4とをオンにする。それと同時に、制御スイッチT5__1がオンの状態になることによって、第1走査線51__2に入力する走査信号が制御スイッチT5__1を介して第1行目画素ユニットA1に対応する第2走査線52__1に入力し、第1行目画素ユニットA1の第3開閉器T3がオンになるように制御される。ここから第1行目画素ユニットA1の第2画素電極M2と第3画素電極M3とが電氣的に接続し、このため第1行目画素ユニットの第3画素電極M3が2D画面に対応する画像を表示する状態になり、2D表示モードにおける開口率を高めることができる。しかも、第1画素ユニットA1の第2画素電極M2が、第3画素電極M3との間で

電荷を分け合うことから、電圧の第2回目の変化が進行する。よって、第1行目画素ユニットA1の3つの画素電極である第1画素電極M1、第2画素電極M2、第3画素電極M3が2つずつ隣り合う間では、いずれも電圧が異なるようになり、ここからLCS（Low Coloe Shift、低ひずみ）の効果を達成することができる。その具体的な原理は上述する実施例を参考にすることができるので、ここでは詳述しない。第2行目画素ユニットA2に対応する第1走査線51__2に対する走査が終了すると、次の行の画素ユニットA3に対応する第1走査線51__3に対して走査を行う。これと同時に、制御スイッチT5__2を介して第2行目画素ユニットA2に対応する第2走査線52__2に対しても同時に走査を進行させる。

【0050】

3D表示モードにおいては、短絡線56に制御信号を入力して全ての制御スイッチがオフの状態になるように制御し、第1走査線51__1に走査信号を入力して第1行目画素ユニットA1の第1開閉器T1と第2開閉器T2がオンになるように制御し、データ線53にデータ信号を入力して第1行目画素ユニットA1の第1画素電極M1と第2画素電極M2とが3D画面に対応した画像を表示する状態にする。第4開閉器T4は第1走査線51__1に走査信号を入力した場合にオンになり、第2画素電極M2の電圧に第1回目の変化が発生し、第1画素電極M1と第2画素電極M2との電圧が異なるようになる。ここから両者の間に一定の電圧差が存在するようになり、かつ第4開閉器T4がオンになっている時間内に第2画素電極M2とコモン電極57との間の電圧差がゼロにならないように制御し、第2画素電極M2が正常に画像を表示する状態にする。

【0051】

第1行目画素ユニットA1に対応する第1走査線51__1に対する走査が終了した後、第2行目画素ユニットA2に対応する第1走査線51__2に走査信号を入力して第2行目画素ユニットA2の第1開閉器T1と第2開閉器T2と第4開閉器T4とをオンにし、制御スイッチT5__1はオフの状態となる。よって、第2行目画素ユニットA2に対応する第1走査線51__2に走査信号を入力しても第1行目画素ユニットA1の第3開閉器T3には進入せず、第3開閉器T3はオフの状態となる。ここから第1行目画素ユニットA1の第3画素電極M3は黒い画面に対応する画像を表示する状態を保持し、黒い画面に対応する画像を表示する状態を保持した第3画素電極M3によって3D表示モードにおける両眼信号のクロストークを抑制することができる。第2行目画素ユニットA2に対応する第1走査線51__2に対する走査が終了すると、その他の第1走査線に対して順に走査を行う。3D表示モードにおいてスイッチ素子55の全ての制御スイッチは、常にオフの状態となる。

【0052】

この実施の形態によるスイッチ素子55と短絡線56については、1つの走査駆動チップのみで短絡線56に制御信号を印加し、スイッチ素子55の制御スイッチのオン、オフを制御し、ここから対応する第3開閉器T3のオン、オフを制御する。よって、2D表示モードにおいてLCS（Low Coloe Shift、低ひずみ）の効果を達成することができるのみならず、開口率を高め、同時に走査駆動チップの数を減少させて製造コストを節減することができる。しかも、同一の走査タイムスロットにおいて2本の走査線（例えば第1行目画素ユニットA1に対応する第2走査線52__1と第2行目画素ユニットA2に対応する第1走査線51__2）に対して同時に走査を行うことができ、ここからそれぞれの走査線の走査時間を相対的に延長し、高い更新周波数の操作に有利となる。

【0053】

また、その他の実施の形態においては、上述するスイッチ素子55と短絡線56を採用することなく、異なる行の第1走査線と第2走査線を同時に走査し、それぞれの走査線（第1走査線と第2走査線とを含む）を互いに独立させ、それぞれの走査線に1つの走査駆動チップを接続し、単独で1本の走査線の走査を制御し、ここから1行の画素ユニットに対応する第1走査線に走査信号を入力した場合に、同時に前一行の画素ユニットに対応する第2走査線に走査信号を入力する。係る方式を採用しても、2本の走査線に対する同時

走査を実現することができる。

【0054】

図6に、この発明による液晶表示パネルの実施例を開示する。図面の開示によれば、液晶表示パネルはアレイ基板601と、カラーフィルタ基板602と、及びアレイ基板601とカラーフィルタ基板602との間に位置する液晶層603とを含んでなる。アレイ基板601は、上述するそれぞれの実施の形態によるアレイ基板である。

【0055】

以上は、この発明の好ましい実施の形態であって、この発明の実施の範囲を限定するものではない。よって、この発明の説明書及び図面の内容に基づいてなされた均等の効果を有する構造、もしくは均等の効果を有する工程の変更、又は直接、間接的にその他の関連技術の分野に運用することは、いずれも同様の理であって、この発明の特許請求の範囲に属するものとする。

【符号の説明】

【0056】

1 1	第1走査線	
1 2	第2走査線	
1 3	データ線	
1 4	画素ユニット	
1 5	コモン電極	
1 6	制御回路	10
A 1	第1行目画素ユニット	
A 2	第2行目画素ユニット	
A 3	次の行の画素ユニット	
C 1 c 3	液晶コンデンサ	
M 1	第1画素電極	
M 2	第2画素電極	
M 3	第3画素電極	
T 1	第1開閉器	
T 2	第2開閉器	
T 3	第3開閉器	30
T 4	第4開閉器	
T 5 __ 1、T 5 __ 2	制御スイッチ	
5 1 __ 1、5 1 __ 2、5 1 __ 3	第1走査線	
5 2 __ 1、5 2 __ 2、5 2 __ 3	第2走査線	
5 3	データ線	
5 5	スイッチ素子	
5 6	短絡線	
5 7	コモン電極	
6 0 1	アレイ基板	
6 0 2	カラーフィルタ基板	40
6 0 3	液晶層	

【图 2】

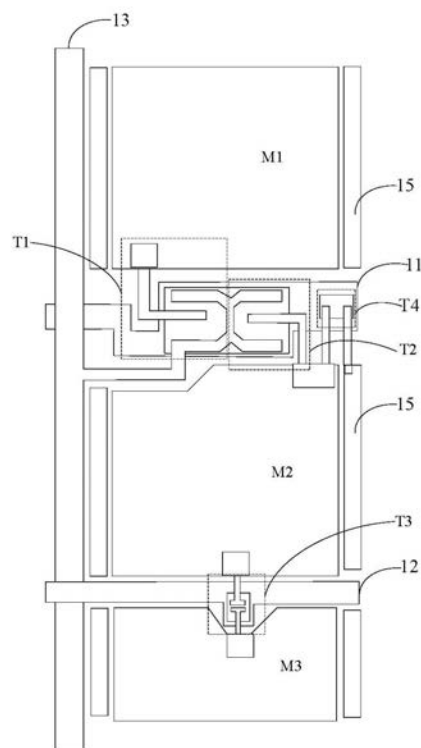


图 2

【図 4】

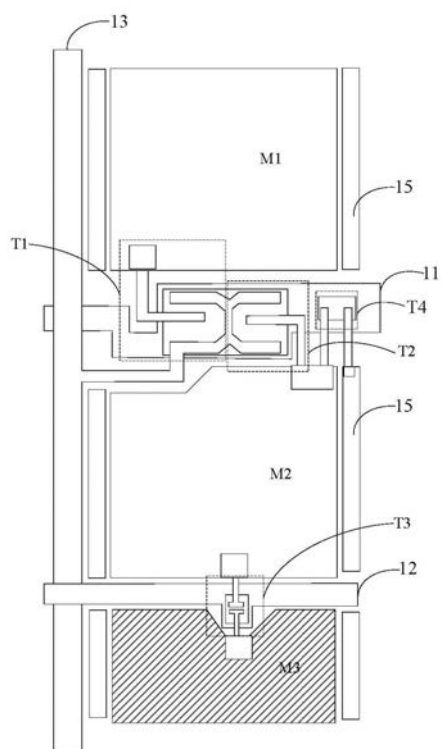


图 4

【図 6】

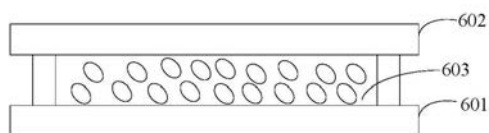


图 6

图 5

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2013/080981		
A. CLASSIFICATION OF SUBJECT MATTER				
G02F 1/1343 (2006.01) i; G02F 1/1362 (2006.01) i; G02F 1/1368 (2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC				
B. FIELDS SEARCHED				
Minimum documentation searched (classification system followed by classification symbols) G02F 1/-				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched				
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CATXT; USTXT; GBXT; EPTXT; WOTXT; SIPOABS; VEN; MOABS; CPRSABS; HKABS; TWABS: thin film transistor, stereoscopic, plane, two-dimensional, three-dimensional, vertical; YAO, Xiaohui; XU, Zhehao; third pixel electrode, G02F 1/136245, G02F 1/1362M, G02F 1/136245, G02F 1/13624, G02F 1/13+, "2D", "3D", TFT, VA, "vertical alignment", switch+, fourth, Hsu Je-hao				
C. DOCUMENTS CONSIDERED TO BE RELEVANT				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.		
A	CN 102707527 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 03 October 2012 (03.10.2012), description, paragraphs [0043]-[0054] and [0074]-[0077], and figures 3 and 13-14	1-19		
A	CN 102915716 A (AU OPTRONICS CORP.), 06 February 2013 (06.02.2013), the whole document	1-19		
A	CN 102231256 A (AU OPTRONICS CORP.), 02 November 2011 (02.11.2011), the whole document	1-19		
A	US 2010253869 A1 (AU OPTRONICS CORPORATION), 07 October 2010 (07.10.2010), the whole document	1-19		
A	US 2010110317 A1 (ACER INCORPORATED), 06 May 2010 (06.05.2010), the whole document	1-19		
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.				
<table border="0"> <tr> <td style="vertical-align: top;"> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td style="vertical-align: top;"> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family			
Date of the actual completion of the international search 11 April 2014 (11.04.2014)		Date of mailing of the international search report 06 May 2014 (06.05.2014)		
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451		Authorized officer LI, Xuechun Telephone No.: (86-10) 62414498		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/080981

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102707527 A	03 October 2012	WO 2013185360 A1	19 December 2013
		US 2013335393 A1	19 December 2013
CN 102915716 A	06 February 2013	US 2014035968 A1	06 February 2014
CN 102231256 A	02 November 2011	TW 201250667 A	16 December 2012
		US 2012320099 A1	20 December 2012
US 2010253869 A1	07 October 2010	US 8004626 B2	23 August 2011
		TW 201037431 A	16 October 2010
		TWI 380110 B	21 December 2012
		US 2011267567 A1	03 November 2011
US 2010110317 A1	06 May 2010	US 8179503 B2	15 May 2012
		KR 20100051010 A	14 May 2010
		TW 201018992 A	16 May 2010
		TWI 418886 B	11 December 2013
		JP 2010113327 A	20 May 2010

国际检索报告		国际申请号 PCT/CN2013/080981
A. 主题的分类 G02F 1/1343(2006.01)i; G02F 1/1362(2006.01)i; G02F 1/1368(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G02F1/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;CATXT;USTXT;GBTXT;EPTXT;WOTXT;SIPOABS;VEN:MOABS;CPRSABS;HKABS;TWABS;薄膜晶体管, 立体, 平面, 二维, 三维, 开关, 垂直, 姚晓慧, 许哲豪, 第三像素电极, G02F1/136245, G02F1/1362M, G02F1/136245, G02F1/13624, G02F1/13+, "2D", "3D", TFT, VA, "vertical alignment", switch+, fourth, Hsu Je-hao.		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 102707527A ((深圳市华星光电技术有限公司)) 2012年 10月 03日 (2012 - 10 - 03) 说明书第[0043]-[0054], [0074]-[0077]段, 图3, 13-14	1-19
A	CN 102915716A ((友达光电股份有限公司)) 2013年 2月 06日 (2013 - 02 - 06) 全文	1-19
A	CN 102231256A ((友达光电股份有限公司)) 2011年 11月 02日 (2011 - 11 - 02) 全文	1-19
A	US 2010253869A1 ((AU OPTRONICS CORPORATION)) 2010年 10月 07日 (2010 - 10 - 07) 全文	1-19
A	US 2010110317A1 ((ACER INCORPORATED)) 2010年 5月 06日 (2010 - 05 - 06) 全文	1-19
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: "A" 认为不特别相关的表示了现有技术一般状态的文件 "E" 在国际申请日的当天或之后公布的在先申请或专利 "L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) "O" 涉及口头公开、使用、展览或其他方式公开的文件 "P" 公布日先于国际申请日但迟于所要求的优先权日的文件 "T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 "X" 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 "Y" 特别相关的文件, 当该文件与另一篇或者多篇该类型文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 "&" 同族专利的文件		
国际检索实际完成的日期 2014年 4月 11日		国际检索报告邮寄日期 2014年 5月 06日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 中国 传真号 (86-10)62019451		受权官员 李雪春 电话号码 (86-10)62414498

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2013/080981

检索报告引用的专利文件	公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN 102707527A	2012年 10月 03日	WO 2013185360A1	2013年 12月 19日
		US 2013335393A1	2013年 12月 19日
CN 102915716A	2013年 2月 06日	US 2014035968A1	2014年 2月 06日
CN 102231256A	2011年 11月 02日	TW 201250667A	2012年 12月 16日
		US 2012320099A1	2012年 12月 20日
US 2010253869A1	2010年 10月 07日	US 8004626B2	2011年 8月 23日
		TW 201037431A	2010年 10月 16日
		TW I380110B	2012年 12月 21日
		US 2011267567A1	2011年 11月 03日
US 2010110317A1	2010年 5月 06日	US 8179503B2	2012年 5月 15日
		KR 20100051010A	2010年 5月 14日
		TW 201018992A	2010年 5月 16日
		TW I418886B	2013年 12月 11日
		JP 2010113327A	2010年 5月 20日

表 PCT/ISA/210 (同族专利附件) (2009年7月)

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 4 C
	G 0 9 G 3/20	6 8 0 G
	G 0 9 G 3/20	6 1 1 D
	G 0 9 G 3/20	6 4 2 D
	G 0 9 G 3/20	6 4 2 J
	G 0 9 G 3/20	6 2 1 A
	G 0 2 F 1/1368	
	G 0 2 F 1/133	5 5 0

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ

F ターム(参考) 2H192 AA24 BC24 CB22 CC24 CC42 DA01 EA43 GD61 JB04
 2H193 ZA04 ZC25 ZC35 ZD12 ZE02 ZE08 ZR10
 5C006 AA21 AC22 AC23 AC26 AF42 AF71 BB16 BC03 BC06 BC22
 BF34 EC12 FA04 FA43 FA51 FA54 FA55 GA01
 5C080 AA10 BB05 CC03 DD01 DD10 DD22 DD27 EE30 FF12 JJ02
 JJ03 JJ06

【要約の続き】

第2走査線に接続し、該制御回路が第4開閉器であって、該第4開閉器が制御端と、第1端と及び第2端とを含み、かつ該第4開閉器の制御端が該画素ユニットに対応する該第1走査線に接続し、該第4開閉器の第1端が該画素ユニットに対応する第2画素電極に接続し、該第4開閉器の第2端が該コモン電極に接続し、該第4開閉器が、該第1走査線に走査信号入力した場合にオンになって該第2画素電極の電圧を変化させるとともに、オンになっている時間内に該第2画素電極と該コモン電極との間の電圧差がゼロにならないように制御するアレイ基板と、及び係るアレイ基板を含んでなる液晶表示パネル。

【選択図】 図3

专利名称(译)	阵列基板和液晶显示板		
公开(公告)号	JP2016527560A	公开(公告)日	2016-09-08
申请号	JP2016530304	申请日	2013-08-07
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	深▲せん▼市华星光电技术有限公司		
[标]发明人	姚曉慧 許哲豪		
发明人	姚曉慧 許哲豪		
IPC分类号	G09G3/36 G09G3/20 G02F1/1368 G02F1/133		
CPC分类号	G09G3/2003 G02F1/133514 G02F1/134309 G02F1/13624 G02F1/1368 G02F2001/134345 G09G3/003 G09G3/3607 G09G3/3648 G09G3/3674 G09G2300/0443 G09G2300/0809 G09G2320/0209		
FI分类号	G09G3/36 G09G3/20.622.R G09G3/20.621.K G09G3/20.660.X G09G3/20.622.D G09G3/20.624.C G09G3/20.680.G G09G3/20.611.D G09G3/20.642.D G09G3/20.642.J G09G3/20.621.A G02F1/1368 G02F1/133.550		
F-TERM分类号	2H192/AA24 2H192/BC24 2H192/CB22 2H192/CC24 2H192/CC42 2H192/DA01 2H192/EA43 2H192/GD61 2H192/JB04 2H193/ZA04 2H193/ZC25 2H193/ZC35 2H193/ZD12 2H193/ZE02 2H193/ZE08 2H193/ZR10 5C006/AA21 5C006/AC22 5C006/AC23 5C006/AC26 5C006/AF42 5C006/AF71 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC22 5C006/BF34 5C006/EC12 5C006/FA04 5C006/FA43 5C006/FA51 5C006/FA54 5C006/FA55 5C006/GA01 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD10 5C080/DD22 5C080/DD27 5C080/EE30 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ06		
代理人(译)	铃木 征四郎		
优先权	201310332337.8 2013-08-01 CN		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种阵列基板和液晶显示面板，其在2D和3D显示模式下抑制大视角的色移，在2D显示模式下同时增大开口率，并在3D显示模式下抑制双目信号的串扰。提供。多行排列的多个第一扫描线，多行排列的多个第二扫描线，多条数据线和多行排列的多个像素单元，以及用于输入公共电压的公共电极，其中多个像素单元中的每一个具有一条第一扫描线，一条第二扫描线和一条数据线。相应地，每个像素单元包括第一像素电极，第二像素电极，第三像素电极以及第一开关，第二开关和第三开关，并且每个像素该单元还包括控制电路，第一像素电极通过第一开关，第二像素电极连接到与像素单元相对应的第一扫描线和数据线，像素单元对应的第一扫描线和数据线通过第二开关连接，第三像素电极与第二像素电极与像素单元对应的第二扫描线通过开关连接，控制电路为第四开关，第四开关为控制端，第一开关 第四开关的一端和第二端以及控制端连接到与像素单元相对应的第一扫描线，第四开关的第一端与像素单元相对应。连接至第二像素电极，第四开关的第二端连接至公共电极，当扫描信号输入至第一扫描线时，第四开关导通，改变第二像素电极的电压并进行控制以使得第二像素电极和公共电极之间的电压差在导通时间内不为零的阵列基板，以及该阵列基板一种液晶显示面板，包括。[选择图]图3

