

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-528598

(P2014-528598A)

(43) 公表日 平成26年10月27日(2014.10.27)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H192

審査請求 未請求 予備審査請求 未請求 (全 27 頁)

(21) 出願番号	特願2014-534929 (P2014-534929)	(71) 出願人	510280589 京東方科技集團股▲ふん▼有限公司 中華人民共和國100015北京市朝陽區 酒仙橋路10號
(86) (22) 出願日	平成24年9月28日 (2012.9.28)	(74) 代理人	100108453 弁理士 村山 靖彦
(85) 翻訳文提出日	平成24年12月13日 (2012.12.13)	(74) 代理人	100089037 弁理士 渡邊 隆
(86) 国際出願番号	PCT/CN2012/082347	(74) 代理人	100110364 弁理士 実広 信哉
(87) 国際公開番号	W02013/056617	(72) 発明者	金 熙哲 中華人民共和國100176北京市▲經▼ ▲濟▼技▲術▼▲開▼▲發▼区地▲澤▼路 9号
(87) 国際公開日	平成25年4月25日 (2013.4.25)		
(31) 優先権主張番号	201110315240.7		
(32) 優先日	平成23年10月17日 (2011.10.17)		
(33) 優先権主張国	中国 (CN)		

最終頁に続く

(54) 【発明の名称】 画素ユニット、アレイ基板、液晶パネル及びアレイ基板の製造方法

(57) 【要約】

本発明は、画素ユニット、アレイ基板、液晶パネル、表示装置及びその製造方法を提供する。上記画素ユニットは、薄膜トランジスタ、画素電極及び共通電極を有し、上記薄膜トランジスタは、ゲート電極と、上記ゲート電極の上に設けられるゲート絶縁層と、上記ゲート絶縁層の上に設けられる活性層と、上記活性層の上に設けられるソース電極及びドレイン電極と、上記ソース電極及びドレイン電極の上に設けられるパッシベーション層とを備え、上記共通電極は、上記パッシベーション層の上に直接に設けられ、上記画素電極は上記パッシベーション層の下に設けられて上記薄膜トランジスタのドレイン電極に接続されることを特徴とする。上記アレイ基板、液晶パネル、表示装置及びその製造方法により、視聴可能を広くして、ワット損を低減し、開口率を向上することができ、表示品質が向上された。

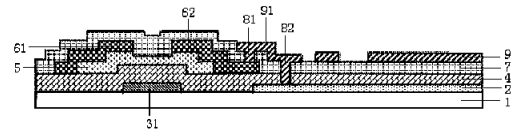


図 1A

【特許請求の範囲】**【請求項 1】**

画素ユニットであって、薄膜トランジスタ、画素電極及び共通電極を有し、上記薄膜トランジスタは、ゲート電極と、上記ゲート電極の上に設けられるゲート絶縁層と、上記ゲート絶縁層の上に設けられる活性層と、上記活性層の上に設けられるソース電極及びドレイン電極と、上記ソース電極及びドレイン電極の上に設けられるパッシベーション層とを備え、

上記共通電極は、上記パッシベーション層の上に直接に設けられ、上記画素電極は上記パッシベーション層の下に設けられて上記薄膜トランジスタのドレイン電極に接続されることを特徴とする画素ユニット。

10

【請求項 2】

上記画素電極及び上記ゲート電極は同一層に設けられ、上記パッシベーション層と上記画素電極との間にゲート絶縁層が設けられ、上記共通電極と同じ層の接続電極は 2 つのピアホールを介して上記薄膜トランジスタのドレイン電極及び上記画素電極にそれぞれ接続されることを特徴とする請求項 1 に記載の画素ユニット。

【請求項 3】

上記共通電極はスリット状をなし、上記画素電極は板状をなすことを特徴とする請求項 1 または 2 に記載の画素ユニット。

【請求項 4】

上記画素電極及び / または上記共通電極は透明電極であることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の画素ユニット。

20

【請求項 5】

上記パッシベーション層は、酸化物、窒化物、窒素酸化物または有機樹脂であることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の画素ユニット。

【請求項 6】

アレイ基板であって、
ベース基板と、

上記ベース基板上に設けられる複数のゲートライン及び複数のデータラインを備え、
上記複数のデータラインは、上記複数のゲートラインと垂直をなし、上記ゲートライン及び上記データラインは互いに交差するように複数の画素領域を画成し、

30

上記複数の画素領域は、それぞれが請求項 1 ~ 5 のいずれか 1 項に記載の画素ユニットを備え、各上記画素ユニットにおいて、薄膜トランジスタは、ゲート電極が対応するゲートラインに接続され、ソース電極が対応するデータラインに接続されることを特徴とするアレイ基板。

【請求項 7】

各行における上記画素ユニットの上方および下方において 1 つのゲートラインがともに設けられ、且つ隣接する 2 行にある上記画素ユニットの間に 2 つのゲートラインが設けられ、各列における上記画素ユニットの左側または右側において 1 つのデータラインが設けられ、且つ隣接する 2 つのデータラインの間に 2 列の上記画素ユニットを有することを特徴とする請求項 6 に記載のアレイ基板。

40

【請求項 8】

各上記画素ユニットの上記薄膜トランジスタのゲート電極は、それが存在する画素ユニットの上方または下方の 1 つのゲートラインに接続され、上記薄膜トランジスタのソース電極は、それが所在する画素ユニットの左側または右側の 1 つのデータラインに接続され、Z 反転 (Z - i n v e r s i o n) の画素構造が構成されることを特徴とする請求項 7 に記載のアレイ基板。

【請求項 9】

上記 Z 反転の画素構造は、

同列にある奇数個の画素ユニットにおける薄膜トランジスタのソース電極は該列の両側のデータラインの中の 1 つデータラインに接続され、偶数個の画素ユニットにおける薄膜

50

トランジスタのソース電極は該列の両側のデータラインの中の他のデータラインに接続され、且つ隣接する2列において同行にある画素ユニットにおける薄膜トランジスタのソース電極は2つの異なるデータラインに接続され、

同行にある上記画素ユニットにおいて、2つずつの前記画素ユニットはそれが有する薄膜トランジスタのゲート電極によって該行の画素ユニットの上方および下方にある2つのゲートラインに交替にそれぞれ接続され、且つ上記ゲートライン毎が接続される画素ユニットは同一行にあり、

隣接する2つのデータラインの間の、同行にあって隣接する2つの画素ユニットの薄膜トランジスタは、ゲート電極が2つのゲートラインにそれぞれ接続され、ソース電極が上記2つのデータラインにそれぞれ接続されるように構成されることを特徴とする請求項8に記載のアレイ基板。

10

【請求項10】

各上記画素ユニットの上記共通電極は、それが所在する画素ユニットの上方及び/または下方の1つのゲートラインの上方まで延び、上記1つのゲートラインと蓄積容量を構成することを特徴とする請求項6～9のいずれか1項に記載のアレイ基板。

【請求項11】

液晶パネルであって、カラーフィルタ基板及び請求項6～10のいずれか1項に記載のアレイ基板を備え、上記カラーフィルタ基板上にブラックマトリクスが備えられ、

上記カラーフィルタ基板上において、上記複数のゲートラインに対応する位置、上記複数のデータラインに対応する位置、及び隣接する2つのデータラインの間の2列の画素ユニットの境界に対応する位置には、ブラックマトリクスがいずれも設置されることを特徴とする液晶パネル。

20

【請求項12】

アレイ基板の製造方法であって、

第1回のパターニングによって画素電極を有するパターンを形成し、第2回のパターニングによって、複数のゲートライン、及び複数の画素ユニットの薄膜トランジスタのゲート電極を有するパターンを形成するS101、

或いは、第1回のパターニングによって、複数のゲートライン、及び複数の画素ユニットの薄膜トランジスタのゲート電極を有するパターンを形成し、第2回のパターニングによって画素電極を有するパターンを形成するS101と、

30

第3回のパターニングによって、ゲート絶縁層、活性層、複数のデータライン、及び上記薄膜トランジスタのソース電極及びドレイン電極を有するパターンを形成するS102と、

第4回のパターニングによってパッシベーション層を有するパターンを形成するS103と、

第5回のパターニングによって共通電極を有するパターンを形成するS104と、を備えることを特徴とするアレイ基板の製造方法。

【請求項13】

上記ステップS101で複数のゲートラインを形成することは、各行における画素ユニットの上方および下方に1つのゲートラインをとともに形成し、かつ隣接する2行の画素ユニットの間に1つのゲートラインを形成することであり、

40

上記ステップS102でデータラインを形成することは、各列における前記画素ユニットの左側または右側に1つのデータラインを形成し、かつ隣接する2つのデータラインの間に2列の画素ユニットを有することであることを特徴とする請求項12に記載のアレイ基板の製造方法。

【請求項14】

ステップS101では、各前記画素ユニットの薄膜トランジスタのゲート電極は、それが所在する画素ユニットの上方または下方の1つのゲートラインに接続されるようにして、ステップS102では、各前記画素ユニットの薄膜トランジスタのソース電極は、それが所在する画素ユニットの左側または右側の1つのデータラインに接続されるようにして

50

、Z反転の画素構造を構成することであることを特徴とする請求項13に記載のアレイ基板の製造方法。

【請求項15】

ステップS104では、形成された共通電極は、それが所在する画素ユニットの上方及び/または下方の1つのゲートラインの上方まで延び、上記1つのゲートラインと蓄積容量を形成することを特徴とする請求項12～14のいずれか1項に記載のアレイ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素ユニット、アレイ基板、液晶パネル、表示装置及びその製造方法に関する。

【背景技術】

【0002】

液晶ディスプレイ(Liquid Crystal Display、LCD)は、体積が小さくて、ワット損が低くて、放射がないなどの特徴を有するため、フラットパネルディスプレイ分野では、主導的な地位を占める。現在では、薄膜トランジスタ液晶ディスプレイ(Thin Film Transistor-Liquid Crystal Display、TFT-LCD)は液晶ディスプレイの主流になっている。

【0003】

液晶ディスプレイの液晶パネルは、アレイ基板及びカラーフィルタ基板を備える。アレイ基板上にゲートラインが設けられ、上記ゲートラインと垂直をなすようにデータラインが設けられ、上記ゲートライン及び上記データラインは互いに交差するように画素領域を画成する。上記画素領域内に、薄膜トランジスタ及び画素電極が設けられ、上記薄膜トランジスタでは、ゲート電極が上記ゲートラインに接続され、ソース電極が上記データラインに接続され、ドレイン電極が上記画素電極に接続される。

【0004】

アレイ基板は液晶パネルの肝心部材であり、薄膜トランジスタ及び画素電極等からなる画素構造はアレイ基板の重要な組成部分である。従来はTN型の液晶ディスプレイは、視野角が比較的小さくて、高品質の表示の要求を満たせない等の特徴を有する。

【0005】

高級超次元転換技術(Advanced Super Dimension Switch、ADS)では、同一平面内において、スリット電極の縁部に生じる電場、及びスリット電極層と板状電極層との間に生じる電場によって、多次元電場を形成し、液晶セル内においてスリット電極間の、電極の真上の配向液晶分子をいずれも回転させることによって、液晶の作動効率が向上されて透過効率が向上された。高級超次元転換技術は、TFT-LCD製品の画面品質を向上でき、解像度が高く、透過率が高く、ワット損が低くて、視野角が広く、開口率が高く、色収差が低くて、プッシュムラ(push Mura)がないなどのメリットを有する。

【0006】

従来はADSの画素ユニットは、1つの薄膜トランジスタ、画素電極及び共通電極を有するように構成される。画素電極が共通電極の上に形成され、画素電極がトップ層に形成されて薄膜トランジスタのドレイン電極に接続され、共通電極がボトム層に形成されて共通電極線に接続される。従来はADS型液晶パネルは、従来はTN型に対して、解像度が高く、透過率が高く、ワット損が低くて、視野角が広く、開口率が高く、色収差が低くて、プッシュムラ(push Mura)がないなどのメリットが有するが、自身の特徴により、開口率が依然としてより小さくて、高品質の表示の要求を満たせない。

【発明の概要】

【課題を解決するための手段】

【0007】

10

20

30

40

50

本発明は、従来のADSを改善して、画素の開口率を向上して、ワット損を低下させて、表示品質を向上するように、新しいI-ADS型画素ユニット、アレイ基板、液晶パネル、表示装置及びその製造方法を提供する。

【0008】

本発明の一側面は、画素ユニットであって、薄膜トランジスタ、画素電極及び共通電極を有し、上記薄膜トランジスタは、ゲート電極と、上記ゲート電極の上に設けられるゲート絶縁層と、上記ゲート絶縁層の上に設けられる活性層と、上記活性層の上に設けられるソース電極及びドレイン電極と、上記ソース電極及びドレイン電極の上に設けられるパッシベーション層とを備え、上記共通電極は、上記パッシベーション層の上に直接に設けられ、上記画素電極は上記パッシベーション層の下に設けられて上記薄膜トランジスタのドレイン電極に接続される。

10

【0009】

例えば、上記画素電極及び上記ゲート電極は同一層に設けられ、上記パッシベーション層と上記画素電極との間にゲート絶縁層が設けられ、上記共通電極と同じ層の金属は、2つのビアホールを介して上記薄膜トランジスタのドレイン電極及び上記画素電極にそれぞれ接続される。

【0010】

例えば、上記共通電極はスリット状をなし、上記画素電極は板状をなす。

【0011】

例えば、上記共通電極と同じ層の、画素電極及び薄膜トランジスタのドレインを接続するための接続電極は、上記共通電極と同じ材料からなる。

20

【0012】

例えば、上記画素電極及び/または上記共通電極は透明電極である。

【0013】

例えば、上記共通電極はITOまたはIZOの単層膜であり、或いは、ITOとIZOからなる複合膜である。

【0014】

例えば、上記パッシベーション層は、酸化物、窒化物、窒素酸化物または有機樹脂である。

【0015】

本発明は、アレイ基板であって、ベース基板と、上記ベース基板上に設けられる複数のゲートライン及び複数のデータラインとを備え、上記複数のデータラインは、上記複数のゲートラインと垂直をなし、上記ゲートライン及び上記データラインは互いに交差するように複数の画素領域を画成し、上記複数の画素領域は、それぞれが上述したいずれかの画素ユニットを備え、各上記画素ユニットにおいて、薄膜トランジスタは、ゲート電極が対応するゲートラインに接続され、ソース電極が対応するデータラインに接続される。

30

【0016】

例えば、各行における上記画素ユニットの上方および下方において1つのゲートラインが設けられ、上記画素ユニットの左側または右側において1つのデータラインが設けられ、隣接する2行にある画素ユニットの間に1つのゲートラインのみが設けられ、隣接する2列にある画素ユニットの間に1つのデータラインが設けられる。

40

【0017】

或いは、例えば、上記画素ユニットの上方および下方には1つのゲートラインがそれぞれ設けられ、且つ隣接する2行にある上記画素ユニットの間に2つのゲートラインが設けられ、上記画素ユニット毎の左側または右側に1つのデータラインが設けられ、且つ隣接する2つのデータラインの間に2つの上記画素ユニットを有する。

【0018】

例えば、上記画素ユニットの上記薄膜トランジスタのゲート電極は、それが存在する画素ユニットの上方または下方の1つのゲートラインに接続され、上記薄膜トランジスタのソース電極は、それが所在する画素ユニットの左側または右側の1つのデータラインに接

50

続され、Z反転 (Z - i n v e r s i o n) の画素構造が構成される。

【 0 0 1 9 】

例えば、上記Z反転の画素構造は、以下のように構成される。

同列にある奇数個の画素ユニットにおける薄膜トランジスタのソース電極は該列の両側のデータラインの中の1つデータラインに接続され、偶数個の画素ユニットにおける薄膜トランジスタのソース電極は該列の両側のデータラインの中の他のデータラインに接続され、且つ隣接する2列において同行にある画素ユニットにおける薄膜トランジスタのソース電極は2つの異なるデータラインに接続され、

同行にある上記画素ユニットにおいて、2つずつの画素ユニットはそれが有する薄膜トランジスタのゲート電極によって該行の画素ユニットの上方および下方にある2つのゲートラインに交替にそれぞれ接続され、且つ上記ゲートライン毎が接続される画素ユニットは同一行にあり、

隣接する2つのデータラインの間の、同行にあって隣接する2つの画素ユニットの薄膜トランジスタは、ゲート電極が2つのゲートラインにそれぞれ接続され、ソース電極が上記2つのデータラインにそれぞれ接続される。

【 0 0 2 0 】

例えば、上記アレイ基板は、共通電極線をさらに備え、上記共通電極及び上記共通電極線は、ピアホールを介してアレイ基板の周辺で接続される。

【 0 0 2 1 】

例えば、各上記画素ユニットの上記共通電極は、それが所在する画素ユニットの上方及び/または下方の1つのゲートラインの上方まで延び、上記1つのゲートラインと蓄積容量を構成する。

【 0 0 2 2 】

本発明は、液晶パネルであって、カラーフィルタ基板及びいずれかの上述したアレイ基板を備え、上記カラーフィルタ基板上にブラックマトリクスが備えられ、上記カラーフィルタ基板上において、上記複数のゲートラインに対応する位置、上記複数のデータラインに対応する位置、及び隣接する2つのデータラインの間の2列の画素ユニットの境界に対応する位置には、ブラックマトリクスがいずれも設置される。

【 0 0 2 3 】

例えば、上記データラインに対応する位置のブラックマトリクスは幅が17 ~ 23 μ mであり、隣接する2つのデータラインの間の2列の画素ユニットの境界に対応する位置のブラックマトリクスは幅が6 ~ 10 μ mである。

【 0 0 2 4 】

上記データラインに対応する位置のブラックマトリクスは幅が20 μ mであり、隣接する2つのデータラインの間の2列の画素ユニットの境界に対応する位置のブラックマトリクスは幅が8 μ mであることが好ましい。

【 0 0 2 5 】

本発明の他の実施例は表示装置であって、上述した液晶パネルを備える。

【 0 0 2 6 】

例えば、該表示装置は、上記液晶パネルの入光面に対向するように設けられるバックライトをさらに備える。上記バックライトは、例えば、LEDバックライトである。

【 0 0 2 7 】

本発明の他の側面は、アレイ基板の製造方法であって、

第1回のパターニングによって画素電極を有するパターンを形成し、第2回のパターニングによって、複数のゲートライン、及び複数の画素ユニットの薄膜トランジスタのゲート電極を有するパターンを形成するS101、

或いは、第1回のパターニングによって、複数のゲートライン、及び複数の画素ユニットの薄膜トランジスタのゲート電極を有するパターンを形成し、第2回のパターニングによって画素電極を有するパターンを形成するS101と、

第3回のパターニングによって、ゲート絶縁層、活性層、複数のデータライン、及び上

10

20

30

40

50

記薄膜トランジスタのソース電極及びドレイン電極を有するパターンを形成する S 1 0 2 と、

第 4 回のパターニングによってパッシベーション層を有するパターンを形成する S 1 0 3 と、

第 5 回のパターニングによって共通電極を有するパターンを形成する S 1 0 4 と、を備える。

【 0 0 2 8 】

例えば、上記ステップ S 1 0 2 は、

ステップ S 1 0 1 が完了したベース基板の上に、ゲート絶縁層、活性層及びソース・ドレイン金属薄膜を順に形成する工程と、

ソース・ドレイン金属薄膜上に一層のフォトリジストを塗布する工程と、

ハーフトンまたはグレートンマスクによってフォトリジストを露光し、フォトリジストにおいて、フォトリジストの完全除去領域、フォトリジストの完全保留領域、及びフォトリジストの半保留領域を形成させる工程であって、フォトリジストの完全保留領域は、データライン、ソース電極及びドレイン電極のパターンが所在する領域に対応し、フォトリジストの半保留領域は、薄膜トランジスタのチャンネル領域に対応し、フォトリジストの完全除去領域は、上述したパターン以外の領域に対応し、現像処理の後、フォトリジストの完全保留領域においてはフォトリジストの厚みが変化せず、フォトリジストの完全除去領域においてはフォトリジストが完全に除去され、フォトリジストの半保留領域においてはフォトリジストの厚みが薄くなる、工程と、

第 1 回のエッチングによって、フォトリジストの完全除去領域における活性層薄膜及びソース・ドレイン金属薄膜を完全にエッチングする工程と、

アッシングによって、フォトリジストの半保留領域におけるフォトリジストを完全に除去し、該領域のソース・ドレイン金属薄膜を露出させる工程と、

第 2 回のエッチングによって、フォトリジストの半保留領域におけるソース・ドレイン金属薄膜を完全にエッチングし、画素電極、データライン、ソース電極、ドレイン電極及び薄膜トランジスタのチャンネル領域を有するパターンを形成する工程と、

残りのフォトリジストを除去する工程と、を備える。

【 0 0 2 9 】

例えば、上記活性層薄膜は、半導体薄膜及びドープ半導体薄膜を備え、第 2 回のエッチングによってフォトリジストの半保留領域におけるソース・ドレイン金属薄膜を完全にエッチングする工程は、チャンネル領域のドープ半導体薄膜を完全にエッチングし、半導体薄膜を一部エッチングする工程をさらに備える。

【 0 0 3 0 】

例えば、上記ステップ S 1 0 3 は、

ステップ S 1 0 2 が完了した基板の上にパッシベーション層の薄膜を形成する工程と、

ハーフトンまたはグレートンマスクによって、画素電極の上方にパッシベーション層及びゲート絶縁層を貫通するビアホールを形成し、ドレイン電極の上方にパッシベーション層を貫通するビアホールを形成する工程と、を備える。

【 0 0 3 1 】

例えば、上記ステップ S 1 0 4 は、

ステップ S 1 0 3 が完了した基板の上に透明導電薄膜を形成する工程と、

普通のマスクによって、共通電極のパターンを形成する工程と、を備える。

【 0 0 3 2 】

例えば、上記ステップ S 1 0 1 で複数のゲートラインを形成することは、各行における画素ユニットの上方および下方に 1 つのゲートラインをそれぞれ形成し、かつ隣接する 2 行の画素ユニットの間に 1 つのゲートラインのみを形成することである。

【 0 0 3 3 】

例えば、上記ステップ S 1 0 2 でデータラインを形成することは、画素ユニットの左側及び右側に 1 つのデータラインをそれぞれ形成し、かつ隣接する 2 行の画素ユニットの間

10

20

30

40

50

に1つのデータラインを形成することである。

【0034】

例えば、或いは、上記ステップS101でゲートラインを形成することは、各行における画素ユニットの上方および下方に1つのゲートラインをそれぞれ形成し、隣接する2行の画素ユニットの間に2つのゲートラインを設けることである。

【0035】

例えば、或いは、上記ステップS102でデータラインを形成することは、各列における画素ユニットの左側または右側に1つのデータラインを設け、かつ隣接する2つのデータラインの間に2列の画素ユニットを有することである。

【0036】

例えば、ステップS101では、各画素ユニットの薄膜トランジスタのゲート電極は、それが所在する画素ユニットの上方または下方の1つのゲートラインに接続されるようにして、ステップS102では、各画素ユニットの薄膜トランジスタのソース電極は、それが所在する画素ユニットの左側または右側の1つのデータラインに接続されるようにして、Z反転の画素構造が構成される。

【0037】

同じように、例えば、上記Z反転の画素構造は以下のように構成される。

同列にある奇数個の画素ユニットにおける薄膜トランジスタのソース電極は、該列の両側のデータラインの中の1つのデータラインに接続され、偶数個の画素ユニットにおける薄膜トランジスタのソース電極は、該列の両側のデータラインの中の他のデータラインに接続され、且つ隣接する2列の中の同じ行にある画素ユニットにおける薄膜トランジスタのソース電極は2つの異なるデータラインに接続され、

同行にある2つずつの画素ユニットは、それが有する薄膜トランジスタのゲート電極によって、該行の画素ユニットの上方および下方にある2つのゲートラインにそれぞれ交替に接続され、且つ各上記ゲートラインが接続する画素ユニットは同一行にあり、

隣接する2つのデータラインの間の、同行であって隣接する2つの画素ユニットの薄膜トランジスタは、ゲート電極が2つのゲートラインにそれぞれ接続され、ソース電極が上記2つのデータラインにそれぞれ接続される。

例えば、ステップS101では、ゲートライン及びゲート電極を形成するとともに、共通電極線を形成し、ステップS104では、共通電極と上記共通電極線とをアレイ基板の周辺でビアホールを介して接続する。

例えば、ステップS104では、形成された共通電極は、それが所在する画素ユニットの上方及び/または下方の1つのゲートラインの上方まで延び、上記1つのゲートラインと蓄積容量を形成する。

【0038】

本発明の他の側面は、液晶パネルの製造方法であって、上述したアレイ基板の製造方法を備える。

【0039】

例えば、カラーフィルタ基板を製造する方法をさらに備え、上記カラーフィルタ基板において、上記ゲートラインに対応する位置、上記データラインに対応する位置、及び隣接する2つのデータラインの間の2列の画素ユニットの境界に対応する位置には、ブラックマトリクスがいずれも設けられる。

【0040】

同じように、例えば、上記データラインに対応する位置のブラックマトリクスは、幅が17~23 μm であり、隣接する2つのデータラインの間の2列の画素ユニットの境界に対応する位置のブラックマトリクスは幅が6~10 μm である。

【0041】

上記データラインに対応する位置のブラックマトリクスは幅が20 μm であり、隣接する2つのデータラインの間の2列の画素ユニットの境界に対応する位置のブラックマトリクスは幅が8 μm であることが好ましい。

10

20

30

40

50

【 0 0 4 2 】

本発明の他の側面は、表示装置の製造方法であって、上述した液晶パネルの製造方法を備える。

【 0 0 4 3 】

例えば、該表示装置は、上記液晶パネルの入光面に対向するように設けられるバックライトをさらに備える。例えば、上記バックライトはLEDバックライトである。

【 0 0 4 4 】

本発明の実施例に係る画素ユニット構造は、普通のTN型の画素ユニット構造に対して、視聴可能な角度がより広くなり、普通のADS型の画素ユニット構造に対して、開口率がより高く、プロセス過程がより安定で、デュアルトンマスクを用いる4Maskによって実現することができるなどのメリットを有する。例えば、普通のADSによるデュアルゲート構造に対して、共通電極がゲートラインの上方まで延び、ゲートラインの信号が画素電極に与える影響がシールドされ、ゲートラインの上方のブラックマトリックスの幅が低減され、開口率が向上される。本発明の実施例に係るアレイ基板及びその製造方法によれば、I-ADS型アレイ基板は、従来のTN型のアレイ基板に対して、視聴可能な角度が広くなり、I-ADSに基づいてデュアルゲート構造及びZ反転を有するアレイ基板を実現することは、ワット損の低減に有利である。例えば、普通のADSによるデュアルゲート構造に対して、共通電極をゲートラインの上方まで延ばし、ゲートラインの信号が画素電極に与える影響がシールドでき、ゲートラインの上方のブラックマトリックスの幅が低減され、開口率が向上され、表示品質が向上される。本発明の実施例に係る液晶パネル及びその製造方法、表示装置及びその製造方法は、上述したアレイ基板及びその製造方法を有するので、ワット損が低減されるとともに、開口率を向上することができ、表示品質を向上できた。

10

20

【 0 0 4 5 】

以下、本発明の技術案をさらに明確に説明するように、実施例の図面を簡単に説明する。当然ながら、下記図面は本発明の一部の実施例に関するものであり、本発明を限定するものではない。

【 図面の簡単な説明 】

【 0 0 4 6 】

【 図 1 】本発明の実施例に係るアレイ基板（画素ユニット）の平面構造を示す概略図である。図 1 A は図 1 における A 1 - A 1 方向の断面図であり、図 1 B は図 1 における B 1 - B 1 方向の断面図である。

30

【 図 2 】本発明に係るアレイ基板の第 1 回のパターニングの後の平面構造を示す概略図である。図 2 A は図 2 における A 2 - A 2 方向の断面図である。

【 図 3 】本発明に係るアレイ基板の第 2 回のパターニングの後の平面構造を示す概略図である。図 3 A は図 3 における A 3 - A 3 方向の断面図である。

【 図 4 】本発明に係るアレイ基板の第 3 回のパターニングの後の平面構造を示す概略図である。図 4 A は図 4 における A 4 - A 4 方向の断面図である。

【 図 5 】本発明に係るアレイ基板の第 4 回のパターニングの後の平面構造を示す概略図であり、図 5 A は図 5 における A 5 - A 5 方向の断面図である。

40

【 図 6 】本発明の実施例に係るアレイ基板の概略図の一つである。

【 図 7 】本発明の実施例に係る液晶パネルの概略図である。

【 図 8 】本発明の実施例に係るアレイ基板の他の概略図である。

【 発明を実施するための形態 】

【 0 0 4 7 】

以下、本発明の目的、技術案及びメリットを一層明確にするように、図面を参照しながら、本発明の実施例の技術案を明確で完全に説明する。下記の実施例は、当然ながら、本発明の実施例の一部であり、全ての実施例ではない。本発明の実施例に基づき、当業者が創造性付けの労働を払う必要がない前提で得られる全ての他の実施例は、いずれも本発明の保護範囲に入る。

50

【0048】

本発明の実施例に係るアレイ基板は、複数のゲートライン及び複数のデータラインを有し、これらのゲートライン及びデータラインが互いに交差することによってマトリックスのように配列する画素領域が画成され、各画素領域がスイッチング素子としての薄膜トランジスタ、液晶の配列を制御する画素電極及び共通電極を有する画素ユニットを備える。各画素の薄膜トランジスタは、ゲート電極が対応するゲートラインに電氣的に接続され、または一体に形成され、ソース電極が対応するデータラインに電氣的に接続され、または一体に形成され、ドレイン電極が対応する画素電極に電氣的に接続され、または一体に形成される。以下は主に1つまたは複数の画素ユニットについて説明するが、他の画素ユニットも同じように形成してもよい。

10

【0049】

[実施例1]

本発明の実施例は、画素ユニットを提供する。以下、図1及び図1Aを参照しながら本実施例の画素ユニットの構造を説明する。但し、本実施例における画素ユニットは、ゲートライン及びデータラインを備えない。前記画素ユニットは、ゲートライン及びデータラインを適当に設置した後、普通のアレイ基板、またはデュアルゲート構造のアレイ基板を形成することに用いられる。

【0050】

図1は本発明の実施例に係る画素ユニットの平面構造を示す概略図であり、上下に隣り合う2つの画素ユニットを示す。図1Aは図1におけるA1-A1方向の断面図であり、図1Bは図1におけるB1-B1の断面概略図である。即ち、図1A及び図1Bは、1つの画素ユニットの異なる断面方向の断面概略図である。

20

【0051】

本実施例に係る画素ユニットは、薄膜トランジスタ100、画素電極2及び共通電極9を備える。上記薄膜トランジスタ100は、ゲート電極31と、ゲート電極31上に設けられるゲート絶縁層4と、ゲート絶縁層4上に設けられる活性層5と、上記活性層5上に設けられるソース電極61及びドレイン電極62と、ソース電極61及びドレイン電極62上に設けられるパッシベーション層7と、を備える。共通電極9は、パッシベーション層7上に直接設けられ、画素電極2は、パッシベーション層7の下に設けられ、かつ前記薄膜トランジスタ100のドレイン電極62に接続される。画素電極2はパッシベーション層7の下に直接設けられてもよく、画素電極2は、パッシベーション層7の下に設けられるとともに、パッシベーション層7と画素電極2との間には他の中間層、例えば、ゲート絶縁層4がさらに存在する。画素電極2がパッシベーション層7の下に直接設けられる場合、ドレイン電極の下に直接に架設されるか、または他の方式でドレイン電極に接続することができる。本実施例の画素ユニットは、従来のADS型に対して、画素電極と共通電極との上下関係が交換されるので、I-ADS(Inverse-ADS)型画素ユニットと称してもよい。

30

【0052】

本実施例の1つの例示では、画素電極2及びゲート電極3が同じ層に設けられ、パッシベーション層7と画素電極2との間にゲート絶縁層4が設けられ、共通電極9と同じ層の接続電極91がビアホール81及びビアホール82を介して薄膜トランジスタ100のドレイン電極62及び画素電極2にそれぞれ接続されることが好ましい。本実施例では、画素電極2及びゲート電極3が同じ層に設けられることは、画素電極2とゲート電極3との位置関係を示すものであり、両者が同じ層の同じ材料によって形成されることを限定するものではない。画素電極2及びゲート電極3は同じ材料であってもよいし、異なる材料であってもよい。

40

【0053】

本実施例では、共通電極9がスリット状であり、画素電極2が板状であってもよいし、共通電極9及び画素電極2がともにスリット状であってもよい。共通電極9がスリット状であり、画素電極2が板状であることが好ましい。このような形状をなす画素電極2及び

50

共通電極 9 は、本実施例の画素ユニットの構造では、一層容易に実現できる。

【 0 0 5 4 】

さらに、上記共通電極 9 と同じ層の接続電極 9 1 は共通電極 9 と同じ材料である。接続電極 9 1 及び共通電極 9 は同じ層で同じ工程で形成されるのが好ましい。

【 0 0 5 5 】

画素電極 2 及び / または共通電極 9 は透明電極であることが好ましい。

【 0 0 5 6 】

本実施例では、共通電極 9 は、酸化インジウムスズ (I T O) または酸化インジウム亜鉛 (I Z O) の単層膜であってもよいし、 I T O 及び I Z O からなる複合膜であってもよい。

【 0 0 5 7 】

本実施例では、パッシベーション層 7 は、例えば、酸化物、窒化物、窒素酸化物または有機樹脂であってもよい。本実施例では、パッシベーション層 7 は有機樹脂材料を用いることが好ましい。有機樹脂自身の良好な透明度及び絶縁特性によって、最終のディスプレイの開口率及び表示効果をよりよくすることができる。

【 0 0 5 8 】

本発明の実施例に係る画素ユニットでは、共通電極 9 をパッシベーション層 7 上に直接設け、画素電極 2 をパッシベーション層 7 の下に設けて上記薄膜トランジスタのドレイン電極 6 2 に接続するので、普通の T N 型画素ユニットに対して視聴可能な角度が広がる。さらに、本発明の実施例に係る画素ユニットは、普通の A D S 型画素ユニットに対して、開口率がより高くなり、プロセス過程がさらに安定になり、デュアルトンマスクの 4 M a s k 方式で製造できるなどのメリットを有し、さらに、普通の A D S 型デュアルゲート構造に対して、共通電極をゲートラインの上方まで延ばし、ゲートライン上の信号が画素電極に与える影響がシールドされ、ゲートラインの上方のブラックマトリックスの幅が低減され、開口率が向上され、表示品質が向上される。

【 0 0 5 9 】

[実施例 2]

本実施例はベース基板を有し、ゲートラインが上記基板上に設けられ、データラインが上記ゲートラインと垂直をなすように設けられるアレイ基板を提供する。上記ゲートラインと上記データラインとの間に画素領域が画成され、上記画素領域は上記実施例 1 における画素ユニット (図 1 を参照) を備える。上記薄膜トランジスタは、ゲート電極が上記ゲートラインに接続され、ソース電極が上記データラインに接続される。上述した画素ユニットを備えるアレイ基板は、 I - A D S 型アレイ基板と称してもよく、従来の A D S 型アレイ基板に対して、画素電極 2 と共通電極 9 との上下位置関係が変更したものである。

【 0 0 6 0 】

本実施例のアレイ基板の 1 つの例示では、ゲートライン及びデータラインは、互いに交差するように 1 つのアレイを画成している。行ごとの複数の画素ユニットは、上方および下方にゲートラインがともに設けられ、各画素ユニットは、左側及び右側にデータラインがともに設けられ、隣接する 2 つの行の画素ユニットの間に 1 つのゲートラインのみが設けられ、隣接する 2 列の画素ユニットの間に 1 つのデータラインが設けられる。各画素ユニットは I - A D S 型画素ユニットである。

【 0 0 6 1 】

本実施例のアレイ基板の他の例示では、図 1 に示すように、行ごとの複数の画素ユニットの上方および下方に、ゲートラインがともに設けられ、隣接する上記画素ユニットの間に 2 つのゲートライン 3 2 1 及び 3 2 2 が設けられる。図 1 は、アレイ基板における上下に隣接する 2 つの画素ユニットのみを示す。各列の画素ユニットの左側または右側にデータラインが設けられ、隣接する 2 つのデータラインの間は 2 つの列の上記画素ユニットを有する。これは、 I - A D S に基づいてデュアルゲート (D u a l - g a t e) 構造を実現するアレイ基板である。図 8 は、デュアルゲート構造を実現した後の基板全体の画素の配列状況を示す概略図である。図 8 は概略図だけであり、各画素ユニットの具体的な画素

10

20

30

40

50

構造を示さない。

【0062】

さらに、上記薄膜トランジスタのゲート電極は、それが位置する画素ユニットの上方または下方のゲートラインに接続され、上記薄膜トランジスタのソース電極は、それが位置する画素ユニットの左側または右側のデータラインに接続され、Z反転 (Z - i n v e r s i o n) の画素構造を実現する。

【0063】

本実施例では、図8はZ反転を実現した画素構造の概略図である。アレイ基板の同じ列において、奇数個の画素ユニットにおける薄膜トランジスタのソース電極は、この列の両側のデータラインの中の1つのデータラインに接続され、偶数個の画素ユニットにおける薄膜トランジスタのソース電極は、この列の両側のデータラインの中の1つのデータラインに接続され、且つ隣接する列において、同じ行の画素ユニットにおける薄膜トランジスタのソース電極は異なるデータラインに接続される。同じ行において、2つずつの上記画素ユニットは、それが有する薄膜トランジスタのゲート電極によって、この行の画素ユニットの上方および下方に位置する2つのゲートラインに交替にそれぞれ接続され、且つ各上記ゲートラインが接続する画素ユニットは同じ行に位置し、さらに、隣り合う2つのデータラインの間の、同じ行であって隣り合う2つの画素ユニットの薄膜トランジスタは、ゲート電極が2つのゲートラインにそれぞれ接続され、ソース電極が上記2つのデータラインにそれぞれ接続される。

【0064】

本実施例では、図1はデュアルゲート構造の例示的な具体的な構造であり、符号321がゲートライン1を示し、322がゲートライン2を示し、これはデュアルゲート構造である。本実施例では、図8を参照しながら、デュアルゲート構造及びZ反転を採用するアレイ基板を理解してもよい。Z反転は、同じデータラインを制御することによってその左右側の画素を制御し、ワット損を低下させて表示効果を向上することができる。デュアルゲート構造を組み合わせた後、各データラインは、その左右の両列の画素に影響を及ぼすことができる。

【0065】

アレイ基板と対向する基板とが互いに対向して液晶セルを形成し、液晶セルにおいて液晶材料を充填することによって、液晶パネルが形成される。この対向基板は、例えば、カラーフィルタ基板であり、カラーフィルタ基板は、ブラックマトリックスを有し、このブラックマトリックスはマトリックスのように配列する複数の画素ユニットを定義する。カラーフィルタ基板の画素ユニットは、アレイ基板の画素ユニットに対応する。上述したデュアルゲート構造による液晶パネルでは、カラーフィルタ基板におけるブラックマトリックス (B l a c k M a t r i x、B M) の面積が大幅に低減され (これは対応するアレイ基板においてデータラインの数が低減されたからである)、開口率が大幅に増加される。

【0066】

上述した両種類のアレイ基板は、共通電極線 (図示しない) をさらに有してもよい。上記共通電極9及び上記共通電極線はアレイ基板の周辺でピアホールを介して接続される。

【0067】

さらに、本実施例に係る両種類のアレイ基板では、共通電極9は、それが位置する画素ユニットの上方及び/または下方のゲートラインの上方まで延びてもよい。これによって、ゲートラインの信号が画素電極に与える影響がシールドされ、ゲートラインの上方のブラックマトリックスの幅が低減され、開口率が向上される。この例示的な構造については、図1または図1Bを参照する。図1はアレイ基板における上下に隣接する2つの画素ユニットのみを示す。図1に示すように、下方の画素ユニットの共通電極9はゲートライン321の上方まで延び、上方の画素ユニットの共通電極9はゲートライン322の上方まで延びる。図1Bは、図1におけるB1-B1の断面概略図であり、上方の画素ユニットの共通電極9がゲートライン322の上方まで延びることも示す。共通電極9がゲートラ

インの上方まで延びるため、ゲートラインの信号が画素電極に与える影響をシールドできる。これによって、カラーフィルタ基板においてゲートラインに対応するブラックマトリックスの幅がさらに低減され、開口率が向上された。

【0068】

[実施例3]

本実施例はアレイ基板の製造方法であって、

第1回のパターニングによって画素電極を有するパターンを形成し、第2回のパターニングによってゲートライン及び薄膜トランジスタのゲート電極を有するパターンを形成するか、或いは、第1回のパターニングによってゲートライン及び薄膜トランジスタのゲート電極を有するパターンを形成し、第2回のパターニングによって画素電極を有するパターンを形成するS101と、

10

第3回のパターニングによってゲート絶縁層、活性層、データライン及び薄膜トランジスタのソース電極及びドレイン電極を有するパターンを形成するS102と、

第4回のパターニングによってパッシベーション層を有するパターンを形成するS103と、

第5回のパターニングによって共通電極を有するパターンを形成するS104と、を備える。

【0069】

以下、図2～図5を参照しながら、本実施例のアレイ基板の1つの製造方法を説明する。

20

【0070】

ステップS101においては、2つの方式を選択できる。以下、第1回のパターニングによって画素電極を有するパターンを形成し、第2回のパターニングによってゲートライン及び薄膜トランジスタのゲート電極を有するパターンを形成することを例として説明する。

【0071】

図2は本発明の実施例に係るアレイ基板の第1回のパターニングの後の平面概略図であり、図2Aは図2におけるA2-A2方向の断面図である。例えば、スパッタ法または蒸着法によって空白ガラス基板のようなベース基板1上に画素電極層を堆積する。上記画素電極層は透明導電薄膜であってもよい。透明導電薄膜は、酸化インジウムスズ(Indium Tin Oxide、ITO)または酸化インジウム亜鉛(IZO)等であってもよい。図2は形成された形状を示す。これは普通のマスクで、第1回のパターニングによって必要な画素電極2のパターンを形成することであってもよい。

30

【0072】

図3は本発明の実施例に係るアレイ基板の第2回のパターニングの後の平面概略図であり、図3Aは図3におけるA3-A3方向の断面図である。例えば、スパッタ法または蒸着法によって、ベース基板1上にゲート金属薄膜を一層堆積する。ゲート金属薄膜は、Cr、W、Ti、Ta、Mo、Al、Cu等の金属またはその合金の単層膜であってもよいし、多層の金属薄膜から構成されてもよい。そして、普通のマスクを用いて、第2回のパターニングによってゲート金属薄膜をエッチングして、ベース基板1上にゲートライン321、ゲートライン322、及び薄膜トランジスタのゲート電極31のパターンを形成する。薄膜トランジスタのゲート電極31はゲートライン321または322に直接接続され、即ち、一体に形成される。

40

【0073】

このステップはデュアルゲート構造を設計する工程である。当業者は理解できるように、デュアルゲート構造のアレイ基板ではなく、普通のアレイ基板(即ち、単ゲート構造)を製造しようとするときは、1行の画素ユニットに用いる1つのゲートラインの構造を形成すればよい。

【0074】

ステップS102では、第3回のパターニングによって、ゲート絶縁層、活性層、デー

50

タライン及び薄膜トランジスタのソース電極及びドレイン電極を含むパターンを形成する。

【0075】

第3回のパターンニングは、例えば、複数回のエッチング工程であってもよく、デュアルトンマスク（例えば、ハーフトンまたはグレートンマスク）が用いられる。1つの例示として、ステップS102は、

ステップS101を完了したベース基板上にゲート絶縁層4、活性層及びソース・ドレイン金属薄膜を順に形成する工程と、

ソース・ドレイン金属薄膜上にフォトレジストを1層塗布する工程と、

ハーフトンまたはグレートンマスクによってフォトレジストを露光し、フォトレジストにおいて、フォトレジストの完全除去領域、フォトレジストの完全保留領域及びフォトレジストの半保留領域を形成させる工程であって、フォトレジストの完全保留領域は、データライン、ソース電極及びドレイン電極のパターンが存在する領域に対応し、フォトレジストの半保留領域は、薄膜トランジスタのチャンネル領域に対応し、フォトレジストの完全除去領域は上述したパターン以外の領域に対応し、現像された後、フォトレジストの完全保留領域はフォトレジストの厚みが変化せず、フォトレジストの完全除去領域はフォトレジストが完全に除去され、フォトレジストの半保留領域はフォトレジストの厚みが薄くなる、工程と、

第1回のエッチングによって、フォトレジストの完全除去領域における活性層薄膜及びソース・ドレイン金属薄膜を完全にエッチングする工程と、

アッシングによって、フォトレジストの半保留領域におけるフォトレジストを完全にエッチングし、この領域におけるソース・ドレイン金属薄膜を露出する工程と、

第2回のエッチングによって、フォトレジストの半保留領域におけるソース・ドレイン金属薄膜を完全にエッチングし、ソース電極61、ドレイン電極62、データライン63及び薄膜トランジスタのチャンネル領域を有するパターンを形成する工程と、

残りのフォトレジストを除去する工程と、を備えてもよい。

【0076】

図4は本発明の実施例に係るアレイ基板の第3回のパターンニングの後の平面概略図であり、図4Aは図4においてA4 - A4方向の断面図である。

【0077】

本実施例では、活性層薄膜は、酸化物半導体薄膜及び有機半導体薄膜であってもよいし、半導体薄膜とドーパ半導体薄膜との積層であってもよい。活性層薄膜が半導体薄膜及びドーパ半導体薄膜を有するとき、上述した第2回のエッチングによってフォトレジストの半保留領域におけるソース・ドレイン金属薄膜を完全にエッチングする工程は、チャンネル領域におけるドーパ半導体薄膜を完全にエッチングし、半導体薄膜に対して厚みの一部をエッチングする工程をさらに備える。

【0078】

ステップS103では、第4回のパターンニングによってパッシベーション層を有するパターンを形成する。

【0079】

図5は本発明の実施例に係るアレイ基板の第4回のパターンニングの後の平面概略図であり、図5Aは図5におけるA5 - A5方向の断面図である。上記ステップS103は、一つの例示として、ステップS102を完了したベース基板上にパッシベーション層の薄膜を形成する工程と、ハーフトンまたはグレートンマスクによって、画素電極の上方にパッシベーション層及びゲート絶縁層を貫通するピアホールを形成し、ドレイン電極の上方にパッシベーション層を貫通するピアホールを形成する工程と、を備える。

【0080】

さらに、本実施例では、ベース基板上にプラズマ化学気相成長法によってパッシベーション層の薄膜を堆積してもよい。パッシベーション層の薄膜は、酸化物、窒化物または窒素酸化物を用いてもよいし、対応する反応気体は、SiH₄、NH₃、及びN₂の混合気

10

20

30

40

50

体、またはSiH₂Cl₂、NH₃、及びN₂の混合気体であってもよい。そして、図5Aに示すように、ハーフトンまたはグレートンマスクを用いて、第3回のパターニングによって、画素電極の上方にパッシベーション層及びゲート絶縁層を貫通するビアホール82を形成し、ドレイン電極の上方にパッシベーション層を貫通するビアホール81を形成する。

【0081】

ステップS104では、第5回のパターニングによって共通電極を有するパターンを形成する。上記ステップS104は、1つの例示として、ステップS103を完了したベース基板上に透明導電薄膜を形成する工程と、普通のマスクによって、共通電極のパターンを形成する工程と、を備える。

10

【0082】

図1は本発明に係るアレ基板の第5回のパターニングの後の平面概略図であり、図1Aは図1におけるA1-A1方向の断面図であり、図1Bは図1におけるB1-B1方向の断面図である。

【0083】

ビアホール81及び82を形成したベース基板上に、例えば、スパッタ法または蒸着法によって透明導電薄膜を堆積する。このとき、導電薄膜はビアホール81及びビアホール82に充填され、画素電極2と薄膜トランジスタのドレイン電極62との接続を実現する。導電薄膜において、ビアホール81及び82によって画素電極2とドレイン電極62とを接続する部分は、接続電極91と称してもよい。例えば、普通のマスクを用いて、第5回のパターニングによって共通電極9及び接続電極91のパターンを形成する。本実施例では、透明導電薄膜は、酸化インジウムスズ(Indium Tin Oxide、ITO)または酸化インジウム亜鉛(IZO)の単層膜であってもよいし、ITOとIZOとの複合膜であってもよい。当業者は理解できるように、接続電極91及び共通電極9は、上述のように、同じ材料によって同じパターニング工程で形成されてもよいし、同じまたは異なる材料によって、異なるパターニングで形成されてもよい。

20

【0084】

以上は、本実施例の典型的な実現方法だけであり、当業者は、それに基づき、公知常識及び従来技術を組み合わせることで変形及び変更することができ、或いは、必要によって具体的な画素構造を設計することができる。

30

【0085】

例えば、本実施例では、ステップS101において、画素ユニットの上方および下方にゲートラインがともに形成され、隣り合う2つの行の画素ユニットの間に1つのゲートラインのみが形成される。

【0086】

例えば、ステップS102では、画素ユニットの左側及び右側にデータラインがともに形成され、且つ隣り合う2つの列の画素ユニットの間に1つのデータラインのみが形成される。

【0087】

或いは、例えば、ステップS101では、画素ユニットの上方および下方にゲートラインがともに形成され、且つ隣り合う2つの行の画素ユニットの間に2つのゲートラインが形成される。

40

【0088】

或いは、例えば、上記ステップS102では、画素ユニットの左側または右側にデータラインが設置され、且つ隣り合うデータラインの間は2つの列の画素ユニットを有する。

【0089】

さらに、例えば、Z反転の画素構造を構成するように、ステップS101では、薄膜トランジスタのゲート電極と、それが位置する画素ユニットの上方または下方のゲートラインとを接続し、ステップS102では、薄膜トランジスタのソース電極と、それが位置する画素ユニットの左側または右側のデータラインとを接続する。

50

【0090】

例えば、本実施例では、Z反転の画素構造を形成することは、

同じ列の奇数個の画素ユニットにおける薄膜トランジスタのソース電極が該列の両側のデータラインの中の1つのデータラインに接続され、偶数個の画素ユニットにおける薄膜トランジスタのソース電極が該列の両側のデータラインの中の他のデータラインに接続され、且つ隣り合う列において、同じ行にある画素ユニットにおける薄膜トランジスタのソース電極が異なる2つのデータラインに接続される工程と、

同じ行において、2つずつの画素ユニットは、それが有する薄膜トランジスタのゲート電極によってこの行の画素ユニットの上方および下方の2つのゲートラインにそれぞれ交替に接続され、且つ上記ゲートライン毎が接続する画素ユニットは同じ行にある工程と、

隣り合う2つのデータラインの間の、同じ行であって隣り合う画素ユニットにおける薄膜トランジスタは、ゲート電極を2つのゲートラインにそれぞれ接続し、ソース電極を上記2つのデータラインにそれぞれ接続する工程と、を備えてもよい。

【0091】

当業者が理解できるように、ステップS101では、例えば、ゲートライン及びゲート電極を形成するとともに、共通電極線を形成してもよく、そして、ステップS104では、共通電極と上記共通電極線を、アレイ基板の周辺でピアホールによって接続してもよい。

【0092】

さらに、ステップS104では、例えば、形成された共通電極を、それが位置する画素ユニットの上方及び/または下方のゲートラインの上方まで延ばし、上記ゲートラインと蓄積容量を形成してもよい。図1または図1Bは形成された具体的な構造を示す。図1はアレイ基板上において上下に隣接する2つの画素ユニットだけを示す。図1に示すように、下方の画素ユニットの共通電極9はゲートライン321の上方まで延び、上方の画素ユニットの共通電極9はゲートライン322の上方まで延びる。図1Bは図1におけるB1-B1の断面概略図であり、上方の画素ユニットの共通電極9がゲートライン322の上方まで延びることも示す。共通電極がゲートラインの上方まで延びるので、このような重複構造では、ゲートラインの信号が画素電極に与える影響をシールドでき、ゲートライン上方のブラックマトリックスの幅が低減され、開口率が向上された。

【0093】

[実施例4]

本実施例は液晶パネルであって、図7に示すように、アレイ基板11と、カラーフィルタ基板14と、それらの間に充填される液晶12と、を備える。アレイ基板11及びカラーフィルタ基板14は互いに対向して液晶セルを形成し、それらの隙間を維持するように複数のスペーサ(図示しない)が用いられる。ここで、アレイ基板は、上述した実施例において提供されたアレイ基板である。カラーフィルタ基板14上に、ブラックマトリックス10及びカラー樹脂13が備えられる。ブラックマトリックス10はカラーフィルタ基板14の画素領域を画成する。これらの画素領域はアレイ基板11上の画素領域に対応する。さらに、図6に示すように、上記カラーフィルタ基板14上において、上記ゲートラインに対応する位置、上記データラインに対応する位置及び隣り合う2つのデータラインの間の2列の画素ユニットの境界に対応する位置に、ブラックマトリックス101、ブラックマトリックス102及びブラックマトリックス103を有するブラックマトリックスがいずれも設けられる。例えば、上記データラインに対応する位置のブラックマトリックス102は幅が17-23 μm であり、隣り合う2つのデータラインの間の2列の画素ユニットの境界に対応する位置のブラックマトリックス103は幅が6-10 μm である。

【0094】

上記データラインに対応する位置のブラックマトリックス102は幅が20 μm であり、隣接するデータラインの間の2列の画素ユニットの境界に対応する位置のブラックマトリックス103は幅が8 μm であることが好ましい。これによって、表示効果(例えば、漏光を避け、表示の均一性を確保する等)が確保できるとともに、開口率が最大限に向上

10

20

30

40

50

される。

【0095】

ブラックマトリックス101の幅は、ここでは限定せず、その作用を実現できるいずれの幅であってもよい。共通電極をゲートラインの上方に延ばす場合、この重複構造によって、ゲートラインの信号が画素電極に与える影響をシールドでき、ゲートラインの上方のブラックマトリックス101の幅が低減され、開口率がさらに向上される。

【0096】

[実施例5]

本実施例は液晶パネルの製造方法であって、上述した実施例に記載のアレイ基板の製造方法を備える。ここで、液晶パネルは、例えば、図6及び図7に示す。

10

【0097】

さらに、上記液晶パネルの製造方法は、カラーフィルタ基板を製造する方法をさらに備え、上記カラーフィルタ基板上において、上記ゲートラインに対応する位置、上記データラインに対応する位置及び隣接する2つのデータラインの間の2列の画素ユニットの境界に対応する位置に、ブラックマトリックス10がいずれも設置される。例えば、上記データラインに対応する位置におけるブラックマトリックス102は幅が17~23 μm であり、隣接する2つのデータラインの間の2列の画素ユニットの境界に対応する位置におけるブラックマトリックス103は幅が6~10 μm である。

【0098】

上記データラインに対応する位置のブラックマトリックス102は幅が20 μm であり、隣接する2つのデータラインの間の2列の画素ユニットの境界に対応する位置のブラックマトリックス103は幅が8 μm であることが好ましい。これによって、表示効果(例えば、漏光を避け、表示の均一を確保する等)を確保するとともに、開口率を最大限に向上できる。

20

【0099】

ブラックマトリックス101の幅については、ここでは限定せず、その作用を実現できる幅であればよい。共通電極をゲートラインの上方まで延びるとき、この重複構造によって、ゲートラインの信号が画素電極に与える影響をシールドできるので、ゲートライン上方のブラックマトリックス101の幅が低減され、開口率がさらに向上される。

【0100】

30

[実施例6]

本実施例は、上述した実施例に記載の液晶パネルを用いる表示装置である。上記表示装置は、携帯電話、フラットコンピュータ、モニター、テレビ、ノートパソコン、ネットブック等であってもよい。

【0101】

上記表示装置は、上記液晶パネルの入光面に対向するように設けられるバックライトをさらに備えてもよい。上記バックライトは、CCFLバックライトまたはLEDバックライトであってもよく、LEDバックライトであることが好ましい。LEDバックライトでは、ワット損が一層低くなり、図像のカラー表示が一層よくなる。

【0102】

40

[実施例7]

本発明の実施例は表示装置の製造方法であって、上述した実施例に記載の液晶パネルの製造方法を備える。上記表示装置は、携帯電話、フラットコンピュータ、モニター、テレビ、ノートパソコン、ネットブックなどであってもよい。

【0103】

本実施例に係る表示装置の製造方法は、上記液晶パネルの入光面に対応するようにバックライトを設ける工程をさらに備える。上記バックライトはCCFLバックライトまたはLEDバックライトであってもよいが、LEDバックライトであることが好ましい。LEDバックライトでは、ワット損が一層低くなり、図像のカラー表示が一層よくなる。

【0104】

50

本発明の実施例に係る画素ユニット構造は、普通のTN型画素ユニット構造に対して、視聴可能な角度が広くなり、普通のADS型画素ユニット構造に対して、開口率が高くなり、プロセス過程が一層安定になり、デュアルトンマスクを用いる4Mask方式で行うことができるようになるなどのメリットを有し、さらに、普通のADS型によるデュアルゲート構造に対して、共通電極をゲートラインの上方に延ばすことができるようになり、ゲートラインの信号が画素電極に与える影響をシールドすることができ、ゲートラインの上方のブラックマトリックスの幅が低減され、開口率が向上される。

【0105】

本発明の実施例に係るアレイ基板及びその製造方法によれば、上記I-ADSアレイ基板は、従来のTN型アレイ基板に対して、視聴可能な角度が広くなり、I-ADSに基づいてデュアルゲート構造及びZ反転(Z-inversion)を実現するアレイ基板によってワット損がさらに低減され、普通のADSによるデュアルゲート構造に対して、共通電極をゲートラインの上方に延ばし、ゲートラインの信号が画素電極に与える影響をシールドすることができ、ゲートラインの上方におけるブラックマトリックスの幅が低減され、開口率が向上され、表示品質が向上される。

10

【0106】

本発明の実施例に係る液晶パネル及びその製造方法、表示装置及びその製造方法は、上述したアレイ基板及びその製造方法を備え、ワット損を低下するとともに、開口率を向上することができ、表示品質が向上される。

【0107】

以上は本発明の具体的な実施形態に過ぎず、本発明を限定するものではない。本発明に開示された技術的範囲内に、当業者が容易に想到し得る変更や取替は、いずれも本発明の保護範囲内に入る。従って、本発明の保護範囲は請求項に記載の保護範囲を基準すべきである。

20

【符号の説明】

【0108】

- 1 基板
- 2 画素電極
- 3 1 ゲート電極
- 3 2 1 ゲートライン 1
- 3 2 2 ゲートライン 2
- 4 ゲート絶縁層
- 5 活性層
- 6 1 ソース電極
- 6 2 ドレイン電極
- 6 3 データライン
- 7 パッシベーション層
- 8 1 ビアホール 1
- 8 2 ビアホール 2
- 9 共通電極
- 9 1 接続電極
- 1 0 ブラックマトリックス
- 1 1 アレイ基板
- 1 2 液晶
- 1 3 カラー樹脂
- 1 4 カラーフィルタ基板
- 1 0 0 薄膜トランジスタ

30

40

【图 1】

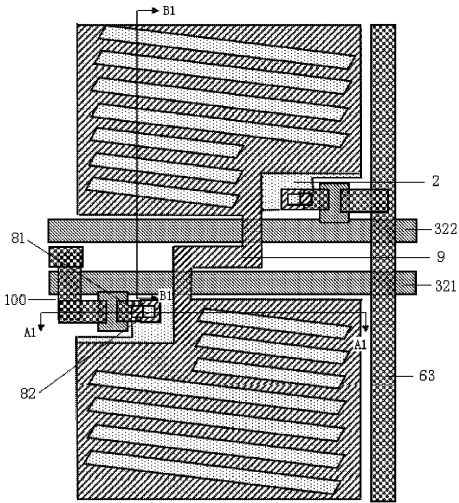


图 1

【图 1 A】

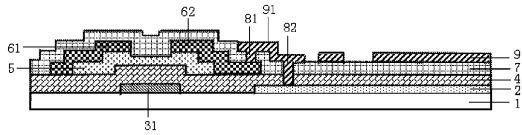


图 1A

【图 1 B】

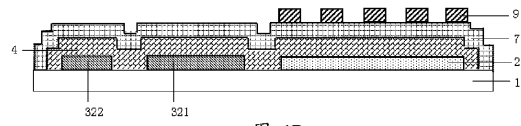


图 1B

【图 2】

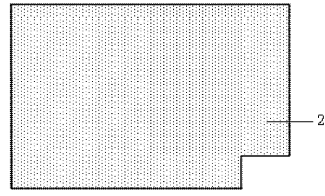
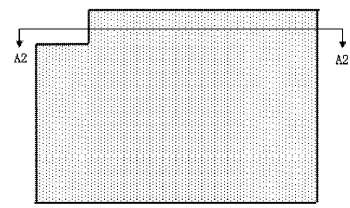


图 2



【图 2 A】



图 2A

【图 3】

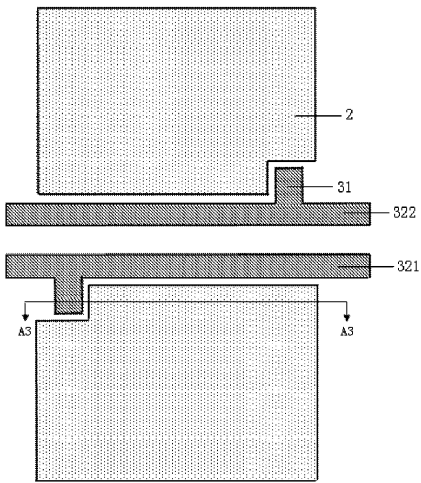


图 3

【图 3 A】

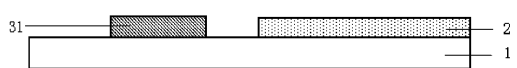


图 3A

【图 4】

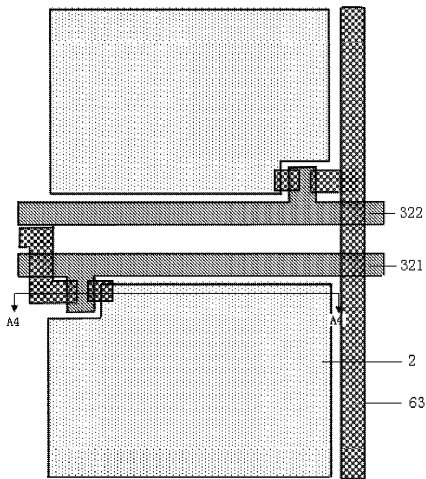


图 4

【图 4 A】

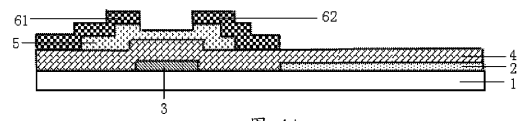


图 4A

【 图 5 】

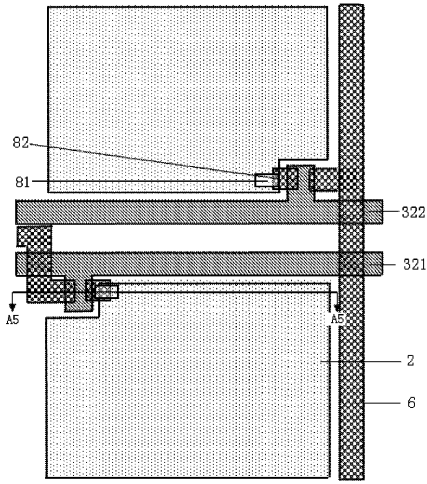


图 5

【 图 6 】

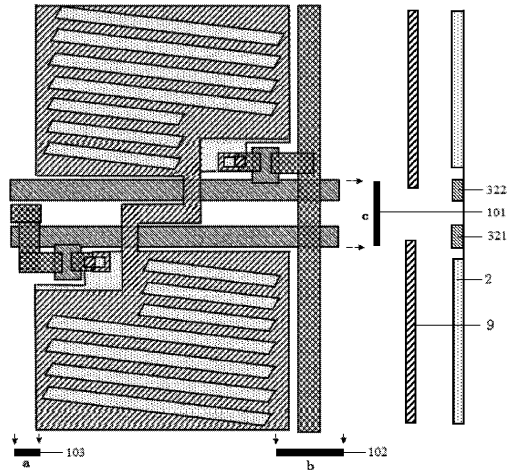


图 6

【 图 5 A 】

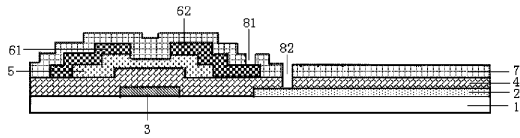


图 5A

【 图 7 】

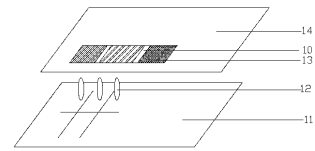


图 7

【 图 8 】

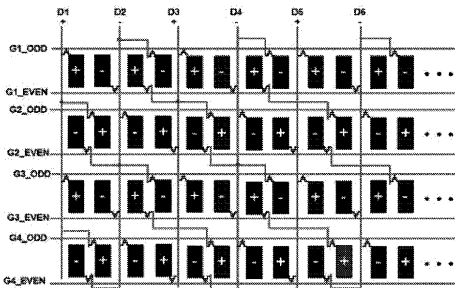


图 8

【 国际调查报告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2012/082347
A. CLASSIFICATION OF SUBJECT MATTER		
See the extra sheet		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: G02F, H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS, CPRSABS, VEN, CNKI: pixel, passivation layer, gate, insulation, source, leak, data cable, dual gate, liquid w crystal, lcd, thin w film w transistor?, TFT?, date, signal, electrode?, line, wire, wiring, lead?, common, substrate?, sheet?, film?, plate?, plane?, panel?, board?		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101349838 B (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 May 2011 (25.05.2011), description, pages 1-5, and figures 1-10	1, 3-6, 11-12
A	US 6597420 B2 (LG PHILIPS LCD CO., LTD.), 22 July 2003 (22.07.2003), the whole document	1-15
A	US 2008117369 A1 (INNOLUX DISPLAY CORP.), 22 May 2008 (22.05.2008), the whole document	1-15
A	CN 101398582 A (QUNKANG SCIENCE & TECHNOLOGY (SHENZHEN) CO., LTD. et al.), 01 April 2009 (01.04.2009), the whole document	1-15
A	CN 101021658 A (AU OPTRONICS CORP.), 22 August 2007 (22.08.2007), the whole document	1-15
P, X	CN 102645803 A (BOE TECHNOLOGY GROUP CO., LTD.), 22 August 2012 (22.08.2012), the whole document	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family	
Date of the actual completion of the international search 25 December 2012 (25.12.2012)		Date of mailing of the international search report 10 January 2013 (10.01.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451		Authorized officer YANG, Yan Telephone No.: (86-10) 62085617

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/082347

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101349838 B	25.05.2011	CN 101349838 A	21.01.2009
US 6597420 B2	22.07.2003	KR 100778838 B1	22.11.2007
		KR 20020058631 A	12.07.2002
		US 2002085149 A1	04.07.2002
US 2008117369 A1	22.05.2008	TW 200823574 A	01.06.2008
CN 101398582 A	01.04.2009	CN 101398582 B	28.09.2011
		US 2009086117 A1	02.04.2009
		US 7969523 B2	28.06.2011
CN 101021658 A	22.08.2007	CN 101021658 B	01.09.2010
CN 102645803 A	22.08.2012	None	

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/082347

A. CLASSIFICATION OF SUBJECT MATTER

G02F 1/1362 (2006.01) i

H01L 29/786 (2006.01) i

G02F 1/13357 (2006.01) i

国际检索报告		国际申请号 PCT/CN2012/082347
A. 主题的分类		
参见附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: G02F, H01L		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNABS, CPRSABS, VEN, CNKI 液晶, 电极, 像素, 象素, 公共, 钝化层, 薄膜晶体管, 栅, 绝缘, 源, 漏, 数据线, 双栅, liquid w crystal, lc, lcd, thin w film w transistor?, TFT?, date, signal, electrode?, line, wire, wiring, lead?, common, substrate?, sheet?, film?, plate?, plane?, panel?, board?		
C. 相关文件		
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101349838B(北京京东方光电科技有限公司)25.05月2011(25.05.2011) 说明书第1-5页, 附图1-10	1, 3-6, 11-12
A	US6597420B2 (LG PHILIPS LCD CO LTD) 22.7月2003 (22.07.2003) 全文	1-15
A	US2008117369A1 (INNOLUX DISPLAY CORP) 22.5月2008 (22.05.2008) 全文	1-15
A	CN101398582 A (群康科技(深圳)有限公司等) 01.4月2009 (01.04.2009) 全文	1-15
A	CN101021658A (友达光电股份有限公司) 22.8月2007 (22.08.2007) 全文	1-15
P, X	CN102645803A (京东方科技集团股份有限公司) 22.8月2012 (22.08.2012) 全文	1-15
<input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。		
* 引用文件的具体类型:		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件
“A” 认为不特别相关的表示了现有技术一般状态的文件		“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性
“E” 在国际申请日的当天或之后公布的在先申请或专利		“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)		“&” 同族专利的文件
“O” 涉及口头公开、使用、展览或其他方式公开的文件		
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件		
国际检索实际完成的日期 25.12月2012 (25.12.2012)	国际检索报告邮寄日期 10.1月2013 (10.01.2013)	
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号100088 传真号: (86-10)62019451	授权官员 杨艳 电话号码: (86-10) 62085617	

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/082347

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101349838B	25.05.2011	CN101349838 A	21.01.2009
US6597420B2	22.07.2003	KR100778838B1	22.11.2007
		KR20020058631A	12.07.2002
		US2002085149A1	04.07.2002
US2008117369A1	22.05.2008	TW200823574A	01.06.2008
CN101398582A	01.04.2009	CN101398582B	28.09.2011
		US2009086117A1	02.04.2009
		US7969523B2	28.06.2011
CN101021658A	22.08.2007	CN101021658B	01.09.2010
CN102645803A	22.08.2012	无	

国际检索报告

国际申请号
PCT/CN2012/082347

A. 主题的分类

G02F1/1362(2006.01)i

H01L29/786(2006.01)i

G02F1/13357(2006.01)i

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC

(72)発明者 徐 超

中華人民共和国 1 0 0 1 7 6 北京市 經 濟 技 術 開 發 区 地 澤 路 9 号

Fターム(参考) 2H092 GA14 GA17 HA04 JA26 JA46 JB23 JB32 JB57 JB64 MA14
NA07 NA26 PA06 PA08 PA09
2H192 AA24 BB12 BB73 BB82 BC31 CB05 CC24 CC62 DA02 EA22
EA43 EA66 GD61 HA44 JA32

专利名称(译)	像素单元，阵列基板，液晶面板和阵列基板的制造方法		
公开(公告)号	JP2014528598A	公开(公告)日	2014-10-27
申请号	JP2014534929	申请日	2012-09-28
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股▲ふん▼有限公司		
[标]发明人	金熙哲 徐超		
发明人	金熙哲 徐超		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/136209 G02F1/134309 G02F2001/134318 G02F2001/134381 G02F2001/136218 G02F2201/40 H01L27/124		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/HA04 2H092/JA26 2H092/JA46 2H092/JB23 2H092/JB32 2H092/JB57 2H092/JB64 2H092/MA14 2H092/NA07 2H092/NA26 2H092/PA06 2H092/PA08 2H092/PA09 2H192/AA24 2H192/BB12 2H192/BB73 2H192/BB82 2H192/BC31 2H192/CB05 2H192/CC24 2H192/CC62 2H192/DA02 2H192/EA22 2H192/EA43 2H192/EA66 2H192/GD61 2H192/HA44 2H192/JA32		
代理人(译)	村山彦 渡边隆		
优先权	201110315240.7 2011-10-17 CN		
外部链接	Espacenet		

摘要(译)

本发明实施例公开了一种像素单元，阵列基板，液晶面板，显示装置及其制造方法。像素单元包括薄膜晶体管，像素电极和公共电极，薄膜晶体管包括栅电极，设置在栅电极上的栅绝缘层，设置在栅绝缘层上的有源层，源电极和设置在有源层上的漏极和设置在源极和漏极上的钝化层；其中公共电极直接设置在钝化层上；像素电极设置在钝化层下方并连接到薄膜晶体管的漏极。对于阵列基板，液晶面板，显示装置及其制造方法，可以增加视角，降低功耗，提高开口率，从而提高显示质量。

