

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2014-524598

(P2014-524598A)

(43) 公表日 平成26年9月22日 (2014. 9. 22)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622E	5C006
G02F 1/133 (2006.01)	G09G 3/20 622B	5C080
	G09G 3/20 622R	
	G02F 1/133 550	
審査請求 未請求 予備審査請求 未請求 (全 20 頁)		

(21) 出願番号 特願2014-526374 (P2014-526374)
 (86) (22) 出願日 平成24年8月21日 (2012. 8. 21)
 (85) 翻訳文提出日 平成24年12月20日 (2012. 12. 20)
 (86) 国際出願番号 PCT/CN2012/080420
 (87) 国際公開番号 W02013/026387
 (87) 国際公開日 平成25年2月28日 (2013. 2. 28)
 (31) 優先権主張番号 201110241400.8
 (32) 優先日 平成23年8月22日 (2011. 8. 22)
 (33) 優先権主張国 中国 (CN)

(71) 出願人 507134301
 北京京東方光電科技有限公司
 中華人民共和国北京経済技術開発区西環中路8號
 (74) 代理人 100108453
 弁理士 村山 靖彦
 (74) 代理人 100089037
 弁理士 渡邊 隆
 (74) 代理人 100110364
 弁理士 実広 信哉
 (72) 発明者 ▲陳▼ 希
 中華人民共和国100176北京市▲經▼
 ▲濟▼技▲術▼開▼發▼区▲地▲澤▼路
 9号
 Fターム (参考) 2H193 ZA04 ZC30 ZF22 ZF23 ZF44
 最終頁に続く

(54) 【発明の名称】 ゲートドライバ集積回路、シフトレジスタ及びディスプレイスクリーン

(57) 【要約】

本発明は、液晶ディスプレイの技術分野に関し、特に、ゲートドライバ集積回路、シフトレジスタ及びディスプレイスクリーンに関する。このゲートドライバ集積回路は、第1の薄膜トランジスタTFTと、第2のTFTと、第3のTFTと、第4のTFTと、電気容量と、プルダウンモジュールと、を備え、このプルダウンモジュールプルダウンモジュールは、第1のクロック信号の入力端、第2のクロック信号の入力端、及び第1のノードと出力端との間に接続され、かつ低レベル信号端に接続され、上記ゲートドライバ集積回路が作動しない時期内に、上記第1のノードと出力端を低レベルに維持するものである。ゲートドライバ集積回路における入力端およびリセット端の機能を対称にして実現することによって、ゲートドライバ集積回路を双方向走査することができるようになり、かつノードの充放電特性が変更されなく、回路の信頼性及び安定性が確保された。

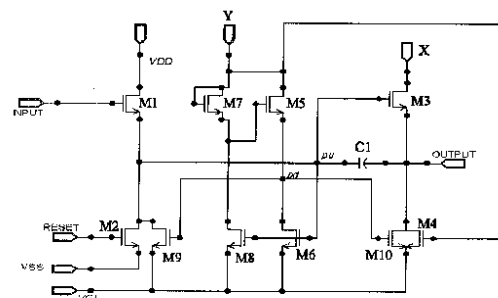


図 4 / FIG. 4

【特許請求の範囲】

【請求項 1】

ゲートドライバ集積回路であって、

ゲート電極が前記ゲートドライバ集積回路の入力端に接続され、ドレイン電極が電源電圧 V_{DD} に接続され、ソース電極がプルアップノードとしての第 1 のノードに接続される第 1 の薄膜トランジスタ TFT と、

ゲート電極が前記ゲートドライバ集積回路のリセット端に接続され、ソース電極が共通接続電圧 V_{SS} に接続され、ドレイン電極が前記第 1 のノードに接続される第 2 の TFT と、

ゲート電極が前記第 1 のノードに接続され、ドレイン電極が第 1 のクロック信号の入力端に接続され、ソース電極が出力端に接続される第 3 の TFT と、

ゲート電極が第 2 のクロック信号の入力端に接続され、ドレイン電極が出力端に接続され、ソース電極が低電圧信号端に接続される第 4 の TFT と、

前記第 1 のノードと出力端との間に接続される電気容量と、

第 1 のクロック信号の入力端、第 2 のクロック信号の入力端、及び第 1 のノードと出力端との間に接続され、かつ低レベル信号端に接続され、前記ゲートドライバ集積回路が作動しない時期内に、前記第 1 のノードと出力端を低レベルに維持するプルダウンモジュールと、を備えることを特徴とするゲートドライバ集積回路。

【請求項 2】

前記プルダウンモジュールは、

ドレイン電極が第 2 のクロック信号の入力端に接続され、ソース電極がプルダウンノードとしての第 2 のノードに接続される第 5 の TFT と、

ドレイン電極が前記第 2 のノードに接続され、ゲート電極が前記第 1 のノードに接続され、ソース電極が低電圧信号端に接続される第 6 の TFT と、

ゲート電極及びドレイン電極が第 2 のクロック信号の入力端にともに接続され、ソース電極が前記第 5 の TFT のゲート電極に接続される第 7 の TFT と、

ドレイン電極が前記第 7 の TFT のソース電極に接続され、ゲート電極が前記第 1 のノードに接続され、ソース電極が低電圧信号端に接続される第 8 の TFT と、

ドレイン電極が前記第 1 のノードに接続され、ゲート電極が前記第 2 のノードに接続され、ソース電極が低電圧信号端に接続される第 9 の TFT と、

ドレイン電極が前記出力端に接続され、ゲート電極が前記第 2 のノードに接続され、ソース電極が低電圧信号端に接続される第 10 の TFT と、を備えることを特徴とする請求項 1 に記載のゲートドライバ集積回路。

【請求項 3】

前記ゲートドライバ集積回路が奇数行目のゲートライン信号を制御する場合、第 1 のクロック信号の入力端が第 1 のクロック信号線に接続され、第 2 のクロック信号の入力端が第 2 のクロック信号線に接続され、

前記ゲートドライバ集積回路が偶数行目のゲートライン信号を制御する場合、第 2 のクロック信号の入力端が第 1 のクロック信号線に接続され、第 1 のクロック信号の入力端が第 2 のクロック信号線に接続されることを特徴とする請求項 1 に記載のゲートドライバ集積回路。

【請求項 4】

シフトレジスタであって、

複数のゲートドライバ集積回路を備え、各ゲートドライバ集積回路は、対応する行のゲートライン信号を制御するものであり、第 N 行のゲートライン信号を制御するゲートドライバ集積回路は、入力端が第 $N-1$ 行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、出力端が第 $N+1$ 行のゲートライン信号を制御するゲートドライバ集積回路の入力端に接続され、リセット端が第 $N+1$ 行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、 N が 2 以上であり、

各ゲートドライバ集積回路は、

ゲート電極が前記ゲートドライバ集積回路の入力端に接続され、ドレイン電極が電源電圧 VDD に接続され、ソース電極がプルアップノードとしての第 1 のノードに接続される第 1 の薄膜トランジスタ $TF T$ と、

ゲート電極が前記ゲートドライバ集積回路のリセット端に接続され、ソース電極が共通接続電圧 VSS に接続され、ドレイン電極が前記第 1 のノードに接続される第 2 の $TF T$ と、

ゲート電極が前記第 1 のノードに接続され、ドレイン電極が第 1 のクロック信号の入力端に接続され、ソース電極が出力端に接続される第 3 の $TF T$ と、

ゲート電極が第 2 のクロック信号の入力端に接続され、ドレイン電極が出力端に接続され、ソース電極が低電圧信号端に接続される第 4 の $TF T$ と、

10

前記第 1 のノードと出力端との間に接続される電気容量と、

第 1 のクロック信号の入力端、第 2 のクロック信号の入力端、及び第 1 のノードと出力端との間に接続され、かつ低レベル信号端に接続され、前記ゲートドライバ集積回路が作動しない時期内に、前記第 1 のノードと出力端を低レベルに維持するプルダウンモジュールと、を備えることを特徴とするシフトレジスタ。

【請求項 5】

前記プルダウンモジュールは、

ドレイン電極が第 2 のクロック信号の入力端に接続され、ソース電極がプルダウンノードとしての第 2 のノードに接続される第 5 の $TF T$ と、

ドレイン電極が前記第 2 のノードに接続され、ゲート電極が前記第 1 のノードに接続され、ソース電極が低電圧信号端に接続される第 6 の $TF T$ と、

20

ゲート電極及びドレイン電極が第 2 のクロック信号の入力端とともに接続され、ソース電極が前記第 5 の $TF T$ のゲート電極に接続される第 7 の $TF T$ と、

ドレイン電極が前記第 7 の $TF T$ のソース電極に接続され、ゲート電極が前記第 1 のノードに接続され、ソース電極が低電圧信号端に接続される第 8 の $TF T$ と、

ドレイン電極が前記第 1 のノードに接続され、ゲート電極が前記第 2 のノードに接続され、ソース電極が低電圧信号端に接続される第 9 の $TF T$ と、

ドレイン電極が前記出力端に接続され、ゲート電極が前記第 2 のノードに接続され、ソース電極が低電圧信号端に接続される第 10 の $TF T$ と、を備えることを特徴とする請求項 4 に記載のシフトレジスタ。

30

【請求項 6】

奇数行目のゲートライン信号を制御するゲートドライバ集積回路は、第 1 のクロック信号の入力端が第 1 のクロック信号線に接続され、第 2 のクロック信号の入力端が第 2 のクロック信号線に接続され、

偶数行目のゲートライン信号を制御するゲートドライバ集積回路は、第 2 のクロック信号の入力端が第 1 のクロック信号線に接続され、第 1 のクロック信号の入力端が第 2 のクロック信号線に接続されることを特徴とする請求項 5 に記載のシフトレジスタ。

【請求項 7】

順方向走査をスタートする場合、前記 VDD がコンスタントな高レベルを提供し、前記 VSS がコンスタントな低レベルを提供し、奇数行目のゲートライン信号を制御するゲートドライバ集積回路では、

40

前記ゲートドライバ集積回路の入力端に高レベルのパルス信号を入力し、前記第 1 の $TF T$ のドレイン電極で前記第 1 のノードに充電し、

第 1 のクロック信号の入力端が第 1 のクロック信号線に提供される高レベルのクロック信号を受信し、前記第 3 の $TF T$ が高レベルを出力するように前記出力端を制御し、前記第 6 の $TF T$ を導通し、前記第 2 のノードの電圧を低電圧信号端の電圧までプルダウンし、

前記第 2 の $TF T$ のゲート電極に接続される前記リセット端が高レベルであって、前記第 1 のノードを放電し、

第 2 のクロック信号の入力端が第 2 のクロック信号線に提供される高レベルのクロック

50

信号を受信し、前記第 4 の T F T で前記出力端を放電し、前記第 5 の T F T で前記第 2 のノードに充電し、前記第 1 のノードに放電するように第 9 の T F T を制御し、出力端を放電するように前記第 10 の T F T を制御することを特徴とする請求項 6 に記載のシフトレジスタ。

【請求項 8】

順方向走査をスタートする場合、前記 V D D がコンスタントな高レベルを提供し、前記 V S S がコンスタントな低レベルを提供し、偶数行目のゲートライン信号を制御するゲートドライバ集積回路では、

ゲートドライバ集積回路の入力端に高レベルのパルス信号を入力し、前記第 1 の T F T のドレイン電極で前記第 1 のノードに充電し、

第 1 のクロック信号の入力端が第 2 のクロック信号線に提供される高レベルのクロック信号を受信し、前記第 3 の T F T によって高レベルを出力するように前記出力端を制御し、前記第 6 の T F T を導通し、前記第 2 のノードの電圧を低電圧信号端の電圧までプルダウンし、

前記第 2 の T F T ゲート電極に接続される前記リセット端が高レベルであって、前記第 1 のノードを放電し、第 2 のクロック信号の入力端が第 1 のクロック信号線に提供される高レベルのクロック信号を受信し、前記第 4 の T F T で前記出力端を放電し、前記第 5 の T F T で前記第 2 のノードに充電し、前記第 1 のノードに放電するように第 9 の T F T を制御し、出力端を放電するように前記第 10 の T F T を制御することを特徴とする請求項 6 に記載のシフトレジスタことを特徴とする請求項 6 に記載のシフトレジスタ。

【請求項 9】

逆方向走査をスタートするとき、前記 V D D がコンスタントな低レベルを提供し、前記 V S S がコンスタントな高レベルを提供し、奇数行目のゲートライン信号を制御するゲートドライバ集積回路では、

ゲートドライバ集積回路のリセット端に高レベルのパルス信号を入力し、前記第 2 の T F T のソース電極で前記第 1 のノードに充電し、

第 1 のクロック信号の入力端が第 1 のクロック信号線に提供される高レベルのクロック信号を受信し、前記第 3 の T F T によって高レベルを出力するように前記出力端を制御し、前記第 6 の T F T を導通し、前記第 2 のノードの電圧を低電圧信号端の電圧までプルダウンし、

前記第 1 の T F T のゲート電極に接続される前記入力端が高レベルであって、前記第 1 のノードを放電し、

第 2 のクロック信号の入力端が第 2 のクロック信号線に提供される高レベルのクロック信号を受信し、前記第 4 の T F T で前記出力端を放電し、前記第 5 の T F T で前記第 2 のノードに充電し、前記第 1 のノードを放電するように第 9 の T F T を制御し、出力端を放電するように前記第 10 の T F T を制御ことを特徴とする請求項 6 に記載のシフトレジスタ。

【請求項 10】

逆方向走査をスタートするとき、前記 V D D がコンスタントな低レベルを提供し、前記 V S S がコンスタントな高レベルを提供し、偶数行目のゲートライン信号を制御するゲートドライバ集積回路では、

ゲートドライバ集積回路のリセット端に高レベルのパルス信号を入力し、前記第 2 の T F T のソース電極で前記第 1 のノードに充電し、

第 1 のクロック信号の入力端が第 2 のクロック信号線に提供される高レベルのクロック信号を受信し、前記第 3 の T F T によって高レベルを出力するように前記出力端を制御し、前記第 6 の T F T を導通し、前記第 2 のノードの電圧を低電圧信号端の電圧までプルダウンし、

前記第 1 の T F T ゲート電極に接続される前記入力端が高レベルであり、前記第 1 のノードを放電し、第 2 のクロック信号の入力端が第 1 のクロック信号線に提供される高レベルのクロック信号を受信し、前記第 4 の T F T によって前記出力端を放電し、前記第 5 の

T F Tによって前記第2のノードに充電し、前記第1のノードを放電するように第9のT F Tを制御し、出力端を放電するように前記第10のT F Tを制御することを特徴とする請求項6に記載のシフトレジスタ。

【請求項11】

ディスプレイスクリーンであって、請求項4～10のいずれか1項に記載のシフトレジスタ及びアレイ基板を備え、

前記シフトレジスタの信号出力端が前記アレイ基板のゲートラインに接続されることを特徴とするディスプレイスクリーン。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、液晶ディスプレイという技術分野に関し、特に、ゲートドライバ集積回路、シフトレジスタ及びディスプレイスクリーンに関する。

【背景技術】

【0002】

GOA (Gate Drive on Array、ゲートドライバ集積) とは、LCD (Liquid Crystal Display、液晶ディスプレイ) パネルのゲートドライバをガラス基板上に集積する技術である。そして、GOA回路は、アレイ基板のゲートラインに接続され、シフトレジスタとして、ゲートライン信号を制御する。GOA技術は、従来のCOF (Chip On Film、チップオンフィルム) 及びCOG (Chip On Glass、チップオンガラス) 技術に対して、コストを低減しただけではない。

20

【発明の概要】

【発明が解決しようとする課題】

【0003】

然し、従来技術では、GOAパネルの走査方向は、上から下へ走査し、または下から上へ走査するような単一方向に限る。図1は、従来技術に係る単一方向に走査するGOA回路であり、入力端INPUTの信号が高レベルである場合、TFT (Thin Film Transistor、薄膜トランジスタ) M1をオンし、PUノードに充電し、クロック信号CLKが高レベルである場合、M3を導通し、出力端OUTPUTがCLKのパルス信号を出力するとともに、電気容量C1のブートストラッピング (Bootstrapping) 作用によって、PUノードをさらに向上させ、そして、リセット端RESETが高レベルになり、TFT M2及びM4をオンし、PUノード及びOUTPUTを放電し、そして、クロック信号CLKBによってPDノードを制御し、PUノード及びOUTPUTを放電する。これによって、この行が作動しない時期に、ノイズが生じないことが確保された。このようなパネルをシステムエンドと組み合わせて用いるとき、システムエンドによってICが異なる (ICが上または下向け) ため、デバッグソフトウェアによって画像を逆にする必要がある可能性があり、不便である。

30

【課題を解決するための手段】

【0004】

40

本発明は、GOA回路の双方向走査を図れるとともに、ゲートドライバ集積回路の安定性を確保できるゲートドライバ集積回路、シフトレジスタ及びディスプレイスクリーンを提供する。

【0005】

本発明の実施例に係るゲートドライバ集積回路は、

ゲート電極が上記ゲートドライバ集積回路の入力端に接続され、ドレイン電極が電源電圧VDDに接続され、ソース電極がプルアップノードとしての第1のノードに接続される第1の薄膜トランジスタTFTと、

ゲート電極が上記ゲートドライバ集積回路のリセット端に接続され、ソース電極が共通接続電圧VSSに接続され、ドレイン電極が上記第1のノードに接続される第2のTFT

50

と、

ゲート電極が上記第 1 のノードに接続され、ドレイン電極が第 1 のクロック信号の入力端に接続され、ソース電極が出力端に接続される第 3 の T F T と、

ゲート電極が第 2 のクロック信号の入力端に接続され、ドレイン電極が出力端に接続され、ソース電極が低電圧信号端に接続される第 4 の T F T と、

上記第 1 のノードと出力端との間に接続される電気容量と、

第 1 のクロック信号の入力端、第 2 のクロック信号の入力端、及び第 1 のノードと出力端との間に接続され、かつ低レベル信号端に接続され、上記ゲートドライバ集積回路が作動しない時期内に、上記第 1 のノードと出力端を低レベルに維持するプルダウンモジュールと、を備える。

10

【0006】

本発明の実施例は、シフトレジスタであって、複数の上記ゲートドライバ集積回路を備え、各ゲートドライバ集積回路は、対応する行のゲートライン信号を制御するものであり、第 N 行のゲートライン信号を制御するゲートドライバ集積回路は、入力端が第 N - 1 行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、出力端が第 N + 1 行のゲートライン信号を制御するゲートドライバ集積回路の入力端に接続され、リセット端が第 N + 1 行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、N が 2 以上である。

【0007】

本発明の実施例はディスプレイスクリーンであって、上記シフトレジスタ及びアレイ基板を備え、

20

上記シフトレジスタの信号出力端が上記アレイ基板のゲートラインに接続される。

【発明の効果】

【0008】

本発明の実施例に係るゲートドライバ集積回路、シフトレジスタ及びディスプレイスクリーンは、ゲートドライバ集積回路における入力端およびリセット端の機能を対称にして実現することによって、ゲートドライバ集積回路を双方向走査することができるようになり、かつノードの充放電特性が変更されなく、回路の信頼性及び安定性が確保された。

【図面の簡単な説明】

【0009】

30

【図 1】従来技術に係る G O A 回路を示す概略図である。

【図 2】本発明の実施例に係るゲートドライバ集積回路の構造概略図である。

【図 3】本発明の他の実施例に係るシフトレジスタの構造概略図である。

【図 4】本発明の実施例に係るゲートドライバ集積回路の具体的な構造概略図である。

【図 5】本発明の実施例に係る、順方向走査時に、奇数行目のゲートライン信号を制御するゲートドライバ集積回路の各エンドの電圧のシーケンス図である。

【図 6】本発明の実施例に係る、順方向走査時に、偶数行目のゲートライン信号を制御するゲートドライバ集積回路の各エンドの電圧のシーケンス図である。

【図 7】本発明の実施例に係る、逆方向走査時に、奇数行目のゲートライン信号を制御するゲートドライバ集積回路の各エンドの電圧のシーケンス図である。

40

【図 8】本発明の実施例に係る、逆方向走査時に、偶数行目のゲートライン信号を制御するゲートドライバ集積回路の各エンドの電圧シーケンス図である。

【発明を実施するための形態】

【0010】

以下、図面を参照しながら、本発明の実施例をさらに詳しく説明する。

【0011】

本発明の実施例はゲートドライバ集積回路であり、図 2 に示すように、このゲートドライバ集積回路は、

ゲート電極が上記ゲートドライバ集積回路の入力端 I N P U T に接続され、ドレイン電極が電源電圧 V D D に接続され、ソース電極がプルアップノードとしての第 1 のノード P

50

Uに接続される第1の薄膜トランジスタTFT M1と、

ゲート電極が上記ゲートドライバ集積回路のリセット端RESETに接続され、ソース電極が共通接続電圧VSSに接続され、ドレイン電極が上記第1のノードPUに接続される第2のTFT M2と、

ゲート電極が上記第1のノードPUに接続され、ドレイン電極が第1のクロック信号の入力端Xに接続され、ソース電極が出力端OUTPUTに接続される第3のTFT M3と、

ゲート電極が第2のクロック信号の入力端Yに接続され、ドレイン電極が出力端OUTPUTに接続され、ソース電極が低電圧信号端VGLに接続される第4のTFT M4と

、

上記第1のノードPUと出力端OUTPUTとの間に接続される電気容量C1と、
第1のクロック信号の入力端X、第2のクロック信号の入力端Y、及び第1のノードPUと出力端OUTPUTとの間に接続され、且つ低レベル信号端VGLに接続され、上記ゲートドライバ集積回路が作動しない時期内に上記第1のノードPU及び出力端OUTPUTを低レベルに維持するプルダウンモジュール11と、を備える。

【0012】

上記プルダウンモジュール11は、

ドレイン電極が第2のクロック信号の入力端に接続され、ソース電極がプルダウンノードとしての第2のノードに接続される第5のTFTと、

ドレイン電極が上記第2のノードに接続され、ゲート電極が上記第1のノードに接続され、ソース電極が低電圧信号端に接続される第6のTFTと、

ゲート電極及びドレイン電極が第2のクロック信号の入力端とともに接続され、ソース電極が上記第5のTFTのゲート電極に接続される第7のTFTと、

ドレイン電極が上記第7のTFTのソース電極に接続され、ゲート電極が上記第1のノードに接続され、ソース電極が低電圧信号端に接続される第8のTFTと、

ドレイン電極が上記第1のノードに接続され、ゲート電極が上記第2のノードに接続され、ソース電極が低電圧信号端に接続される第9のTFTと、

ドレイン電極が上記出力端に接続され、ゲート電極が上記第2のノードに接続され、ソース電極が低電圧信号端に接続される第10のTFTと、を備える。

【0013】

ゲートドライバ集積回路は、奇数行目のゲートライン信号を制御する場合、第1のクロック信号の入力端XがCLKのような第1のクロック信号線に接続され、第2のクロック信号の入力端YがCLKBのような第2のクロック信号線に接続され、偶数行目のゲートライン信号を制御する場合、第2のクロック信号の入力端Yが第1のクロック信号線に接続され、第1のクロック信号の入力端Xが第2のクロック信号線に接続されることが好ましい。

【0014】

上記複数のゲートドライバ集積回路をカスケードして、双方向走査を行える。それは以下の状況を含む。

【0015】

(1) 順方向走査、即ち、第1の行から最後の行へ走査し、且つ該ゲートドライバ集積回路が奇数行目のゲートライン信号を制御する。

順方向走査をスタートする場合、VDDがコンスタントな高レベルを提供し、VSSがコンスタントな低レベルを提供し、ゲートドライバ集積回路の入力端に高レベルのパルス信号を入力し、第1のTFTのドレイン電極で第1のノードに充電し、第1のクロック信号の入力端が第1のクロック信号線に提供される高レベルのクロック信号を受信し、上記第3のTFTは高レベルを出力するように上記出力端を制御し、上記第6のTFTは導通され、上記第2のノードの電圧を低電圧信号端の電圧までプルダウンし、上記第2のTFTのゲート電極が接続する上記リセット端は高レベルであって、上記第1のノードを放電し、第2のクロック信号の入力端が第2のクロック信号線に提供される高レベルのクロッ

10

20

30

40

50

ク信号を受信し、上記第4のTFTで上記出力端を放電し、上記第5のTFTで上記第2のノードに充電し、上記第1のノードを放電するように第9のTFTを制御し、出力端を放電するように上記第10のTFTを制御する。

【0016】

(2) 順方向走査、即ち、第1の行から最後の行まで走査し、且つ該ゲートドライバ集積回路が偶数行目のゲートライン信号を制御する。

順方向走査をスタートする場合、VDDがコンスタントな高レベルを提供し、VSSがコンスタントな低レベルを提供し、ゲートドライバ集積回路の入力端に高レベルのパルス信号を入力し、上記第1のTFTのドレイン電極で上記第1のノードに充電し、第1のクロック信号の入力端が第2のクロック信号線に提供される高レベルのクロック信号を受信し、上記第3のTFTによって高レベルを出力するように上記出力端を制御し、上記第6のTFTを導通し、上記第2のノードの電圧を低電圧信号端の電圧までプルダウンし、上記第2のTFTゲート電極に接続される上記リセット端が高レベルであって、上記第1のノードを放電し、第2のクロック信号の入力端が第1のクロック信号線に提供される高レベルのクロック信号を受信し、上記第4のTFTで上記出力端を放電し、上記第5のTFTで上記第2のノードに充電し、上記第1のノードを放電するように第9のTFTを制御し、出力端を放電するように上記第10のTFTを制御する。

10

【0017】

(3) 逆方向走査、即ち、最後の行から第1の行に走査し、該ゲートドライバ集積回路が奇数行目のゲートライン信号を制御する。

20

逆方向走査をスタートするとき、VDDがコンスタントな低レベルを提供し、VSSがコンスタントな高レベルを提供し、ゲートドライバ集積回路のリセット端に高レベルのパルス信号を入力し、上記第2のTFTのソース電極で上記第1のノードに充電し、第1のクロック信号の入力端が第1のクロック信号線に提供される高レベルのクロック信号を受信し、上記第3のTFTによって高レベルを出力するように上記出力端を制御し、上記第6のTFTを導通し、上記第2のノードの電圧を低電圧信号端の電圧までプルダウンし、上記第1のTFTのゲート電極に接続される上記入力端が高レベルであって、上記第1のノードを放電し、第2のクロック信号の入力端が第2のクロック信号線に提供される高レベルのクロック信号を受信し、上記第4のTFTで上記出力端を放電し、上記第5のTFTで上記第2のノードに充電し、上記第1のノードを放電するように第9のTFTを制御し、出力端を放電するように上記第10のTFTを制御する。

30

【0018】

(4) 逆方向走査、即ち、最後の行から第1の行に走査し、該ゲートドライバ集積回路が偶数行目のゲートライン信号制御する。

逆方向走査をスタートするとき、VDDがコンスタントな低レベルを提供し、VSSがコンスタントな高レベルを提供し、ゲートドライバ集積回路のリセット端に高レベルのパルス信号を入力し、上記第2のTFTのソース電極で上記第1のノードに充電し、第1のクロック信号の入力端が第2のクロック信号線に提供される高レベルのクロック信号を受信し、上記第3のTFTによって高レベルを出力するように上記出力端を制御し、上記第6のTFTを導通し、上記第2のノードの電圧を低電圧信号端の電圧までプルダウンし、上記第1のTFTゲート電極に接続される上記入力端が高レベルであり、上記第1のノードを放電し、第2のクロック信号の入力端が第1のクロック信号線に提供される高レベルのクロック信号を受信し、上記第4のTFTによって上記出力端を放電し、上記第5のTFTによって上記第2のノードに充電し、上記第1のノードを放電するように第9のTFTを制御し、出力端を放電するように上記第10のTFTを制御する。

40

【0019】

上記低電圧信号端は、コンスタントな低レベルを当該ゲートドライバ集積回路に提供することが好ましい。

【0020】

上記から分かるように、本発明に係るゲートドライバ集積回路は、ゲートドライバ集積

50

回路における入力端およびリセット端の機能を対称にして設計することによって、ゲートドライバ集積回路が双方向走査することができるようになり、かつノードの充放電特性が変更されなく、回路の信頼性及び安定性が向上される。

【0021】

同じ構想に基づき、本発明の実施例は複数の上記ゲートドライバ集積回路を有するシフトレジスタであって、各ゲートドライバ集積回路が対応する行のゲートライン信号を制御する。図3に示すように、第N行のゲートライン信号を制御するゲートドライバ集積回路は、入力端が第N-1行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、出力端が第N+1行のゲートライン信号を制御するゲートドライバ集積回路の入力端に接続され、リセット端が第N+1行のゲートライン信号を制御するゲートドライバ集積回路の出力端に接続され、Nが2以上である。奇数行目のゲートライン信号を制御するゲートドライバ集積回路は、第1のクロック信号の入力端XがCLKのような第1のクロック信号線に接続され、第2のクロック信号の入力端YがCLKBのような第2のクロック信号線に接続され、偶数行目のゲートライン信号を制御するゲートドライバ集積回路は、第2のクロック信号の入力端Yが第1のクロック信号線に接続され、第1のクロック信号の入力端Xが第2のクロック信号線に接続される。

【0022】

以下、具体的な実施例によって、10T1Cを例として、本発明に係るシフトレジスタにおけるゲートドライバ集積回路を詳しく説明する。図4に示すように、第1の薄膜トランジスタTFMT1は、ゲート電極が該ゲートドライバ集積回路の入力端INPUTに接続され、ドレイン電極が電源電圧VDDに接続され、ソース電極がプルアップノードとしての第1のノードPUに接続され、第2のTFMT2は、ゲート電極が該ゲートドライバ集積回路のリセット端RESETに接続され、ソース電極が共通接続電圧VSSに接続され、ドレイン電極が第1のノードPUに接続され、第3のTFMT3は、ゲート電極が第1のノードPUに接続され、ドレイン電極が第1のクロック信号の入力端Xに接続され、ソース電極が出力端OUTPUTに接続され、第4のTFMT4は、ゲート電極が第2のクロック信号の入力端Yに接続され、ドレイン電極が出力端OUTPUTに接続され、ソース電極が低電圧信号端VGLに接続され、電気容量C1は、第1のノードPUと出力端OUTPUTとの間に接続され、第5のTFMT5は、ドレイン電極が第2のクロック信号の入力端Yに接続され、ソース電極がプルダウンノードとしての第2のノードPDに接続され、第6のTFMT6は、ドレイン電極が第2のノードPDに接続され、ゲート電極が第1のノードPUに接続され、ソース電極が低電圧信号端VGLに接続され、第7のTFMT7は、ゲート電極及びドレイン電極が第2のクロック信号の入力端Yとともに接続され、ソース電極が第5のTFMT5のゲート電極に接続され、第8のTFMT8は、ドレイン電極が第7のTFMT7のソース電極に接続され、ゲート電極が第1のノードPUに接続され、ソース電極が低電圧信号端VGLに接続され、第9のTFMT9は、ドレイン電極が第1のノードPUに接続され、ゲート電極が第2のノードPDに接続され、ソース電極が低電圧信号端VGLに接続され、第10のTFMT10は、ドレイン電極が出力端OUTPUTに接続され、ゲート電極が第2のノードPDに接続され、ソース電極が低電圧信号端に接続され。それにおいて、TFMT3のドレイン電極が第1のクロック信号の入力端Xであり、TFMT5のドレイン電極が第2のクロック信号の入力端Yである。この行が奇数行目であるとき、第1のクロック信号の入力端Xが第1のクロック信号線CLKに接続され、第2のクロック信号の入力端Yが第2のクロック信号線CLKBに接続される。この行が偶数行目であるとき、第1のクロック信号の入力端Xが第2のクロック信号線CLKBに接続され、第2のクロック信号の入力端Yが第1のクロック信号線CLKに接続される。

【0023】

図5は、順方向走査時に奇数行目のゲートライン信号を制御するゲートドライバ集積回路の各入力信号エンドの電圧のシーケンス図である。図に示すように、順方向走査（第1の行から最後の行へ）するとき、VDDがコンスタントな高電圧を提供し、VSSがコン

10

20

30

40

50

スタントな低電圧を提供し、入力端 I N P U T に高レベルのパルス信号を入力し、M 1 を導通させ、電圧制御バスバーの P U ノードに充電し、そして、第 1 のクロック信号の入力端 X が第 1 のクロック信号線 C L K に提供される高レベルのクロック信号を入力し、M 3 を導通させ、高レベルを出力するように出力端 O U T P U T を制御するとともに、電気容量 C 1 に蓄積される電荷が P U ノードへ移動し、P U ノードの電圧をさらに向上する。それとともに、P U ノード電圧が上昇して M 6 を導通させ、第 2 のノード P D の電圧を低電圧信号端 V G L の電圧までプルダウンする。そして、リセット端 R E S E T が高レベルであり、M 2 を導通させ、P U ノードを放電するとともに、第 2 のクロック信号の入力端 Y が第 2 のクロック信号線 C L K B に提供される高レベルのクロック信号を入力し、M 4 を導通させ、出力端 O U T P U T を放電し、さらに、M 5 を導通させ、P D ノードに充電し、P U ノードを放電するように P D ノードに対応するプルダウン M 9 を制御し、出力端 O U T P U T を放電するように P D ノードに対応するプルダウン T F T M 1 0 を制御する。

10

【0024】

図 6 は、順方向走査時に、偶数行目のゲートライン信号を制御するゲートドライバ集積回路の各エンドの電圧のシーケンス図である。この図に示すように、順方向走査（第 1 の行から最後の行）時に、V D D がコンスタントな高電圧を提供し、V S S がコンスタントな低電圧を提供し、入力端 I N P U T に高レベルのパルス信号を入力し、M 1 を導通させ、P U ノードに充電し、そして、第 1 のクロック信号の入力端 X に第 2 のクロック信号線 C L K B に提供される高レベルのクロック信号を入力し、M 3 を導通させ、このとき、出力端 O U T P U T が高レベルを出力するとともに、電気容量 C 1 に蓄積する電荷が P U ノードに移動し、P U ノードの電圧をさらに向上する。それとともに、P U ノードの電圧が M 6 を導通させるまで上昇し、第 2 のノード P D の電圧を低電圧信号端 V G L の電圧までプルダウンする。そして、リセット端 R E S E T が高レベルであり、M 2 を導通させ、P U ノードを放電するとともに、第 2 のクロック信号の入力端 Y に第 1 のクロック信号線 C L K に提供される高レベルのクロック信号を入力し、M 4 を導通させ、出力端 O U T P U T を放電し、さらに、M 5 を導通させ、P D ノードに充電し、P U ノードを放電するように P D ノードに対応するプルダウン T F T M 9 を制御し、出力端 O U T P U T を放電するように P D ノードに対応するプルダウン M 1 0 を制御する。

20

【0025】

図 7 は、逆方向走査時に奇数行目のゲートライン信号を制御するゲートドライバ集積回路の各入力信号エンドの電圧のシーケンス図である。この図に示すように、逆方向走査（最後の行から第 1 の行）時に、V D D がコンスタントな低電圧を提供し、V S S がコンスタントな高電圧を提供し、リセット端 R E S E T に高レベルのパルス信号を入力し、M 2 を導通させ、P U ノードに充電し、そして、第 1 のクロック信号の入力端 X が第 1 のクロック信号線 C L K に提供される高レベルのクロック信号を入力し、M 3 を導通させ、このとき、出力端 O U T P U T が高レベルを出力するとともに、電気容量 C 1 に蓄積する電荷が P U ノードに移動し、P U ノードの電圧をさらに向上する。それとともに、P U ノード電圧が M 6 を導通させるまで上昇し、第 2 のノード P D の電圧を低電圧信号端 V G L の電圧までプルダウンする。そして、入力端 I N P U T が高レベルであり、M 1 を導通させ、P U ノードを放電するとともに、第 2 のクロック信号の入力端 Y が第 2 のクロック信号線 C L K B に提供される高レベルのクロック信号を入力し、M 4 を導通させ、出力端 O U T P U T を放電し、さらに、M 5 を導通し、P D ノードに充電し、P U ノードを放電するように P D ノードに対応するプルダウン M 9 を制御し、出力端 O U T P U T を放電するように P D ノードに対応する M 1 0 を制御する。

30

40

【0026】

図 8 は、逆方向走査時に偶数行目のゲートライン信号を制御するゲートドライバ集積回路の各入力信号エンドの電圧のシーケンス図である。この図に示すように、逆方向走査（最後の行から第 1 の行）時に、V D D がコンスタントな低電圧を提供し、V S S がコンスタントな高電圧を提供し、リセット端 R E S E T に高レベルのパルス信号を入力し、M 2

50

を導通させ、P U ノードに充電し、そして、第 1 のクロック信号の入力端 X が第 2 のクロック信号線 C L K B に提供される高レベルのクロック信号が入力し、M 3 を導通させ、このとき、出力端 O U T P U T が高レベルを出力するとともに、電気容量 C 1 に蓄積する電荷が P U ノードに移動し、P U ノードの電圧をさらに向上する。それとともに、P U ノード電圧が M 6 を導通させるまで上昇し、第 2 のノード P D の電圧を低電圧信号端 V G L の電圧までプルダウンする。そして、入力端 I N P U T が高レベルであり、M 1 を導通させ、P U ノードを放電するとともに、第 2 のクロック信号の入力端 Y が第 1 のクロック信号線 C L K に提供される高レベルのクロック信号を入力し、M 4 を導通させ、出力端 O U T P U T を放電し、さらに、M 5 を導通させ、P D ノードに充電し、P U ノードを放電するように P D ノードに対応する M 9 を制御し、出力端 O U T P U T を放電するように P D ノードに対応する M 1 0 を制御する。

10

【 0 0 2 7 】

上記から分かるように、本発明に係るゲートドライバ集積回路は、ゲートドライバ集積回路における入力端およびリセット端の機能を対称にして設計することによって、ゲートドライバ集積回路が双方向走査することができるようになり、ノードの充放電特性が変更されなく、回路の信頼性及び安定性が確保される。

【 0 0 2 8 】

同じ構想に基づき、本発明の実施例はディスプレイスクリーンであって、上記シフトレジスタ及びアレイ基板を備え、上記シフトレジスタの各ゲートドライバ集積回路の信号出力端は、上記アレイ基板の、該ゲートドライバ集積回路に制御されるゲートライン信号のゲートラインに接続される。

20

【 0 0 2 9 】

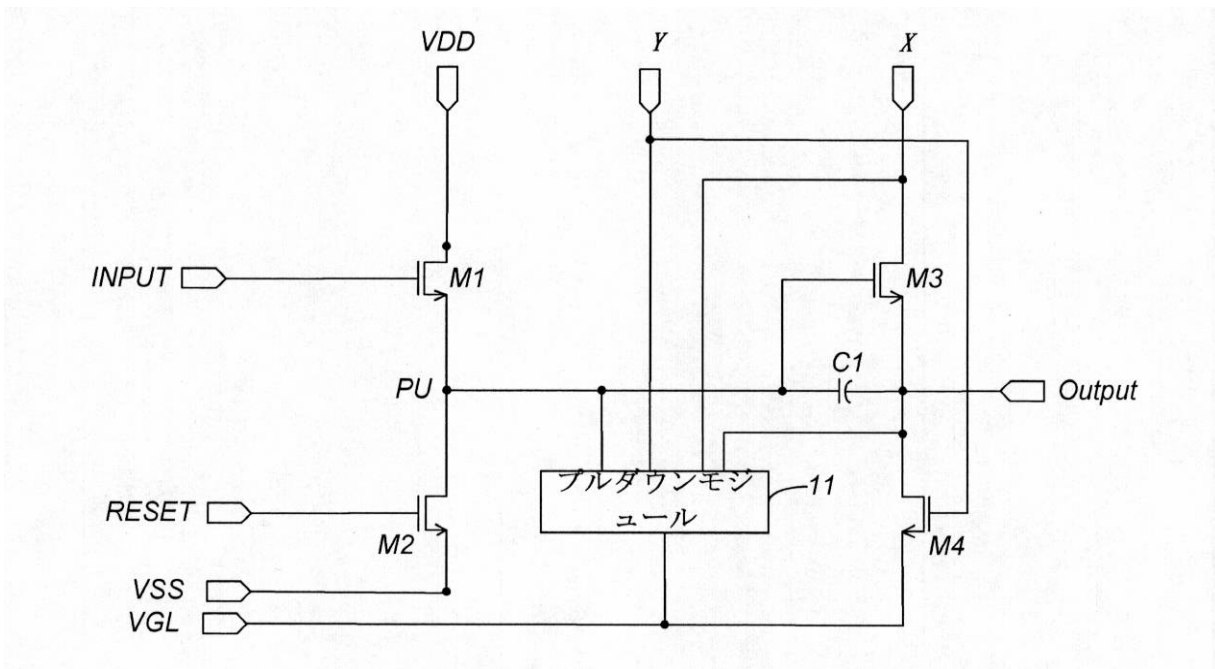
上記から分かるように、本発明に係るゲートドライバ集積回路、シフトレジスタ及びディスプレイスクリーンは、ゲートドライバ集積回路における入力端およびリセット端の機能を対称にして設計することによって、ゲートドライバ集積回路が双方向走査することができるようになり、ノードの充放電特性が変更されなく、回路の信頼性及び安定性が確保される。

【 0 0 3 0 】

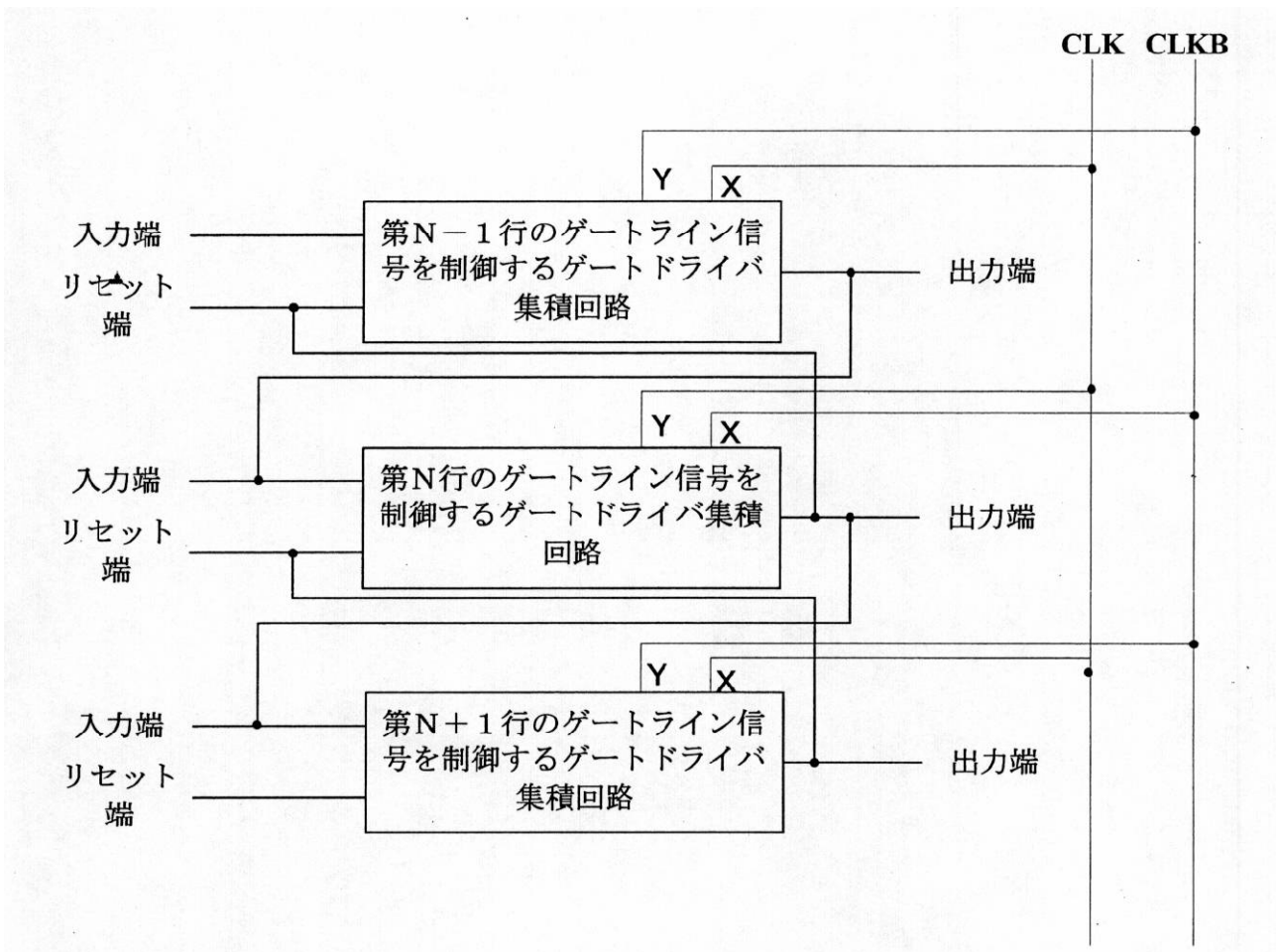
本発明の精神と範囲から逸脱しない範囲で本発明を修正する、または変更することができる。本発明に対する修正または変更は、本発明の特許請求の範囲及びそれに均等する範囲内であれば、本発明はこれらの修正または変更を含む。

30

【図 2】



【図 3】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/CN2012/080420
A. CLASSIFICATION OF SUBJECT MATTER		
see the extra sheet		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC: G09G3, G02F1/13+		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS,CNTEXT,CNKI,VEN:GOA, gate, grid, array, pull+ 1w up, pull+ 1w down, shift register?, TFT, transistor?, capacitor, bidirection, direction		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN102629444A (BOE TECHNOLOGY GROUP CO., LTD.) 08 Aug.2012(08.08.2012) the whole document	1-11
A	CN101093647A (SAMSUNG ELECTRONICS CO., LTD.) 26 Dec.2007 (26.12.2007) description, page 7, the last third line to page 16, line 11 and figures 1-4	1-11
A	CN101937718A (AU OPTRONICS CORP) 05 Jan.2011 (05.01.2011) the whole document	1-11
A	KR20070105001A (SAMSUNG ELECTRONICS CO., LTD.) 30 Oct.2007 (30.10.2007) the whole document	1-11
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 14 Nov.2012 (14.11.2012)		Date of mailing of the international search report 29 Nov. 2012 (29.11.2012)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451		Authorized officer YANG, Xi Telephone No. (86-10) 62085797

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/080420

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN102629444A	08.08.2012	NONE	
CN101093647A	26.12.2007	CN101093647B	04.01.2012
		EP1870877A2	26.12.2007
		EP1870877A3	07.10.2009
		JP2008003602A	10.01.2008
		JP5005440B2	22.08.2012
		KR20070121071A	27.12.2007
		KR20080104726A	03.12.2008
		US2007296662A1	27.12.2007
		US7936332B2	03.05.2011
CN101937718A	05.01.2011	NONE	
KR20070105001A	30.10.2007	NONE	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/080420

Continuation of second sheet A. CLASSIFICATION OF SUBJECT MATTER

G09G3/20 (2006.01) i

G09G3/36 (2006.01) i

国际检索报告		国际申请号 PCT/CN2012/080420
A. 主题的分类 参见附加页 按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC: G09G3, G02F1/13+ 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS,CNTEXT,CNKI,VEN: 栅极,门极,闸,集成,阵列,上拉,拉升,自举,抬升,下拉,下降,电容,双向,正向,反向,扫描,移位寄存器, GOA, gate, grid, array, pull+ 1w up, pull+ 1w down, shift register?, TFT, transistor?, capacitor, bidirection, direction		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN102629444A (北京京东方光电科技有限公司) 08.8 月 2012 (08.08.2012) 全文	1-11
A	CN101093647A (三星电子株式会社) 26.12 月 2007 (26.12.2007) 说明书第 7 页倒数第 3 行至第 16 页第 11 行、附图 1-4	1-11
A	CN101937718A (友达光电股份有限公司) 05.1 月 2011 (05.01.2011) 全文	1-11
A	KR20070105001A (SAMSUNG ELECTRONICS CO LTD) 30.10 月 2007 (30.10.2007) 全文	1-11
☐ 其余文件在 C 栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件		“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件
国际检索实际完成的日期 14.11 月 2012 (14.11.2012)		国际检索报告邮寄日期 29.11 月 2012 (29.11.2012)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		受权官员 杨曦 电话号码: (86-10) 62085797

国际检索报告 关于同族专利的信息		国际申请号 PCT/CN2012/080420	
检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102629444A	08.08.2012	无	
CN101093647A	26.12.2007	CN101093647B	04.01.2012
		EP1870877A2	26.12.2007
		EP1870877A3	07.10.2009
		JP2008003602A	10.01.2008
		JP5005440B2	22.08.2012
		KR20070121071A	27.12.2007
		KR20080104726A	03.12.2008
		US2007296662A1	27.12.2007
		US7936332B2	03.05.2011
CN101937718A	05.01.2011	无	
KR20070105001A	30.10.2007	无	

国际检索报告

国际申请号 PCT/CN2012/080420

(续第 2 页) **A. 主题的分类:**

G09G3/20 (2006.01) i

G09G3/36 (2006.01) i

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN

Fターム(参考) 5C006 AC22 AF42 BB11 BC03 BC20 BF03 BF34 BF37 EB05 FA04
5C080 AA10 BB05 DD09 DD13 DD25 JJ02 JJ03 JJ04

专利名称(译)	栅极驱动器集成电路，移位寄存器和显示屏		
公开(公告)号	JP2014524598A	公开(公告)日	2014-09-22
申请号	JP2014526374	申请日	2012-08-21
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	陳希		
发明人	▲陳▼ 希		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3674 G09G2300/0408 G09G2310/0283 G09G2310/0286 G09G2310/08 G11C19/28 H03K5/153		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.622.B G09G3/20.622.R G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZC30 2H193/ZF22 2H193/ZF23 2H193/ZF44 5C006/AC22 5C006/AF42 5C006/BB11 5C006/BC03 5C006/BC20 5C006/BF03 5C006/BF34 5C006/BF37 5C006/EB05 5C006/FA04 5C080/AA10 5C080/BB05 5C080/DD09 5C080/DD13 5C080/DD25 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	村山彦 渡边 隆		
优先权	201110241400.8 2011-08-22 CN		
其他公开文献	JP6227530B2		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器领域，尤其涉及栅极驱动器集成电路，移位寄存器和显示屏。集成电路栅极驱动器包括：第一薄膜晶体管TFT，第二TFT，第三TFT，第四TFT，包括一电容，和一个下拉模块，下拉模块下拉模块，第一时钟信号，第二时钟信号输入端的输入端，和连接在输出端之间的第一个节点，以及连接到低电平信号端，栅极驱动器集成电路不操作并且在该时段内将第一节点和输出终端维持在低水平。由输入端的对称来实现功能和栅极驱动器集成电路的复位端子，栅极驱动器集成电路将能够双向扫描，而不是被改变的节点的充放电特性，的电路可靠性和稳定性得到保证。

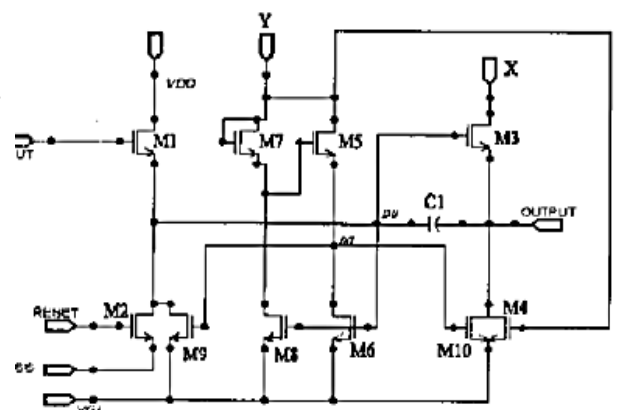


图 4 / FIG. 4