

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-115676

(P2014-115676A)

(43) 公開日 平成26年6月26日(2014.6.26)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H192

審査請求 有 請求項の数 8 O L (全 19 頁)

(21) 出願番号 特願2014-30132 (P2014-30132) (22) 出願日 平成26年2月20日 (2014.2.20) (62) 分割の表示 特願2007-281766 (P2007-281766) の分割 原出願日 平成19年10月30日 (2007.10.30) (31) 優先権主張番号 10-2006-0105656 (32) 優先日 平成18年10月30日 (2006.10.30) (33) 優先権主張国 韓国 (KR) (31) 優先権主張番号 10-2006-0125332 (32) 優先日 平成18年12月11日 (2006.12.11) (33) 優先権主張国 韓国 (KR)	(71) 出願人 512187343 三星ディスプレイ株式会社 Samsung Display Co., Ltd. 大韓民国京畿道龍仁市器興区三星二路95 95, Samsung 2 Ro, Gih eung-Gu, Yongin-City , Gyeonggi-Do, Korea (74) 代理人 100121382 弁理士 山下 託嗣 (74) 代理人 100175628 弁理士 仁野 裕一
---	---

最終頁に続く

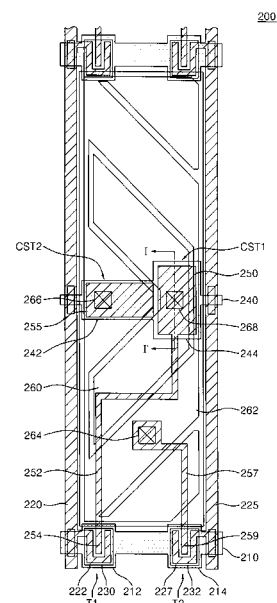
(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】 静電気による薄膜トランジスタのチャンネルショート現象を防止する液晶表示装置及びその製造方法を提供する。

【解決手段】 液晶表示装置は、第1データラインから入力される高階調データ信号を第1画素電極に印加する第1薄膜トランジスタ、第1コンタクトホールを介して第1画素電極と接続され第1薄膜トランジスタと直接接続される上部電極を含み、高階調データ信号を蓄積する第1蓄積キャパシタ、第2データラインから入力される低階調データ信号を第2コンタクトホールを介して接続された第2画素電極に印加する第2薄膜トランジスタ、及び第3コンタクトホールを介して第2画素電極と接続される上部電極を含み、低階調データ信号を蓄積する第2蓄積キャパシタとを含む。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

第 1 コンタクトホールを介して接続された第 1 画素電極に、第 1 データラインから入力される第 1 データ信号電圧を印加する第 1 薄膜トランジスタと、

前記第 1 コンタクトホールを介して前記第 1 画素電極と接続される端子電極を含む第 1 蓄積キャパシタと、

前記第 2 コンタクトホールを介して前記第 1 画素電極と接続される端子電極を含み、前記第 1 データ信号電圧を蓄積する第 2 蓄積キャパシタと、

第 3 コンタクトホールを介して接続された第 2 画素電極に、第 2 データラインから入力される第 2 データ信号電圧を印加する第 2 薄膜トランジスタと、

前記第 3 コンタクトホールを介して前記第 2 画素電極と接続される端子電極を含む第 3 蓄積キャパシタと、

第 4 コンタクトホールを介して前記第 2 画素電極と接続される端子電極を含み、前記第 2 データ信号電圧を蓄積する第 4 蓄積キャパシタと、

前記第 1 蓄積キャパシタの端子電極は、前記第 1 薄膜トランジスタのドレイン電極と一体的に形成されることを特徴とする液晶表示装置。

【請求項 2】

前記第 1 データ信号電圧と第 2 データ信号電圧は、互いに異なる階調電圧カバーによって生成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 薄膜トランジスタは、前記第 1 データラインに接続されるソース電極と前記第 1 蓄積キャパシタの端子電極に接続されるドレイン電極を含むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

前記第 3 蓄積キャパシタの端子電極は、前記第 2 薄膜トランジスタのドレイン電極と一体的に形成されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

前記第 2 薄膜トランジスタは、前記第 2 データラインに接続されるソース電極と前記第 3 蓄積キャパシタの端子電極に接続されるドレイン電極を含むことを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 1 ～ 第 4 蓄積キャパシタは、互いに電氣的に接続されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 7】

前記第 1 薄膜トランジスタは、1 つの水平周期中の一定期間の間、前記第 1 データ信号電圧を第 1 画素電極に印加し、

前記第 2 薄膜トランジスタは、一つの水平周期中の一定期間を除く期間の間、前記第 2 データ信号電圧を第 2 画素電極に印加することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 8】

前記第 2 蓄積キャパシタは、前記第 4 蓄積キャパシタより容量が大きいことを特徴とする請求項 1 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係わり、特に、静電気による薄膜トランジスタのチャンネルショート現象を防止する液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

一般的に、液晶表示装置は、電界によって液晶分子を駆動し光透過率を調節することで画像を表示する装置である。液晶表示装置は、液晶によって遮蔽されない方向に光を透過することにより画像を表示するので、相対的に他の表示装置に比べて視野角が狭い。

【0003】

液晶表示装置の代表的な広視野角技術としては、垂直配向（VA: Vertical Alignment）モードが用いられる。垂直配向モードは、負の異方性を有する液晶分子を基板に対して垂直に配向し、配向方向が印加される電界方向に垂直となるように駆動することによって光透過率を調節する。このような垂直配向モード技術は、ドメイン形成方法によって、MVA（Multi-domain Vertical Alignment）技術、PVA（Patterned-ITO Vertical Alignment）技術及びS-PVA（S-Patterned-ITO Vertical Alignment）技術で区分される。 10

【0004】

MVA技術として、上下基板に突起を形成し液晶分子がその突起を基準にして対称に予め配向方向が傾斜したプリチルト状態を構成し、電圧を印加してプリチルトの方向に駆動するようにしてマルチドメインを形成する、突起を用いたVAモードのものが知られている。

【0005】

PVA（Patterned-ITO Vertical Alignment）技術として、上下基板の共通電極及び画素電極にスリットを形成してそのスリットによって発生するフリンジ電界を用いて、液晶分子がスリットを基準にして対称に駆動するようにしてマルチドメインを形成する、スリットパターンを用いたVAモードのものが知られている。 20

【0006】

S-PVA技術は、1つの画素を互いに異なるガンマ曲線に基づいてデータを表現する高階調サブ画素と低階調サブ画素で区分し、各サブ画素を高階調トランジスタと低階調トランジスタを通じて独立に駆動する。

【0007】

ところで、S-PVA技術を用いた液晶表示装置の製造過程では、静電気によるチャンネルショート不良、特に、静電気によって高階調トランジスタのチャンネルがショートし、液晶表示装置の製造数率（歩留まり）が低下するという問題点がある。

【発明の概要】

30

【発明が解決しようとする課題】

【0008】

従って、本発明の目的は、高階調データ信号をスイッチングするトランジスタのドレイン電極を蓄積キャパシタの上部電極に接続する液晶表示装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0009】

上記課題を解決するために、第1コンタクトホールを介して接続された第1画素電極に、第1データラインから入力される第1データ信号電圧を印加する第1薄膜トランジスタと、前記第1コンタクトホールを介して前記第1画素電極と接続される端子電極を含む第1蓄積キャパシタと、前記第2コンタクトホールを介して前記第1画素電極と接続される端子電極を含み、前記第1データ信号電圧を蓄積する第2蓄積キャパシタと、第3コンタクトホールを介して接続された第2画素電極に、第2データラインから入力される第2データ信号電圧を印加する第2薄膜トランジスタと、前記第3コンタクトホールを介して前記第2画素電極と接続される端子電極を含み、前記第2データ信号電圧を蓄積する第4蓄積キャパシタと、前記第1蓄積キャパシタの端子電極は、前記第1薄膜トランジスタのドレイン電極と一体的に形成されることを特徴とする液晶表示装置を提供する。 40

【図面の簡単な説明】

50

【 0 0 1 0 】

【図 1】本発明の一実施例による液晶表示装置を示すブロック図である。

【図 2】図 2 に示された液晶表示装置の画素の構造を示した平面図である。

【図 3】図 2 に示された第 1 蓄積キャパシタの I-I' に沿って切断した断面図である。

【図 4】図 2 及び図 3 に示された薄膜トランジスタ基板を製造する方法を説明する図である。

【図 5】図 2 及び図 3 に示された薄膜トランジスタ基板を製造する方法を説明する図である。

【図 6】図 2 及び図 3 に示された薄膜トランジスタ基板を製造する方法を説明する図である。

10

【図 7】図 2 及び図 3 に示された薄膜トランジスタ基板を製造する方法を説明する図である。

【図 8】図 2 及び図 3 に示された薄膜トランジスタ基板を製造する方法を説明する図である。

【図 9】図 1 に示された液晶表示装置の他の画素の構造を示した図面である。

【図 10】図 9 に示された第 3 及び第 4 蓄積キャパシタの I-I' に沿って切断した断面図である。

【図 11】図 9 及び図 10 に示された薄膜トランジスタ基板を製造する方法を説明するための図である。

【図 12】図 9 及び図 10 に示された薄膜トランジスタ基板を製造する方法を説明するための図である。

20

【図 13】図 9 及び図 10 に示された薄膜トランジスタ基板を製造する方法を説明するための図である。

【図 14】図 9 及び図 10 に示された薄膜トランジスタ基板を製造する方法を説明するための図である。

【図 15】図 9 及び図 10 に示された薄膜トランジスタ基板を製造する方法を説明するための図である。

【図 16】本発明の他の実施例による液晶表示装置を示したブロック図である。

【図 17】図 16 に示された液晶表示装置の画素構造を示した平面図である。

【発明を実施するための形態】

30

【 0 0 1 1 】

以下、図面を参照して本発明の望ましい一実施例を図 1 ~ 図 10 を参照してより詳細に説明する。

【 0 0 1 2 】

図 1 は本発明の一実施例による液晶表示装置を示したブロック図である。図 1 に示されたように、本発明の一実施例による液晶表示装置 100 は液晶パネル 110、液晶パネル 110 のゲートライン GL1、GL2 を駆動するゲートドライバ 120、液晶パネル 110 のデータライン DL1 ~ DL4 を駆動するデータドライバ 130、ゲートドライバ 120 とデータドライバ 130 を制御するタイミングコントローラ 140、及び高階調ガンマ電圧と低階調ガンマ電圧とを選択的に供給するガンマ電圧部 150 を含む。

40

【 0 0 1 3 】

液晶パネル 110 は、1つのゲートライン GL1、GL2 と 2つのデータライン DL1、DL2、DL3、DL4 に画定される複数の画素 P1 ~ P4 を含む。1つの画素 P1 は高階調領域と低階調領域それぞれに形成された第 1 画素電極 VH と第 2 画素電極 VL、第 1 画素電極 VH 及び第 2 画素電極 VL それぞれ独立して接続される第 1 薄膜トランジスタ T1 と第 2 薄膜トランジスタ T2、及び第 1 薄膜トランジスタ T1 と第 2 薄膜トランジスタ T2 に共通に接続されるゲートライン GL1 と第 1 薄膜トランジスタ T1 と第 2 薄膜トランジスタ T2 それぞれに接続されるデータライン DL1、DL2 を含む。ここで、高階調領域と低階調領域それぞれに形成された第 1 画素電極 VH と第 2 画素電極 VL は互いに異なる階調電圧曲線に基づいて生成された階調電圧に応じてデータを表現する。

50

【0014】

一方、奇数番目ゲートラインGL1に接続された奇数番目画素P1は、第1薄膜トランジスタT1が第1画素電極VHに接続され、第2薄膜トランジスタT2が第2画素電極VLに接続された構造を有し、奇数番目ゲートラインGL1に接続された偶数番目画素P2は第1薄膜トランジスタT3が第2画素電極VLに接続され、第2薄膜トランジスタT3が第1画素電極VHに接続された構造を有する。

【0015】

また、偶数番目ゲートラインGL2に接続された奇数番目画素P3は第1薄膜トランジスタT5が第2画素電極VLに接続され、第2薄膜トランジスタT6が第1画素電極VHに接続された構造を有し、偶数番目ゲートラインGL2に接続された偶数番目画素P4は第1薄膜トランジスタT7が第1画素電極VHに接続され、第2薄膜トランジスタT8が第2画素電極VLに接続された構造を有する。

【0016】

タイミングコントローラ140は、外部から入力された同期信号及びクロック信号を用いてゲートドライバ120を制御するゲート制御信号と、データドライバ130を制御するデータ制御信号を発生し、外部から入力されるデータ信号を再整列してデータドライバ130に供給する。また、タイミングコントローラ140はガンマ電圧部150を制御するスイッチング信号を生成する。

【0017】

ここで、スイッチング信号は1つの水平周期期間の間、高階調ガンマ電圧部152と低階調ガンマ電圧部154の出力をスイッチングするように、ガンマ電圧スイッチ156を制御する。スイッチング信号は、1つの水平周期期間の間、高階調ガンマ電圧部152と低階調ガンマ電圧部154の出力時間を適切に調整できるように選択可能となっている。以下では、スイッチング信号は、1/2水平周期の間、高階調ガンマ電圧部152が高階調ガンマ電圧を出力するようにし、残りの1/2水平周期の間、低階調ガンマ電圧部154が低階調ガンマ電圧を出力するように選択された場合を例示して説明する。

【0018】

ガンマ電圧部150は、複数の高階調ガンマ電圧を生成する高階調ガンマ電圧部152と、複数の低階調ガンマ電圧を生成する低階調ガンマ電圧部154と、高階調ガンマ電圧部ガンマ電圧部152と低階調ガンマ電圧部154の出力をスイッチングするガンマ電圧スイッチ156を含む。ガンマ電圧スイッチ156は、1/2水平周期の期間、高階調ガンマ電圧部152から高階調ガンマ電圧を、残りの1/2水平周期の期間、低階調ガンマ電圧部154から低階調ガンマ電圧をスイッチングしてデータドライバ130に供給する。

【0019】

ゲートドライバ120はタイミングコントローラ140からのゲート制御信号に応答して液晶パネル110のゲートラインGL1、GL2にゲート駆動信号を印加してゲートラインGL1、GL2を順に駆動する。

【0020】

データドライバ130はタイミングコントローラ140からのデータ制御信号に応答して、1/2水平周期の期間、高階調ガンマ電圧を用いてタイミングコントローラ140からのデータ信号を高階調データ信号に変換してデータラインDL1に供給し、残りの1/2水平周期の期間、低階調ガンマ電圧を用いてタイミングコントローラ140からのデータ信号を低階調データ信号に変換してデータラインDL2に供給する。

【0021】

図2及び図3に示すように、本発明の一実施例による液晶表示装置の画素の構造をさらに詳細に説明する。図2は図1の液晶表示装置の画素の構造を示した平面図である。図2に示されたように、本発明の一実施例による液晶表示装置の画素は第1画素電極260、第2画素電極262、第1薄膜トランジスタT1、第2薄膜トランジスタT2、ゲートライン210、第1データライン220、第2データライン225、第1蓄積キャパシタC

10

20

30

40

50

S T 1 及び第 2 蓄積キャパシタ C S T 2 を含む。

【 0 0 2 2 】

第 1 画素電極 2 6 0 は、コンタクトホール 2 6 8 を介して第 1 トランジスタ T 1 のドレイン電極 2 5 4 と第 1 蓄積キャパシタの上部電極 2 5 0 に接続される。第 1 画素電極 2 6 0 は第 1 トランジスタ T 1 を介して第 1 データライン 2 2 0 から高階調データ信号の印加を受け高階調データ信号に基づく表示を行う。

【 0 0 2 3 】

第 2 画素電極 2 6 2 は、第 1 画素電極 2 6 0 と分離されて第 1 画素電極 2 6 0 を取り囲む形状で形成される。第 2 画素電極 2 6 2 は、コンタクトホール 2 6 4 を介して第 2 トランジスタ T 2 のドレイン電極 2 5 9 と接続され、コンタクトホール 2 6 6 を介して第 2 蓄積キャパシタの上部電極 2 5 5 に接続される。第 2 画素電極 2 6 2 は第 2 トランジスタ T 2 を介して第 2 データライン 2 2 5 から低階調データ信号の印加を受けてデータ信号に基づく表示を行う。

【 0 0 2 4 】

第 1 薄膜トランジスタ T 1 は、ゲートライン 2 1 0 に接続されるゲート電極 2 1 2、第 1 データライン 2 2 0 に接続されるソース電極 2 2 2、ドレイン電極 2 5 2 に接続されるドレイン電極 2 5 4、絶縁層を媒介にしてゲート電極 2 1 2 と重畳される活性層 2 3 0 を含む。第 1 薄膜トランジスタ T 1 はゲートライン 2 1 0 に印加されるゲート駆動信号に
20 応答して 1 / 2 水平周期の期間、第 1 データライン 2 2 0 から供給される高階調データ信号をドレイン電極 2 5 4 を介してドレインライン 2 5 2 に印加する。

【 0 0 2 5 】

第 2 薄膜トランジスタ T 2 は、ゲートライン 2 1 0 に接続されるゲート電極 2 1 4、第 2 データライン 2 2 5 に接続されるソース電極 2 2 7、ドレインライン 2 5 7 に接続されるドレイン電極 2 5 9、絶縁層を媒介にしてゲート電極 2 1 4 と重畳する活性層 2 3 2 を含む。第 2 薄膜トランジスタ T 2 は、ゲートライン 2 1 0 から印加されるゲート駆動信号に
25 応答して、第 2 薄膜トランジスタ T 2 は、1 / 2 水平周期の期間、第 2 データライン 2 2 5 から供給される低階調データ信号を、ドレイン電極 2 5 9 を介してドレインライン 2 5 7 に印加する。

【 0 0 2 6 】

ゲートライン 2 1 0 は第 1 薄膜トランジスタ T 1 のゲート電極 2 1 2 と第 2 薄膜トランジスタ T 2 のゲート電極 2 1 4 に接続される。ゲートライン 2 1 0 はゲートドライバから
30 入力されるゲート駆動信号を第 1 薄膜トランジスタ T 1 のゲート電極 2 1 2 と第 2 薄膜トランジスタ T 2 のゲート電極 2 1 4 に印加する。

【 0 0 2 7 】

第 1 データライン 2 2 0 は、画素の一侧であってゲートライン 2 1 0 に交差するように形成され、第 1 薄膜トランジスタ T 1 のソース電極 2 2 2 に接続される。第 1 データライン 2 2 0 は 1 / 2 水平周期期限の間データドライバから入力される高階調データ信号を第 1 薄膜トランジスタ T 1 のソース電極 2 2 2 に印加する。

【 0 0 2 8 】

第 2 データライン 2 2 5 は、画素の他側であってゲートライン 2 1 0 に交差するように形成され、第 2 薄膜トランジスタ T 2 のソース電極 2 2 7 に接続される。第 2 データライン 2 2 5 は、残り 1 / 2 水平周期期限の間、データドライバから入力される低階調データ
40 信号を第 2 薄膜トランジスタ T 2 のソース電極 2 2 7 に印加する。

【 0 0 2 9 】

第 1 蓄積キャパシタ C S T 1 は、蓄積キャパシタライン 2 4 0 に接続される下部電極 2 4 4 と、絶縁層を媒介にして下部電極 2 4 4 と重畳する上部電極 2 5 0 を含む。上部電極 2 5 0 は、ドレインライン 2 5 2 を介して第 1 薄膜トランジスタ T 1 のドレイン電極 2 5 4 と直接接続される。第 1 蓄積キャパシタ C S T 1 の下部電極 2 4 4 と上部電極 2 5 0 は、第 2 蓄積キャパシタ C S T 2 の下部電極 2 4 2 と上部電極 2 5 5 より広い面積であることが望ましい。

10

20

30

40

50

【0030】

一方、ドレインライン252に接続された上部電極250は、コンタクトホール268を介して第1画素電極260に接続される。従って、第1薄膜トランジスタT1のドレイン電極254に接続されたドレインライン252を介して入力される高階調データ信号は、第1画素電極260に印加されると同時に、第1蓄積キャパシタCST1に蓄積される。

【0031】

第2蓄積キャパシタCST2は、蓄積キャパシタライン240に接続される下部電極242と、絶縁層を媒介にして下部電極242と重畳する上部電極255を含む。上部電極255は、第2薄膜トランジスタT2のドレイン電極259に接続された第2画素電極262とコンタクトホール266を介して接続される。従って、第2薄膜トランジスタT2のドレイン電極259に接続されたドレインライン257を介して入力される低階調データ信号は第2画素電極262に印加され、第2蓄積キャパシタCST2に蓄積される。

【0032】

第1蓄積キャパシタCST1をさらに詳細に説明する。図3は図2の第1蓄積キャパシタのI-I'断面図である。図3に示されたように、第1蓄積キャパシタCST1はガラス基板202に形成された下部電極244と、絶縁層204を媒介にして下部電極244と重畳するように形成された上部電極250を含む。上部電極250はドレインライン252を介して第1薄膜トランジスタのドレイン電極と直接接続され、保護膜206に形成されたコンタクトホール268を介して第1画素電極260に接続される。

【0033】

本発明の一実施例による液晶表示装置は、第1薄膜トランジスタT1のドレイン電極254と第1蓄積キャパシタCST1の上部電極250及び第1画素電極260の接続のための第1コンタクトホール268、第2薄膜トランジスタT2のドレイン電極259と第2画素電極262の接続のための第2コンタクトホール264、及び第2画素電極262と第2蓄積キャパシタCST2の上部電極255の接続のための第3コンタクトホール266を含む。

【0034】

即ち、本発明の一実施例による液晶表示装置は、第1薄膜トランジスタT1のドレイン電極254と第1画素電極260の直接接続のためのコンタクトホールを含まず、第1薄膜トランジスタT1のドレイン電極254が直接第1蓄積キャパシタCST1の上部電極255に接続される構造を有するので、液晶表示装置の製造過程で発生した静電気は、第1薄膜トランジスタT1に流入する前に第1蓄積キャパシタCST1に蓄積され、第1薄膜トランジスタT1に静電気が流入する経路が遮断される。従って、液晶表示装置の製造過程では、静電気によるチャンネルショート不良、特に、静電気によって高階調トランジスタのチャンネルがショートする問題点を解決できる。

【0035】

本実施においては、第1薄膜トランジスタT1のドレイン電極254と第1画素電極260の直接接続のためのコンタクトホールを含まないで、第1薄膜トランジスタT1のドレイン電極254が直接第1蓄積キャパシタCST1の上部電極255に接続される構造に対して説明したが、このような構成に限定されるものではなく、第2薄膜トランジスタT2のドレイン電極259と第2画素電極262の直接接続のためのコンタクトホール264を除去し、第2薄膜トランジスタT2のドレイン電極257を直接第2蓄積キャパシタCST2の上部電極255に接続することもできる。

【0036】

以下、図4～図8を参照して、図1の液晶表示装置の薄膜トランジスタ基板を製造する方法に関して説明する。

【0037】

図4はゲートライン形成工程を示す。ゲートライン形成工程はガラス基板上にゲート電極212、214を含むゲートライン210と、下部電極242、244を含む蓄積キャ

10

20

30

40

50

パシタライン 2 4 0 とを形成する。蓄積キャパシタライン 2 4 0 は、ゲートライン 2 1 0 に平行に形成される。具体的に、ガラス基板上にスパッタリング方法などで金属を蒸着する。金属層はモリブデン、アルミニウム、クロム、などとこれらの合金の単一層または複層構造を有することができる。

【 0 0 3 8 】

図 5 は活性層形成工程を示す。活性層形成工程は、ゲートライン 2 1 0 と蓄積キャパシタライン 2 4 0 が形成されたガラス基板上にゲート絶縁膜を形成し、その上に第 2 マスク工程で、活性層 2 3 0、2 3 2 がゲート電極 2 1 2、2 1 4 に重畳するように形成する。活性層 2 3 0、2 3 2 は、オーミックコンタクト層をさらに含むことができる。具体的に、第 1 マスク工程を経たガラス基板上に、プラズマ化学気相蒸着 P E C V D などの蒸着方法でゲート絶縁膜、非晶質シリコン層、n + 非晶質シリコン層を順に形成する。そして、第 2 マスクを用いたフォトリソグラフィ工程及びエッチング工程で非晶質シリコン層、n + 非晶質シリコン層、活性層 2 3 0、2 3 2 を形成する。ゲート絶縁膜は酸化シリコン S i O x、窒化シリコン S i N x のような無機絶縁物質であることが望ましい。また、活性層 2 3 0、2 3 2 はゲートライン 2 1 0 とデータラインとが交差される部分また蓄積キャパシタライン 2 4 0 とデータラインとが交差する部分にも形成することができる。

10

【 0 0 3 9 】

図 6 はソース/ドレインパターン形成工程を示す。ソース/ドレインパターン形成工程は、活性層 2 3 0、2 3 2 が形成されたゲート絶縁膜上にソース/ドレイン金属パターンを形成する。ソース/ドレイン金属パターンは、第 1 データライン 2 2 0、第 1 薄膜トランジスタのソース電極 2 2 2 とドレイン電極 2 5 4、第 1 蓄積キャパシタ C S T 1 の上部電極 2 5 0、第 1 薄膜トランジスタ T 1 のドレイン電極 2 5 4 と第 1 蓄積キャパシタ C S T 1 の上部電極 2 5 0 を接続するドレインライン 2 5 2、第 2 データライン 2 2 5、第 2 薄膜トランジスタ T 2 のソース電極 2 2 7 とドレイン電極 2 5 9、第 2 蓄積キャパシタ C S T 2 の上部電極 2 5 5 及び第 2 薄膜トランジスタ T 2 のドレイン電極 2 5 9 に接続されるドレインライン 2 5 7 を含む。

20

【 0 0 4 0 】

第 1 データライン 2 2 0 は、第 1 薄膜トランジスタ T 1 のソース電極 2 2 2 に接続され、第 2 データライン 2 2 5 は第 2 薄膜トランジスタ T 2 のソース電極 2 2 7 に接続される。一方、第 1 蓄積キャパシタ C S T 1 の上部電極 2 5 0 は、第 1 蓄積キャパシタ C S T 1 の下部電極 2 4 4 に対応して形成し、第 2 蓄積キャパシタ C S T 2 の上部電極 2 5 5 は第 2 蓄積キャパシタ C S T 2 の下部電極 2 4 2 に対応して形成する。従って、第 1 蓄積キャパシタ C S T 1 の上部電極 2 5 0 の面積は第 2 蓄積キャパシタ C S T 2 の上部電極 2 5 5 の面積より大きく形成される。

30

【 0 0 4 1 】

具体的に、第 2 マスク工程を経たガラス基板上にソース/ドレイン金属層をスパッタリング方法で形成する。そして、第 3 マスクを用いたフォトリソグラフィ工程及びエッチング工程でソース/ドレイン金属層をパターンニングする。そして、ソース電極 2 2 2、2 2 7 とドレイン電極 2 5 4、2 5 9 の間に露出されるオーミックコンタクト層を除去してソース電極 2 2 2、2 2 7 とドレイン電極 2 5 4、2 5 9 を電氣的に分離させる。このようにして、ゲートライン 2 1 0 と第 1 データライン 2 2 0 に接続される第 1 薄膜トランジスタ T 1 と、ゲートライン 2 1 0 と第 2 データライン 2 2 5 に接続される第 2 薄膜トランジスタ T 2 とを形成することができる。

40

【 0 0 4 2 】

図 7 はコンタクトホール形成工程を示す。コンタクトホール形成工程はソース/ドレイン金属パターンが形成されたゲート絶縁膜上に有機絶縁膜 2 0 6 を形成し、第 4 マスク工程で有機絶縁膜 2 0 6 の一部を除去して第 1 コンタクトホール 2 6 8、第 2 コンタクトホール 2 6 4 及び第 3 コンタクトホール 2 6 6 を形成する。ここで、第 1 コンタクトホール 2 6 8 は、第 1 薄膜トランジスタ T 1 のドレイン電極 2 5 4 と第 1 蓄積キャパシタ C S T 1 の上部電極 2 5 0 及び次の工程で形成される第 1 画素電極を接続するためである。第

50

2 コンタクトホール 2 6 4 は、第 2 薄膜トランジスタ T 2 のドレイン電極 2 5 9 と次の工程で形成される第 2 画素電極を接続するためのものである。第 3 コンタクトホール 2 6 6 は、第 2 画素電極と第 2 蓄積キャパシタ C S T 2 の上部電極 2 5 5 を接続するためである。

【 0 0 4 3 】

具体的に、第 3 マスク工程を経たガラス基板上にアクリル系有機化合物などのような有機絶縁物質をスピンコーティング、スピンレスコーティングなどの方法でコーティングして有機絶縁膜 2 0 6 を形成する。そして、第 4 マスクを用いたフォトリソグラフィ工程及びエッチング工程で有機絶縁膜 2 0 6 の一部を除去して第 1 蓄積キャパシタ C S T 1 の上部電極 2 5 0、第 2 薄膜トランジスタ C S T 2 のドレイン電極 2 5 9 に接続されたドレインライン 2 5 7 の末端及び第 2 蓄積キャパシタ C S T 2 の上部電極 2 5 5 を露出させ第 1 コンタクトホール 2 6 8、第 2 コンタクトホール 2 6 4 及び第 3 コンタクトホール 2 6 6 を形成する。

【 0 0 4 4 】

図 8 は画素電極形成工程を示す。画素電極形成工程は、有機絶縁膜上に透明導電パターンの第 1 画素電極 2 6 0 と第 2 画素電極 2 6 2 を形成する。具体的に、第 4 マスク工程を経たガラス基板上に I T O または I Z O などのような透明導電物質をスパッタリングなどのような蒸着方法で塗布する。そして、第 5 マスクを用いたフォトリソグラフィ工程及びエッチング工程でパターンニングして、第 1 画素電極 2 6 0 と第 2 画素電極 2 6 2 を形成する。

【 0 0 4 5 】

画素電極形成工程で、第 1 画素電極 2 6 0 は第 1 コンタクトホール 2 6 8 を介して第 1 蓄積キャパシタ C S T 1 の上部電極 2 5 0 と接続される。また、第 2 画素電極 2 6 2 は第 2 コンタクトホール 2 6 4 を介して第 2 薄膜トランジスタ T 2 のドレイン電極 2 5 9 に接続されたドレインライン 2 5 7 に接続され、第 3 コンタクトホール 2 6 6 を介して第 2 蓄積キャパシタ C S T 2 の上部電極 2 5 5 と接続される。

【 0 0 4 6 】

上述した方法で製造される薄膜トランジスタ基板は、共通電極とカラーフィルタの形成されたカラーフィルタ基板とアセンブリされて液晶表示装置の製造工程に使用することができる。

【 0 0 4 7 】

次に、本発明の一実施例による液晶表示装置の他の画素の構造を説明する。図 9 は図 1 に示された液晶表示装置の他の画素の構造を示した図である。図 9 に示されたように、本発明の液晶表示装置の他の画素は第 1 画素電極 3 6 0、第 2 画素電極 3 6 2、第 1 薄膜トランジスタ T 1、第 2 薄膜トランジスタ T 2、ゲートライン 3 1 0、第 1 データライン 3 2 0、第 2 データライン 3 2 5、第 1 蓄積共通 C S T 1、第 2 蓄積キャパシタ C S T 2、第 3 蓄積キャパシタ C S T 3 及び第 4 蓄積キャパシタ C S T 4 を含む。

【 0 0 4 8 】

第 1 画素電極 2 6 0 は、コンタクトホール 3 6 4 を介して第 1 トランジスタ T 1 のドレイン電極 3 5 4 及び第 3 蓄積キャパシタ C S T 3 の上部電極 3 8 0 と接続され、コンタクトホール 3 6 8 を介して第 1 蓄積キャパシタ C S T 2 の上部電極 3 5 5 に接続される。第 1 画素電極 3 6 0 は第 1 トランジスタ T 1 を介して第 1 データライン 3 2 0 から高データ信号の印加を受け高階調データ信号を表現する。

【 0 0 4 9 】

第 2 画素電極 2 6 2 は、第 1 画素電極 3 6 0 と分離され第 1 画素電極 3 6 0 を取り囲む形状に形成される。第 2 画素電極 3 6 2 はコンタクトホール 3 6 9 を介して第 2 トランジスタ T 2 のドレイン電極 3 5 9 及び第 4 蓄積キャパシタ C S T 4 と接続され、コンタクトホール 3 6 6 を介して第 2 蓄積キャパシタ C S T 2 の上部電極 3 5 5 に接続される。第 2 画素電極 3 6 2 は、第 2 トランジスタ T 2 を介して第 2 データライン 3 2 5 から低階調データ信号の印加を受け低階調データ信号を表現する。

【0050】

第1蓄積キャパシタCST1は、第1蓄積キャパシタライン340に接続される下部電極344と、絶縁層を媒介にして下部電極344と重畳する上部電極350を含む。上部電極350は、第1薄膜トランジスタT1のドレイン電極354に接続された第1画素電極360とコンタクトホール368を介して接続される。第3蓄積キャパシタCST2は、第2蓄積キャパシタライン341に接続される下部電極371と、絶縁層を媒介にして下部電極371と重畳する上部電極380を含む。上部電極380は第1薄膜トランジスタT2のドレイン電極354に接続され、第1画素電極360とコンタクトホール364を介して接続される。従って、第1薄膜トランジスタT1のドレイン電極354に接続されたドレインライン352を介して入力される高階調データ信号は第1画素電極360に印加されると同時に第1蓄積キャパシタCST1に蓄積される。

10

【0051】

第2蓄積キャパシタCST2は、第1蓄積キャパシタライン240に接続される下部電極342と、絶縁層を媒介にして下部電極342と重畳される上部電極355を含む。上部電極355は第2薄膜トランジスタT2のドレイン電極359に接続された第2画素電極362とコンタクトホール366を介して接続される。第4蓄積キャパシタCST4は、第2蓄積キャパシタライン241に接続される下部電極373と、絶縁層を媒介にして下部電極373と重畳する上部電極382を含む。上部電極382は、第2薄膜トランジスタT2のドレイン電極359に接続され、第2画素電極362とコンタクトホール369を介して接続される。従って、第2薄膜トランジスタT2のドレイン電極359に接続されたドレインライン357を介して入力される低階調データ信号は第2画素電極362に印加され、第2蓄積キャパシタCST2に蓄積されることができる。

20

【0052】

ここで、第1蓄積キャパシタライン340と第2蓄積キャパシタライン341は連結ライン370、372によって電氣的に接続される。連結ライン370、372は第1及び第2画素電極360、362と重畳しないように形成して画素の開口率減少を防ぐようにすることが望ましい。

【0053】

第1薄膜トランジスタT1、第2薄膜トランジスタT2、ゲートライン310、第1データライン320及び第2データライン325は、図2の第1薄膜トランジスタT1、第2薄膜トランジスタT2、ゲートライン210、第1データライン220及び第2データライン225の説明から当業者が容易に理解できるので詳細な説明は省略する。

30

【0054】

第3蓄積キャパシタCST3及び第4蓄積キャパシタCST4をより詳細に説明する。図10は図9の第3蓄積キャパシタCST3のI-I'線に沿って切断した断面図である。図10に示されたように、第3蓄積キャパシタCST3はガラス基板302に形成された下部電極371と、絶縁層304を媒介にして下部電極344と重畳するように形成された上部電極350を含む。上部電極350はドレインライン352を介して第1薄膜トランジスタのドレイン電極と接続され、保護膜306に形成されたコンタクトホール364を介して第1画素電極360に連結される。第4蓄積キャパシタCST4は第3蓄積キャパシタCST3と同一の構造を有するので詳細な説明は省略する。

40

【0055】

本発明の一実施例による液晶表示装置は第1薄膜トランジスタT1のドレイン電極354に接続される第3蓄積キャパシタCST3と第2薄膜トランジスタT2のドレイン電極359に接続される第4蓄積キャパシタCST4を含む。ここで、第3及び第4蓄積キャパシタCST3、CST4は連結ライン370、372を介して第1及び第2蓄積キャパシタCST1、CST2に接続される。

【0056】

このような構造の液晶表示装置は、液晶表示装置の製造過程で発生された静電気がコンタクトホール364、369を介して第1薄膜及び第2薄膜トランジスタT1、T2に流

50

入する前に、第3蓄積キャパシタ及び第4蓄積キャパシタCST3、CST4に蓄積され、第1及び第2蓄積キャパシタCST1、CST2に拡散され、第1及び第2薄膜トランジスタT1、T2に静電気が流入する経路を遮断する。従って、液晶表示装置の製造過程で、静電気によるチャンネルショート不良、特に、静電気によって高階調トランジスタのチャンネルがショートするという問題点を解決できる。

【0057】

図11～図14は図9及び図10に示された薄膜トランジスタ基板を製造する方法を説明するための図面である。図11はゲートライン形成工程を示す。ゲートライン形成工程はガラス基板上にゲート電極312、314が含まれたゲートライン310と下部電極が含まれた第1及び第2蓄積キャパシタライン340、341を形成する。第1及び第2蓄積キャパシタライン340、341は、互いに電氣的に接続する連結ライン370、372をさらに含む。具体的な工程は図4のゲートライン形成工程と同一であるので詳細な説明は省略する。

10

【0058】

図12は活性層形成工程を示す。活性層330、332工程は図4の活性層形成工程と同一であるので詳細な説明は省略する。

【0059】

図13はソース/ドレインパターン形成工程を示す。ソース/ドレインパターン形成工程は活性層330、332が形成されたゲート絶縁膜上にソース/ドレイン金属パターンを形成する。ソース/ドレイン金属パターンは第1及び第2データライン320、325、第1及び第2薄膜トランジスタT1、T2のソース電極322、327とドレイン電極354、359、第1～第4蓄積キャパシタCST1、CST2、CST3、CST4の上部電極350、355、380、382、第1及び第2薄膜トランジスタT1、T2のドレイン電極354、359と第3及び第4蓄積キャパシタCST3、CST4の上部電極380、382をそれぞれ接続するドレインライン352、357を含む。

20

【0060】

第1及び第2データライン320、325は、それぞれ第1及び第2薄膜トランジスタT1のソース電極322、327に接続される。一方、第1～第4蓄積キャパシタの上部電極350、355、380、382は、それぞれ第1～第4蓄積キャパシタの下部電極344、342、371、373に対応して形成される。具体的な工程は図6のソース/ドレインパターン形成工程と同一であるので詳細な説明は省略する。

30

【0061】

図14はコンタクトホール形成工程を示す。コンタクトホール形成工程はソース/ドレイン金属パターンが形成されたゲート絶縁膜上に有機絶縁膜306を形成し、第4マスク工程で有機絶縁膜306の一部を除去して第1～第4コンタクトホール368、366、364、369を形成する。ここで、第1コンタクトホール368は第1蓄積キャパシタCST1の上部電極350と次の工程で形成される第1画素電極を接続するためのである。第2コンタクトホール366は第2蓄積キャパシタCST2の上部電極355と次の工程で形成される第2画素電極を接続するためのである。

【0062】

40

第3コンタクトホール364は第3蓄積キャパシタCST3の上部電極380と次の工程で形成される第1画素電極を接続するためのである。第4コンタクトホール369は第4蓄積キャパシタCST4の上部電極382と次の工程で形成される第2画素電極を接続するためのである。具体的な工程は図7のソース/ドレインパターン形成工程から当業者が容易に類推できるので詳細な説明は省略する。

【0063】

図15は画素電極形成工程を示す。画素電極形成工程は、有機絶縁膜上に透明導電パターンの第1画素電極360と第2画素電極362を形成する。具体的な工程は図8の画素電極形成工程から当業者が容易に類推できるので詳細な説明は省略する。

【0064】

50

画素電極形成工程で第1画素電極360は第1コンタクトホール368を介して第1蓄積キャパシタCST1の上部電極350と接続され、第3コンタクトホール366を介して第1薄膜トランジスタT1のドレイン電極354に接続される。また、第2画素電極362は第2コンタクトホール366を介して第2蓄積キャパシタCST2の上部電極355と接続され、第4コンタクトホール369を介して第2薄膜トランジスタT2のドレイン電極359に接続される。

【0065】

上述した方法で製造される薄膜トランジスタ基板は共通電極とカラーフィルタの形成されたカラーフィルタ基板とアセンブリされ液晶表示装置の製造工程で使用されることができる。

10

【0066】

図16は、本発明の他の実施例による液晶表示装置を示すブロック図である。図16に示されたように、本発明の他の一実施例による液晶表示装置400は液晶パネル410と、液晶パネル410のゲートラインGL1～GL4を駆動するゲートドライバ420と、液晶パネル410のデータラインDL1、DL2を駆動するデータドライバ430と、ゲートドライバ420とデータドライバ430を制御するタイミングコントローラ440及び高階調ガンマ電圧と低階調ガンマ電圧を選択的に供給するガンマ電圧部450を含む。

【0067】

液晶パネル410は2つのゲートラインと1つのデータラインで画定される複数の画素P1～P4を含む。1つの画素P1は高階調領域と低階調領域それぞれに形成された第1画素電極VHと第2画素電極VL、第1画素電極VH及び第2画素電極VLそれぞれに独立して接続される第1薄膜トランジスタT1と第2薄膜トランジスタT2、及び第1薄膜トランジスタT1と第2薄膜トランジスタT2に共通に接続されるデータラインDL1と第1薄膜トランジスタT1の第2薄膜トランジスタT2それぞれに接続されるゲートラインGL1、GL2を含む。ここで、高階調領域と低階調領域それぞれに形成された第1画素電極VHと第2画素電極VLは互いに異なる階調電圧カバーによって生成された階調電圧に応じてデータを表現する。

20

【0068】

タイミングコントローラ440、ゲートドライバ420、データドライバ430及びガンマ電圧部450は図1のタイミングコントローラ140、ゲートドライバ120、データドライバ130及びガンマ電圧部150の構成及び動作から容易に類推できるので詳細な説明は省略する。

30

【0069】

図17を参照して、本発明の他の実施例による液晶表示装置の画素の構造をより詳細に説明する。図17は図16に示された液晶表示装置の画素の構造を示す平面図である。図17に示されたように、本発明の他の実施例による液晶表示装置の画素は第1画素電極560、第2画素電極562、第1薄膜トランジスタT1、第2薄膜トランジスタT2、第1ゲートライン510、第2ゲートライン515、データライン520、第1蓄積キャパシタCST1、及び第2蓄積キャパシタCST2を含む。

【0070】

第1画素電極560はコンタクトホール568を介して第1トランジスタT1のドレイン電極554と第1蓄積キャパシタCST1の上部電極550に接続される。第1画素電極560は第1トランジスタT1を介してデータライン520から高階調データ信号の印加を受け高階調データ信号を表現する。

40

【0071】

第2画素電極562は第1画素電極560と分離され第1画素電極560を取り囲む形状に形成される。第2画素電極562はコンタクトホール564を介して第2トランジスタT2のドレイン電極559と接続され、コンタクトホール566を介して第2蓄積キャパシタCST2の上部電極555に接続される。第2画素電極562は第2トランジスタT2を介してデータライン520から低階調データ信号の印加を受け低階調データ信号を

50

表現する。

【0072】

第1薄膜トランジスタT1は第1ゲートライン510に接続されるゲート電極512、データライン520に接続されるソース電極522、ドレインライン552に接続されるドレイン電極554、絶縁層を媒介にしてゲート電極512と重畳する活性層を含む。第1薄膜トランジスタT1は、第1ゲートライン510に印加されるゲート駆動信号にตอบสนองして、1/2水平周期期限の間、データライン520から供給される高階調データ信号をドレイン電極554を介してドレインライン552から印加する。

【0073】

第2薄膜トランジスタT2は、第2ゲートライン515に接続されるゲート電極514、データライン520に接続されるソース電極527、ドレインライン557に接続されるドレイン電極559、絶縁層を媒介にしてゲート電極514と重畳する活性層532を含む。第2薄膜トランジスタT2は、第2ゲートライン515に印加されるゲート駆動信号にตอบสนองして、残り1/2水平周期期限の間、データライン520から供給される低階調データ信号をドレイン電極559を介してドレインライン557に印加する。

10

【0074】

第1ゲートライン510は、第1薄膜トランジスタT1のゲート電極512に接続される。第1ゲートライン510は、1/2水平周期期限の間、ゲートドライバから入力されるゲート駆動信号を第1薄膜トランジスタT1のゲート電極512に印加する。

【0075】

第2ゲートライン515は、第2薄膜トランジスタT2のゲート電極514に接続される。第2ゲートライン515は、残り1/2水平周期期限の間、ゲートドライバから入力されるゲート駆動信号を第2薄膜トランジスタT2のゲート電極514に印加する。

20

【0076】

データライン520は、画素の一侧に形成され第1及び第2ゲートライン510、515に交差するように形成され、第1薄膜トランジスタT1のソース電極522と第2薄膜トランジスタT2のソース電極527に接続される。データライン520は、1/2水平周期期限の間、データドライバから入力される高階調データ信号を第1薄膜トランジスタT1のソース電極522に印加し、残り1/2水平周期期限の間、データドライバから入力される低階調データ信号を第2薄膜トランジスタT2のソース電極527に印加する。

30

【0077】

第1蓄積キャパシタCST1は、蓄積キャパシタライン540に接続される下部電極544と、絶縁層を媒介にして下部電極544と重畳する上部電極550を含む。上部電極550は、ドレインライン522を介して第1薄膜トランジスタT1のドレイン電極544と直接接続される。第1蓄積キャパシタCST1の下部電極544と上部電極550は第2蓄積キャパシタCST2の下部電極542と上部電極555より広い面積を有することが望ましい。

【0078】

一方、ドレインライン552に接続された上部電極550はコンタクトホール568を介して第1画素電極560に接続される。従って、第1薄膜トランジスタT1のドレイン電極554に接続されたドレインライン552を介して入力される高階調データ信号は、第1画素電極560に印加されると同時に第1蓄積キャパシタCST1に蓄積される。

40

【0079】

第2蓄積キャパシタCST2は、蓄積キャパシタライン540に接続される下部電極524と、絶縁層を媒介にして下部電極542と重畳する上部電極555を含む。上部電極555は第2薄膜トランジスタT2のドレイン電極559と接続された第2画素電極562とコンタクトホール566を介して接続される。従って、第2薄膜トランジスタT2のドレイン電極559に接続されたドレインライン557を介して入力される低階調データ信号は第2画素電極562に印加され、第2蓄積キャパシタCST2に蓄積される。

【0080】

50

即ち、本発明の他の例による液晶表示装置は第1薄膜トランジスタT1のドレイン電極554と第1画素電極560との直接接続のためのコンタクトホールが除去され、第1薄膜トランジスタT1のドレイン電極554が直接第1蓄積キャパシタCST1の上部電極550に接続される構造を有するので、液晶表示装置の製造過程で発生された静電気は第1薄膜トランジスタT1に流入する前に、第1蓄積キャパシタCST1に蓄積され、第1薄膜トランジスタT1に静電気が流入する経路を遮断する。従って、液晶表示装置の製造過程では静電気によるチャンネルショート不良、特に、静電気によって高階調トランジスタのチャンネルがショートする問題点を解決できる。

【産業上の利用可能性】

【0081】

上述したように、本発明による液晶表示装置は高階調データ信号をスイッチングするトランジスタのドレイン電極を蓄積キャパシタの上部電極に連結させた構造を有するので、従来コンタクトホールに流入する静電気によって高階調データ信号をスイッチングする薄膜トランジスタのチャンネルがショートされる現象が除去され歩留まりを向上するという効果がある。

【0082】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有する者であれば、本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【符号の説明】

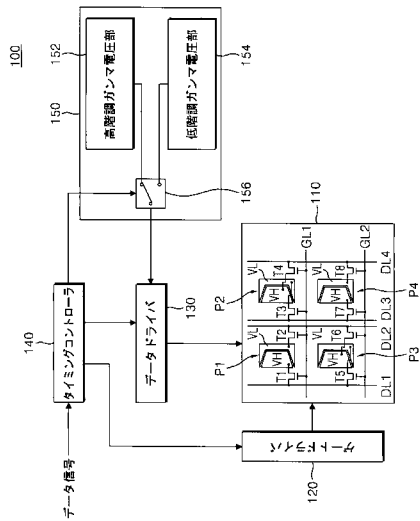
【0083】

100	液晶表示装置
110	液晶パネル
120	ゲートドライバ
130	データドライバ
140	タイミングコントローラ
150	ガンマ電圧部

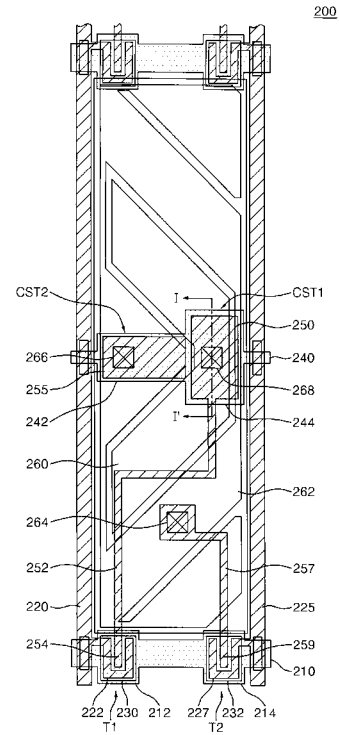
10

20

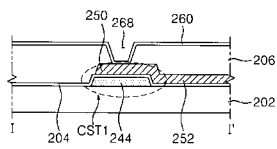
【 図 1 】



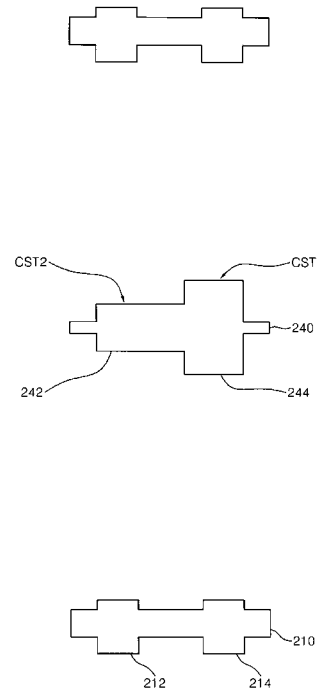
【 図 2 】



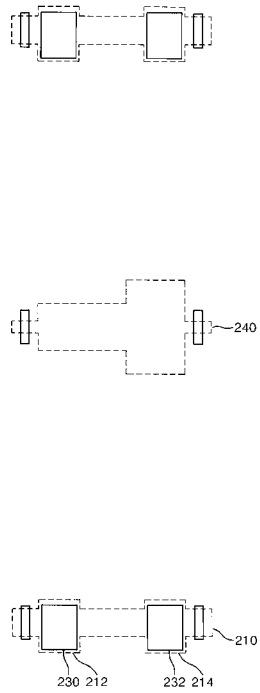
【 図 3 】



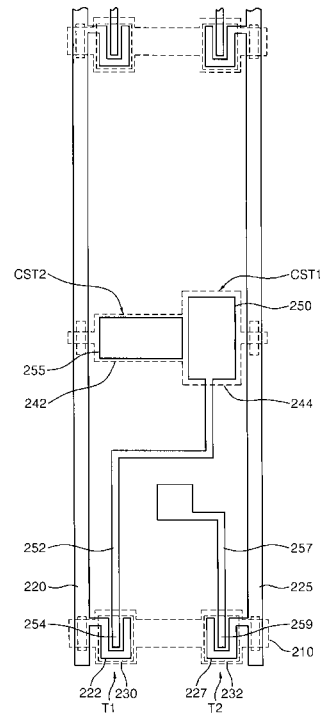
【 図 4 】



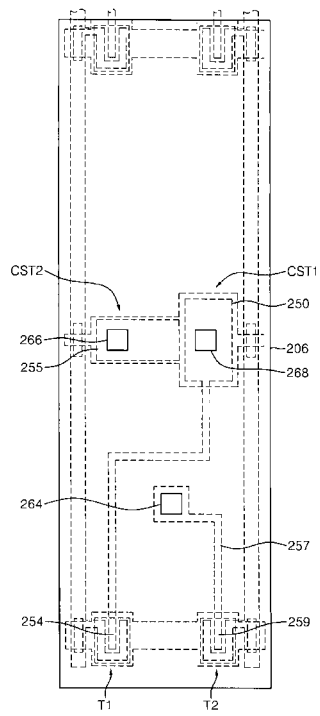
【図 5】



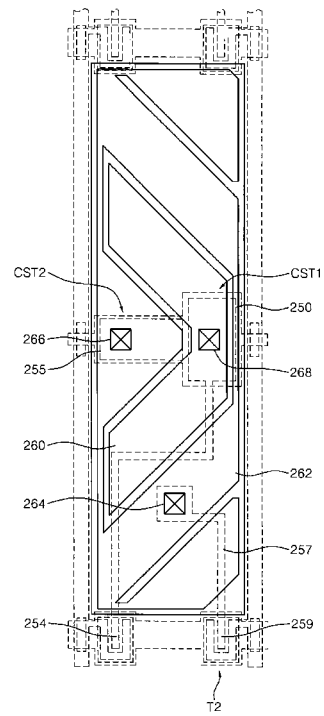
【図 6】



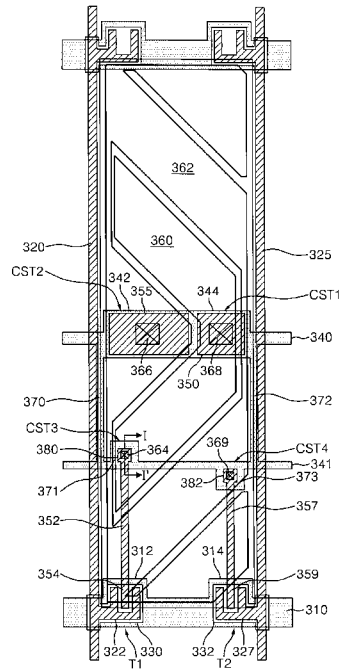
【図 7】



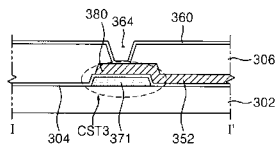
【図 8】



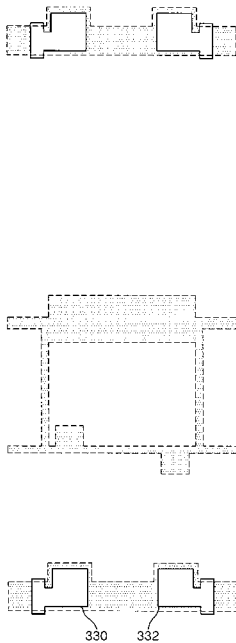
【図 9】



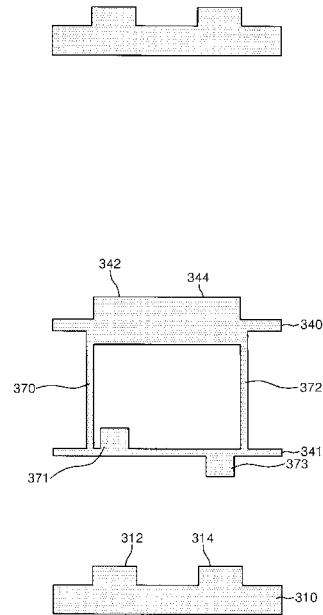
【図 10】



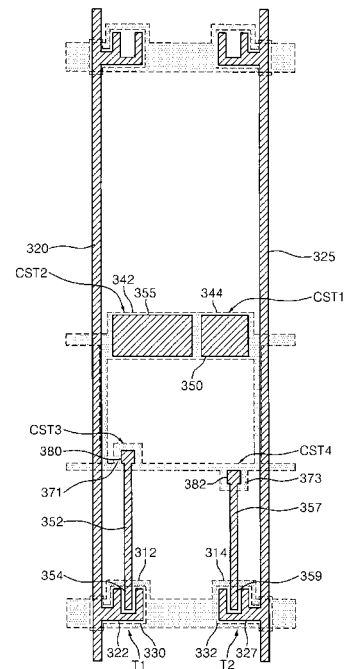
【図 12】



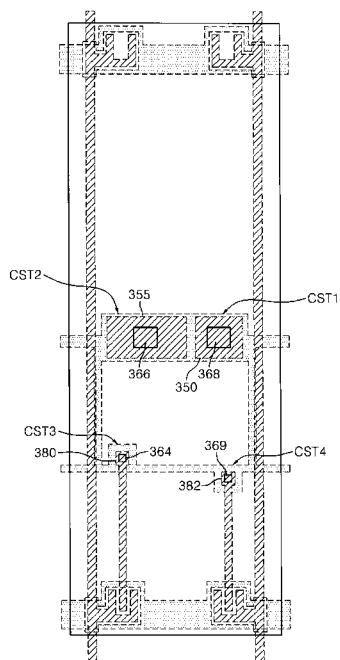
【図 11】



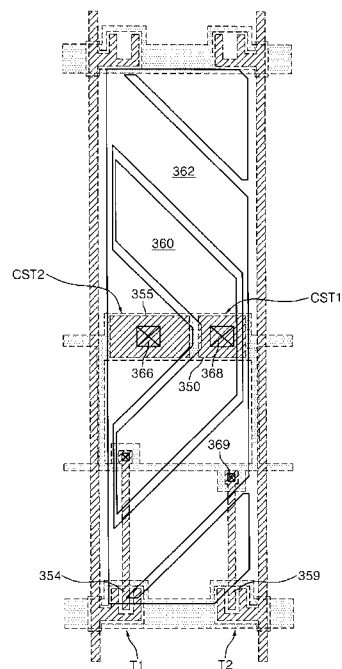
【図 13】



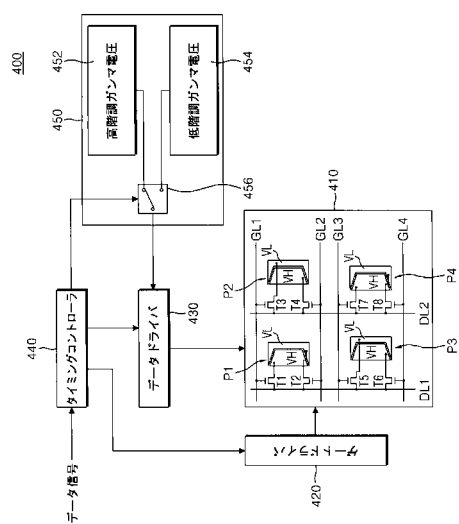
【 図 1 4 】



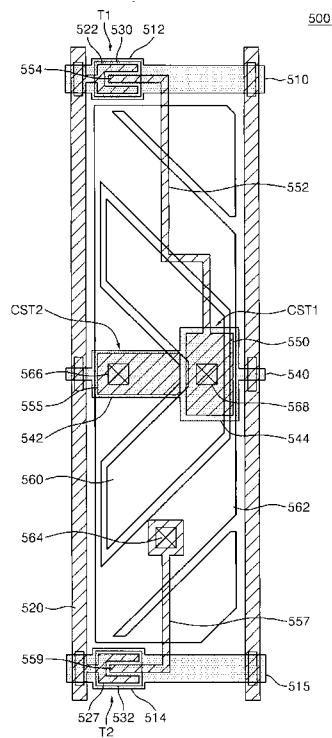
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(72)発明者 田 尚 益

大韓民国京畿道龍仁市器興区甫羅洞現代モーニングサイド２次アパート１０３棟１７０２号

(72)発明者 金 東 奎

大韓民国京畿道龍仁市豊徳川２洞三星５次アパート５２３棟１３０５号

Fターム(参考) 2H092 GA13 JA26 JA46 JB05 JB42 JB64 JB69 JB79 NA14 QA09

2H192 AA24 BA13 BA23 BC24 BC31 CB05 CC04 CC41 DA12 DA42

DA65 GA31 JA13

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2014115676A	公开(公告)日	2014-06-26
申请号	JP2014030132	申请日	2014-02-20
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	田尚益 金東奎		
发明人	田 尚 益 金 東 奎		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/13624 G02F1/136204 G02F2001/134345 G09G3/3648 G09G3/3696 G09G2300/0426 G09G2300/0443 G09G2320/0673		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA13 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB42 2H092/JB64 2H092/JB69 2H092/JB79 2H092/NA14 2H092/QA09 2H192/AA24 2H192/BA13 2H192/BA23 2H192/BC24 2H192/BC31 2H192/CB05 2H192/CC04 2H192/CC41 2H192/DA12 2H192/DA42 2H192/DA65 2H192/GA31 2H192/JA13		
代理人(译)	山下大沽嗣 尼诺雄一		
优先权	1020060105656 2006-10-30 KR 1020060125332 2006-12-11 KR		
其他公开文献	JP5758514B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够防止由于静电引起的薄膜晶体管的沟道短路现象的液晶显示装置及其制造方法。液晶显示装置包括：第一薄膜晶体管，用于将从第一数据线输入的高灰度数据信号施加到第一像素电极；以及第一薄膜晶体管，其通过第一接触孔连接到第一像素电极。第一存储电容器包括：第一电极，其直接连接到存储高灰度数据信号的第一存储电容器；以及第二像素电极，其连接到通过第二接触孔从第二数据线输入的低灰度数据信号。施加到第二像素电极的第二薄膜晶体管和通过第三接触孔连接到第二像素电极的上电极，以及存储低灰度数据信号的第二存储电容器。[选择图]图2

