

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-257530

(P2013-257530A)

(43) 公開日 平成25年12月26日(2013.12.26)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
G02F 1/1335 (2006.01)	G02F 1/1335 505	2H190
G02F 1/1333 (2006.01)	G02F 1/1333 505	2H191
H01L 21/336 (2006.01)	H01L 29/78 612Z	5C094
H01L 29/786 (2006.01)	G09F 9/30 338	5F110
審査請求 有 請求項の数 17 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2012-244482 (P2012-244482)
 (22) 出願日 平成24年11月6日 (2012.11.6)
 (31) 優先権主張番号 201210193317.2
 (32) 優先日 平成24年6月12日 (2012.6.12)
 (33) 優先権主張国 中国 (CN)

(特許庁注：以下のものは登録商標)

1. ウィンドウズ

(71) 出願人 501090788
 瀚宇彩晶股▲ふん▼有限公司
 台湾新北市五股區五權路 48號 4樓

(74) 代理人 100082418

弁理士 山口 朔生

(72) 発明者 游家華

台湾新北市五股區五權路 48號 4樓

(72) 発明者 林松君

台湾新北市五股區五權路 48號 4樓

(72) 発明者 劉軒辰

台湾新北市五股區五權路 48號 4樓

Fターム (参考) 2H092 GA14 JA26 JA28 JA37 JA41

JA46 JB05 JB22 JB31 JB57

JB69 KA12 NA07 PA08

2H190 HA04 HB07 LA01 LA15

最終頁に続く

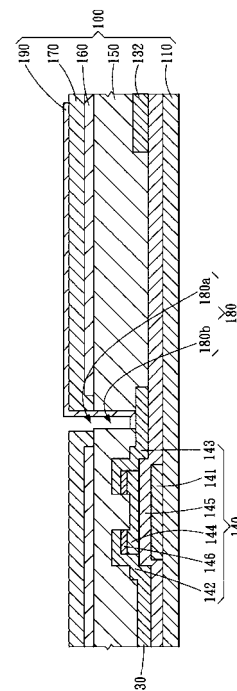
(54) 【発明の名称】 液晶ディスプレイパネル及びその画素アレイ基板

(57) 【要約】

【課題】液晶ディスプレイパネル及びその画素アレイ基板を提供することを課題とする。

【解決手段】液晶ディスプレイパネル、及び、その画素アレイ基板であって、画素アレイ基板は第1の基板と複数本のゲート電極線と複数本のデータ線と複数の薄膜トランジスタと第1の絶縁層と透明導電層と第2の絶縁層と複数の接触孔と複数の画素電極と、を含む。ゲート電極線、データ線と薄膜トランジスタは、第1の基板に位置し、また、第1の絶縁層がその上を覆う。透明導電層が第1の絶縁層に位置し、且つ、共通電圧レベルを備える。第2の絶縁層が透明導電層と画素電極の間に位置し、また、透明導電層と画素電極を隔離する。画素電極が対応する接触孔を経由して対応する薄膜トランジスタの第3端に電気的に結合される。

【選択図】図1C



【特許請求の範囲】

【請求項 1】

第 1 の基板と、

前記第 1 の基板に位置する複数本のゲート電極線と、

前記第 1 の基板に位置し、前記ゲート電極線と交差して前記ゲート電極線との間に複数の画素ゾーンを定義させる複数本のデータ線と、

前記画素ゾーンに各々対応し、前記ゲート電極線のうちのいずれかに結合する第 1 端と前記データ線のうちのいずれかに結合する第 2 端と第 3 端と、を備える複数の薄膜トランジスタと、

前記データ線と前記ゲート電極線と前記画素ゾーンと前記薄膜トランジスタとを覆う第 1 の絶縁層と、 10

共通電圧レベルを供給するため、第 1 の絶縁層を覆う透明導電層と、

前記透明導電層と画素電極の間に位置し、また、前記透明導電層と前記画素電極を隔離する第 2 の絶縁層と、

前記薄膜トランジスタにそれぞれ対応して前記第 2 の絶縁層と前記透明導電層と前記第 1 の絶縁層を貫通し、各々の一端が対応する前記薄膜トランジスタの前記第 3 端に結合される複数の接触孔と、

前記画素ゾーンにそれぞれ対応して前記第 2 の絶縁層に設けられ、且つ対応する前記接触孔を経由して対応する前記薄膜トランジスタの前記第 3 端に電気的結合される画素電極と、を含むことを特徴とする、 20

画素アレイ基板。

【請求項 2】

前記透明導電層が前記第 1 の絶縁層と前記第 2 の絶縁層の間に位置することを特徴とする請求項 1 に記載の画素アレイ基板。

【請求項 3】

前記透明導電層が前記接触孔のみを有する一層の透明導電性材料であることを特徴とする請求項 1 に記載の画素アレイ基板。

【請求項 4】

前記第 1 の絶縁層と前記第 2 の絶縁層の間に位置し、且つ、前記透明導電層を貫通する少なくとも 1 つの開口部を更に含むことを特徴とする請求項 1 に記載の画素アレイ基板。 30

【請求項 5】

各前記画素ゾーンに前記開口部のうちの少なくとも 1 つが設けられることを特徴とする請求項 4 に記載の画素アレイ基板。

【請求項 6】

前記開口部のうちの少なくとも 1 つは、前記薄膜トランジスタの上方に各々位置することを特徴とする請求項 5 に記載の画素アレイ基板。

【請求項 7】

前記開口部のうちの複数は、前記ゲート電極線の上方に各々位置することを特徴とする請求項 5 に記載の画素アレイ基板。

【請求項 8】

各前記画素ゾーンにある前記少なくとも 1 つの開口部は、S 字状パターン、S 字状に類似するパターン、E 字状パターン、E 字状に類似するパターン、蛇行パターン、ノコギリ形のパターン、ノコギリ形に類似するパターン、櫛型のパターン、櫛型に類似するパターン、或いは、複数本の縞パターンになることを特徴とする請求項 5 に記載の画素アレイ基板。 40

【請求項 9】

前記透明導電層と各前記画素電極を重ね合わせるエリアは、重ね合わせた画素電極の 3 分の 2 を上回らないことを特徴とする請求項 4 に記載の画素アレイ基板。

【請求項 10】

前記開口部のうちの複数は、前記薄膜トランジスタの上方に各々位置することを特徴と 50

する請求項 4 に記載の画素アレイ基板。

【請求項 1 1】

前記開口部のうちの複数の、前記ゲート電極線の上方に各々位置することを特徴とする請求項 4 に記載の画素アレイ基板。

【請求項 1 2】

前記透明導電層は、複数の材料ブロックを含み、前記材料ブロックの間で間隔をとり、且つ、各前記材料ブロックが前記画素ゾーンのうちの少なくとも 2 つの隣り合う画素ゾーンまで延伸して覆うことを特徴とする請求項 1 に記載の画素アレイ基板。

【請求項 1 3】

前記透明導電層は、更に複数の電氣的接続部材を更に含み、各前記電氣的接続部材は前記材料ブロックのうちの 2 つに電氣的に接続されることを特徴とする請求項 1 2 に記載の画素アレイ基板。

10

【請求項 1 4】

各前記材料ブロックは、前記画素ゾーンのうちの同一直線にある全ての画素ゾーンに延伸して覆うことを特徴とする請求項 1 2 に記載の画素アレイ基板。

【請求項 1 5】

各前記接触孔は、第 1 のスルーホールと第 2 のスルーホールとを含み、前記第 1 のスルーホールが前記透明導電層を貫通し、前記第 2 のスルーホールが前記第 1 の絶縁層を貫通し、且つ、前記第 2 の絶縁層が前記第 1 のスルーホール内の前記透明導電層の側壁を覆うことを特徴とする請求項 1 に記載の画素アレイ基板。

20

【請求項 1 6】

前記透明導電層は、前記データ線と前記ゲート電極線と前記第 1 のスルーホール以外の前記画素ゾーンと前記薄膜トランジスタを全面的に覆うことを特徴とする請求項 1 5 に記載の画素アレイ基板。

【請求項 1 7】

請求項 1 ~ 1 6 のいずれか一項に記載の画素アレイ基板と、前記画素アレイ基板に対応して設けられ、且つ、前記画素アレイ基板の間で間隔をとり、第 2 の基板と、前記画素電極と前記第 2 の基板の間に位置し、また、前記画素電極の間で間隔をとる共通電極層と、前記第 2 の基板と前記共通電極層の間に位置するカラーフィルタ層とを備えるカラーフィルタ基板と、前記画素アレイ基板と前記カラーフィルタ基板の間に位置する液晶層と、を含むことを特徴とする、液晶ディスプレイパネル。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイ技術に関し、特に、液晶ディスプレイパネル及びその画素アレイ基板に関する。

【背景技術】

【0002】

近年、フラットパネルディスプレイの発展が益々スピードアップし、徐々に従来の陰極線管ディスプレイに取って代わってきた。現在のフラットパネルディスプレイには、主に有機発光ダイオードディスプレイ (organic light-emitting diodes display; OLED)、プラズマディスプレイ (plasma display panel; PDP)、液晶ディスプレイ (liquid crystal display; LCD)、及び電界放出ディスプレイ (field emission display; FED) 等の数種類がある。

40

液晶ディスプレイ技術は、液晶分子材料のねじれ方式により 2 種類の形式に分けることができる。一種類目がねじれネマティック液晶ディスプレイ (twisted nematic LCD; TN-LCD) で、別の種類が横電界液晶ディスプレイ (in-plane switching liquid crystal display; IPS-LCD) である。TN-LCD 内の液晶ディスプレイパネルの液晶分子は 2 枚のガラス基

50

板の間の縦電界変化に伴ってねじれができる。TN-LCD内において、共通電極と画素電極は、カラーフィルタ基板と画素アレイ基板に各々設けられる。TN-LCD内に比べて、IPS-LCD内では、共通電極と画素電極を同時に画素アレイ基板に製作することで、横電界を提供し、液晶分子をこの横電界の変化に伴って回転させることができる。

【0003】

高輝度及び高解像度製品の開発に伴い、高開口率 (high aperture ratio; HAR) とカラーフィルタオンアレイ (color filter on array; COA) 等の技術は、普遍的にLCDに应用されている。しかしながら、スマートフォン (smart phone) の各種オペレーティングシステム (operating system; OS)、例えば、アップル (登録商標) のオペレーティングシステム (Mac OS)、Android (アンドロイド) (登録商標) のシステム、ウィンドウズマンゴー (Window Mango) のシステム等が開発されるにつれ、ディスプレイの解像度に対する要求が益々高くなっている。

小型パネル (例えば5.3インチ、5インチ、4.7インチ、4.3インチ等) を使用したポータブル製品に高解像度を組み合わせた時、解像度を引き上げると同時に画素の開口率が多少犠牲になる。これにより、液晶ディスプレイ技術において、高開口率の設計がやはり絶え間なく追い求められている。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、上記の従来技術の問題点を解消できる、液晶ディスプレイパネル及びその画素アレイ基板を提供することを目的とする。

【課題を解決するための手段】

【0005】

一実施例において、画素アレイ基板は、第1の基板と複数本のゲート電極線と複数本のデータ線と複数の薄膜トランジスタと第1の絶縁層と透明導電層と第2の絶縁層と複数の接触孔と複数の画素電極と、を含む。

ゲート電極線とデータ線が第1の基板に位置する。ゲート電極線とデータ線が交差し、且つゲート電極線とデータ線の間に複数の画素ゾーンを定義させる。薄膜トランジスタが画素ゾーンに対応してそれぞれ設けられる。各薄膜トランジスタの第1端がこれらゲート電極線のうちのいずれかに結合され、各薄膜トランジスタの第2端がこれらデータ線のうちのいずれかに結合される。

第1の絶縁層がデータ線とゲート電極線と画素ゾーンと薄膜トランジスタとを覆う。透明導電層が第1の絶縁層を覆い、且つ共通電圧レベルを備える。接触孔が薄膜トランジスタにそれぞれ対応して第2の絶縁層と透明導電層と第1の絶縁層を貫通し、各接触孔の一端が対応する薄膜トランジスタの第3端に結合される。画素電極が画素ゾーンにそれぞれ対応して第2の絶縁層に設けられ、且つ対応する接触孔を経由して対応する薄膜トランジスタの第3端に電氣的に結合される。第2の絶縁層が透明導電層と画素電極の間に位置し、また透明導電層と画素電極を隔離する。

【0006】

一実施例において、透明導電層が第1の絶縁層と第2の絶縁層の間に位置する。

【0007】

一実施例において、透明導電層が接触孔のみを有する一層の透明導電性材料とすることができる。

【0008】

一実施例において、画素アレイ基板は、少なくとも1つの開口部を更に含むことができる。開口部は第1の絶縁層と第2の絶縁層の間に位置し、且つ透明導電層を貫通する。

【0009】

一実施例において、開口部は、画素ゾーン、薄膜トランジスタ、ゲート電極線或いはその組合せに対応するように配置できる。

10

20

30

40

50

【 0 0 1 0 】

一実施例において、各画素ゾーンにある開口部は、S字状パターン、S字状に類似するパターン、E字状パターン、E字状に類似するパターン、蛇行パターン、ノコギリ形のパターン、ノコギリ形に類似するパターン、櫛型のパターン、櫛型に類似するパターン或いは複数本の縞パターンにできる。

【 0 0 1 1 】

一実施例において、透明導電層と各画素電極の重ね合わせるエリアは、重ね合わせた画素電極の3分の2を上回らない。

【 0 0 1 2 】

一実施例において、透明導電層は、複数の材料ブロックを含むことができる。これら材料ブロックの間で間隔をとり、且つ各材料ブロックが少なくとも2つの画素ゾーンまで延伸して覆う。

10

【 0 0 1 3 】

一実施例において、透明導電層は、更に複数の電氣的接続部材を更に含み、且つ各電氣的接続部材は隣り合う2つの材料ブロックに電氣的に接続される。

【 0 0 1 4 】

一実施例において、各材料ブロックは、同一直線にある全ての画素ゾーンに延伸して覆う。

【 0 0 1 5 】

一実施例において、各接触孔は、第1のスルーホールと第2のスルーホールとを含むことができる。第1のスルーホールが透明導電層、第2のスルーホールが第1の絶縁層を貫通し、且つ第2の絶縁層が第1のスルーホール内の透明導電層の側壁を覆う。

20

【 0 0 1 6 】

一実施例において、透明導電層は、データ線とゲート電極線と接触孔の第1のスルーホール以外の画素ゾーンと薄膜トランジスタを全面的に覆うことができる。

【 0 0 1 7 】

一実施例において、液晶ディスプレイパネルは、前記画素アレイ基板とカラーフィルタ基板と液晶層とを含む。カラーフィルタ基板が画素アレイ基板に対応し且つ画素アレイ基板の間で間隔をとる。液晶層は、画素アレイ基板とカラーフィルタ基板の間に位置する。カラーフィルタ基板は第2の基板と共通電極層とカラーフィルタ層とを含む。共通電極層が画素電極と第2の基板の間に位置し、且つ画素電極の間で間隔をとる。カラーフィルタ層が第2の基板と共通電極層の間に位置する。

30

【 発明の効果 】

【 0 0 1 8 】

上記で説明したとおり、本発明に係る液晶ディスプレイパネル及びその画素アレイ基板は、高解像度の液晶ディスプレイパネルの開口率を上げるため、透明導電層と画素電極を利用して蓄積コンデンサを形成する。更に、透明導電層を通じて透明導電層の下方にある素子（データ線、ゲート電極線、薄膜トランジスタ或いはその組合せ）から画素電極へ生じる静電容量結合効果も避けることができる。

【 図面の簡単な説明 】

40

【 0 0 1 9 】

【 図 1 A 】 本発明の第1の実施例に係る画素アレイ基板の上面図である。

【 図 1 B 】 図 1 A に示されている画素アレイ基板を示す分解図である。

【 図 1 C 】 図 1 A に示されている画素アレイ基板の接線 I - I に沿った断面図である。

【 図 2 A 】 本発明の第2の実施例に係る画素アレイ基板を示す分解図である。

【 図 2 B 】 本発明の第3の実施例に係る画素アレイ基板を示す分解図である。

【 図 2 C 】 本発明の第4の実施例に係る画素アレイ基板を示す分解図である。

【 図 2 D 】 本発明の第5の実施例に係る画素アレイ基板を示す分解図である。

【 図 3 】 本発明の第6の実施例に係る画素アレイ基板の上面図である。

【 図 4 】 図 3 に示されている画素アレイ基板の接線 I I - I I に沿った断面図である。

50

【図 5】各々本発明の第 7 の実施例に係る画素アレイ基板 b の上面図である。

【図 6】各々本発明の第 8 の実施例に係る画素アレイ基板の上面図である。

【図 7】各々本発明の第 9 の実施例に係る画素アレイ基板の上面図である。

【図 8】各々本発明の第 10 の実施例に係る画素アレイ基板の上面図である。

【図 9】本発明の第 1 の実施例に係る液晶ディスプレイパネルの局部断面図である。

【図 10】本発明の第 2 の実施例に係る液晶ディスプレイパネルの局部断面図である。

【発明を実施するための形態】

【0020】

図 1 A は、本発明の第 1 の実施例に係る画素アレイ基板の上面図である。図 1 B は、図 1 A に示されている画素アレイ基板を示す分解図である。図 1 C は図 1 A に示されている画素アレイ基板の接線 I - I に沿った断面図である。説明の便宜のため、図 1 A 内に示されている画素アレイ基板について、各絶縁層の描画を省略した。

10

【0021】

図 1 A、図 1 B 及び図 1 C を参照しながら説明する。画素アレイ基板 100 は、第 1 の基板 110 と複数本のゲート電極線 120、122 と複数本のデータ線 130、132 と複数の薄膜トランジスタ 140 と第 1 の絶縁層 150 と透明導電層 160 と第 2 の絶縁層 170 と複数の接触孔 180 と複数の画素電極 190 と、を含む。

【0022】

ゲート電極線 120、122 とデータ線 130、132 が第 1 の基板 110 に位置する。そこで、データ線 130、132 とゲート電極線 120、122 が交差し、且つゲート電極線 120、122 とデータ線 130、132 の間に画素ゾーン P を定義する。言い換えると、ゲート電極線 120 とゲート電極線 122 とデータ線 130 とデータ線 132 とが囲んで画素ゾーン P を形成する。

20

【0023】

薄膜トランジスタ 140 は、画素ゾーン P に各々対応して第 1 の基板 110 上に設けられる。言い換えると、各画素ゾーン P に一個の薄膜トランジスタ 140 が設けられることができる。各薄膜トランジスタ 140 は、第 1 端 141 と第 2 端 142 と第 3 端 143 とを有する。

薄膜トランジスタ 140 の第 1 端 141 がゲート電極線 120 に結合され、薄膜トランジスタ 140 の第 2 端 142 がデータ線 130 に結合される。第 1 端 141、第 2 端 142 と第 3 端 143 はそれぞれゲート電極、ドレーン電極とソース電極とすることができる。

30

【0024】

第 1 の絶縁層 150 は、ゲート電極線 120 と 122、データ線 130、132 と薄膜トランジスタ 140 と画素ゾーン P を覆い、また透明導電層 160 が第 1 の絶縁層 150 を覆う。そこで、透明導電層 160 は共通電圧レベルを提供するために用いられる。言い換えると、共通電圧 (common voltage) を透明導電層 160 に印加し、透明導電層 160 に共通電圧レベルを持たせる。

【0025】

第 2 の絶縁層 170 は、透明導電層 160 を覆い、且つ画素電極 190 が画素ゾーン P に対応して第 2 の絶縁層 170 上に設けられる。言い換えると、第 2 の絶縁層 170 が透明導電層 160 と画素電極 190 の間に位置し、また透明導電層 160 と画素電極 190 を隔離する。

40

【0026】

接触孔 180 は、薄膜トランジスタ 140 の第 3 端 143 に対応して第 2 の絶縁層 170 と透明導電層 160 と第 1 の絶縁層 150 を貫通することで、薄膜トランジスタ 140 の第 3 端 143 を露出する。画素電極 190 は接触孔 180 の内壁に沿って延伸し、且つ薄膜トランジスタ 140 の第 3 端 143 に直接接触する。言い換えると、画素電極 190 は、対応する接触孔 180 を経由して対応する薄膜トランジスタ 140 の第 3 端 143 (例えばソース電極) に電氣的に結合される。

50

【 0 0 2 7 】

第 1 の基板 1 1 0 は、透明基板とすることができる。第 1 の絶縁層 1 5 0 は、透明材料或いは半透明材料とすることができる。第 2 の絶縁層 1 7 0 は、透明材料或いは半透明材料とすることができる。透明材料の光透過率は、60%～99%とすることができる。半透明材料の光透過率は、10%～60%とすることができる。これ以外に、半透明材料は、例えば赤色、青色又は緑色等の有色材料を使用できる。

【 0 0 2 8 】

一実施例において、これらゲート電極線 1 2 0、1 2 2 が第 1 の基板 1 1 0 に横方向に配列し、且つこれらデータ線 1 3 0、1 3 2 が第 1 の基板 1 1 0 に縦方向に配列する。

【 0 0 2 9 】

例を挙げると、ゲート電極線 1 2 0、1 2 2 は、第 1 の方向に沿って互いに平行で且つ間隔をとって第 1 の基板 1 1 0 に配置させることができる。データ線 1 3 0、1 3 2 は、第 2 の方向に沿って互いに平行で且つ間隔をあけて第 1 の基板 1 1 0 上に配置させることができる。第 1 の方向は第 2 の方向と略垂直になる。

【 0 0 3 0 】

薄膜トランジスタ 1 4 0 は、各々の画素ゾーン P に対応する。言い換えると、各画素ゾーン P に一個の薄膜トランジスタ 1 4 0 が設けることができる。各薄膜トランジスタ 1 4 0 は、第 1 端 1 4 1 と第 2 端 1 4 2 と第 3 端 1 4 3 とを備える。第 1 端 1 4 1、第 2 端 1 4 2 と第 3 端 1 4 3 は、各々ゲート電極、ソース電極とドレイン電極とすることができる。

【 0 0 3 1 】

一実施例において、薄膜トランジスタ 1 4 0 の第 1 端 1 4 1 とゲート電極線 1 2 0、1 2 2 は、一般的に同じリソグラフィ工程を通じて形成できる。一般的に言うと、薄膜トランジスタ 1 4 0 の第 1 端 1 4 1 とゲート電極線 1 2 0、1 2 2 は第 1 金属層 (M1) を指す。

【 0 0 3 2 】

一実施例において、薄膜トランジスタ 1 4 0 の第 1 端 1 4 1 は、直接ゲート電極線 1 2 0 の一部とすることができる。言い換えると、第 1 金属層 (M1) は、ゲート電極線となる複数本の金属線を含むことができ、薄膜トランジスタの第 1 端を金属線の局部ブロックとすることができる。

【 0 0 3 3 】

別の実施例において、薄膜トランジスタ 1 4 0 の第 1 端 1 4 1 は、またゲート電極線 1 2 0 から延出した金属ブロックとすることもできる。言い換えると、第 1 金属層 (M1) は、ゲート電極線となる複数本の金属線と薄膜トランジスタの第 1 端となる複数の金属ブロックとを含むことができ、且つ各金属ブロックが、一本の金属線から延出する。

【 0 0 3 4 】

一実施例において、薄膜トランジスタ 1 4 0 の第 2 端 1 4 2、薄膜トランジスタ 1 4 0 の第 3 端 1 4 3 とデータ線 1 3 0、1 3 2 は、一般的に同じリソグラフィ工程を通じて形成できる。一般的に言うと、薄膜トランジスタ 1 4 0 の第 2 端 1 4 2、薄膜トランジスタ 1 4 0 の第 3 端 1 4 3 とゲート電極線データ線 1 3 0、1 3 2 は第 2 金属層 (M2) を指す。

【 0 0 3 5 】

一実施例において、薄膜トランジスタ 1 4 0 の第 2 端 1 4 2 は、直接データ線 1 3 0 の一部となることことができる。言い換えると、第 2 金属層 (M2) は、データ線 1 3 0、1 3 2 となる複数本の金属線と薄膜トランジスタ 1 4 0 の第 3 端 1 4 3 となる複数の第 1 のブロックとを含むことができる。この時、薄膜トランジスタの第 2 端は金属線の局部ブロックである。

別の実施例において、薄膜トランジスタ 1 4 0 の第 2 端 1 4 2 は、またデータ線 1 3 0 から延出した金属ブロックとすることもできる。言い換えると、第 2 金属層 (M2) は、データ線 1 3 0、1 3 2 となる複数本の金属線と薄膜トランジスタ 1 4 0 の第 3 端 1 4 3

10

20

30

40

50

となる複数の第1のブロックと薄膜トランジスタ140の第2端142となる複数の第2のブロックとを含むことができ、且つ各第2のブロックが一本の金属線から延出する。

【0036】

この他に、各薄膜トランジスタ140は、チャンネル層144を更に備える。チャンネル層144は、第1端141と第2端142の間及び第1端141と第3端143の間に設けられる。他の実施例において、薄膜トランジスタ140のチャンネル層144は、リソグラフィ工程によって形成された島状パターン層とすることができる。チャンネル層144の材質は、非晶質シリコン、多結晶シリコン、金属酸化膜半導体材料或いは他の適した半導体材料とすることができるが、これに限定されるものではない。

【0037】

更に、ゲート電極絶縁層145をチャンネル層144と第1端141（ゲート電極）の間に挟んで設置する。このゲート電極絶縁層145は第1端141の表面を覆い、またチャンネル層144と第1端141を隔離する。更に、ゲート電極絶縁層145は、第1端141の第1の基板110の表面を覆うように設けられることができる。

言い換えると、ゲート電極絶縁層145は、第1の基板110とその表面にある第1金属層（M1）からなる構造を覆うことができる。ゲート電極絶縁層145の材質は、例えば、シリカ（SiO_x）、窒化ケイ素（SiN_x）、酸窒化ケイ素、その他適した誘電体材料、或いはその組み合わせ等の無機材料とすることができるが、これに限定されるものではない。

【0038】

オーミック接触層146をチャンネル層144と第2端142の間及びチャンネル層144と第3端143の間に、挟んで設置することで、チャンネル層144と第2端142の間の電氣的接触及びチャンネル層144と第3端143の間の電氣的接触を向上できる。オーミック接触層146の材質は不純物をドーピングした非結晶シリコン、多結晶シリコン、金属酸化膜半導体材料或いは他の適した半導体材料、若しくは他の金属とシリコン材質の間の電氣的接触を増進する材質とすることができる。

【0039】

一実施例において、オーミック接触層146はチャンネル層144の上表面全体を覆う島状パターン層とすることができる。別の一実施例において、オーミック接触層146は、また第2端142と第3端143下方にあるチャンネル層144表面を覆うパターン層とすることもできる。

言い換えると、オーミック接触層146は、各々第2端142と第3端143の下方にある2つの材料ブロックからなる。且つ、2つの材料ブロックは、第2端142と第3端143間に対応して区切ることでチャンネル層144を露出する。

【0040】

一実施例において、第1の絶縁層150が、ゲート電極絶縁層145或いは第1の基板110の表面上に形成され、並びにゲート電極絶縁層145又は第1の基板110表面にある第2金属層（M2）からなる構造の表面に形成させる。

【0041】

第1の絶縁層150は、平坦層として用いる。第1の絶縁層150の材質は、有機材料、無機材料或いはその組み合わせとすることができる。

【0042】

各接触孔180は、相互に連結する第1のスルーホール180aと第2のスルーホール180bとを含むことができる。第1のスルーホール180aは、透明導電層160を貫通する。第2のスルーホール180bは、第1の絶縁層150を貫通して薄膜トランジスタ140の第3端143の表面に直接到達する。そこで、第1のスルーホール180aの直径は、第2のスルーホール180bの直径を上回る。

【0043】

且つ、第2の絶縁層170は、透明導電層160が第1のスルーホール180a内で露出させるのを避けるため、透明導電層160の表面から延伸すると共に第1のスルーホー

10

20

30

40

50

ル 180 a 内にある透明導電層 160 の側壁を覆う。

【0044】

第2の絶縁層 170 は、保護層として用いる。第2の絶縁層 170 の材質は、有機材料、無機材料或いはその組み合わせとすることができる。

【0045】

有機絶縁材料は、例えばブロモクロロフェノールブルー (BCB) 或いはフォトアクリル (photo acrylic) 等とするが、これに限定されるものではない。有機絶縁材料は、例えばシリカ (SiO₂)、窒化ケイ素 (SiN_x) 或いはその他類似物の無機材とするが、これに限定されるものではない。

【0046】

透明導電層 160 と画素電極 190 の材質は、いずれも透明導電性材料とする。ただし透明導電層 160 と画素電極 190 は、同じ材質とすることができ、また異なる材質にもできる。そこで、透明導電性材料は、例えば酸化インジウムスズ (ITO)、酸化インジウム亜鉛 (IZO) 等とするが、これに限定されるものではない。

【0047】

画素電極 190 は、相互に間隔をあける。一実施例において、画素電極 190 は、近隣のゲート電極線 120、122 と近隣のデータ線 130、132 内の少なくともいずれかと部分的に重ね合わせることができる。別の実施例において、画素電極 190 は、またゲート電極線 120、122 とデータ線 130、132 と全く重ね合わせないこともできる。

【0048】

一実施例において、透明導電層 160 は、図 1 A 及び図 1 B に示すように全面的に覆う方式で第1の絶縁層 150 の表面に形成させることができる。言い換えると、透明導電層 160 は一層の透明導電性材料で、且つ当該層の透明導電性材料に接触孔 180 の第1のスルーホール 180 a のみを備え、その他の孔がないものとする。

つまり、透明導電層 160 は、ゲート電極線 120、122、データ線 130、132、接触孔 180 の第1のスルーホール 180 a と重ね合わせるエリア以外の画素ゾーン P 及び薄膜トランジスタ 140 を全面的に覆う。こうすることで、透明導電層 160 を通じてシールド (shield) として、ゲート電極線 120、122 とデータ線 130、132 と薄膜トランジスタ 140 から画素電極 190 へ発生する静電容量結合効果を防ぐことができる。

【0049】

図 2 A は、本発明の第2の実施例に係る画素アレイ基板を示す分解図である。図 2 B は、本発明の第3の実施例に係る画素アレイ基板を示す分解図である。図 2 C は、本発明の第4の実施例に係る画素アレイ基板を示す分解図である。図 2 D は、本発明の第5の実施例に係る画素アレイ基板を示す分解図である。

【0050】

図 2 A、図 2 B、図 2 C 及び図 2 D を参照しながら説明する。一実施例において、透明導電層 160 は、複数の材料ブロック 161 - 163 / 164 - 167 を含むことができる。

【0051】

図 2 A 及び図 2 C を参照しながら説明する。材料ブロック 161 - 163 は相互に間隔をあけ、且つ各材料ブロック 161 / 162 / 163 が少なくとも2つの画素ゾーン P を伸ばして覆う。言い換えると、各材料ブロック 161 / 162 / 163 は隣り合う配列の少なくとも2つの画素ゾーン P を伸ばして覆い、並びにこれら画素ゾーン P の間のデータ線 130、132 を覆う。

【0052】

一実施例において、任意の2つの材料ブロックの間に隙間を有し、材料ブロックを相互に分離させる。言い換えると、材料ブロック 161、162 の間に隙間 160 a で区切り、また材料ブロック 162、163 の間に隙間 160 b で区切る。

10

20

30

40

50

【 0 0 5 3 】

且つ、各隙間 1 6 0 a / 1 6 0 b は、ゲート電極線 1 2 0 / 1 2 2 と重ね合わせる。隙間 1 6 0 a / 1 6 0 b の幅は、重ね合わせるゲート電極線 1 2 0 / 1 2 2 以上とすることができる。

【 0 0 5 4 】

図 2 B 及び図 2 D を参照しながら説明する。材料ブロック 1 6 4 - 1 6 7 は相互に間隔をあけ、且つ各材料ブロック 1 6 4 / 1 6 5 / 1 6 6 / 1 6 7 が少なくとも 2 つの画素ゾーン P を伸ばして覆う。言い換えると、各材料ブロック 1 6 4 / 1 6 5 / 1 6 6 / 1 6 7 は隣り合う配列の少なくとも 2 つの画素ゾーン P を伸ばして覆い、並びにこれら画素ゾーン P の間のゲート電極線 1 2 0、1 2 2 を覆う。

10

【 0 0 5 5 】

一実施例において、任意の 2 つの材料ブロックの間に隙間を有し、材料ブロックを相互に分離させる。言い換えると、材料ブロック 1 6 4、1 6 5 の間に隙間 1 6 0 c で区切り、また材料ブロック 1 6 5、1 6 6 の間に隙間 1 6 0 d で区切り、材料ブロック 1 6 6、1 6 7 の間に隙間 1 6 0 e で区切る。

【 0 0 5 6 】

且つ、各隙間 1 6 0 c / 1 6 0 d / 1 6 0 e は、データ線 1 3 0 / 1 3 2 と重ね合わせる。隙間 1 6 0 c / 1 6 0 d / 1 6 0 e の幅は、重ね合わせるデータ線 1 3 0 / 1 3 2 以上とすることができる。

【 0 0 5 7 】

一実施例において、1 つの材料ブロックは、同一直線に位置する全ての画素ゾーンを伸ばして覆う。言い換えると、各材料ブロックは一行或いは一列の画素ゾーン P を伸ばして覆い、並びにこれら画素ゾーン P の間のデータ線又はゲート電極線を覆うことができる。

20

【 0 0 5 8 】

図 2 A 及び図 2 C を参照しながら説明する。材料ブロック 1 6 1、1 6 2、1 6 3 は同一直線に位置する全ての画素ゾーン P を伸ばして覆い、並びにこれら画素ゾーン P の間のデータ線 1 3 0、1 3 2 を覆う。

【 0 0 5 9 】

図 2 B 及び図 2 D を参照しながら説明する。材料ブロック 1 6 4、1 6 5、1 6 6、1 6 7 は同一直線に位置する全ての画素ゾーン P を伸ばして覆い、並びにこれら画素ゾーン P の間のゲート電極線 1 2 0、1 2 2 を覆う。

30

【 0 0 6 0 】

一実施例において、透明導電層 1 6 0 は、複数の電氣的接続部材 1 6 9 を更に含むことができる。各電氣的接続部材がこれら材料ブロックのうちいずれか 2 つと電氣的に接続する。

【 0 0 6 1 】

図 2 A 及び図 2 C を参照しながら説明する。材料ブロック 1 6 1、1 6 2 の間と材料ブロック 1 6 2、1 6 3 の間に電氣的接続部材 1 6 9 を各々結合することで、材料ブロック 1 6 1、1 6 2 / 1 6 2、1 6 3 の間を電氣的に接続させる。

【 0 0 6 2 】

図 2 B 及び図 2 D を参照しながら説明する。材料ブロック 1 6 4、1 6 5 の間、材料ブロック 1 6 5、1 6 6 の間及び材料ブロック 1 6 6、1 6 7 の間に電氣的接続部材 1 6 9 を各々結合することで、材料ブロック 1 6 4、1 6 5 / 1 6 5、1 6 6 / 1 6 6、1 6 7 の間を電氣的に接続させる。

40

【 0 0 6 3 】

電氣的接続部材 1 6 9 は、隙間 1 6 0 a / 1 6 0 b / 1 6 0 c / 1 6 0 d / 1 6 0 e を渡することで、隙間 1 6 0 a / 1 6 0 b / 1 6 0 c / 1 6 0 d / 1 6 0 e で区切る材料ブロック 1 6 1、1 6 2 / 1 6 2、1 6 3 / 1 6 4、1 6 5 / 1 6 5、1 6 6 / 1 6 6、1 6 7 を相互結合すると共に電氣的に接続させる。

【 0 0 6 4 】

50

そこで、電氣的接続部材 169 は、材料ブロック 161 - 163 / 164 - 167 と同じ透明導電性材料を使用して形成できる。

【0065】

一実施例において、透明導電層 160 と画素電極 190 で蓄積コンデンサ (C_{st}) を形成できる。且つ、この蓄積コンデンサ (C_{st}) は、極大の静電容量値を備えることで、薄膜トランジスタ 140 の第 1 端 141 に属する画素に対して起すキックバック電圧 (V_p) 効果を軽減し、従って共通電圧のキックバック値が過大となって適当な共通電圧を供給できないことを避ける。

【0066】

そこで、キックバック電圧 (V_p) は、下記の関係式を持つ。

【0067】

【数 1】

$$V_p = (C_{gd}) / (C_{st} + C_{LC} + C_{gd}) * (V_{gH} - V_{gL})$$

式の中、 C_{gd} とは、薄膜トランジスタ 140 の第 1 端 141 と薄膜トランジスタ 140 の第 2 端 142 から形成される静電容量で、 C_{LC} は、画素電極 190 と LC から形成される静電容量で、 V_{gH} は薄膜トランジスタ 140 の第 1 端 141 導通時の電圧で、並びに V_{gL} が薄膜トランジスタ 140 の第 1 端 141 が非導通時の電圧とする。

【0068】

一実施例において、透明導電層 160 を利用して一般的に画素アレイ基板内に設けられている共通電極 (例えば、データ線と同じ層に設けられた共通電極) に取って代わることもできる。言い換えると、透明導電層 160 の設置により、画素アレイ基板内に共通電極線を設置する必要がない。

【0069】

図 3 は、本発明の第 6 の実施例に係る画素アレイ基板の上面図である。図 4 は、図 3 に示されている画素アレイ基板の接線 II - II に沿った断面図である。図 5 乃至図 8 は、本発明の第 7 の実施例、第 8 の実施例、第 9 の実施例及び第 10 の実施例に係る画素アレイ基板の上面図である。

説明の便宜のため、図 3 及び図 5 乃至図 8 内に示されている画素アレイ基板には各絶縁層の描画を省略している。図 3 及び図 5 乃至図 8 内において、画素ゾーン P 上に描かれている破線は、開口部 182、183、184 の垂直投影位置を示し、つまり組み立てた後の開口部 182、183、184 を重ね合わせた位置である。

【0070】

図 3 乃至図 8 を参照しながら説明する。一実施例において、透明導電層 160 に 1 個或いは複数の開口部 182、183、184 を設計できる。開口部 182、183、184 は、第 1 の絶縁層 150 と第 2 の絶縁層 160 の間に位置すると共に透明導電層 160 を貫通する。そこで、開口部 182、183、184 は、透明導電層 160 と画素電極 190 が形成する蓄積コンデンサ (C_{st}) の静電容量を適切に調整するために用いることができる。更に、開口部 182、183、184 を適切に配置すると、透明導電層 160 に対する RC (電気抵抗 - 静電容量) 負荷も調整できる。

【0071】

図 3 乃至図 8 を参照しながら説明する。開口部 182 は、画素ゾーン P に対応して設置できる。つまり、開口部 182 は、ゲート電極線 120、122 とデータ線 130、132 で囲うエリア内に位置し、且つ薄膜トランジスタ 140 とは重なり合わない。

【0072】

開口部 182 は、1 個或いは複数とすることができ、且つ開口部 182 の配置を任意のパターンとし、例えば S 字状パターン、S 字状に類似するパターン、E 字状パターン、E 字状に類似するパターン、蛇行パターン、ノコギリ形のパターン、ノコギリ形に類似するパターン、櫛型のパターン、櫛型に類似するパターン或いは複数本の縞パターンなどに行けるが、これに限定されるものではない。

10

20

30

40

50

【 0 0 7 3 】

図 3 及び図 4 を参照しながら説明する。開口部 1 8 2 は、開口が対応する薄膜トランジスタ 1 4 0 に結合するゲート電極線 1 2 0 の一側に隣接する E 字状パターン或いは E 字状に類似するパターンにできる。図 5 を参照しながら説明する。開口部 1 8 2 は開口が対応する薄膜トランジスタ 1 4 0 に結合するゲート電極線 1 2 0 の一側から遠ざける E 字状パターン、E 字状に類似するパターンにできる。

【 0 0 7 4 】

言い換えると、E 字状パターン、E 字状に類似するパターンの開口部 1 8 2 は、1 個の横向きスルーホール及び 3 個の縦向きスルーホールからなる。そこで、横向きスルーホールの延伸方向は、縦向きスルーホールの延伸方向と交差する。

10

例を挙げると、横向きスルーホールは、ゲート電極線 1 2 0、1 2 2 と略平行となりながら延伸し、また縦向きスルーホールがデータ線 1 3 0、1 3 2 と略平行となりながら延伸する。2 個の縦向きスルーホールの第 1 端が横向きスルーホールの両端にそれぞれ連結し、残りの 1 個の縦向きスルーホールの第 1 端が、横向きスルーホールの両端の間に連結する。そこで、3 個の縦向きスルーホールは、同じ延伸長さを有することができ、また異なる延伸長さを有することもできる。

横向きスルーホールは、直線延伸（図 3）でき、また折線延伸（図 5）もできる。横向きスルーホールが折線延伸（図 5）した時、中間に位置する縦向きスルーホールは横向きスルーホールのカーブ箇所に連結できる。図 3 と図 5 は 3 個の縦向き開口部を有する E 字状パターンで説明しているが、一実施例において、開口部 1 8 2 も 3 個以上の縦向きスルーホールも備えることができ、この場合開口部 1 8 2 は櫛型パターンになる。

20

【 0 0 7 5 】

図 6 を参照しながら説明する。開口部 1 8 2 は、開口がゲート電極線 1 2 0、1 2 2 に向かっている S 字状パターン或いは S 字状に類似するパターンにできる。しかしながら、実際の需要にも合わせて、S 字状パターン或いは S 字状に類似するパターンの開口部 1 8 2 の開口をデータ線 1 3 0、1 3 2、若しくはデータ線 1 3 0、1 3 2 とゲート電極線 1 2 0、1 2 2 の境界箇所に向かわせることができる。S 字状パターン或いは S 字状に類似するパターンの開口部 1 8 2 に複数の夾角式湾曲又は円弧状カーブを持たせることができる。

【 0 0 7 6 】

30

図 7 及び図 8 を参照しながら説明する。複数の開口部 1 8 2 から縞パターンにできる。縞パターンの開口部 1 8 2 は、互いに略平行とすることができる。更に、図 7 に示すようにゲート電極線 1 2 0、1 2 2 及びデータ線 1 3 0、1 3 2 の延伸方向に対し、縞パターンの開口部 1 8 2 は、斜め延伸できる。縞パターンの開口部 1 8 2 の延伸方向も、図 8 に示すようにゲート電極線 1 2 0、1 2 2 の延伸方向と略垂直にできる。しかしながら、縞パターンの開口部 1 8 2 の延伸方向は、ゲート電極線 1 2 0、1 2 2 の延伸方向（図示略）に略平行になるよう設計できる。

【 0 0 7 7 】

図 8 を参照しながら説明する。開口部 1 8 3 はゲート電極線 1 2 0、1 2 2 に対応するよう設けることができる。つまり開口部 1 8 3 は、ゲート電極線 1 2 0、1 2 2 と重ね合わせる。一実施例において、各開口部 1 8 3 は、2 本のデータ線 1 3 0、1 3 2 の間に位置するゲート電極線 1 2 0 / 1 2 2 を完全に覆うことができる。他の実施例において、各開口部 1 8 3 は、また 2 本のデータ線 1 3 0、1 3 2 の間に位置するゲート電極線 1 2 0 / 1 2 2 も一部覆うことができる。

40

【 0 0 7 8 】

開口部 1 8 4 は、図 2 A、2 B、2 C、2 D 及び図 8 に示されるように、薄膜トランジスタ 1 4 0 に対応するよう設けることができる。一実施例において、開口部 1 8 4 は、薄膜トランジスタ 1 4 0 を完全に覆うことができる。言い換えると、開口部 1 8 4 のサイズは、薄膜トランジスタ 1 4 0 のサイズ以上とする。

【 0 0 7 9 】

50

一実施例において、開口部 184 は、図 2 A 及び図 2 C に示すように、薄膜トランジスタ 140 全体のみと重ね合わせることができる。

【0080】

一実施例において、薄膜トランジスタ 140 全体と重ね合わせる以外に、図 8 に示すように開口部 184 は、接触孔 180 の第 1 のスルーホール 180 a と重ね合わせるように延伸できる。つまり、開口部 184 は、薄膜トランジスタ 140 全体及び接触孔 180 の第 1 のスルーホール 180 a をカバーする。且つ、接触孔 180 内で平坦な内壁となるようにするため、開口部 184 内に第 2 の絶縁層 170 を備えることができる。言い換えると、第 2 の絶縁層 170 は一部の開口部 184 を充填する。

【0081】

一実施例において、薄膜トランジスタ 140 全体と重ね合わせる以外に、開口部 184 は、また図 2 B 及び図 2 D に示すように、一部のゲート電極線 120 / 122 も同時に覆うことができる。

【0082】

そこで、開口部 182、183、184 のサイズ及び数量は、必要な蓄積コンデンサの静電容量に相応できる。

【0083】

一実施例において、開口部 182、183、184 のサイズ及び数量の制御を通じて、透明導電層 160 と各画素電極 190 の重ね合わせるエリアが重ね合わせた画素電極 190 の 3 分の 2 を上回らないようにさせることができる。

【0084】

図 9 は、本発明の一実施例に係る液晶ディスプレイパネルの局部断面図である。

【0085】

図 9 を参照しながら説明する。液晶ディスプレイパネルは、画素アレイ基板 100 と液晶層 200 とカラーフィルタ基板 300 とを含む。画素アレイ基板 100 は、前述の構造設計のいずれか組み合わせを用いることができるので詳細な説明を省略する。

【0086】

カラーフィルタ基板 300 は、画素アレイ基板 100 に対応し、且つ画素アレイ基板 100 の間に間隔をあける。また液晶層 200 を画素アレイ基板 100 とカラーフィルタ基板 300 の間に挟んで設置する。且つ、液晶層 200 内に複数の液晶分子 210 が浮遊する。

【0087】

一実施例において、仕切壁 220 の設置を通じてカラーフィルタ基板 300 を画素アレイ基板 100 に支えることで、仕切壁 220 と画素アレイ基板 100 とカラーフィルタ基板 300 の間で收容空間を形成させる。更に液晶分子 210 を收容空間内に充填して液晶層 200 を形成する。

【0088】

そこで、仕切壁 220 は、マトリクス形に配置させた画素ゾーン P の境界エリアに沿って形成し、液晶ディスプレイパネルの複数の画素を限定する。仕切壁 220 の材質は絶縁材料とすることができる。仕切壁 220 は、一般的にリソグラフィ工程、印刷工程、インプリント (i m p r i n t) 工程或いは金型等の方式を通じて形成できる。しかし、上記に言及した特定工程は本発明を制限するものではない。

その他、図 10 を参照しながら説明する。一実施例において、またスペーサボール (s p a c e r b a l l) 230 を仕切壁 220 に代替して、画素アレイ基板 100 とカラーフィルタ基板 300 を支えるために用いることができるが、これに限定されるものではない。

【0089】

カラーフィルタ基板 300 は、第 2 の基板 310 と共通電極層 320 とカラーフィルタ層 330 とを含む。

【0090】

10

20

30

40

50

共通電極層 320 は、画素電極 190 と第 2 の基板 310 の間に位置し、且つ画素電極 190 間と間隔をあける。つまり、液晶層 200 が共通電極層 320 と画素電極 190 の間に位置する。

【0091】

カラーフィルタ層 330 は、第 2 の基板 310 と共通電極層 320 の間に位置する。そこで、共通電極層 320 は、カラーフィルタ層 330 の第 2 の基板 310 に対向する他側の表面に形成させることができる。カラーフィルタ層 330 は、複数のカラーフィルタブロックを含むことができ、且つこれらカラーフィルタブロックは画素ゾーン P に各々対応するように設けることができる。

【0092】

カラーフィルタ基板 300 は、黒色マトリクス層 340 を更に含むことができる。黒色マトリクス層 340 はゲート電極線 120、122 とデータ線 130、132 に対応するように設けられ、また漏光を防ぐために用いる。

【0093】

上記を総合すると、本発明に係る液晶ディスプレイパネル及びその画素アレイ基板は、透明導電層 160 と画素電極 190 を利用して蓄積コンデンサを形成することで、高解像度の液晶ディスプレイパネルの開口率を上げる。つまり、小型スクリーン（例えば 10 インチ以下）に応用するにあたって、解像度を上げると同時に開口率にも配慮できる。更に、透明導電層 160 を通じて透明導電層 160 下方にある素子（データ線 130、132、ゲート電極線 120、122、薄膜トランジスタ 140 或いはその組み合わせ）から画素電極 190 へ生じる静電容量結合効果を避けることができる。

【符号の説明】

【0094】

- 100 画素アレイ基板
- 110 第 1 の基板
- 120 ゲート電極線
- 122 ゲート電極線
- 130 データ線
- 132 データ線
- 140 薄膜トランジスタ
- 141 第 1 端
- 142 第 2 端
- 143 第 3 端
- 144 チャネル層
- 145 ゲート電極絶縁層
- 146 オーミック接触層
- 150 第 1 の絶縁層
- 160 透明導電層
- 160 a 隙間
- 160 b 隙間
- 160 c 隙間
- 160 d 隙間
- 160 e 隙間
- 161 材料ブロック
- 162 材料ブロック
- 163 材料ブロック
- 164 材料ブロック
- 165 材料ブロック
- 166 材料ブロック
- 167 材料ブロック

10

20

30

40

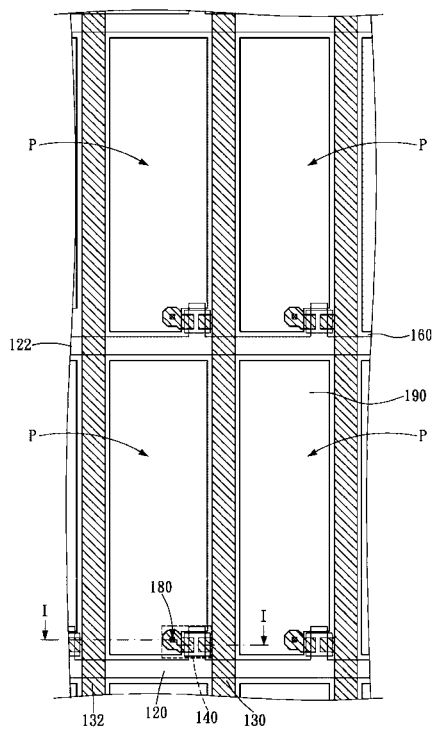
50

- 1 6 9 電気的接続部材
- 1 7 0 第 2 の絶縁層
- 1 8 0 接触孔
- 1 8 0 a 第 1 のスルーホール
- 1 8 0 b 第 2 のスルーホール
- 1 8 2 開口
- 1 8 3 開口
- 1 8 4 開口
- 1 9 0 画素電極
- 2 0 0 液晶層
- 2 1 0 液晶分子
- 2 2 0 仕切壁
- 2 3 0 スペースボール
- 3 0 0 カラーフィルタ基板
- 3 1 0 第 2 の基板
- 3 2 0 共通電極層
- 3 3 0 カラーフィルタ層
- 3 4 0 黒色マトリクス層
- P 画素ゾーン
- I - I 接線
- I I - I I 接線

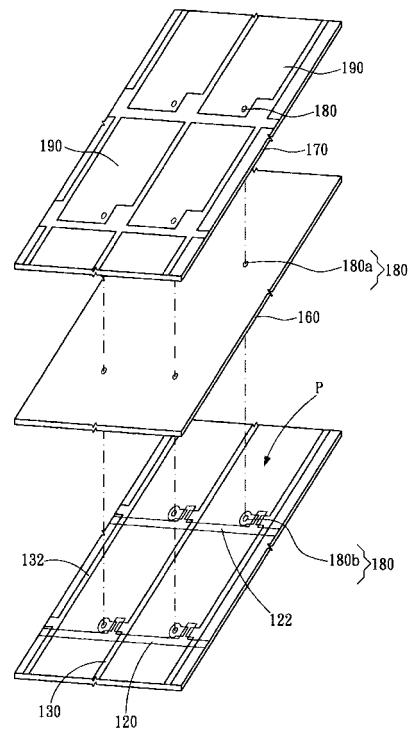
10

20

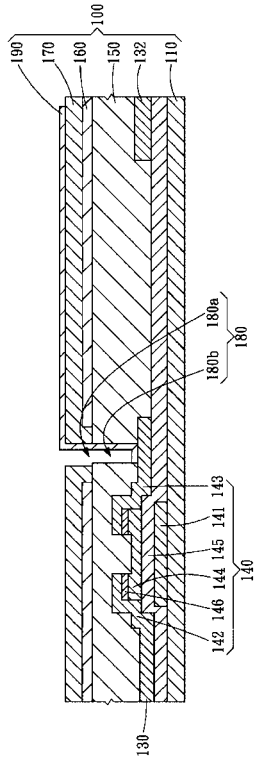
【図 1 A】



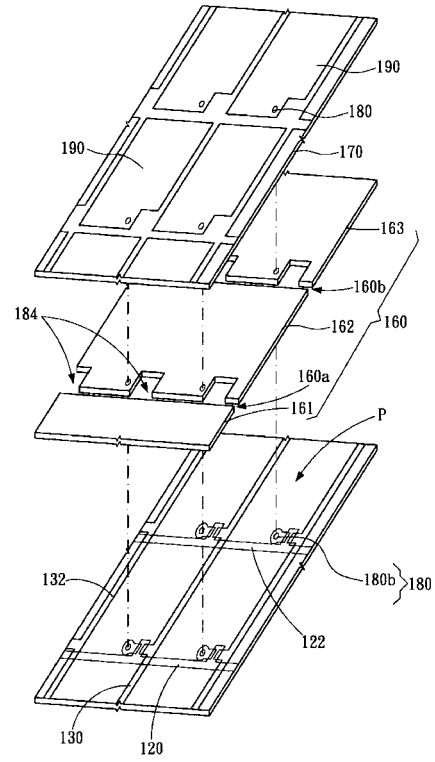
【図 1 B】



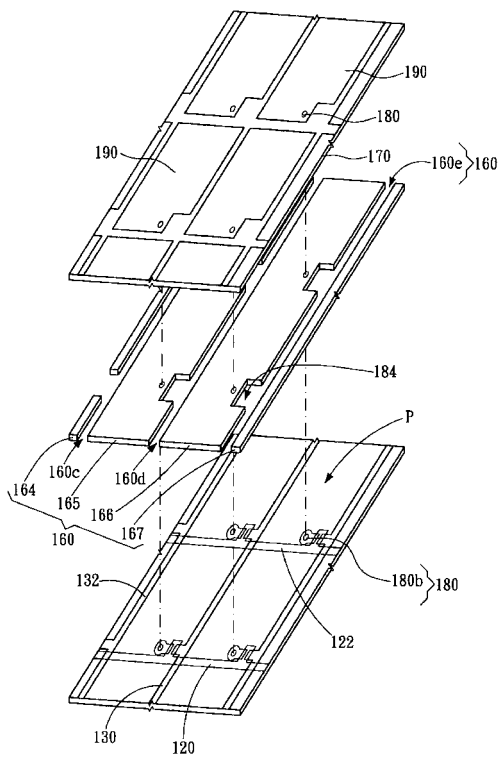
【図 1 C】



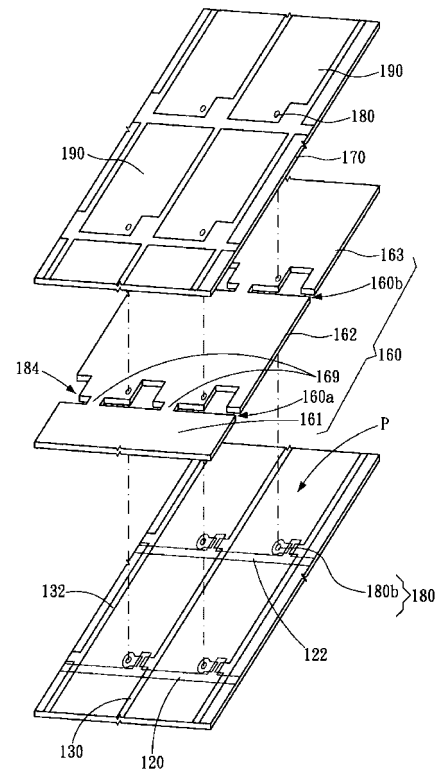
【図 2 A】



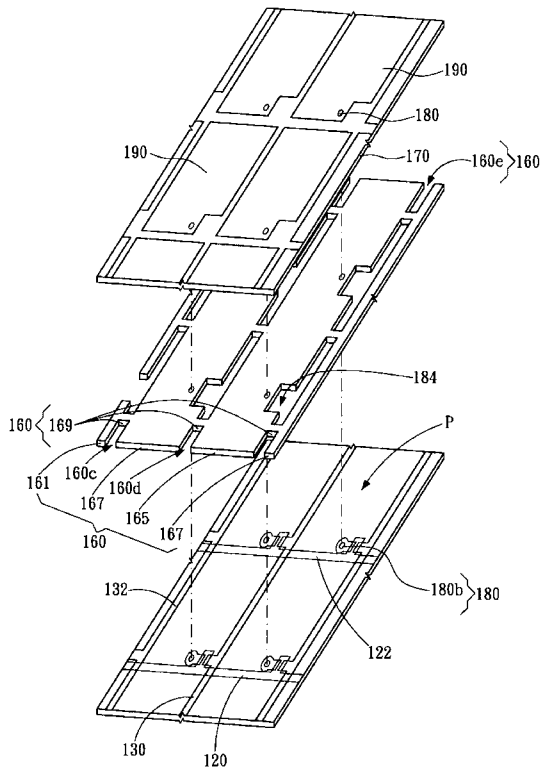
【図 2 B】



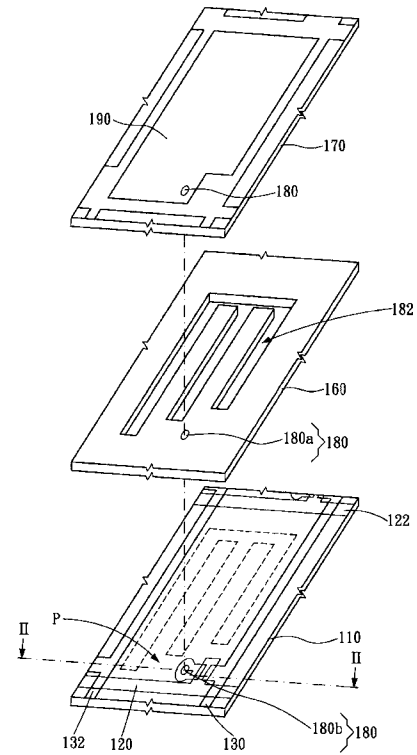
【図 2 C】



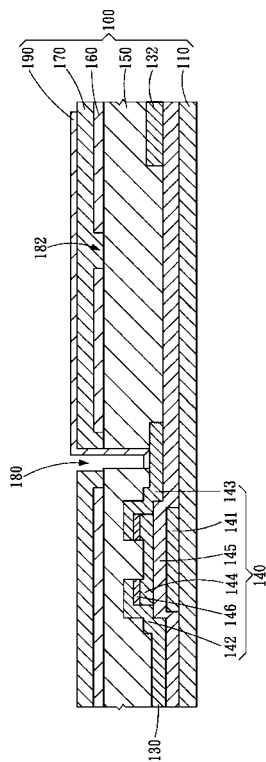
【図 2 D】



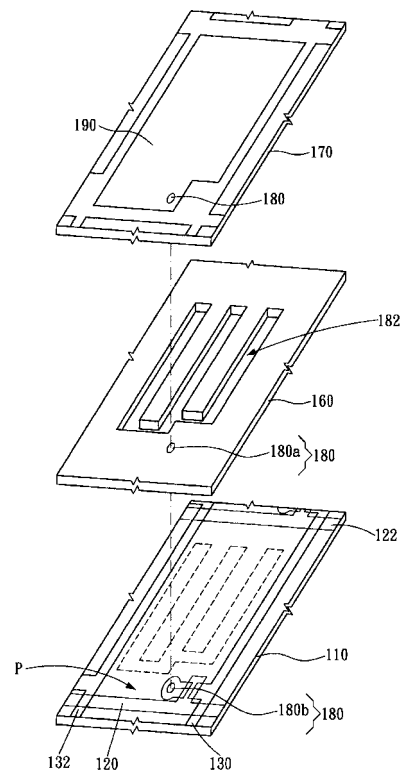
【図 3】



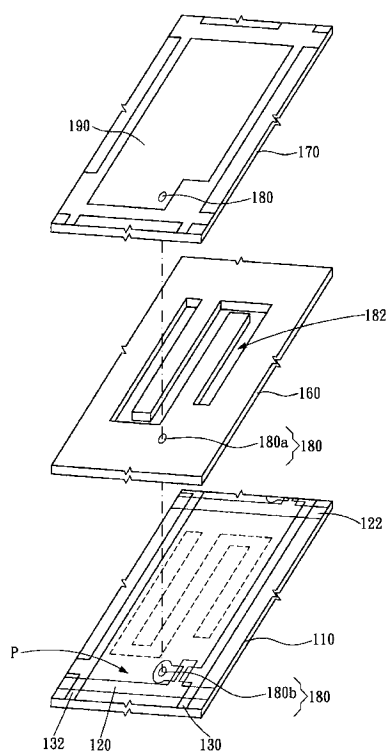
【図 4】



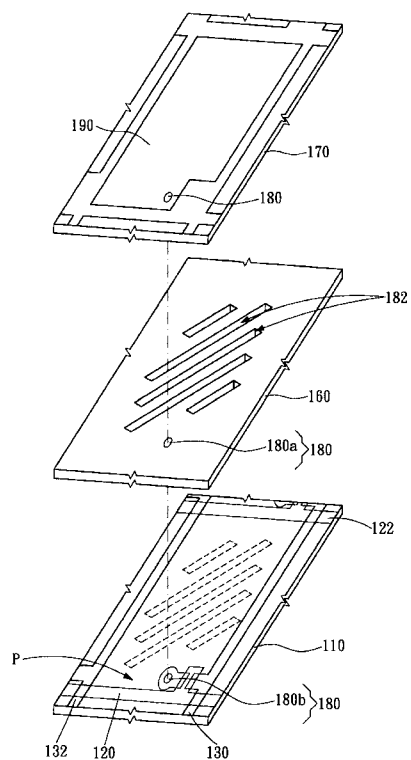
【図 5】



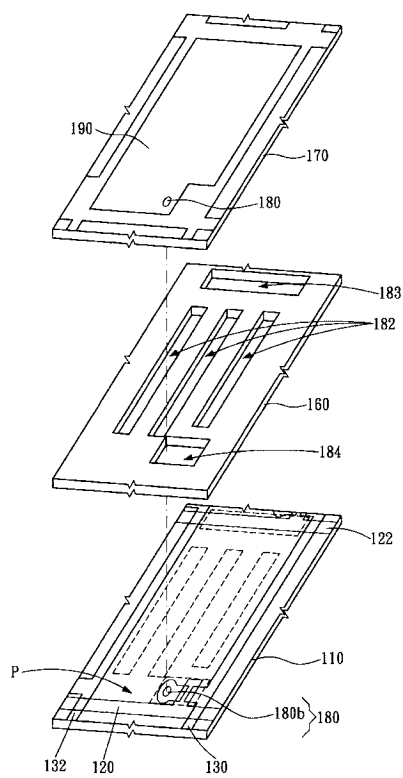
【 図 6 】



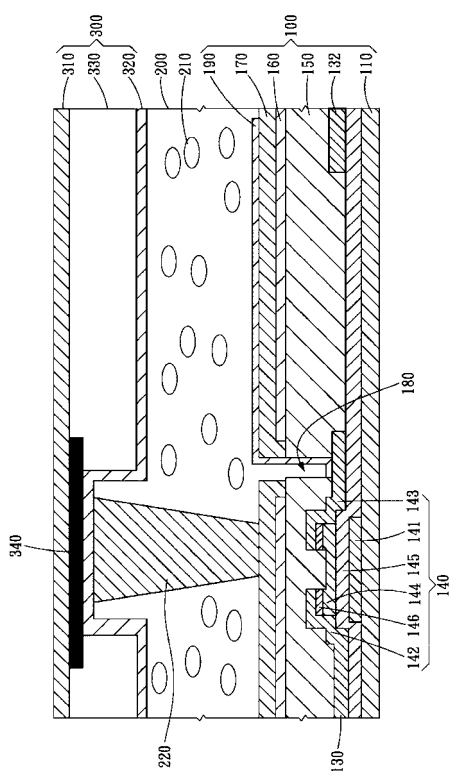
【圖 7】



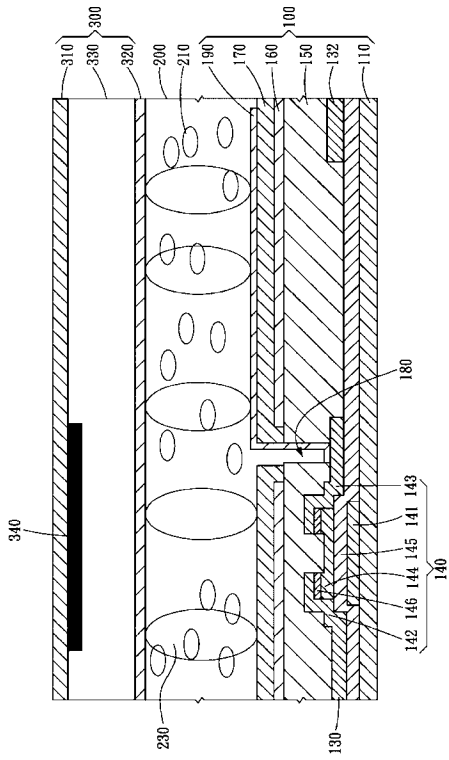
【 图 8 】



【图 9】



【図 10】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 F 9/30 (2006.01)

F ターム(参考) 2H191 FA02Y GA05 GA19 HA15 LA40
5C094 AA10 BA03 BA43 DA13 DB10 EA04 EA05 ED03 FA01 FA02
5F110 BB01 CC07 FF02 FF03 FF04 GG01 GG02 GG13 GG15 GG22
HK09 HK14 HK16 HK21 HK25 HL07 NN02 NN03 NN23 NN24
NN27 NN28 NN72

专利名称(译)	液晶显示面板及其像素阵列基板		
公开(公告)号	JP2013257530A	公开(公告)日	2013-12-26
申请号	JP2012244482	申请日	2012-11-06
[标]申请(专利权)人(译)	瀚宇彩晶股份有限公司		
申请(专利权)人(译)	瀚宇彩晶股▲ふん▼有限公司		
[标]发明人	游家華 林松君 劉軒辰		
发明人	游家華 林松君 劉軒辰		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/1333 H01L21/336 H01L29/786 G09F9/30		
CPC分类号	G02F1/136213 G02F2001/136218		
FI分类号	G02F1/1343 G02F1/1335.505 G02F1/1333.505 H01L29/78.612.Z G09F9/30.338 G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JA28 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB57 2H092/JB69 2H092/KA12 2H092/NA07 2H092/PA08 2H190/HA04 2H190/HB07 2H190/LA01 2H190/LA15 2H191/FA02Y 2H191/GA05 2H191/GA19 2H191/HA15 2H191/LA40 5C094/AA10 5C094/BA03 5C094/BA43 5C094/DA13 5C094/DB10 5C094/EA04 5C094/EA05 5C094/ED03 5C094/FA01 5C094/FA02 5F110/BB01 5F110/CC07 5F110/FF02 5F110/FF03 5F110/FF04 5F110/GG01 5F110/GG02 5F110/GG13 5F110/GG15 5F110/GG22 5F110/HK09 5F110/HK14 5F110/HK16 5F110/HK21 5F110/HK25 5F110/HL07 5F110/NN02 5F110/NN03 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN28 5F110/NN72 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CC66 2H192/DA42 2H192/DA62 2H192/DA65 2H192/EA22 2H192/EA43 2H192/EA67 2H192/GD23 2H291/FA02Y 2H291/GA05 2H291/GA19 2H291/HA15 2H291/LA40		
优先权	201210193317.2 2012-06-12 CN		
其他公开文献	JP5551226B2		
外部链接	Espacenet		

摘要(译)

要解决的问题提供液晶显示面板及其像素阵列基板。像素阵列基板包括第一基板，多条栅极线，多条数据线，多个薄膜晶体管，第一绝缘层透明导电层，第二绝缘层，多个接触孔和多个像素电极。栅电极线，数据线和薄膜晶体管位于第一基板上，第一绝缘层覆盖第一基板。透明导电层位于第一绝缘层中并具有共同的电压电平。第二绝缘层位于透明导电层和像素电极之间，并将透明导电层与像素电极隔离。像素电极经由相应的接触孔电耦合到对应的第三薄膜晶体管。背景技术

