

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-250361

(P2013-250361A)

(43) 公開日 平成25年12月12日(2013.12.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 680H	5B087
G02F 1/133 (2006.01)	G09G 3/20 691D	5C006
G06F 3/041 (2006.01)	G09G 3/20 612G	5C080
	G09G 3/20 624D	
審査請求 未請求 請求項の数 11 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2012-123908 (P2012-123908)	(71) 出願人	502356528
(22) 出願日	平成24年5月31日 (2012.5.31)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	100083552
			弁理士 秋田 収喜
		(74) 代理人	100103746
			弁理士 近野 恵一
		(72) 発明者	長尾 将志
			千葉県茂原市早野3300番地 株式会社
			ジャパンディスプレイイースト内
		Fターム(参考)	2H193 ZA04 ZB07 ZC07 ZC13 ZD12
			ZF04 ZF05 ZF06 ZF07 ZF24
			ZF35 ZF43 ZF44 ZF59 ZH53
			ZH54 ZJ02 ZQ16
			5B087 AA03 CC02 CC25 CC39
			最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

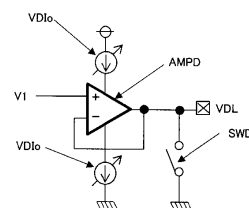
【課題】タッチパネル機能を内蔵した液晶表示装置において、待機状態で液晶表示パネルに「黒」を表示する表示オフ時に、液晶表示装置での消費電力を低減する。

【解決手段】タッチパネル機能を内蔵した液晶表示装置において、前記各映像線に対して前記映像電圧を供給するとともに、前記分割された各ブロックの対向電極に対して対向電圧とタッチパネル走査電圧を供給する駆動回路を有し、前記駆動回路は、前記映像電圧を前記映像線に供給するソースアンプ回路を有し、通常動作時よりも低電力である低電力モード1の時に、前記ソースアンプ回路を流れる電流を、通常動作時に前記ソースアンプ回路を流れる電流より低減し、低電力モード1よりも低電力である低電力モード2の時に、前記ソースアンプ回路の動作を停止し、前記映像線にGNDの電圧を供給する。

。

【選択図】 図19

図19



【特許請求の範囲】

【請求項 1】

第 1 基板と、
第 2 基板と、
前記第 1 基板と前記第 2 基板との間に挟持される液晶とを有する液晶表示パネルを備え、
マトリクス状に配置された複数の画素を有する液晶表示装置であって、
前記第 2 基板は、タッチパネルの検出電極を有し、
前記第 1 基板は、前記各画素に映像電圧を供給する複数の映像線を有し、
前記各画素は、画素電極と対向電極とを有し、
前記対向電極は、複数のブロックに分割されており、
前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して
共通に設けられており、
前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、
前記各映像線に対して前記映像電圧を供給するとともに、前記分割された各ブロックの
対向電極に対して対向電圧とタッチパネル走査電圧を供給する駆動回路を有し、
前記駆動回路は、前記映像電圧を前記映像線に供給するソースアンプ回路を有し、
前記ソースアンプ回路は、自ソースアンプ回路を流れる電流を調整可能な電流調整回路
を有し、
通常動作時よりも低電力である低電力モード 1 の時に、前記電流調整回路により、前記
ソースアンプ回路を流れる電流を、通常動作時に前記ソースアンプ回路を流れる電流より
低減し、
低電力モード 1 よりも低電力である低電力モード 2 の時に、前記電流調整回路により、
前記ソースアンプ回路の動作を停止し、前記映像線に GND の電圧を供給することを特徴
とする液晶表示装置。

【請求項 2】

第 1 基板と、
第 2 基板と、
前記第 1 基板と前記第 2 基板との間に挟持される液晶とを有する液晶表示パネルを備え、
マトリクス状に配置された複数の画素を有する液晶表示装置であって、
前記第 2 基板は、タッチパネルの検出電極を有し、
前記各画素は、画素電極と対向電極とを有し、
前記対向電極は、複数のブロックに分割されており、
前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して
共通に設けられており、
前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、
前記分割された各ブロックの対向電極に対して対向電圧とタッチパネル走査電圧を供給
する駆動回路を有し、
前記駆動回路は、前記対向電圧を前記対向電極に供給するコモンアンプ回路を有し、
前記コモンアンプ回路は、自コモンアンプ回路を流れる電流を調整可能な電流調整回路
を有し、
通常動作時よりも低電力である低電力モードの時に、前記電流調整回路により、前記コ
モンアンプ回路の動作を停止し、前記対向電極に GND の電圧を供給することを特徴とす
る液晶表示装置。

【請求項 3】

第 1 基板と、
第 2 基板と、
前記第 1 基板と前記第 2 基板との間に挟持される液晶とを有する液晶表示パネルを備え、
マトリクス状に配置された複数の画素を有する液晶表示装置であって、
前記第 2 基板は、タッチパネルの検出電極を有し、
前記各画素は、画素電極と対向電極とを有し、

前記対向電極は、複数のブロックに分割されており、

前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、

前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、

前記分割された各ブロックの対向電極に対して対向電圧とタッチパネル走査電圧を供給する駆動回路を有し、

前記駆動回路は、複数の階調電圧を生成する階調電圧生成回路を有し、

前記階調電圧生成回路は、前記複数の階調電圧を出力する複数のアンプ回路を有し、

前記各アンプ回路は、自アンプ回路を流れる電流を調整可能な電流調整回路を有し、

通常動作時よりも低電力である低電力モード１の時に、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の前記電流調整回路により、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の動作を停止し、

低電力モード１よりも低電力である低電力モード２の時に、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の前記電流調整回路により、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の動作を停止するとともに、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路の前記電流調整回路により、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路を流れる電流を、通常動作時に前記アンプ回路を流れる電流より低減し、

低電力モード２よりも低電力である低電力モード３の時に、前記複数の階調電圧を出力する前記各アンプ回路の前記電流調整回路により、前記各アンプ回路の動作を停止し、最下位の階調電圧としてGNDの電圧を供給することを特徴とする液晶表示装置。

【請求項４】

第１基板と、

第２基板と、

前記第１基板と前記第２基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、

前記第２基板は、タッチパネルの検出電極を有し、

前記第１基板は、前記各画素にVGHの選択走査電圧と、VGLの非選択走査電圧を供給する複数の走査線を有し、

前記各画素は、画素電極と対向電極とを有し、

前記対向電極は、複数のブロックに分割されており、

前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、

前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、

前記VGHの電圧と前記VGLの電圧を出力するとともに、前記分割された各ブロックの対向電極に対して対向電圧とタッチパネル走査電圧を供給する駆動回路を有し、

前記駆動回路は、前記VGHの電圧と前記VGLの電圧を生成する、チャージポンプ方式のVGH/VGL生成回路を有し、

通常動作時よりも低電力である低電力モードの時に、前記VGH/VGL生成回路内のスイッチ回路のオン/オフ周期を、通常動作時よりも長くすることを特徴とする液晶表示装置。

【請求項５】

第１基板と、

第２基板と、

前記第１基板と前記第２基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、

前記第２基板は、タッチパネルの検出電極を有し、

前記第１基板は、前記各画素に映像電圧を供給する複数の映像線を有し、

前記各画素は、画素電極と対向電極とを有し、
前記対向電極は、複数のブロックに分割されており、
前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して
共通に設けられており、

前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、
前記各映像線に対して前記映像電圧を供給するとともに、前記分割された各ブロックの
対向電極に対して対向電圧とタッチパネル走査電圧を供給する駆動回路を有し、
前記駆動回路は、前記映像電圧を前記映像線に供給するソースアンプ回路と、
前記ソースアンプ回路に、高電位のVSPの電圧を供給するVSP生成回路と低電位の
VSNの電圧を供給するVSN生成回路とを有し、

前記VSP生成回路と前記VSN生成回路は、スイッチングレギュレータ方式の昇圧回
路であり、

通常動作時よりも低電力である低電力モード1の時に、前記VSP生成回路と前記VSN
生成回路のスイッチング周波数を低減し、

低電力モード1よりも低電力である低電力モード2の時に、前記VSP生成回路のスイ
ッチング周波数を低減し、前記VSN生成回路の動作を停止することを特徴とする液晶表
示装置。

【請求項6】

第1基板と、

第2基板と、

前記第1基板と前記第2基板との間に挟持される液晶とを有する液晶表示パネルを備え
、マトリクス状に配置された複数の画素を有する液晶表示装置であって、

前記第2基板は、タッチパネルの検出電極を有し、

前記各画素は、画素電極と対向電極とを有し、

前記対向電極は、複数のブロックに分割されており、

前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して
共通に設けられており、

前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、

前記分割された各ブロックの対向電極に対して対向電圧とタッチパネル走査電圧を供給
する駆動回路を有し、

前記駆動回路は、複数の階調電圧を生成する階調電圧生成回路を有し、

前記階調電圧生成回路は、前記複数の階調電圧を出力する複数のアンプ回路を有し、

前記各アンプ回路は、自アンプ回路を流れる電流を調整可能な電流調整回路を有し、

待機状態の時に、複数フレームに1回、タッチ位置検出のスキャン動作を行い、

待機状態で低電力モード1の時に、液晶表示装置の交流化駆動法をカラム反転駆動法と
なし、各フレーム毎に、各画素に映像電圧を書き込むゲートスキャン動作を行い、

前記階調電圧生成回路の最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を
出力するアンプ回路以外のアンプ回路の前記電流調整回路により、最上位の階調電圧を
出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の動作を停
止することを特徴とする液晶表示装置。

【請求項7】

前記第1基板は、前記各画素に映像電圧を供給する複数の映像線を有し、

前記駆動回路は、前記階調電圧生成回路で生成された階調電圧を増幅し、前記映像電圧
として前記映像線に供給するソースアンプ回路と、

前記ソースアンプ回路に、高電位のVSPの電圧を供給するVSP生成回路と低電位の
VSNの電圧を供給するVSN生成回路とを有し、

前記ソースアンプ回路は、自ソースアンプ回路を流れる電流を調整可能な電流調整回路
を有し、

前記VSP生成回路と前記VSN生成回路は、スイッチングレギュレータ方式の昇圧回
路であり、

10

20

30

40

50

待機状態で、低電力モード１よりも低電力である低電力モード２の時に、液晶表示装置の交流化駆動法をカラム反転駆動法となし、各フレーム毎に、各画素に映像電圧を書き込むゲートスキャン動作を行い、

前記ソースアンプ回路の前記電流調整回路により、前記ソースアンプ回路を流れる電流を、通常動作時に前記ソースアンプ回路を流れる電流より低減し、

前記階調電圧生成回路の最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の前記電流調整回路により、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の動作を停止するとともに、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路の前記電流調整回路により、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路を流れる電流を、通常動作時に前記アンプ回路を流れる電流より低減し、

前記VSP生成回路と前記VSN生成回路のスイッチング周波数を低減することを特徴とする請求項６に記載の液晶表示装置。

【請求項８】

前記第１基板は、前記各画素にVGHの選択走査電圧と、VGLの非選択走査電圧を供給する複数の走査線を有し、

前記駆動回路は、前記VGHの電圧と前記VGLの電圧を生成して出力する、チャージポンプ方式のVGH/VGL生成回路を有し、

待機状態で、低電力モード２よりも低電力である低電力モード３の時に、液晶表示装置の交流化駆動法をカラム反転駆動法となし、複数フレームに１回、各画素に映像電圧を書き込むゲートスキャン動作を行い、

前記ソースアンプ回路の前記電流調整回路により、前記ソースアンプ回路を流れる電流を、通常動作時に前記ソースアンプ回路を流れる電流より低減し、

前記階調電圧生成回路の最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の前記電流調整回路により、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の動作を停止するとともに、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路の前記電流調整回路により、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路を流れる電流を、通常動作時に前記アンプ回路を流れる電流より低減し、

前記VSP生成回路と前記VSN生成回路のスイッチング周波数を低減し、
前記VGH/VGL生成回路内のスイッチ回路のオン/オフ周期を、通常動作時よりも長くすることを特徴とする請求項７に記載の液晶表示装置。

【請求項９】

前記駆動回路は、前記対向電圧を前記対向電極に供給するコモンアンプ回路を有し、

前記コモンアンプ回路は、自コモンアンプ回路を流れる電流を調整可能な電流調整回路を有し、

待機状態で、低電力モード３よりも低電力である低電力モード４の時に、液晶表示装置の交流化駆動法をカラム反転駆動法となし、複数フレームに１回、各画素に映像電圧を書き込むゲートスキャン動作を行い、

前記ソースアンプ回路の前記電流調整回路により、前記ソースアンプ回路の動作を停止し、前記映像線にGNDの電圧を供給し、

前記階調電圧生成回路の前記複数の階調電圧を出力する前記各アンプ回路の前記電流調整回路により、前記各アンプ回路の動作を停止し、最下位の階調電圧としてGNDの電圧を供給し、

前記VSP生成回路のスイッチング周波数を低減し、

前記VSN生成回路の動作を停止し、

前記VGH/VGL生成回路内のスイッチ回路のオン/オフ周期を、通常動作時よりも長くし、

10

20

30

40

50

前記コモンアンプ回路の前記電流調整回路により、前記コモンアンプ回路の動作を停止し、前記対向電極に GND の電圧を供給することを特徴とする請求項 8 に記載の液晶表示装置。

【請求項 10】

前記複数の画素で構成される表示部の両側に配置され、前記分割された各ブロックの対向電極を選択する第 1 対向電極選択回路と第 2 対向電極選択回路を有し、

前記第 1 対向電極選択回路と第 2 対向電極選択回路は、液晶表示パネルの内部に形成される回路であり、

前記駆動回路は、前記第 1 対向電極選択回路と第 2 対向電極選択回路にアドレス信号を供給することを特徴とする請求項 1 ないし請求項 9 のいずれか 1 項に記載の液晶表示装置。

10

【請求項 11】

前記第 1 対向電極選択回路と第 2 対向電極選択回路は、前記各ブロックの対向電極を選択するアドレスデコード回路と、

前記アドレスデコード回路で選択されたブロックの対向電極に対して前記タッチパネル走査電圧を供給し、前記アドレスデコード回路で選択されないブロックの対向電極に対して前記対向電圧を供給する選択回路とを有することを特徴とする請求項 10 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、液晶表示装置に係わり、特に、タッチパネルを内蔵したインセル方式の液晶表示装置に適用して有効な技術に関する。

【背景技術】

【0002】

表示画面に使用者の指またはペンなどを用いてタッチ操作（接触押圧操作、以下、単にタッチと称する）して情報を入力する装置（以下、タッチセンサ又はタッチパネルとも称する）を備えた表示装置は、PDA や携帯端末などのモバイル用電子機器、各種の家電製品、現金自動預け払い機（Automated Teller Machine）等に用いられている。

このようなタッチパネルとして、タッチされた部分の容量変化を検出する静電容量方式が知られている。

30

この静電容量方式タッチパネルとして、下記特許文献 1 に示すように、タッチパネル機能を液晶表示パネルに内蔵した、所謂、インセル方式の液晶表示装置が知られている。

インセル方式のタッチパネルでは、タッチパネルの走査電極を、液晶表示パネルを構成第 1 基板（TFT 基板ともいう）上に形成される対向電極（コモン電極（CT）ともいう）を分割して使用している。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2009 - 258182 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0004】

タッチパネルを内蔵したインセル方式の液晶表示装置において、液晶表示パネルを駆動する液晶表示パネル用のドライバ IC と、タッチ位置を検出するタッチパネル用のドライバ IC を共通化することにより、部品点数を低減することが可能である。

しかしながら、タッチパネルを内蔵したインセル方式の液晶表示装置において、液晶表示パネル用のドライバ IC と、タッチパネル用のドライバ IC を共通化した場合に、タッチパネル駆動用の電圧は、液晶表示パネル駆動用の電圧と共通化されることになる。

そのため、待機状態でもタッチパネルのタッチ位置検出を行うために、待機状態で液晶

50

表示パネルに「黒」を表示する表示オフ時にも、液晶表示装置での消費電力を低減できないという問題点がある。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、タッチパネル機能を内蔵した液晶表示装置において、待機状態で液晶表示パネルに「黒」を表示する表示オフ時に、液晶表示装置での消費電力を低減することが可能となる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

【0005】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

(1) 第1基板と、第2基板と、前記第1基板と前記第2基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、前記第2基板は、タッチパネルの検出電極を有し、前記第1基板は、前記各画素に映像電圧を供給する複数の映像線を有し、前記各画素は、画素電極と対向電極とを有し、前記対向電極は、複数のブロックに分割されており、前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、前記各映像線に対して前記映像電圧を供給するとともに、前記分割された各ブロックの対向電極に対して対向電圧とタッチパネル走査電圧を供給する駆動回路を有し、前記駆動回路は、前記映像電圧を前記映像線に供給するソースアンプ回路を有し、前記ソースアンプ回路は、自ソースアンプ回路を流れる電流を調整可能な電流調整回路を有し、通常動作時よりも低電力である低電力モード1の時に、前記電流調整回路により、前記ソースアンプ回路を流れる電流を、通常動作時に前記ソースアンプ回路を流れる電流より低減し、低電力モード1よりも低電力である低電力モード2の時に、前記電流調整回路により、前記ソースアンプ回路の動作を停止し、前記映像線にGNDの電圧を供給する。

【0006】

(2) 第1基板と、第2基板と、前記第1基板と前記第2基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、前記第2基板は、タッチパネルの検出電極を有し、前記各画素は、画素電極と対向電極とを有し、前記対向電極は、複数のブロックに分割されており、前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、前記分割された各ブロックの対向電極に対して対向電圧とタッチパネル走査電圧を供給する駆動回路を有し、前記駆動回路は、前記対向電圧を前記対向電極に供給するコモンアンプ回路を有し、前記コモンアンプ回路は、自コモンアンプ回路を流れる電流を調整可能な電流調整回路を有し、通常動作時よりも低電力である低電力モードの時に、前記電流調整回路により、前記コモンアンプ回路の動作を停止し、前記対向電極にGNDの電圧を供給する。

【0007】

(3) 第1基板と、第2基板と、前記第1基板と前記第2基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、前記第2基板は、タッチパネルの検出電極を有し、前記各画素は、画素電極と対向電極とを有し、前記対向電極は、複数のブロックに分割されており、前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、前記分割された各ブロックの対向電極に対して対向電圧とタッチパネル走査電圧を供給する駆動回路を有し、前記駆動回路は、複数の階調電圧を生成する階調電圧生成回路を有し、前記階調電圧生成回路は、前記複数の階調電圧を出力する複数のアンプ回路を有し

10

20

30

40

50

、前記各アンプ回路は、自アンプ回路を流れる電流を調整可能な電流調整回路を有し、通常動作時よりも低電力である低電力モード１の時に、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の前記電流調整回路により、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の動作を停止し、低電力モード１よりも低電力である低電力モード２の時に、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の前記電流調整回路により、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路以外のアンプ回路の動作を停止するとともに、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路の前記電流調整回路により、最上位の階調電圧を出力するアンプ回路と最下位の階調電圧を出力するアンプ回路を流れる電流を、通常動作時に前記アンプ回路を流れる電流より低減し、低電力モード２よりも低電力である低電力モード３の時に、前記複数の階調電圧を出力する前記各アンプ回路の前記電流調整回路により、前記各アンプ回路の動作を停止し、最下位の階調電圧としてＧＮＤの電圧を供給する。

10

20

30

40

50

【０００８】

（４）第１基板と、第２基板と、前記第１基板と前記第２基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、前記第２基板は、タッチパネルの検出電極を有し、前記第１基板は、前記各画素にＶＧＨの選択走査電圧と、ＶＧＬの非選択走査電圧を供給する複数の走査線を有し、前記各画素は、画素電極と対向電極とを有し、前記対向電極は、複数のブロックに分割されており、前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、前記ＶＧＨの電圧と前記ＶＧＬの電圧を出力するとともに、前記分割された各ブロックの対向電極に対して対向電圧とタッチパネル走査電圧を供給する駆動回路を有し、前記駆動回路は、前記ＶＧＨの電圧と前記ＶＧＬの電圧を生成する、チャージポンプ方式のＶＧＨ／ＶＧＬ生成回路を有し、通常動作時よりも低電力である低電力モードの時に、前記ＶＧＨ／ＶＧＬ生成回路内のスイッチ回路のオン／オフ周期を、通常動作時よりも長くする。

【０００９】

（５）第１基板と、第２基板と、前記第１基板と前記第２基板との間に挟持される液晶とを有する液晶表示パネルを備え、マトリクス状に配置された複数の画素を有する液晶表示装置であって、前記第２基板は、タッチパネルの検出電極を有し、前記第１基板は、前記各画素に映像電圧を供給する複数の映像線を有し、前記各画素は、画素電極と対向電極とを有し、前記対向電極は、複数のブロックに分割されており、前記分割された各ブロックの対向電極は、連続する複数の表示ラインの各画素に対して共通に設けられており、前記分割された各ブロックの対向電極は、前記タッチパネルの走査電極を兼用し、前記各映像線に対して前記映像電圧を供給するとともに、前記分割された各ブロックの対向電極に対して対向電圧とタッチパネル走査電圧を供給する駆動回路を有し、前記駆動回路は、前記映像電圧を前記映像線に供給するソースアンプ回路と、前記ソースアンプ回路に、高電位のＶＳＰの電圧を供給するＶＳＰ生成回路と低電位のＶＳＮの電圧を供給するＶＳＮ生成回路とを有し、前記ＶＳＰ生成回路と前記ＶＳＮ生成回路は、スイッチングレギュレータ方式の昇圧回路であり、通常動作時よりも低電力である低電力モード１の時に、前記ＶＳＰ生成回路と前記ＶＳＮ生成回路のスイッチング周波数を低減し、低電力モード１よりも低電力である低電力モード２の時に、前記ＶＳＰ生成回路のスイッチング周波数を低減し、前記ＶＳＮ生成回路の動作を停止する。

【発明の効果】

【００１０】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明のタッチパネル機能を内蔵した液晶表示装置によれば、待機状態で液晶表示パネ

ルに「黒」を表示する表示オフ時に、液晶表示装置での消費電力を低減することが可能となる。

【図面の簡単な説明】

【0011】

【図1】従来例のタッチパネル付き液晶表示装置の概略構成を示す分解斜視図である。

【図2】図1に示すタッチパネルの電極構成を示す平面図である。

【図3】図1に示すタッチパネルの断面構造を示す断面図である。

【図4】タッチパネル内蔵液晶表示装置の概略構成を示す分解斜視図である。

【図5】図4に示すタッチパネル内蔵液晶表示装置における、対向電極と検出電極を説明する図である。

10

【図6】図4に示すタッチパネル内蔵液晶表示装置の表示部の断面の一部を拡大して示す概略断面図である。

【図7】本発明が適用される液晶表示装置の一例の、複数のブロックに分割した対向電極の一例を示す平面図である。

【図8】本発明が適用される液晶表示装置の他の例の、複数のブロックに分割した対向電極の駆動方法を説明するための平面図である。

【図9】図8に示す対向電極選択回路の構成例を示すブロック図である。

【図10】図9に示す選択回路の一例の回路構成を示す回路図である。

【図11】図9に示すアドレスデコード回路の一例の回路構成を示す回路図である。

【図12】タッチパネル内蔵液晶表示装置における、タッチパネル検出時と、画素書込み時の駆動波形を説明するための図である。

20

【図13】タッチパネル内蔵液晶表示装置における、タッチパネル検出時と、画素書込み時のタイミングを説明するための図である。

【図14】本発明の実施例の液晶ドライバICの回路構成を示す図である。

【図15】本発明の実施例の液晶表示装置の主な液晶駆動電圧を示す図である。

【図16】本発明の実施例の液晶表示装置のタッチパネルの電極形状を示す図である。

【図17】本発明の実施例のタッチパネルスキャン動作を説明する図である。

【図18】本発明の実施例の液晶表示装置のシステム状態遷移図である。

【図19】本発明の実施例のソースアンプ回路の回路構成を示す図である。

【図20】本発明の実施例のコモンアンプ回路の回路構成を示す図である。

30

【図21】本発明の実施例の階調電圧生成回路の回路構成を示す図である。

【図22】本発明の実施例のVGH/VGL生成回路の回路構成を示す図である。

【図23】本発明の実施例のVSP/VSN生成回路の回路構成を示す図である。

【図24】本発明の実施例の液晶表示装置において、待機状態で低消費電力化を図る各種調整回路の状態の組み合わせを示す。

【発明を実施するための形態】

【0012】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解釈を限定するためのものではない。

40

図1は、従来例のタッチパネル付き液晶表示装置の概略構成を示す分解斜視図である。

図2は、図1に示すタッチパネルの電極構成を示す平面図である。

図3は、図1に示すタッチパネルの断面構造を示す断面図である。

一般的に、タッチパネルは、図2に示すように、容量検出用の走査電極(TX)と、検出電極(RX)を有する。ここでは、例えば、走査電極(TX)を3本(TX1~TX3)、検出電極(RX)を2本(RX1, RX2)で図示しているが、電極数はこれに限らない。

また、タッチパネルは、図1、図3に示すように、タッチパネル基板41と、タッチパネル基板41上に形成される走査電極(TX)および検出電極(RX)と、走査電極(T

50

X)および検出電極(RX)上に形成される層間絶縁膜42と、層間絶縁膜42上に形成され、走査電極(TX)同士を電氣的に接続する接続部(STX)と、前記接続部(STX)上に形成される保護膜43と、前記保護膜43上に配置されるフロントウィンドウ(又は、保護フィルム)44と、前記タッチパネル基板41の液晶表示パネル側に形成されるシールド用の透明電極(例えば、ITO(Indium Tin Oxide)膜で形成される電極)45とで構成される。

従来のタッチパネルでは、タッチパネル制御IC(DRT)により、各走査電極(TX)を5V~10V程度の電圧でパルス駆動を行い、タッチパネル制御IC(DRT)において、検出電極(RX)での電圧変化を検出し、タッチ位置の検出を行う。即ち、指等により走査電極(TX)と検出電極(RX)との間の容量値が変化し、走査電極(TX)をパルス駆動した際に、検出電極(RX)で検出される電圧変動が変化することから、検出電極(RX)の電圧を測定することによりタッチ位置を検出することができる。

10

【0013】

タッチパネルは、液晶表示パネルの前面に設置される。従って、液晶表示パネルに表示された画像を使用者が見る場合には、表示画像がタッチパネルを透過する必要があるため、タッチパネルは光透過率が高いことが望ましい。

液晶表示パネルは、図1に示すように、第1基板(SUB1;以下、TFT基板という)、第2基板(SUB2;以下、CF基板という)と、TFT基板(SUB1)とCF基板(SUB2)との間に挟持される液晶(図示せず)とを有する。

また、TFT基板(SUB1)は、CF基板(SUB2)よりも大きな面積を有し、TFT基板(SUB1)の、CF基板(SUB2)と対向しない領域には、液晶ドライバIC(DRV)が実装され、さらに、当該領域の一辺の周辺部には、メインフレキシブル配線基板(MFPC)が実装される。

20

なお、図1において、CTは対向電極(共通電極ともいう)、TFPCはタッチパネル用フレキシブル配線基板、CDは裏面側透明導電膜、52は接続部材、53は接続用フレキシブル配線基板である。

IPS方式の液晶表示パネルは、TN方式の液晶表示パネルやVA方式の液晶表示パネルのように、カラーフィルタが設けられる基板上に対向電極(CT)が存在しない。そのため、表示ノイズを低減する等の理由により、カラーフィルタが設けられる基板上に、例えばITOなどの透明導電膜で構成される裏面側透明導電膜(CD)が形成されている。

30

【0014】

図4は、液晶表示パネルの内部にタッチパネルを内蔵したタッチパネル内蔵液晶表示装置の概略構成を示す分解斜視図である。

図4において、2はTFT基板、3はCF基板と、21は対向電極(共通電極ともいう)、5は液晶ドライバIC、MFPCはメインフレキシブル配線基板、40はフロントウィンドウ、53は接続用フレキシブル配線基板である。

図4に示す液晶表示装置では、CF基板3上の裏面側透明導電膜(CD)を、帯状のパターンに分割して、タッチパネルの検出電極(RX)31となし、TFT基板2の内部に形成される対向電極21を帯状のパターンに分割、即ち、複数のブロックに分割して、タッチパネルの走査電極(TX)として兼用することにより、タッチパネル基板(図1の41)を削減している。そのため、図4に示す液晶表示装置では、図1に示すタッチパネル制御IC(DRT)の機能が、液晶ドライバIC5の内部に設けられる。

40

【0015】

次に、図5を用いて、図4に示す液晶表示装置の対向電極21と検出電極31について説明する。

前述したように、対向電極21はTFT基板2上に設けられているが、複数本の(例えば20本程度)対向電極21が両端で共通に接続され、対向電極信号線22と接続されている。

図5に示す液晶表示装置では、束状の対向電極21が走査電極(TX)を兼用し、また、検出電極31が検出電極(RX)を構成する。

50

したがって、対向電極信号には、画像表示に用いられる対向電圧と、タッチ位置の検出に用いられるタッチパネル走査電圧とが含まれる。タッチパネル走査電圧が対向電極 2 1 に印加されると、対向電極 2 1 と一定の間隔を持って配置され容量を構成する検出電極 3 1 に検出信号が生じる。この検出信号は検出電極用端子 3 6 を介して外部に取り出される。

なお、検出電極 3 1 の両側にはダミー電極 3 3 が形成されている。検出電極 3 1 は一方の端部でダミー電極 3 3 側に向かい広がり T 字状の検出電極用端子 3 6 を形成している。また、T F T 基板 2 には対向電極信号線 2 2 以外にも駆動回路用入力端子 2 5 のような様々な配線、端子等が形成される。

【 0 0 1 6 】

図 4 に示す液晶表示装置における、表示部の断面の一部を拡大した概略断面図を図 6 に示す。

図 6 に示すように T F T 基板 2 には画素部 2 0 0 が設けられており、対向電極 2 1 は画素の一部として画像表示に用いられる。また、T F T 基板 2 と C F 基板 3 との間には液晶組成物 4 が挟持されている。C F 基板 3 に設けられた検出電極 3 1 と T F T 基板に設けられた対向電極 2 1 とは容量を形成しており、対向電極 2 1 に駆動信号が印加されると検出電極 3 1 の電圧が変化する。

この時、図 6 に示すように、フロントウィンドウ 4 0 を介して指 5 0 2 等の導電体が近接または接触すると、容量に変化が生じ検出電極 3 1 に生じる電圧に、近接・接触が無い場合に比較して変化が生じる。

このように、液晶表示パネルに形成した対向電極 2 1 と検出電極 3 1 との間に生じる容量の変化を検出することで、液晶表示パネルにタッチパネルの機能を備えることが可能となる。

【 0 0 1 7 】

図 7 は、本発明が適用される液晶表示装置の一例の、複数のブロックに分割した対向電極の一例を示す平面図である。図 7 において、S U B 1 は T F T 基板、D R V は液晶ドライバ I C、C T 1 ~ C T 2 0 は帯状のパターンに分割された各ブロックの対向電極、D L は映像線、C T L は対向電極配線、G E S は液晶表示パネルに内蔵された走査線駆動回路、G T L は走査線駆動回路信号配線、T A M はメインフレキシブル配線基板 (M F P C) と接続される端子部、A R はマトリクス状に配置された複数の画素で構成される表示部である。

図 7 に示す例では、走査線駆動回路 (G E S) として、a - S i 単チャンネル回路構成の駆動回路、あるいは、半導体層に n 型のポリシリコン層を使用する、p - S i 単チャンネル回路構成の駆動回路が使用される。

静電容量方式のタッチパネルでは、指等による静電容量の変化を検出するため、交流駆動を行うタッチパネル用の走査電極 (T X) の幅は約 4 ~ 5 m m 程度の幅があることが望ましい。そのため、液晶表示パネルの大型化により走査電極 (T X) の本数は増加する。

図 7 に示す例では、1 2 8 0 表示ラインの対向電極 (C T) を、C T 1 ~ C T 2 0 の 2 0 ブロック (1 ブロックは 6 4 表示ラインの対向電極で構成される) に分割しており、対向電極配線 (C T L) は左右に各 2 0 本必要となる。

各ブロックの対向電極 (C T 1 ~ C T 2 0) は、表示動作において寄生容量により電圧変動した場合は画質悪化を引き起こす。そのため、各々のブロックの対向電極 (C T 1 ~ C T 2 0) と、液晶ドライバ I C (D R V) とを接続する対向電極配線 (C T L) の抵抗値を下げる必要がある。また、走査線駆動回路 (G E S) 上にも配線があるため、対向電極配線 (C T L) を走査線駆動回路 (G E S) 上に配線することはできない。

そのため、対向電極配線 (C T L) は、走査線駆動回路 (G E S) より対向電極 (C T) 側に配置する。

【 0 0 1 8 】

図 8 は、本発明が適用される液晶表示装置の他の例の、複数のブロックに分割した対向電極の駆動方法を説明するための平面図である。

10

20

30

40

50

図 8 に示す液晶表示装置は、20 ブロックに分割した各々の対向電極 (CT1 ~ CT20) を、アドレスデコード方式により選択する対向電極選択回路 (CTSC) を、液晶表示パネルの内部に内蔵した点で、図 7 に示す液晶表示装置と相違する。

図 8 では、対向電極選択回路 (CTSC) として、CMOS 回路構成の駆動回路が使用される。

20 ブロックに分割した対向電極 (CT1 ~ CT20) の選択方法をアドレスデコード方式とすることにより、低抵抗が必要となる配線は、対向電極 (CT1 ~ CT20) に供給する対向電圧 (Vcom) の配線 (LVcom) と、タッチパネル走査電圧 (Vstc) の配線 (LVstc) の 2 本となる。

本実施例では、タッチパネル走査電圧 (Vstc) は、対向電圧 (Vcom) に対して、5 ~ 10 V 高い電圧を直流で供給し、アドレス信号線 (Saddress) を介して供給されるアドレス信号 (address) により走査箇所の選択を行い、タッチパネル走査信号 (STC) に従い、走査電極 (TX) を兼ねる、選択されたブロックの対向電極 (CT) に対して、対向電圧 (Vcom)、あるいは、タッチパネル走査電圧 (Vstc) を切り替えて出力する。

対向電極 (CT) の分割数が増加した場合でも、増加する配線は、アドレス信号線 (Saddress) のみであり、液晶表示パネルの左右の額縁の増加を抑制したまま、タッチパネル走査電極として使用する対向電極の分割数を増加させることが可能となる。

【0019】

図 9 は、図 8 に示す対向電極選択回路 (CTSC) の構成例を示すブロック図である。

図 9 に示すように、対向電極選択回路 (CTSC) は、DEC1 ~ DEC20 のアドレスデコーダ回路と、SCH1 ~ SCH20 の選択回路で構成されている。

図 8 に示す液晶表示装置では、タッチパネルの走査電極 (TX) が 5 mm ピッチとなるように、64 表示ライン分の対向電極 (CT) を、液晶表示パネルの内部で電氣的に接続して 1 つのブロックとし、1280 の表示ラインを 20 分割する。そして、当該 20 分割された対向電極 (CT1 ~ CT20) と、アドレスデコーダ回路 (DEC1 ~ DEC20) とを、1 対 1 で割りつけている。分割数が、20 ブロックであるため、アドレス信号線 (Sadd) は 5 bit の 5 本が必要となる。

アドレス信号 (address) により選択された、1 ブロックの対向電極、即ち、64 表示ライン分の対向電極 (CT) が、タッチパネル走査信号 (STC) により交流駆動を行い、その他の対向電極 (CT) は対向電圧を出力する。

【0020】

図 10 は、図 9 に示す選択回路 (SCH1 ~ SCH20) の一例の回路構成を示す回路図である。

図 10 に示す選択回路は、アドレスデコーダ回路 (DEC1 ~ DEC20) の出力 (ODEC) と、インバータ (INV1) で反転されたタッチパネル走査信号 (STC) の反転信号とを、ノア回路 (NOR1) に入力し、当該ノア回路 (NOR1) の出力をインバータ (INV2) で反転して、スイッチ回路 (SW) に入力することにより、タッチパネル走査電圧 (Vstc)、あるいは、対向電圧 (Vcom) を選択して各ブロックの対向電極 (CT1 ~ CT20) に出力する。

これにより、アドレスデコーダ回路 (DEC1 ~ DEC20) の一つが選択された場合、タッチパネル走査信号 (STC) に従い、各ブロックの対向電極に、タッチパネル走査電圧 (Vstc) と、対向電圧 (Vcom) とを切り替えて出力する。

即ち、図 8 に示す選択回路では、アドレスデコーダ回路 (DEC1 ~ DEC20) の出力 (ODEC) が、Low レベル (以下、L レベル)、および、タッチパネル走査信号 (STC) が High レベル (以下、H レベル) のときに、ノア回路 (NOR1) の出力が H レベルとなるので、スイッチ回路 (SW) は、タッチパネル走査電圧 (Vstc) を選択し、タッチパネル走査信号 (STC) が L レベル、あるいは、アドレスデコーダ回路 (DEC1 ~ DEC20) の出力 (ODEC) が、H レベルのときに、ノア回路 (NOR1) の出力が L レベルとなるので、スイッチ回路 (SW) は、対向電圧 (Vcom) を選択

10

20

30

40

50

する。

【0021】

図11は、図7に示すアドレスデコーダ回路（DEC1～DEC20）の一例の回路構成を示す回路図である。

図11に示すように、アドレスデコーダ回路（DEC1～DEC20）には、5個のアドレス信号（address）の各々について、アドレス信号、あるいは、アドレス信号をインバータ（INV）で反転した反転信号が入力され、5個のアドレス信号（address）と5個のアドレス信号（address）の反転信号の組み合わせに基づきデコードする。

図11に示すアドレスデコーダ回路では、アドレスデコーダ回路に入力された5個のアドレス信号（address）と5個のアドレス信号（address）の反転信号の中の所定の組み合わせのアドレス信号（add）をナンド回路（NAND1，NAND2）に入力し、当該ナンド回路（NAND1，NAND2）の出力を、ノア回路（NOR2）に入力し、当該ノア回路（NOR2）の出力をインバータ（INV3）で反転して、アドレスデコーダ回路の出力（DECO）としている。したがって、図11に示すアドレスデコーダ回路では、アドレス信号の組み合わせが、自アドレスデコーダ回路に設定されたアドレス信号の組み合わせと一致するときに、Lレベルの電圧が、アドレスデコーダ回路の出力（DECO）として出力され、アドレス信号の組み合わせが、自アドレスデコーダ回路に設定されたアドレス信号の組み合わせと一致しないときに、Hレベルの電圧が、アドレスデコーダ回路の出力（DECO）として出力される。

【0022】

図12は、タッチパネル内蔵液晶表示装置における、タッチパネルのタッチ位置検出時と、画素書込み時の駆動波形を説明するための図である。

図12のAは、20ブロックに分割された対向電極のうち、11番目のブロックとなる641～704表示ラインの対向電極（CT11）に供給されるタッチパネル走査電圧（Vstc）の電圧波形を示している。また、図12のBは、奇数列の映像線（DL）に供給される映像電圧の波形を、図12Cは、偶数列の映像線（DL）に供給される映像電圧の波形を、図12のDは、641番目の走査線（GL）を介して、641表示ラインの薄膜トランジスタのゲート電極に供給されるゲート信号（選択走査電圧）を示している。さらに、T1は、タッチ位置検出期間、T2は画素書込み期間を示している。

タッチ位置検出期間（T1）は、表示への影響を防止するため、画素書込み期間（T2）以外の期間に設定される。また、タッチ位置検出期間（T1）において、検出感度を増加させるために、同一箇所の走査電極（TX）で複数回のスキャン、即ち、図12では、11番目のブロックの対向電極（CT11）に、複数回タッチパネル走査電圧（Vstc）が供給される。また、画素書き込み期間（T2）内には、11番目のブロックの対向電極（CT11）には、タッチパネル走査電圧（Vstc）が供給されず、対向電圧（Vcom）が供給される。

【0023】

図13は、タッチパネル内蔵液晶表示装置における、タッチパネルのタッチ位置検出時と、画素書込み時のタイミングを説明するための図である。

図13のAは、1フレームの画素書込み期間（T4）に、1番目の表示ラインから1280表示ラインまでの画素書込みタイミングを示し、図13のBが、20ブロックに分割された各ブロックの対向電極（CT1～CT20）におけるタッチパネルのタッチ位置検出タイミングを示す。

図13に示すように、任意の表示ラインの対向電極を走査電極（TX）として機能させ、タッチ位置検出時のスキャン動作は、画素書き込みを行うゲートスキャンとは異なる箇所で行う。なお、図13において、T3は帰線期間、VSYNCは垂直同期信号、HSYNCは水平同期信号を示す。

【0024】

図14は、本発明の実施例の液晶ドライバIC（DRV）の回路構成を示す図である。

図 14 に示すように、本実施例の液晶ドライバ IC (DRV) は、液晶表示パネルを駆動するための走査線駆動回路制御回路 101 と、ソースアンプ回路 102 と、階調電圧生成回路 103 と、VGH/VGL 生成回路 108 と、VSP/VSN 生成回路 107 と、タッチパネル制御機能として、今まで専用の半導体チップに搭載されていた TX 制御回路 104 と、コモンアンプ回路 105 と、RX 検出回路 106 を同一の半導体チップに搭載している。なお、図 14 において、109 と 110 は外付け部品である。

そして、TX 制御回路 104 と、コモンアンプ回路 105 と、RX 検出回路 106 の電源は、半導体チップの回路規模の最適化のため、液晶表示パネルを駆動するために使用する各種電圧生成回路の電圧を共有化する構成となっている。

【0025】

図 15 に、本実施例の液晶表示装置の主な液晶駆動電圧の内訳を示す。図 15 (a) は、通常表示時の液晶駆動電圧を、図 15 (b) は、「黒」表示時の液晶駆動電圧を示す。

図 15 (a)、(b) において、VGH は、液晶表示パネルの走査線に供給され、画素の薄膜トランジスタ (TFT) をオンするための電圧、VGL は、液晶表示パネルの走査線に供給され、画素の薄膜トランジスタ (TFT) をオフするための電圧である。

VDL は、ソースアンプ回路 102 から出力される、液晶表示パネルの映像線 (DL) に供給される映像電圧である。

Vcom は、対向電極 (CT) に供給される対向電圧であり、本実施例の液晶表示装置では、交流化駆動法として、ドット反転駆動法、およびカラム反転駆動法を採用しているため、タッチ位置検出時のスキャン動作以外期間に、対向電極 (CT) に供給される対向電圧 (Vcom) は一定の電圧となる。

Vstc は、タッチ位置検出時のスキャン動作の期間に、選択された対向電極 (CT) に供給されるタッチパネル走査電圧である。

VSP/VSN は、ソースアンプ回路 102 の電源電圧あり、ソースアンプ回路 102 の出力電圧を生成するために必要な電圧である。

前述したように、タッチパネルのタッチ位置検出時のスキャン動作は、画素書き込みを行うゲートスキャンとは異なる箇所、対向電極 (CT) を走査電極 (TX) として機能させ、対向電極 (CT) にタッチパネル走査電圧 (Vstc) を供給し、そのタイミングに同期して、RX 検出回路 106 において、検出電極 (RX) で検出される検出電圧の変化を検出することにより、タッチパネル機能を実現している。

図 15 (b) に示す「黒」表示時の液晶駆動電圧は、ソースアンプ回路 102 から出力される映像電圧 (VDL) 以外は、図 15 (a) と同じであるが、「黒」表示時の映像電圧は、コモン電圧 (Vcom) に対して振幅が最小となる。

【0026】

図 16 は、本実施例の液晶表示装置のタッチパネルの電極形状を示す図である。

図 16 の走査電極 (TXn) は、図 7、図 8 に示す分割された対向電極 (CT1 ~ CT20) に対応し、検出電極 (RXn) は、図 4 に示す検出電極 31 に対応する。

図 18 に、本実施例の液晶表示装置のシステム状態遷移図を示す。

図 18 に示す通常動作時では、液晶表示パネルに通常の画像を表示し、図 15 (a) に示す電圧関係で液晶表示パネルを駆動する。

また、通常動作時には、図 17 の (a) に示すように、各フレーム毎に、タッチパネル走査電圧 (Vstc) を出力して、タッチパネルのタッチ位置検出のスキャン動作を行い、タッチパネル機能を常に動作させる。なお、図 17 において、FLM はフレームである。

図 18 に示すように、ホストからのレジスタ設定で待機状態とした場合、液晶表示パネルに、「黒」の画像を表示する。また、図 17 の (b) に示すように、タッチパネル走査電圧 (Vstc) を各フレーム毎に供給するのではなく、間引きして複数フレーム (FLM) に 1 回出力して、タッチパネルのタッチ位置検出のスキャン動作を行い、消費電力を低減する。

タッチパネルと、液晶表示パネルが、別体の別半導体チップによる制御の場合は、「黒

10

20

30

40

50

」表示は非表示（非動作）となり電力は理想的に 0 となる。

しかしながら、本実施例のシステム構成では、タッチパネル機能の電圧は表示用駆動電圧と共通化されているため、待機状態の「黒」表示でも、タッチパネル機能を動作させるために、液晶表示装置を駆動するための各種電圧生成回路を動作させておく必要がある。

【0027】

そこで、本実施例の液晶ドライバ IC（DRV）では、「黒」表示の電力を低減するため、以下に説明する各種電圧生成回路の調整、停止の組み合わせを実施し低電力化を実現する。

図 19 に、本実施例のソースアンプ回路 102 の回路構成を示す。

図 19 に示すように、本実施例のソースアンプ回路 102 では、アンプ回路（ボルテージホロワ回路；AMPD）に、レジスタ設定で電流が調整可能な機能を持つ電流調整回路（VDIO）を接続し、電流調整回路（VDIO）から出力される電流を、通常動作時に比して低電流とすることにより、アンプ回路（AMPD）を流れる電流を少なくして低消費電力化を図る。また、電流調整回路（VDIO）は停止も可能であり、停止時は、スイッチ回路（SWD）により、接地電圧（GND）を出力する。

図 20 に、本実施例のコモンアンプ回路 105 の回路構成を示す。

図 20 に示すように、本実施例のコモンアンプ回路 105 では、アンプ回路（ボルテージホロワ回路；AMPC）に、レジスタ設定で電流が調整可能な機能を持つ電流調整回路（VCI0）を接続し、電流調整回路（VCI0）から出力される電流を、通常動作時に比して低電流とすることにより、アンプ回路（AMPC）を流れる電流を少なくして低消費電力化を図る。また、電流調整回路（VDIO）は停止も可能であり、停止時は、スイッチ回路（SWC）により、接地電圧（GND）を出力する。

【0028】

図 21 に、本実施例の階調電圧生成回路 103 の回路構成を示す。なお、図 21 は、正極性の階調電圧を生成する階調電圧生成回路のみを図示しており、実際には、負極性の階調電圧を生成する階調電圧生成回路も設けられる。

図 21 に示すように、本実施例の階調電圧生成回路 103 では、レジスタ設定で抵抗値が可変な階調電圧生成抵抗（VR）に対し、液晶に印加する階調電圧（映像電圧）として出力されるポイントにアンプ回路（AMPR1～AMPR3）を配置する。

このアンプ回路（AMPR1～AMPR3）には、レジスタ設定で電流が調整可能な機能を持つ電流調整回路（VR1IO～VR3IO）を接続し、電流調整回路（VR1IO～VR3IO）から出力される電流を、通常動作時に比して低電流とすることにより、アンプ回路（AMPR1～AMPR3）を流れる電流を少なくして低消費電力化を図る。また、電流調整回路（VR1IO～VR3IO）は停止も可能であり、停止時は、スイッチ回路（SWR1～SWR3）により、接地電圧（GND）を出力する。

図 22 に、本実施例の VGH/VGL 生成回路 108 の回路構成を示す。

図 22 に示す VGH/VGL 生成回路 108 は、外付け回路（図 14 の 109）に容量素子（C1～C3）のみを使用して、外部から入力される 3V 程度の低電圧から複数の外付けの容量素子（C1～C3）を、SW1 のスイッチ回路と、SW2 のスイッチ回路とを交互にスイッチングして高電圧を得るチャージポンプタイプの昇圧回路である。

図 22 に示す回路は、ある 1 レベルの電圧を生成するための構成であり、複数のレベルの電圧を生成する場合は、図 22 に示す回路を複数用意することになる。

電流供給能力に関しては、レジスタ設定により、スイッチ回路（SW1）や、スイッチ回路（SW2）の切り替え周期を、調整回路 121 によって調整可能とし、電流能力を調整可能としている。

【0029】

図 23 に、本実施例の VSP/VSN 生成回路 107 の回路構成を示す。

この回路は、図 22 の回路構成で電流能力不足となる 6V 程度の電圧生成回路に使用される回路である。

図 23 は、VSP 電圧のみを生成する回路構成の例で、VSN 電圧生成時は同様の回路

10

20

30

40

50

構成がもう1セット必要となる。

外付け回路110は、図23に示すように、インダクタ(L)、ショットキーダイオード(D)、コンデンサ(C)、MOSトランジスタ(TR)で構成される。MOSトランジスタ(TR)のゲートオン・オフ制御は、PWM生成回路131により、パルスの周波数固定で、パルスのハイ幅、ロウ幅を制御する方式である。このパルスの周波数は、レジスタ設定で調整可能な周期調整回路132を内蔵する。

図23では、MOSトランジスタ(TR)のスイッチングにより生じるインダクタ(L)のエネルギーは、ショットキーダイオード(D)で整流されて、一定の電圧を得ることができる。この一定の電圧をコンデンサ(C)に保持してVSP電圧を生成する。

コンデンサ(C)に保持されたVSP電圧を、電圧コンパレータ回路133で目標電圧となるリファレンス電圧と比較し、この出力結果によりPWM生成回路131で、パルスのハイ幅、ロウ幅を制御して、VSP電圧として一定電圧を保持する。

【0030】

図24に、本実施例の液晶表示装置において、待機状態で低消費電力化を図る各種調整回路の状態の組み合わせを示す。

まず、図18に示す通常動作時では、液晶表示装置の駆動において、ドット反転駆動法などにより、液晶表示パネルに通常の画像を表示するために、図15(a)に示す液晶駆動電圧を使用して駆動する必要があるため、各種電圧生成回路の電流能力は電力が最小になるように最適化されているものの極端に能力を絞ることはしていない。

一方で、図18に示す待機状態として、液晶表示パネルに表示状態として「黒」をする場合には、図15(b)に示すように、ソースアンプ回路102から出力される映像電圧(VDL)が、コモン電圧(Vcom)に対して電位差がなく、液晶への充放電電流が少ない状態となる。よってこの状況に合わせて低電力化を図る。

まず、低電力モード1として、交流化駆動方法を、ドット反転駆動法から、カラム反転駆動法(または、列毎反転駆動法)として、液晶の充放電電流を1フレームに一回として電流を低減する。

この際に、液晶表示パネルに「黒」しか表示されないため、階調電圧生成回路103では必要最低限のアンプ回路を動作させればよい。よって、6VとGNDの電圧に近いアンプ回路(AMP R1, AMP R3)のみを動作させ、それ以外の中間の電圧のアンプ回路を停止して低電力化を図る。

次の案の低電力モード2では、低電力モード1に加えて、ソースアンプ回路102で必要となる充放電電流が少ないため、ソースアンプ回路102の電源電圧となっているVSP/VSNでは電流能力を低減することができる。よって、VSP/VSN生成回路107のPWM生成回路131のパルス周期を、周期調整回路132により、長くして電流能力を絞り低電力化とする。

また、これに加えて、ソースアンプ回路102と、2個しか動いていない階調電圧生成回路103のアンプ回路(AMP R1, AMP R3)も電流量を最小に調整し、低電力化を図る。

【0031】

さらに、次の案の低電力モード3では、低電力モード2に加えて、液晶表示パネルのゲートスキャンを、1フレーム毎から、間引きして、nフレームに一回として、走査線駆動回路(GES)での電力を低減し、VGH/VGL生成回路108の調整回路121により、スイッチ回路(SW1)、スイッチ回路(SW2)の切り替え周期を長くして、さらなる低電力化を図る。

そして、最後の低電力モード4では、低電力モード3に加えて、ソースアンプ回路102、および階調電圧生成回路103のアンプ回路を停止して、スイッチ回路(SWD, SW R3)により、GND電圧を出力とし、さらに、コモンアンプ回路105も停止して、コモンアンプ回路105の出力もGND電圧とする。

これにより、画素に印加される電圧で、負電圧がなくなるためVSN生成回路も停止状態として、電流を削減する。VSP生成回路に関しては、タッチ位置検出時に、タッチパ

10

20

30

40

50

ネル走査電圧（ V_{stc} ）を出力する必要があるため動作させる。

これらの組み合わせによりタッチパネル機能及び液晶駆動を行う一体ドライバＩＣで低消費電力化を図る。なお、図２４の組み合わせは一例であり、他の組み合わせでも実現可能である。

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【符号の説明】

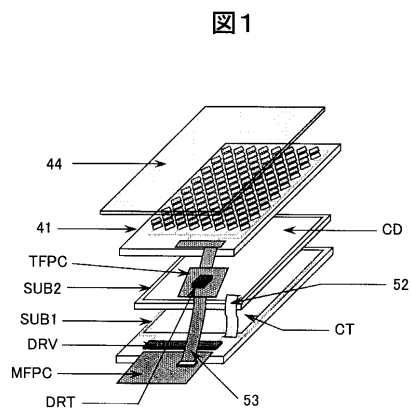
【００３２】

２，SUB１	第１基板	10
３，SUB２	第２基板	
４	液晶組成物	
５，DRV	液晶ドライバＩＣ	
２１，CT，CT１～CT２０	対向電極	
２２	対向電極信号線	
２５	駆動回路用入力端子	
３１	検出電極	
３３	ダミー電極	
３６	検出電極用端子	
４０，４４	フロントウィンドウ（又は、保護フィルム）	20
４１	タッチパネル基板	
４２，PAS１，PAS２	層間絶縁膜	
４３	保護膜	
４５	シールド用の透明電極	
５２	接続部材	
５３	接続用フレキシブル配線基板	
１０１	走査線駆動回路制御回路	
１０２	ソースアンプ回路	
１０３	階調電圧生成回路	
１０４	TX制御回路	30
１０５	コモンアンプ回路	
１０６	RX検出回路	
１０７	VSP/VSN生成回路	
１０８	VGH/VGL生成回路	
１０９，１１０	外付け部品	
１２１	調整回路	
１３１	PWM生成回路	
１３２	周期調整回路	
１３３	電圧コンパレータ	
２００	画素部	40
５０２	指	
TR	MOSトランジスタ	
L	インダクタ	
D	ダイオード	
C，C１，C２，C３	コンデンサ	
VR	階調電圧生成抵抗	
TX	タッチパネルの走査電極	
RX	タッチパネルの検出電極	
AR	表示領域	
DRT	タッチパネル制御ＩＣ	50

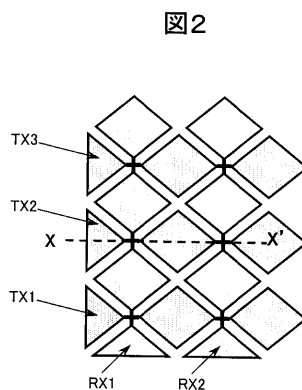
MFPC メインフレキシブル配線基板
 TFPC タッチパネル用フレキシブル配線基板
 GES 走査線駆動回路
 CTSC 対向電極選択回路
 CTL 対向電極配線
 LVcom, LVstc 配線
 CD 裏面側透明導電膜
 DEC1 ~ DEC20 アドレスデコーダ回路
 SCH1 ~ SCH20 選択回路
 INV1 ~ INV3 インバータ
 NOR1, NOR2 ノア回路
 NAND1, NAND2 ナンド回路
 SW, SW1, SW2, SWD, SWC, SWR1 ~ SWR3 スイッチ回路
 STX 接続部
 TAM メインフレキシブル配線基板 (MFPC) と接続される端子部
 AMPD, AMPC, AMPR1 ~ AMPR3 アンプ回路
 VDIo, VCIo, VR1Io ~ VR3Io 電流調整回路

10

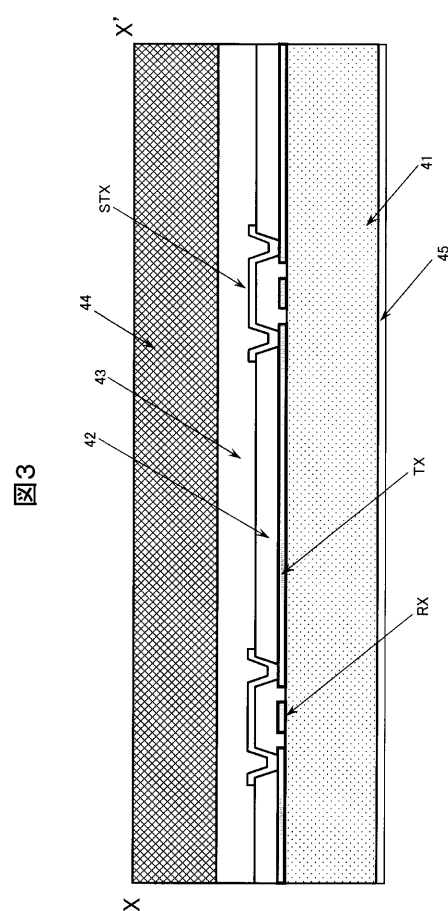
【図1】



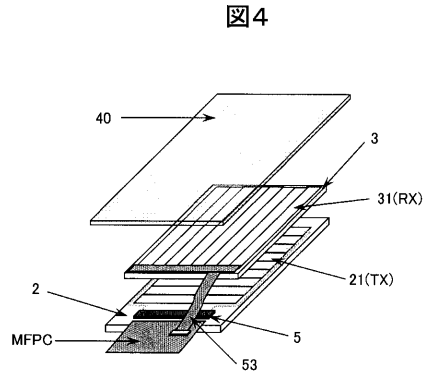
【図2】



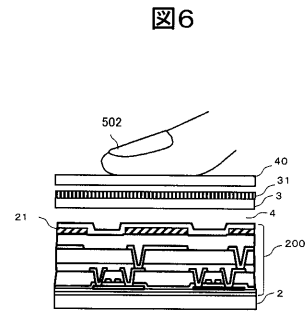
【図3】



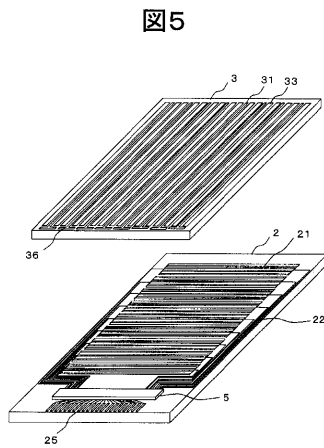
【 図 4 】



【 図 6 】

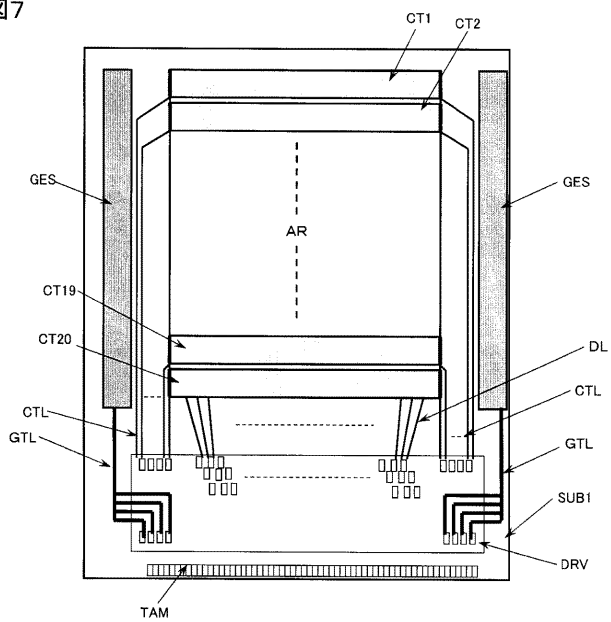


【 図 5 】



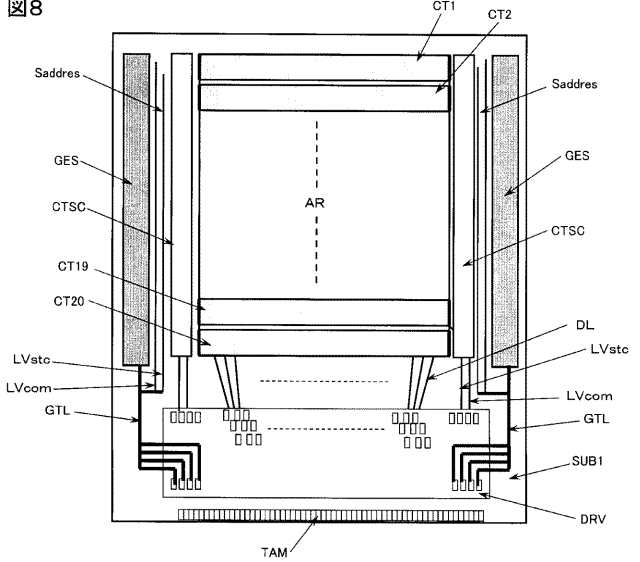
【 図 7 】

図7



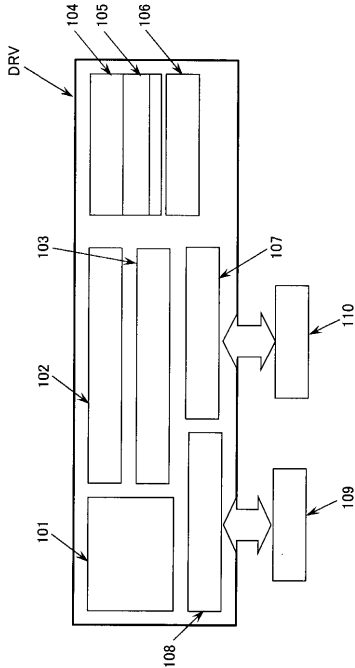
【 図 8 】

図8



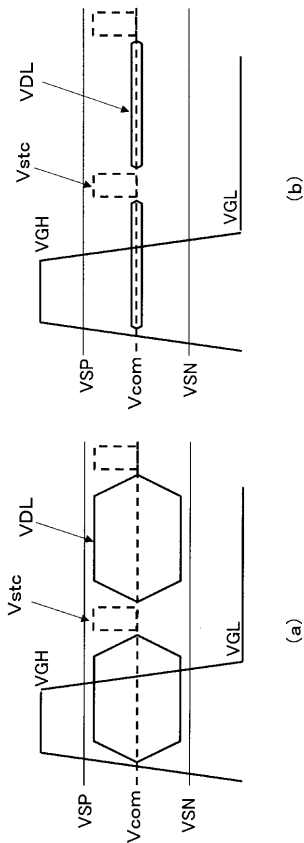
【 図 1 4 】

図 14



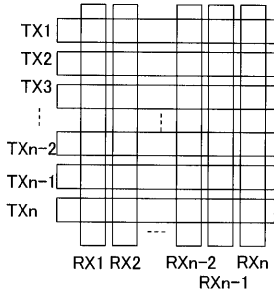
【 図 1 5 】

図 15



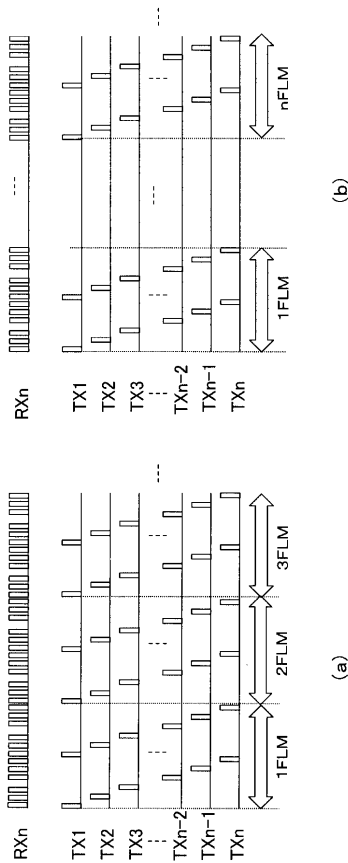
【 図 1 6 】

図 16



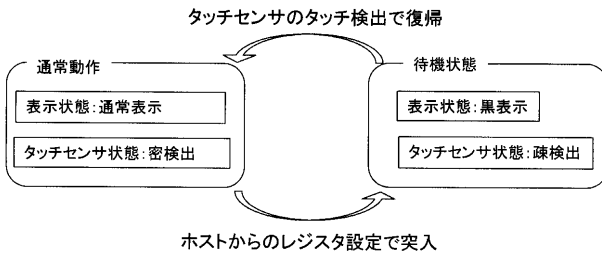
【 図 1 7 】

図 17



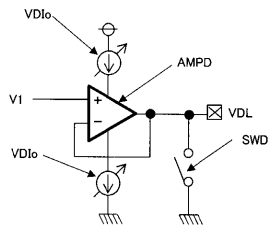
【図 18】

図18



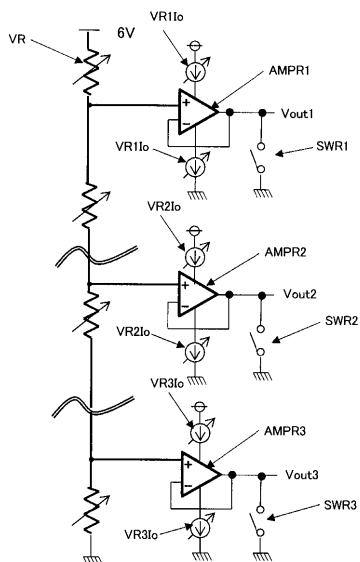
【図 19】

図19



【図 21】

図21



【図 22】

図22

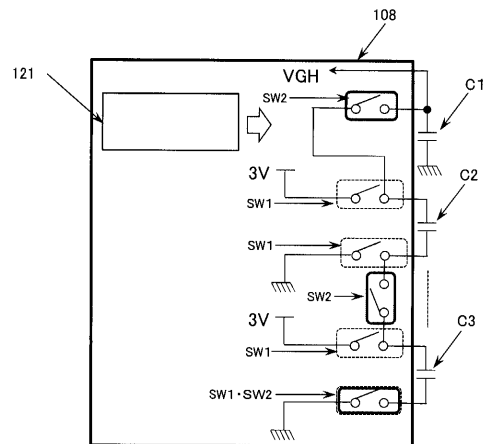
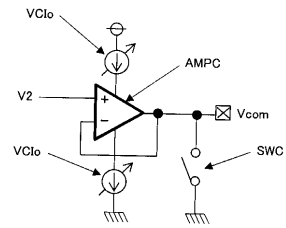
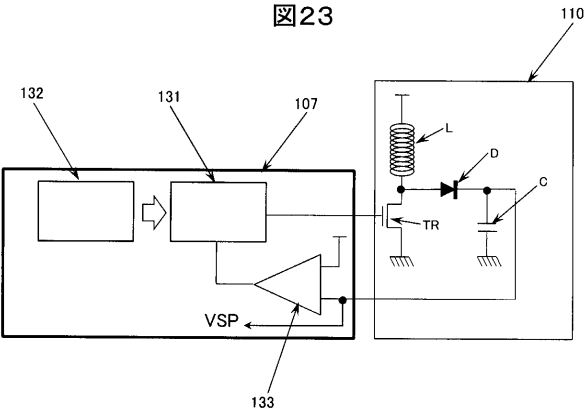


図20



【図 23】



【図 24】

図24

大別	項目	通常仕様	低電力モード1	低電力モード2	低電力モード3	低電力モード4	備考
駆動	ドット反転	○	○	○	○	○	
	カラム反転	○	○	○	○	○	
	行反転	○	○	○	○	○	
	VSP/VSN	通常仕様	通常仕様	通常仕様	通常仕様	通常仕様	
VGH/VGL	VGH/VGL	通常仕様	通常仕様	通常仕様	通常仕様	通常仕様	
	ソースアンプ回路	通常仕様	通常仕様	通常仕様	通常仕様	通常仕様	
	ソースアンプ回路	通常仕様	通常仕様	通常仕様	通常仕様	通常仕様	
	ソースアンプ回路	通常仕様	通常仕様	通常仕様	通常仕様	通常仕様	
アンプ	ソースアンプ回路	通常仕様	通常仕様	通常仕様	通常仕様	通常仕様	
	ソースアンプ回路	通常仕様	通常仕様	通常仕様	通常仕様	通常仕様	
	ソースアンプ回路	通常仕様	通常仕様	通常仕様	通常仕様	通常仕様	
	ソースアンプ回路	通常仕様	通常仕様	通常仕様	通常仕様	通常仕様	

 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 1 2 F
G 0 9 G	3/20	6 1 1 G
G 0 9 G	3/20	6 1 2 D
G 0 9 G	3/20	6 1 1 F
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 1 1 B
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 1 K
G 0 2 F	1/133	5 3 0
G 0 6 F	3/041	3 2 0 B
G 0 6 F	3/041	3 2 0 D

F ターム(参考) 5C006 AC07 AC25 AC27 AF52 AF68 AF69 BB16 BC03 BC06 BC20
 BF25 BF42 BF43 BF46 EC05 FA04 FA47 FA48
 5C080 AA10 BB05 DD26 FF11 GG11 JJ02 JJ03 JJ04 JJ06 KK07
 KK30 KK42

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013250361A	公开(公告)日	2013-12-12
申请号	JP2012123908	申请日	2012-05-31
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	長尾将志		
发明人	長尾 将志		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G06F3/041		
CPC分类号	G06F1/3262 G06F1/3265 G06F3/0412 G06F3/0445 G06F3/0446 Y02D10/153 Y02D50/20 G06F3/044 G06F3/047 G09G3/3696 G09G2300/0426 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.680.H G09G3/20.691.D G09G3/20.612.G G09G3/20.624.D G09G3/20.624.E G09G3/20.612.F G09G3/20.611.G G09G3/20.612.D G09G3/20.611.F G09G3/20.611.A G09G3/20.611.B G09G3/20.621.B G09G3/20.621.K G02F1/133.530 G06F3/041.320.B G06F3/041.320.D G06F3/041.412 G06F3/041.570 G06F3/044.126		
F-TERM分类号	2H193/ZA04 2H193/ZB07 2H193/ZC07 2H193/ZC13 2H193/ZD12 2H193/ZF04 2H193/ZF05 2H193/ZF06 2H193/ZF07 2H193/ZF24 2H193/ZF35 2H193/ZF43 2H193/ZF44 2H193/ZF59 2H193/ZH53 2H193/ZH54 2H193/ZJ02 2H193/ZQ16 5B087/AA03 5B087/CC02 5B087/CC25 5B087/CC39 5C006/AC07 5C006/AC25 5C006/AC27 5C006/AF52 5C006/AF68 5C006/AF69 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC20 5C006/BF25 5C006/BF42 5C006/BF43 5C006/BF46 5C006/EC05 5C006/FA04 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD26 5C080/FF11 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C080/KK30 5C080/KK42		
其他公开文献	JP5979988B2		
外部链接	Espacenet		

摘要(译)

在具有触摸板功能的液晶显示 (LCD) 装置中, 在待机状态下功耗降低。显示部分被分成块, 每个块由多条显示线形成。对电极设置用于每个块。驱动电路选择性地向每个块的对电极提供用于液晶显示器的电压和用于触摸板扫描的电压。驱动电路具有源放大器, 其将视频电压提供给视频线。驱动电路减小源放大器中的电流, 使得电流低于正常操作时的电流, 以降低功耗, 并停止源放大器的操作并将GND电压提供给视频线进一步降低功耗。

