

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-186470

(P2013-186470A)

(43) 公開日 平成25年9月19日(2013.9.19)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H092
GO2F 1/1343 (2006.01)	GO2F 1/1343	

審査請求 有 請求項の数 20 O L (全 19 頁)

(21) 出願番号 特願2012-286989 (P2012-286989) (22) 出願日 平成24年12月28日 (2012.12.28) (31) 優先権主張番号 10-2012-0022501 (32) 優先日 平成24年3月5日 (2012.3.5) (33) 優先権主張国 韓国 (KR)	(71) 出願人 501426046 エルジー ディスプレイ カンパニー リ ミテッド 大韓民国 ソウル、ヨンドゥンポグ、ヨ ウィーテロ 128 (74) 代理人 100109726 弁理士 園田 吉隆 (74) 代理人 100101199 弁理士 小林 義教 (72) 発明者 ウォン, デヒョン 大韓民国 702-792, テグシ, ブック, テジョンドン, ヒュンダイ 1 チャ アパートメント, 104-4 06, 997番地 最終頁に続く
---	--

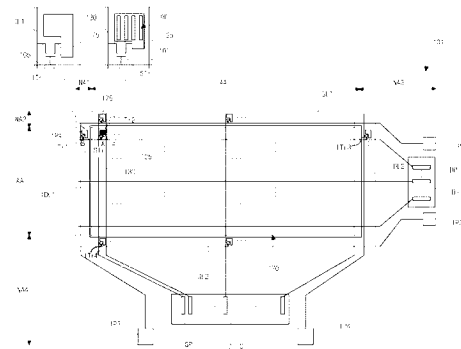
(54) 【発明の名称】 フリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板

(57) 【要約】 (修正有)

【課題】 完成後でも検査が可能なフリンジフィールドスイッチングモード用アレイ基板を提供する。

【解決手段】 相互に交差した複数のゲート配線105及びデータ配線130によって定義される複数の画素領域を備えた表示領域AAと、表示領域の周辺に第1ないし第4非表示領域NAとが定義され、各画素領域にはスイッチング薄膜トランジスタSTrと、それに接続した板状の画素電極とが設けられ、画素電極上の表示領域全面に、画素電極に対面して複数のバー形状の開口を持つ共通電極が設けられたフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板で、第1ないし第4非表示領域には表示領域を囲んで複数の検査用画素領域IPAが備えられ、各検査用画素領域には、検査用薄膜トランジスタITrと、それに接続し、共通電極が設けられた同じ層に同一物質からなり、共通電極と離隔した検査用電極とが設けられる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

相互に交差した複数のゲート配線及びデータ配線によって定義される複数の画素領域を備えた表示領域と、前記表示領域の周辺に第 1 ないし第 4 非表示領域とが定義され、前記各画素領域にはスイッチング薄膜トランジスタと、それに接続した板状の画素電極とが設けられ、前記画素電極上の前記表示領域全面に、前記画素電極に対面して複数のバー形状の開口を持つ共通電極が設けられたフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板において、

前記第 1 ないし第 4 非表示領域には前記表示領域を囲んで複数の検査用画素領域が備えられ、前記各検査用画素領域には、検査用薄膜トランジスタと、それに接続し、前記共通電極が設けられた同じ層に同一物質からなり、前記共通電極と隔離した検査用電極とが設けられたことを特徴とするフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

10

【請求項 2】

前記第 1 ないし第 4 非表示領域には、前記ゲート配線と並んで設けられた第 1 及び第 2 検査用ゲート配線と、前記データ配線と並んで設けられた第 1 及び第 2 検査用データ配線のうち、少なくとも 1 つが設けられたことを特徴とする請求項 1 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

【請求項 3】

前記表示領域を介して相互に向かい合った前記第 1 及び第 3 非表示領域には、それぞれ前記第 1 及び第 2 検査用データ配線が設けられ、前記第 1 及び第 2 検査用データ配線は、前記第 1 及び第 3 非表示領域にそれぞれ設けられた複数の検査用薄膜トランジスタのソース電極に接続したことを特徴とする請求項 2 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

20

【請求項 4】

前記第 1 及び第 3 非表示領域に設けられた複数の検査用薄膜トランジスタのゲート電極は、前記表示領域に備えられた複数のゲート配線に接続したことを特徴とする請求項 3 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

【請求項 5】

前記表示領域を介して相互に向かい合った前記第 2 及び第 4 非表示領域には、前記第 1 及び第 2 検査用ゲート配線が設けられ、前記第 1 及び第 2 検査用ゲート配線は、前記第 2 及び第 4 非表示領域にそれぞれ設けられた複数の検査用薄膜トランジスタのゲート電極に接続したことを特徴とする請求項 2 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

30

【請求項 6】

前記第 2 及び第 4 非表示領域に設けられた複数の検査用薄膜トランジスタのソース電極は、前記表示領域に設けられた複数のデータ配線に接続したことを特徴とする請求項 5 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

【請求項 7】

前記第 1 及び第 2 検査用ゲート配線の一端には、それぞれ前記第 1 ないし第 4 非表示領域のうち、1 つに設けられた検査用ゲートパッド電極が備えられ、

40

前記第 1 及び第 2 検査用データ配線の一端には、それぞれ前記第 1 ないし第 4 非表示領域のうち、他の 1 つに設けられた検査用データパッド電極が備えられたことを特徴とする請求項 1 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

【請求項 8】

各検査用画素領域に備えられた検査用トランジスタのドレイン電極上には、保護層が備えられ、

前記保護層は、前記検査用トランジスタのドレイン電極を露出するドレインコンタクトホールを有することを特徴とする請求項 1 に記載のフリンジフィールドスイッチングモー

50

ドの液晶表示装置に用いられるアレイ基板。

【請求項 9】

前記検査用画素領域の検査用電極は、対応するドレインコンタクトホールを介して前記検査用トランジスタのドレイン電極に接触したことを特徴とする請求項 8 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

【請求項 10】

前記スイッチング薄膜トランジスタ及び前記検査用薄膜トランジスタは、それぞれ順次積層した形でゲート電極と、ゲート絶縁膜と、半導体層と、相互に離隔したソース電極及びドレイン電極とからなることを特徴とする請求項 1 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

10

【請求項 11】

前記画素領域に設けられた前記画素電極は、前記ゲート絶縁膜上に設けられ、前記スイッチング薄膜トランジスタのドレイン電極は、前記画素電極の一端上面まで延長して設けられたことを特徴とする請求項 10 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

【請求項 12】

検査用画素領域と特定方向に隣り合った画素領域との間の幅は、前記特定方向に相互に隣り合った画素領域同士の間隔と同じか、または狭いことを特徴とする請求項 1 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

【請求項 13】

前記表示領域の最外郭に位置する画素領域と前記検査用画素領域との間には、前記スイッチング薄膜トランジスタと前記画素電極を含むダミー画素領域が備えられたことを特徴とする請求項 1 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

20

【請求項 14】

前記各ゲート配線及び前記各データ配線の一端には、それぞれゲートパッド電極及びデータパッド電極が設けられ、

前記各ゲートパッド電極に接触して第 1 駆動 IC (Integrated Circuit) が実装され、前記各データパッド電極に接触して第 2 駆動 IC が実装されたことを特徴とする請求項 1 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

30

【請求項 15】

映像を表示し、スイッチング薄膜トランジスタが設けられた複数の画素領域を備えた表示領域と、

前記表示領域を部分的に囲む、少なくとも 1 つの非表示領域を備え、

前記少なくとも 1 つの非表示領域は、行または列の検査用画素領域を備え、

前記検査用画素領域は、検査用薄膜トランジスタと前記検査用薄膜トランジスタに接続した検査用電極を備え、

前記検査用画素領域の検査は、前記スイッチングトランジスタの欠陥を検出するために用いられることを特徴とするフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

40

【請求項 16】

前記検査用画素領域は画素電極を備えないことを特徴とする請求項 15 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

【請求項 17】

前記検査用画素領域は、対応する検査用薄膜トランジスタを覆い、対応する画素電極を覆うように延長された保護層を備え、

前記保護層は、その内部に設けられた検査用ドレインコンタクトホールを備え、

各検査用画素領域の検査用電極は、前記保護層上に設けられ、前記検査用ドレインコンタクトホールを介して対応する検査用薄膜トランジスタのドレイン電極に接触したことを

50

特徴とする請求項 15 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

【請求項 18】

前記少なくとも 1 つの非表示領域は、前記表示領域の第 1 ないし第 4 側にそれぞれ備えられ、前記表示領域を囲む第 1 ないし第 4 非表示領域を備え、

前記第 1 ないし第 4 非表示領域は、それぞれ前記行または列の検査用画素領域を備えたことを特徴とする請求項 15 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

【請求項 19】

前記行または列の検査用画素領域の数は、前記表示領域に設けられたデータ配線またはゲート配線の数に対応することを特徴とする請求項 18 に記載のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板。

10

【請求項 20】

映像を表示する表示領域を備えたアレイ基板と、
カラーフィルタ及びブラックマトリクスを備えたカラーフィルタ基板と、
前記アレイ基板と前記カラーフィルタ基板との間に液晶層を備え、
前記アレイ基板は、
前記映像を表示し、スイッチング薄膜トランジスタが備えられた複数の画素領域を備えた表示領域と、

20

前記表示領域を部分的に囲む少なくとも 1 つの非表示領域を備え、
前記少なくとも 1 つの非表示領域は、行または列の検査用画素領域を備え、
前記検査用画素領域は、検査用薄膜トランジスタと前記検査用薄膜トランジスタに接続した検査用電極とを備え、
前記検査用画素領域の検査は、前記スイッチングトランジスタの欠陥を検出するために用いられることを特徴とするフリンジフィールドスイッチングモードの液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置 (Liquid Crystal Display Device) に関するものであって、特に表示領域に設けられた薄膜トランジスタの特性を測定できるフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板に関するものである。

30

【背景技術】

【0002】

液晶表示装置は、一般的に液晶の光学的異方性と分極特性によって駆動される。液晶は細長い構造をしているため、分子の配列に方向性があり、液晶に電界を人為的に印加することで分子配列の方向を制御することができる。

【0003】

従って、液晶の分子配列の方向を人為的に制御することにより、液晶の分子配列が変化し、光学的異方性によって光が液晶の分子配列の方向に屈折して、画像情報を表現することができる。

40

【0004】

現在は、薄膜トランジスタと、薄膜トランジスタに接続された画素電極とがマトリクス状に配置されたアクティブマトリクス型の液晶表示装置 (以下、液晶表示装置と略す) が、解像度及び動画を具現化する能力から最も注目を集めている。

【0005】

液晶表示装置は、共通電極が設けられたカラーフィルタ基板と、画素電極が設けられたアレイ基板と、両基板の間に介在された液晶とからなる。そして、共通電極と画素電極との間に、両基板に対して垂直方向にかかる電界によって液晶が駆動される方式であって、透過率と開口率などの特性に優れている。

50

【 0 0 0 6 】

しかし、垂直方向にかかる電界による液晶駆動は、視野角特性が劣るという短所を有する。

【 0 0 0 7 】

そこで、前記のような短所を克服するため、視野角特性に優れた横電界型の液晶表示装置が提案された。

【 0 0 0 8 】

以下、図 1 を用いて一般的な横電界型の液晶表示装置について詳しく説明する。

【 0 0 0 9 】

図 1 は、一般的な横電界型の液晶表示装置の断面図である。

10

【 0 0 1 0 】

図 1 に示すように、一般的な横電界型の液晶表示装置は、カラーフィルター基板の上部基板 9 とアレイ基板の下部基板 10 が互いに離隔対向し、その間に液晶層 11 が介在される。

【 0 0 1 1 】

下部基板 10 上には、共通電極 17 と画素電極 30 が同一平面上に設けられ、液晶層 11 は、共通電極 17 と画素電極 30 による水平電界 L によって駆動される。

【 0 0 1 2 】

図 2 A 及び図 2 B は、一般的な横電界型の液晶表示装置のオン・オフ状態における動作をそれぞれ示す断面図である。

20

【 0 0 1 3 】

まず、電圧が印加されたオン状態における液晶の配列状態を示す図 2 A を参照する。共通電極 17 及び画素電極 30 に対応する位置の液晶 11 a における相変位はないが、共通電極 17 と画素電極 30 との間に位置する液晶 11 b は、両電極間に電圧が印加されたことで形成される水平電界 L によって、水平電界 L と同じ方向に配列されることになる。即ち、横電界型の液晶表示装置は、液晶が水平電界によって駆動されるため、視野角が広くなるという特性を有する。

【 0 0 1 4 】

従って、横電界型の液晶表示装置を正面から見たとき、上下左右に約 80 度ないし 89 度の方向においても反転現象なく見ることができる。

30

【 0 0 1 5 】

次に、図 2 B を参照すると、液晶表示装置に電圧が印加されていないオフ状態にあって、共通電極と画素電極との間に水平電界が形成されないため、液晶層 11 の配列状態は変わらない。

【 0 0 1 6 】

しかし、このような構成を持つ横電界型の液晶表示装置は、視野角特性を向上させるが、透過率及び開口率が低いという短所を有する。

【 0 0 1 7 】

そこで、前記のような短所を改善するため、フリンジフィールドによって液晶が駆動されることを特徴とするフリンジフィールドスイッチングモードの液晶表示装置が提案された。

40

【 0 0 1 8 】

図 3 は、従来のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板における 1 つの画素領域の中央部を切断した断面図である。

【 0 0 1 9 】

図 3 に示すように、従来のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 41 には、ゲート絶縁膜 45 を介在して、その下部及び上部で相互に交差して複数の画素領域 P を定義するゲート配線（不図示）とデータ配線 47 が設けられ、各画素領域（不図示）にはゲート配線（不図示）及びデータ配線 47 に接続して薄膜トランジスタ T r が設けられる。

50

【 0 0 2 0 】

また、ゲート絶縁膜 4 5 上部の各画素領域（不図示）には、薄膜トランジスタ T r のドレイン電極 5 1 に接触する板状の画素電極 5 5 が設けられる。画素電極 5 5 はデータ配線 4 7 と同じ層、即ち、ゲート絶縁膜 4 5 上に設けられ、データ配線 4 7 とのショックを防止するために、データ配線 4 7 と一定間隔離隔して設けられる。

【 0 0 2 1 】

また、データ配線 4 7 と画素電極 5 5 の上部の表示領域全面には、保護層 6 0 が備えられ、保護層 6 0 上の全面に、各画素領域（不図示）に対応して、一定間隔離隔したバー形状の複数の開口 o a を持つ共通電極 6 5 が設けられる。

【 0 0 2 2 】

前述した構成を持つ従来のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 4 1 は完成した後、薄膜トランジスタ T r の不良有無及び特性点検のため、完成検査を行わなければならない。

【 0 0 2 3 】

しかし、表示領域全面に対応して共通電極 6 5 が設けられたフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 4 5 の特性上、表示領域を構成する各画素領域 P 内部に設けられた薄膜トランジスタ T r の特性検査は不可能なのが現状である。更に、薄膜トランジスタ T r に接続したゲート配線やデータ配線が正常通りに動作するか、または設けられたかを確認することも不可能である。

【 0 0 2 4 】

アレイ基板の各画素領域内に設けられた薄膜トランジスタ T r の特性を検査するためには、まず、薄膜トランジスタ T r の駆動のため、ゲート電極 4 3 とソース電極 4 9 を介してそれぞれゲート信号電圧とデータ信号電圧を印加し、ドレイン電極 5 1 を介して印加されたデータ信号電圧によって変化された信号電圧または電流を出力しなければならない。

【 0 0 2 5 】

しかし、前述した構成を持つ従来のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 4 1 において、薄膜トランジスタ T r のドレイン電極 5 1 は画素電極 5 5 に接続するが、画素電極 5 5 は保護層 6 0 及び共通電極 6 5 によって覆われた状態になるため、薄膜トランジスタ T r に接続したゲート配線（不図示）とデータ配線 4 7 を介してそれぞれゲート信号とデータ信号を入力しても、ドレイン電極 5 1 自体またはドレイン電極 5 1 に接触した画素電極 5 5 との接触が不可能であるため、表示領域内部における各画素領域 P 内に設けられた薄膜トランジスタ T r の特性を出力することが不可能となる。

【 0 0 2 6 】

そのため、実質的に従来のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 4 1 の場合、それを完成した後、薄膜トランジスタ T r の特性を測定するなどの検査が不可能という問題が発生する。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 7 】

本発明は前述した問題を解決するためのものであって、表示領域に設けられた薄膜トランジスタの特性を測定できるフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板を提供することをその目的とする。

【 課題を解決するための手段 】

【 0 0 2 8 】

前述したような目的を達成するために、本発明は、相互に交差した複数のゲート配線及びデータ配線によって定義される複数の画素領域を備えた表示領域と、前記表示領域の周辺に第 1 ないし第 4 非表示領域とが定義され、前記各画素領域にはスイッチング薄膜トランジスタと、それに接続した板状の画素電極とが設けられ、前記画素電極上の前記表示領域全面に、前記画素電極に対面して複数のバー形状の開口を持つ共通電極が設けられたフ

10

20

30

40

50

リンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板において、前記第 1 ないし第 4 非表示領域には前記表示領域を囲んで複数の検査用画素領域が備えられ、前記各検査用画素領域には、検査用薄膜トランジスタと、それに接続し、前記共通電極が設けられた同じ層に同一物質からなり、前記共通電極と離隔した検査用電極とが設けられたことを特徴とするフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板を提供する。

【0029】

前記第 1 ないし第 4 非表示領域には、前記ゲート配線と並んで設けられた第 1 及び第 2 検査用ゲート配線と、前記データ配線と並んで設けられた第 1 及び第 2 検査用データ配線のうち、少なくとも 1 つが設けられたことを特徴とする。

10

【0030】

前記表示領域を介して相互に向かい合った前記第 1 及び第 3 非表示領域には、前記第 1 及び第 2 検査用データ配線が設けられ、前記第 1 及び第 2 検査用データ配線は、前記第 1 及び第 3 非表示領域にそれぞれ設けられた複数の検査用薄膜トランジスタのソース電極に接続したことを特徴とする。

【0031】

前記第 1 及び第 3 非表示領域に設けられた複数の検査用薄膜トランジスタのゲート電極は、前記表示領域に備えられた複数のゲート配線に接続したことを特徴とする。

【0032】

前記表示領域を介して相互に向かい合った前記第 2 及び第 4 非表示領域には、前記第 1 及び第 2 検査用ゲート配線が設けられ、前記第 1 及び第 2 検査用ゲート配線は、前記第 2 及び第 4 非表示領域にそれぞれ設けられた複数の検査用薄膜トランジスタのゲート電極に接続したことを特徴とする。

20

【0033】

前記第 2 及び第 4 非表示領域に設けられた複数の検査用薄膜トランジスタのソース電極は、前記表示領域に設けられた複数のデータ配線に接続したことを特徴とする。

【0034】

前記第 1 及び第 2 検査用ゲート配線の一端には、それぞれ前記第 1 ないし第 4 非表示領域のうち、1 つに設けられた検査用ゲートパッド電極が備えられ、前記第 1 及び第 2 検査用データ配線の一端には、それぞれ前記第 1 ないし第 4 非表示領域のうち、他の 1 つに設けられた検査用データパッド電極が備えられたことを特徴とする。

30

【0035】

各検査用画素領域に備えられた検査用トランジスタのドレイン電極上には、保護層が備えられ、前記保護層は、前記検査用トランジスタのドレイン電極を露出するドレインコンタクトホールを有することを特徴とする。

【0036】

前記検査用画素領域の検査用電極は、対応するドレインコンタクトホールを介して前記検査用トランジスタのドレイン電極に接触したことを特徴とする。

【0037】

前記スイッチング薄膜トランジスタ及び前記検査用薄膜トランジスタは、それぞれ順次積層した形でゲート電極と、ゲート絶縁膜と、半導体層と、相互に離隔したソース電極及びドレイン電極とからなることを特徴とする。

40

【0038】

前記画素領域に設けられた前記画素電極は、前記ゲート絶縁膜上に設けられ、前記スイッチング薄膜トランジスタのドレイン電極は、前記画素電極の一端上面まで延長して設けられたことを特徴とする。

【0039】

検査用画素領域と特定方向に隣り合った画素領域との間の幅は、前記特定方向に相互に隣り合った画素領域同士の間隔と同じか、または狭いことを特徴とする。

【0040】

50

前記表示領域の最外郭に位置する画素領域と前記検査用画素領域との間には、前記スイッチング薄膜トランジスタと前記画素電極を含むダミー画素領域が備えられたことを特徴とする。

【0041】

前記各ゲート配線及び前記各データ配線の一端には、それぞれゲートパッド電極及びデータパッド電極が設けられ、前記各ゲートパッド電極に接触して第1駆動IC(Integrated Circuit)が実装され、前記各データパッド電極に接触して第2駆動ICが実装されたことを特徴とする。

【0042】

また、本発明は、映像を表示し、スイッチング薄膜トランジスタが設けられた複数の画素領域を備えた表示領域と、前記表示領域を部分的に囲む、少なくとも1つの非表示領域とを備え、前記少なくとも1つの非表示領域は、行または列の検査用画素領域を備え、前記検査用画素領域は、検査用薄膜トランジスタと前記検査用薄膜トランジスタに接続した検査用電極とを備え、前記検査用画素領域の検査は、前記スイッチングトランジスタの欠陥を検出するために用いられることを特徴とするフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板を提供する。

10

【0043】

前記検査用画素領域は、画素電極を備えないことを特徴とする。

【0044】

前記検査用画素領域は、対応する検査用薄膜トランジスタを覆い、対応する画素電極を覆うように延長された保護層を備え、前記保護層は、その内部に設けられた検査用ドレインコンタクトホールを備え、各検査用画素領域の検査用電極は、前記保護層上に設けられ、前記検査用ドレインコンタクトホールを介して対応する検査用薄膜トランジスタのドレイン電極に接触したことを特徴とする。

20

【0045】

前記少なくとも1つの非表示領域は、前記表示領域の第1ないし第4側にそれぞれ備えられ、前記表示領域を囲む第1ないし第4非表示領域を備え、前記第1ないし第4非表示領域は、それぞれ前記行または列の検査用画素領域を備えたことを特徴とする。

【0046】

前記行または列の検査用画素領域の数は、前記表示領域に設けられたデータ配線またはゲート配線の数に対応することを特徴とする。

30

【0047】

また、本発明は、映像を表示する表示領域を備えたアレイ基板と、カラーフィルタ及びブラックマトリクスを備えたカラーフィルタ基板と、前記アレイ基板と前記カラーフィルタ基板との間に液晶層を備え、前記アレイ基板は、前記映像を表示し、スイッチング薄膜トランジスタが備えられた複数の画素領域を備えた表示領域と、前記表示領域を部分的に囲む少なくとも1つの非表示領域とを備え、前記少なくとも1つの非表示領域は、行または列の検査用画素領域を備え、前記検査用画素領域は、検査用薄膜トランジスタと前記検査用薄膜トランジスタに接続した検査用電極とを備え、前記検査用画素領域の検査は、前記スイッチングトランジスタの欠陥を検出するために用いられることを特徴とするフリンジフィールドスイッチングモードの液晶表示装置を提供する。

40

【発明の効果】

【0048】

本発明に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板は、表示領域全面に対応して最上層に設けられる共通電極が完成した状態で、薄膜トランジスタの不良有無及び特性を測定することができるというメリットを有する。

【0049】

更に本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板は、薄膜トランジスタの特性測定及び出力が可能な構成を持つ複数の検査用画素が、各ゲート配線及びデータ配線に接続する横・縦画素ラインの始まりと終わ

50

りに設けられることにより、表示領域内における上下左右の特性の差の分布までも、ある程度把握することができ、その結果を製造工程に反映することができるため、優秀な品質のアレイ基板を提供する効果を持つ。

【図面の簡単な説明】

【0050】

【図1】一般的な横電界型の液晶表示装置の一部を概略的に示す断面図である。

【図2】Aは、一般的な横電界型の液晶表示装置のオン状態における動作を示す断面図である。Bは、一般的な横電界型の液晶表示装置のオフ状態における動作を示す断面図である。

【図3】従来のフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板における1つの画素領域の中央部を切断した部分を示す断面図である。

【図4】本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板を示す平面図である。

【図5】図4のA領域を拡大して示す面図である。

【図6】図4のB領域を拡大して示す面図である。

【図7】本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板における表示領域内の画素領域を示す断面図であって、図5の切断線V I I - V I Iに沿って切断した部分を示す。

【図8】本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板における検査用画素領域を示す断面図であって、図6の切断線V I I I - V I I Iに沿って切断した部分を示す。

【図9】本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置を示す断面図である。

【図10】本発明の実施例に係るダミー画素領域が備えられたフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板を概略的に示す図面である。

【発明を実施するための形態】

【0051】

以下、図面を用いて本発明の望ましい実施例を説明する。

【0052】

図4は、本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板を示す平面図であって、画像を表示する表示領域と共に、表示領域周辺の非表示領域を示し、図5及び図6は、それぞれ図4のA領域とB領域を拡大して示す平面図である。説明の都合上、各画素領域Pにおいてスイッチング素子である薄膜トランジスタTrが設けられる部分をスイッチング領域Tr Aと定義し、非表示領域NA 1、NA 2、NA 3、NA 4は、表示領域AAを基準に、左右側に位置した部分をそれぞれ第1非表示領域NA 1、第3非表示領域NA 3と、上下側に位置した部分をそれぞれ第2非表示領域NA 2、第4非表示領域NA 4と定義する。

【0053】

図面に示すように、本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板101の表示領域AAには、低抵抗金属物質、例えばアルミニウム(A l)、アルミニウムネオジウム(A l N d)のようなアルミニウム合金、銅(C u)、銅合金、モリブデン(M o)、モリチタン(M o T i)のうち、いずれかの1つまたは2つ以上からなる複数のゲート配線105が、第1方向に延長して設けられる。また、低抵抗物質からなり、第2方向に延長して複数の各ゲート配線105と交差し、複数の画素領域Pを定義する複数のデータ配線130が設けられる。

【0054】

複数のゲート配線105及びデータ配線130は、その端部が表示領域AA外側の非表示領域NA 1、NA 2、NA 3、NA 4まで延長して設けられ、その一端または他端にはそれぞれパッド電極GP、DPが設けられる。また、ゲートパッド電極GPとデータパッド電極DPは駆動回路IC(D - I C)に接続される。

【 0 0 5 5 】

一方、本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 1 0 1 において特徴的な構成の 1 つは、表示領域 A A 外側の非表示領域 N A 1、N A 2、N A 3、N A 4 のうち、相互に向かい合った第 1 非表示領域 N A 1 と第 3 非表示領域 N A 3 には、データ配線 1 3 0 と並んでそれぞれ 1 つの検査用データ配線、即ち、第 1 検査用データ配線 I D L 1 と第 2 検査用データ配線 I D L 2 が設けられ、第 2 非表示領域 N A 2 と第 4 非表示領域 N A 4 には、ゲート配線 1 0 5 と並んでそれぞれ 1 つの検査ゲート配線、即ち、第 1 検査ゲート配線 I G L 1 と第 2 検査ゲート配線 I G L 2 が設けられるということである。

【 0 0 5 6 】

第 1 検査ゲート配線 I G L 1 と第 2 検査ゲート配線 I G L 2 のそれぞれの端部に接続して第 1 検査パッド電極 I P 1 と第 2 検査パッド電極 I P 2 がそれぞれ設けられ、第 1 検査データ配線 I D L 1 と第 2 検査データ配線 I D L 2 のそれぞれの端部に接続して第 3 検査パッド電極 I P 3 と第 4 検査パッド電極 I P 4 がそれぞれ設けられる。

【 0 0 5 7 】

一方、表示領域 A A 内の各画素領域 P には、ゲート配線 1 0 5 及びデータ配線 1 3 0 に接続して、ゲート電極 1 0 7 と、ゲート絶縁膜（不図示）と、純粋非晶質シリコンのアクティブ層 1 2 0 a と不純物非晶質シリコンのオーミックコンタクト層（不図示）とからなる半導体層（不図示）と、相互に離隔したソース電極 1 3 3 及びドレイン電極 1 3 6 a とからなるスイッチング薄膜トランジスタ S T r が設けられる。

【 0 0 5 8 】

また、各画素領域 P には、スイッチング薄膜トランジスタ S T r のドレイン電極 1 3 6 に接触する板状の画素電極 1 2 5 が設けられる。

【 0 0 5 9 】

一方、本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 1 0 1 において、また他の特徴的な構成の 1 つとして、非表示領域 N A 1、N A 2、N A 3、N A 4 における第 1 検査ゲート配線 I G L 1 及び第 2 検査ゲート配線 I G L 2 と複数のデータ配線 1 3 0 とが交差する部分と、第 1 検査データ配線 I D L 1 及び第 2 検査データ配線 I D L 2 と複数のゲート配線 1 0 5 とが交差する部分には、それぞれ画素領域 P に設けられたスイッチング薄膜トランジスタ S T r と同じ構成を持つ検査用薄膜トランジスタ I T r 1、I T r 2、I T r 3、I T r 4 が設けられる。

【 0 0 6 0 】

特に、複数の検査用トランジスタ T r 1 は、第 1 検査データ配線 I D L 1 と複数のゲート配線 1 0 5 とが交差する部分に設けられる。同様に、複数の検査用トランジスタ T r 3 は、第 2 検査データ配線 I D L 2 と複数のゲート配線 1 0 5 とが交差する部分に設けられる。また、複数の検査用トランジスタ T r 2 は、第 1 検査ゲート配線 I G L 1 と複数のデータ配線 1 3 0 とが交差する部分に設けられる。同様に、複数の検査用トランジスタ T r 4 は、第 2 検査ゲート配線 I G L 2 と複数のデータ配線 1 3 0 とが交差する部分に設けられる。結果的に、検査用トランジスタ T r 1、T r 3 のゲート電極は、ゲート配線 1 0 5 に接続する。そして、検査用トランジスタ T r 2、T r 4 のソース電極は、データ配線 1 3 0 に接続する。

【 0 0 6 1 】

従って、本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 1 0 1 は、表示領域 A A を囲む形で、各ゲート配線 1 0 5 及びデータ配線 1 3 0 に接続して検査用薄膜トランジスタ I T r が設けられたことを特徴とする。

【 0 0 6 2 】

即ち、検査用薄膜トランジスタ I T r は、各ゲート配線 1 0 5 において最左側に位置する画素領域 P が始まる前段と、最右側に位置する画素領域 P の後段にそれぞれ設けられ、各データ配線 1 3 0 においても最上側に位置する画素領域 P が始まる前段と、最下側に位

10

20

30

40

50

置する画素領域 P の後段にそれぞれ設けられたことを特徴とする。

【0063】

第1非表示領域 NA1 に設けられた全ての検査用薄膜トランジスタ（以下、第1検査用薄膜トランジスタ ITr1 と称する）は、第1検査用データ配線 IDL1 及びそれに接続した第3検査用パッド IP3 に接続し、第2非表示領域 NA2 に設けられた全ての検査用薄膜トランジスタ（以下、第2検査用薄膜トランジスタ ITr2 と称する）は、第1検査用ゲート配線 IGL1 及びそれに接続した第1検査用パッド IP1 に接続する。また、第3非表示領域 NA3 に設けられた全ての検査用薄膜トランジスタ（以下、第3検査用薄膜トランジスタ ITr3 と称する）は、第2検査用データ配線 IDL2 及びそれに接続した第4検査用パッド IP4 に接続し、第4非表示領域 NA4 に設けられた全ての検査用薄膜トランジスタ（以下、第4検査用薄膜トランジスタ ITr4 と称する）は、第2検査用ゲート配線 IGL2 及びそれに接続した第2検査用パッド IP2 に接続する。

10

【0064】

一方、表示領域 AA には、絶縁物質からなる保護層（不図示）を介在して画素電極 125 に対面し、各画素領域 P に対応してそれぞれ複数のバー形状を持つ開口 op を設けた板状の透明共通電極 170 が設けられる。

【0065】

共通電極 170 は、表示領域 AA に対応して備えられた画素領域 P に対してのみ、それと重なって設けられ、検査用薄膜トランジスタ ITr1、ITr2、ITr3、ITr4 が設けられた非表示領域 NA1、NA2、NA3、NA4 に対しては設けられないことを特徴とする。

20

【0066】

また、本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 101 には、非表示領域 NA1、NA2、NA3、NA4 に設けられた各検査用薄膜トランジスタ ITr1、ITr2、ITr3、ITr4 に対応して、保護層（不図示）上に、透明共通電極 170 と同じ物質で、画素領域 P 毎に設けられた画素電極 125 と同じ形で、各検査用薄膜トランジスタ ITr1、ITr2、ITr3、ITr4 のドレイン電極 136b にそれぞれ接続して検査用電極 175 が設けられたことを特徴とする。

30

【0067】

検査用電極 175 を設けた各検査用画素領域 IPA は、表示領域 AA 内に備えられた画素領域 P と同じ大きさ及び面積を持つように設けられても良い。隣り合った検査用画素領域 IPA 同士の間隔は、表示領域 AA 内の隣り合った画素領域 P 同士の間隔と同じでも良い。また、第1非表示領域 NA1 及び第3非表示領域 NA3 において、隣り合った検査用画素領域 IPA 同士の間隔は、隣り合ったゲート配線 105 同士の間隔と同じでも良い。同様に、第2非表示領域 NA2 及び第4非表示領域 NA4 において、隣り合った検査用画素領域 IPA 同士の間隔は、隣り合ったデータ配線 130 同士の間隔と同じでも良い。一方、第1非表示領域 NA1 及び第3非表示領域 NA3 における各検査用画素領域 IPA のゲート配線方向の幅は、表示領域 AA における各画素領域 P のゲート配線方向の幅と同じか、または狭くても良い。また、第2非表示領域 NA2 及び第4非表示領域 NA4 における各検査用画素領域 IPA のデータ配線方向の幅は、表示領域 AA における各画素領域 P のデータ配線方向の幅と同じか、または狭くても良い。例えば、検査用画素領域 IPA と特定方向に隣り合った画素領域 P との間の幅は、前記特定方向に隣り合った画素領域 P 同士の間隔と同じか、または狭くても良い。一方、検査用画素領域 IPA と前記特定方向と垂直した方向に隣り合った画素領域 P との間の幅は、前記特定方向と垂直した方向に隣り合った画素領域 P 同士の間隔と同じか、または狭くても良い。

40

【0068】

一方、各検査用薄膜トランジスタ ITr1、ITr2、ITr3、ITr4 のドレイン電極 136b と検査用電極 175 は、保護層（不図示）に設けられ、検査用薄膜トランジスタ ITr1、ITr2、ITr3、ITr4 のドレイン電極 136b を露出するドレイ

50

ンコンタクトホール 165 を介して、相互に接触した構成を持つことを特徴とする。

【0069】

従って、本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 101 は、かかる構成的特徴により、第 1 非表示領域 NA1 に設けられた全ての第 1 検査用薄膜トランジスタ ITr1 が、第 3 検査パッド電極 IP3 を介して印加されるデータ信号電圧と、各ゲート配線 105 を介して印加されるゲート信号電圧によってオンになり、いずれかの 1 つの第 1 検査用薄膜トランジスタ ITr1 に接続した検査用電極 175 に対してプローブピンを接触させると、第 1 検査用薄膜トランジスタ ITr1 及び該当検査用画素領域の特性が出力され、確認することができる。前述のような第 1 検査用薄膜トランジスタ ITr1 の検査用電極 175 を確認することは、対応するゲート配線が正常通りに形成され、動作するかどうかを示す。

10

【0070】

また、第 2 非表示領域 NA2 に設けられた全ての第 2 検査用薄膜トランジスタ ITr2 も、第 1 検査パッド電極 IP1 を介して印加されるゲート信号電圧と、各データ配線 130 を介して印加されるデータ信号電圧によってオンになり、いずれかの 1 つの第 2 検査用薄膜トランジスタ ITr2 の検査用電極 175 に対してプローブピンを接触させると、第 2 検査用薄膜トランジスタ ITr2 の特性及び該当検査用画素領域の特性が出力され、確認することができる。前述のような第 2 検査用薄膜トランジスタ ITr2 の検査用電極 175 を確認することは、対応するゲート配線が正常通りに形成され、動作するかどうかを示す。

20

【0071】

また、第 3 非表示領域 NA3 と第 4 非表示領域 NA4 に設けられた全ての第 3 検査用薄膜トランジスタ ITr3 と第 4 検査用薄膜トランジスタ ITr4 も、それぞれ第 4 検査パッド電極 IP4 とゲート配線 105、第 2 検査パッド電極 IP2 とデータ配線 130 を介してオンになるようにして、いずれかの 1 つの第 3 検査用薄膜トランジスタ ITr3 または第 4 検査用薄膜トランジスタ ITr4 の検査用電極 175 に対してプローブピンを接触させると、それに接続した第 3 検査用薄膜トランジスタ ITr3 または第 4 検査用薄膜トランジスタ ITr4 及び該当検査用画素領域の特性が出力され、確認することができる。前述のような第 3 検査用薄膜トランジスタ ITr3 及び第 4 検査用薄膜トランジスタ ITr4 の検査用電極 175 を確認することは、対応するゲート配線及びデータ配線が正常通りに形成され、動作するかどうかを示す。

30

【0072】

このように本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 101 は、共通電極 170 が完成した状態で、表示領域 AA 内に設けられた行方向や列方向のスイッチング薄膜トランジスタ STTr の不良有無及び特性を間接的に測定することができるというメリットを有する。

【0073】

更に、本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板 101 は、特性測定及び出力が可能な構成を持つ複数の検査用画素領域 IPA が、各ゲート配線 105 とデータ配線 130 に接続した横・縦画素ラインの始まりと終わりに備えられることにより、表示領域 AA 内における上下左右の画素の出力特性の差の分布までも、ある程度把握することができ、その結果を製造工程に反映することができるため、優秀な品質のアレイ基板 101 を提供する効果を持つ。

40

【0074】

一方、本発明の実施例に係る変形例として、図 10 を参照すると、表示領域 AA を囲む複数の検査用画素領域 IPA と表示領域 AA との間に、画素領域 P と同じ構成要素を持つダミー画素領域 DPA を備えることができる。例えば、所定の幅を持つダミー画素領域 DPA が、各検査用画素領域 IPA と表示領域 AA との間に備えられる。

【0075】

ダミー画素領域 DPA において、共通電極 170 は設けられないか、または一部領域に

50

対してのみ設けられる。

【0076】

このように検査用画素領域IPAと実際の画素領域Pとの間にダミー画素領域DPAを備えた理由は、ダミー画素領域DPAを介して、同一物質で同じ層に設けられる共通電極170と検査用電極175とのショートを防止するためである。即ち、工程の誤差範囲より広い幅を持つダミー画素領域DPAを備えることで、工程誤差が発生しても共通電極170と検査用電極175が相互に接触してショートに至ることを防止するためである。例えば、ダミー画素領域DPAは、表示領域AAの画素領域Pと同じ幅を持つことができる。

【0077】

以下、前述したような平面構成を持つ本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板101の断面構造について説明する。

【0078】

図7は、本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板における表示領域内の画素領域を示す断面図であって、図5の切断線VII-VIIに沿って切断した部分を示す。図8は、本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板における検査用画素領域を示す断面図であって、図6の切断線VIII-VIIIに沿って切断した部分を示す。説明の都合上、画素領域Pと検査用画素領域IPAの内に、それぞれスイッチング薄膜トランジスタSTrと検査用薄膜トランジスタITrが設けられる領域をスイッチング領域TrAと称する。スイッチング領域TrAに設けられたスイッチング薄膜トランジスタSTrと検査用薄膜トランジスタITrの構成要素は、実質的に同一であるため、それら両薄膜トランジスタSTr、ITrの構成要素に対しては、ドレイン電極136a、136bを除いて同じ図面符号を付け、スイッチング薄膜トランジスタSTrのドレイン電極には136a、検査用薄膜トランジスタITrのドレイン電極には136bの図面符号を付ける。

【0079】

図面に示すように、透明絶縁基板101上の各スイッチング領域TrAにはゲート電極107が設けられ、表示領域AAと第1非表示領域及び第3非表示領域（図4のNA1、NA3）においては、画素領域Pと第1検査用画素領域及び第3検査用画素領域IPAに設けられたゲート電極107に接続して、ゲート配線（図4の105）が設けられる。また、第2非表示領域及び第4非表示領域（図4のNA2、NA4）においては、第2検査用画素領域及び第4検査用画素領域IPAに設けられたゲート電極107に接続して、第1検査用ゲート配線及び第2検査用ゲート配線（図4のIGL1、IGL2）が設けられる。

【0080】

ゲート配線（図4の105）と、第1検査用ゲート配線及び第2検査用ゲート配線（図4のIGL1、IGL2）と、ゲート電極107は、低抵抗特性を持つ金属物質、例えばアルミニウム（Al）、アルミニウムネオジウム（AlNd）のようなアルミニウム合金、銅（Cu）、銅合金、モリブデン（Mo）、モリチタン（MoTi）のうち、いずれかの1つの金属物質からなる単層構造、または2つ以上からなる多層構造を持つ。図面においては単層構造を持つことを一例として示す。

【0081】

ゲート配線（図4の105）と、第1検査用ゲート配線及び第2検査用ゲート配線（図4のIGL1、IGL2）と、ゲート電極107上の基板101全面に、無機絶縁物質、例えば酸化シリコン（SiO₂）または窒化シリコン（SiN_x）のゲート絶縁膜110が設けられる。

【0082】

また、ゲート絶縁膜110上の表示領域AAに備えられた各画素領域Pに対応して、変

10

20

30

40

50

形例の場合は、各画素領域 P 及びダミー画素領域 (図 10 の D P A) に対応して、板状の画素電極 1 2 5 が設けられる。各検査用画素領域 I P A には、画素電極 1 2 5 が設けられないことを特徴とする。

【 0 0 8 3 】

ゲート絶縁膜 1 1 0 上の各スイッチング領域 T r A においては、各ゲート電極 1 0 7 に対応して、純粋非晶質シリコンのアクティブ層 1 2 0 a と不純物非晶質シリコンのオーミックコンタクト層 1 2 0 b とからなる半導体層 1 2 0 が設けられる。オーミックコンタクト層 1 2 0 b は、アクティブ層 1 2 0 a の上部で相互に離隔し、アクティブ層 1 2 0 a の中央部を露出する。

【 0 0 8 4 】

また、各スイッチング領域 T r A において半導体層 1 2 0 上部、更に正確には相互に離隔したオーミックコンタクト層 1 2 0 b 上のそれぞれに、アクティブ層 1 2 0 a の中央部を露出するソース電極 1 3 3 とドレイン電極 1 3 6 a 、 1 3 6 b が設けられる。表示領域 A A 内の各画素領域 P と変形例に備えられたダミー画素領域 D P A においては、スイッチング領域 T r A に設けられたドレイン電極 1 3 6 a が延長して、各画素領域 P 及びダミー画素領域 D P A に設けられた画素電極 1 2 5 に接触するように構成されることを特徴とする。

【 0 0 8 5 】

非表示領域 N A 1 、 N A 2 、 N A 3 、 N A 4 に備えられた検査用画素領域 I P A においては、画素電極 1 2 5 が設けられないため、画素電極 1 2 5 には接触しないが、検査用画素領域 I P A に設けられたドレイン電極 1 3 6 b は、それに対応してドレイン電極 1 3 6 b を覆う保護層 1 6 0 にドレインコンタクトホール 1 6 5 が設けられるため、画素領域 P に設けられたドレイン電極 1 3 6 a より大きい面積を持ち、検査用画素領域 I P A の中央部の方に延長して設けられたことを特徴とする。これは、検査用画素領域 I P A は実質的に画像を具現する必要がないため、ドレイン電極 1 3 6 b の面積を大きく設けても開口率などに影響を与えないためである。図 8 に示すように、検査用トランジスタ I T r に対するドレインコンタクトホール 1 6 5 は、ドレイン電極 1 3 6 b を覆う保護層 1 6 0 に設けられ、ドレイン電極 1 3 6 b の一部を露出する。保護層 1 6 0 の上部に直接設けられた検査用電極 1 7 5 は、ドレインコンタクトホール 1 6 5 を介してドレイン電極 1 3 6 b に接触することになる。

【 0 0 8 6 】

ゲート絶縁膜 1 1 0 上部には、表示領域 A A と第 2 非表示領域及び第 4 非表示領域 (図 4 の N A 2 、 N A 4) において、画素領域 P と第 2 検査用画素領域及び第 4 検査用画素領域 I P A に設けられたソース電極 1 3 3 に接続してデータ配線 1 3 0 が設けられ、第 1 非表示領域と第 3 非表示領域 (図 4 の N A 1 、 N A 3) においては、第 1 検査用画素領域及び第 3 検査用画素領域 I P A に設けられたソース電極 1 3 3 に接続して第 1 検査用データ配線 I D L 1 と第 2 検査用データ配線 I D L 2 が設けられる。

【 0 0 8 7 】

一方、各スイッチング領域 T r A に順次積層されたゲート電極 1 0 7 と、ゲート絶縁膜 1 1 0 と、半導体層 1 2 0 と、相互に離隔したソース電極 1 3 3 及びドレイン電極 1 3 6 a 、 1 3 6 b は、薄膜トランジスタ S T r 、 I T r を構成する。

【 0 0 8 8 】

薄膜トランジスタ S T r 、 I T r と画素電極 1 2 5 上の表示領域 A A 全面と、非表示領域 (図 4 の N A 1 、 N A 2 、 N A 3 、 N A 4) の検査用画素領域 I P A とに対しては、無機絶縁物質、例えば酸化シリコン (S i O ₂) もしくは窒化シリコン (S i N _x) 、または有機絶縁物質、例えばベンゾシクロブテンもしくはフオトアクリルからなる保護層 1 6 0 が備えられる。保護層 1 6 0 は無機絶縁物質と有機絶縁物質との二層構造を持つこともできる。

【 0 0 8 9 】

図面においては、保護層 1 6 0 が有機絶縁物質からなる単層構造を持ち、更に平らな表

10

20

30

40

50

面を持つことを一例として示す。

【0090】

本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板101は、保護層160に、検査用画素領域IPAに対応して検査用薄膜トランジスタITrのドレイン電極136bを露出するドレインコンタクトホール165を設けたことを特徴とする。

【0091】

保護層160上に透明導電性物質、例えばインジウムスズ酸化物(ITO)またはインジウム亜鉛酸化物(IZO)からなる透明共通電極170が、表示領域AA全面に対応して板状に設けられる。共通電極170には、表示領域AA内に備えられた各画素領域Pに

10

【0092】

表示領域AA外側の非表示領域(図4のNA1、NA2、NA3、NA4)においては、各検査用画素領域IPAに対応して保護層160上に、共通電極170と同一物質で、共通電極170と離隔し、検査用画素領域IPA毎に分離して、ドレインコンタクトホール165を介して検査用薄膜トランジスタITrのドレイン電極136bに接触する検査用電極175が設けられる。

【0093】

従って、かかる構成のように、本発明の実施例に係るフリンジフィールドスイッチングモードの液晶表示装置に用いられるアレイ基板101は、検査用薄膜トランジスタITrに接続した検査用電極175が最上層に設けられた構成を持つことで、検査用薄膜トランジスタITrに信号電圧を印加して薄膜トランジスタITrの特性を含んだ信号が出力され、確認することができるため、完成検査を行うことができる。全ての検査用電極175に対する検査は、同時に、選択的に、独立に、順次に、グループ毎に、または他の方式で行うことができる。

20

【0094】

なお、複数の検査用画素領域IPAが表示領域AAを囲んで備えられることにより、横方向の画素ラインと縦方向の画素ラインのそれぞれに対し、始部と終部に共に備えられる結果となるため、表示領域AA内の位置別特性分布まで把握することができる。そして、その結果を製造工程に反映することができるため、優秀な品質のアレイ基板101を提供する効果を持つ。

30

【0095】

一方、前述した通りに製造された液晶表示装置に用いられるアレイ基板と、それに対応する対向基板として例えばカラーフィルター基板とを、液晶層を介在させて貼り合わせることによって、図9に示すような液晶表示装置が製造される。

【0096】

図9を参照すると、アレイ基板101上には、液晶層250を介在してカラーフィルター基板201が位置する。

【0097】

カラーフィルター基板201の内側上には、画素領域Pの周辺に沿ってブラックマトリクス210が設けられる。そして、画素領域Pに対応してカラーフィルター220が構成される。一方、カラーフィルター基板201を平坦化するための平坦化膜が、ブラックマトリクス210及びカラーフィルター220上に設けられても良い。

40

【0098】

一方、本発明は前述した実施例及び変形例に限らず、本発明の技術的思想の範囲内で多様な変化及び変形が可能である。

【符号の説明】

【0099】

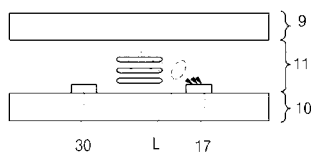
101・・・アレイ基板、

50

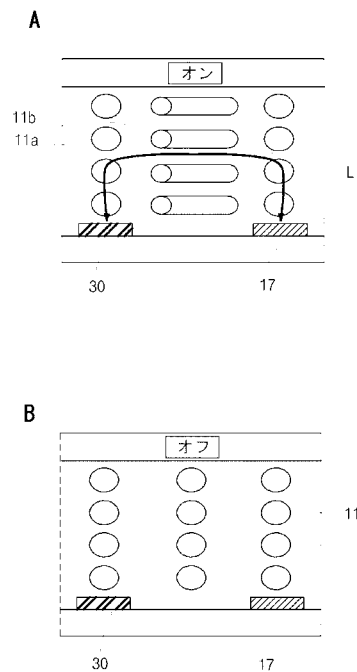
105・・・ゲート配線、
 130・・・データ配線、
 170・・・共通電極、
 175・・・検査用電極、
 AA・・・表示領域、
 D-IC・・・駆動IC、
 DP・・・データパッド電極、
 GP・・・ゲートパッド電極、
 IP1、IP2、IP3、IP4・・・第1、第2、第3、第4検査用パッド、
 IDL1、IDL2・・・第1、第2検査用データ配線、
 IGL1、IGL2・・・第1、第2検査用ゲート配線、
 IPA・・・検査用画素領域、
 ITr1、ITr2、ITr3、ITr4・・・第1、第2、第3、第4検査用薄膜トランジスタ、
 NA1、NA2、NA3、NA4・・・第1、第2、第3、第4非表示領域

10

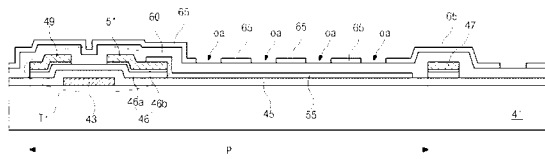
【図1】



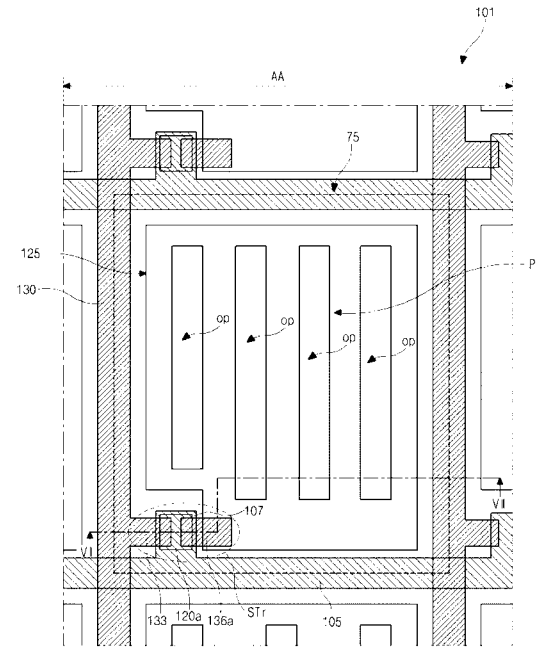
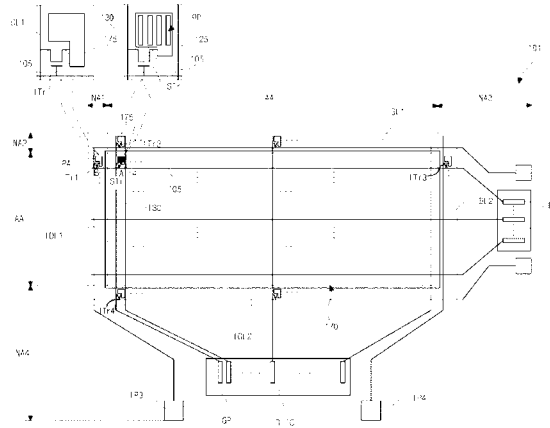
【図2】



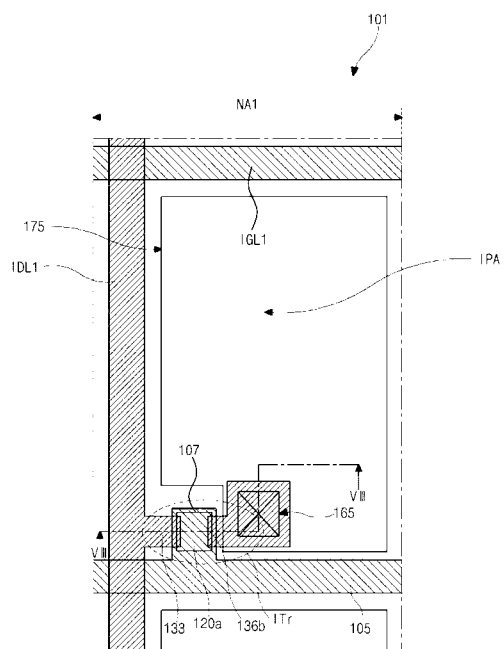
【 図 5 】



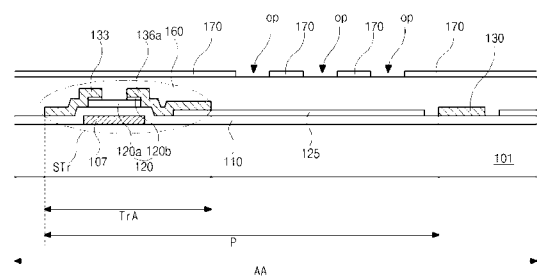
【 図 4 】



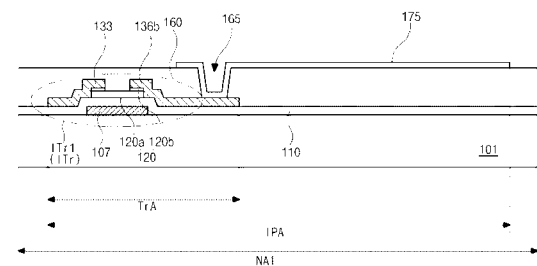
【 図 6 】



【圖 7】



【 図 8 】



[illegible]

The diagram shows a 3D protein structure with several labels and a large central box. At the top, 'IPA' is labeled with a curved arrow pointing to a small square. Below it, 'DPA' is labeled with a curved arrow pointing to another small square. To the left, 'IPA' and 'DPA' are labeled with curved arrows pointing to two small squares. In the center, a large box contains a small square labeled 'P' and the text 'AA' below it. To the right, 'DPA' and 'IPA' are labeled with curved arrows pointing to two small squares. At the bottom, 'DPA' and 'IPA' are labeled with curved arrows pointing to two small squares. The entire diagram is enclosed in a large rectangular frame.

フロントページの続き

(72)発明者 シン, チャンヨブ

大韓民国 730-090, キョサンブッド, クミシ, ソンジョンドン, プリジオ キャ
ッスル アpartment, エー-ダンジ, 105-901

(72)発明者 シン, エギョン

大韓民国 706-014, テグシ, スソング, ポモ4ドン, 209-51番地

(72)発明者 リー, ルダ

大韓民国 585-807, チョルラブット, コチャグン, コチャンウッ, ウプネリ,
410-9ボンジ, サンウォン アpartment, 212ホー

Fターム(参考) 2H092 GA14 JA26 JB05 JB77 MA56 NA30 QA06

专利名称(译)	用于边缘场切换模式的液晶显示装置的阵列基板		
公开(公告)号	JP2013186470A	公开(公告)日	2013-09-19
申请号	JP2012286989	申请日	2012-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ウォンデヒョン シンチャンヨブ シンエギョン リールダ		
发明人	ウォン, デヒョン シン, チャンヨブ シン, エギョン リー, ルダ		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/1309 G02F1/1368 G02F2001/134372 G02F2001/136254 H01L22/00		
FI分类号	G02F1/1368 G02F1/1343		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JB05 2H092/JB77 2H092/MA56 2H092/NA30 2H092/QA06 2H192/AA24 2H192/BB12 2H192/CB05 2H192/EA22 2H192/EA43 2H192/FA02 2H192/GA42 2H192/HB04 2H192/HB14 2H192/HB22 2H192/JA33		
优先权	1020120022501 2012-03-05 KR		
其他公开文献	JP5714561B2		
外部链接	Espacenet		

摘要(译)

公开了一种用于边缘场切换模式液晶显示器的阵列基板和显示器。阵列基板(101)包括显示区域(AA)，其包括由栅极线和与栅极线交叉的数据线限定的像素区域(P)，每个像素区域(P)包括开关薄膜晶体管(STr)和板-形状像素电极(125)连接到开关薄膜晶体管(STr)，显示器的显示区域还包括公共电极(170)，公共电极(170)具有与像素电极(125)对应的多个条形开口(op)。)，在显示区域(AA)的整个区域上，在像素电极(125)上形成公共电极(170)；第一至第四非显示区域(NA1-NA4)围绕显示区域并包括显示区域周围的测试像素区域(IPA)，其中每个测试像素区域(IPA)包括测试薄膜晶体管(ITr)和测试电极(175)由与公共电极(170)相同的层形成并连接到相应的测试薄膜晶体管(ITr)。

