

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-109347

(P2013-109347A)

(43) 公開日 平成25年6月6日(2013.6.6)

(51) Int.Cl.

G02F 1/1343 (2006.01)

F I

G02F 1/1343

テーマコード (参考)

2H092

審査請求 有 請求項の数 12 O L (全 16 頁)

(21) 出願番号 特願2012-250783 (P2012-250783)
 (22) 出願日 平成24年11月15日 (2012.11.15)
 (31) 優先権主張番号 10-2011-0120367
 (32) 優先日 平成23年11月17日 (2011.11.17)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー ディ스플레이 カンパニー リ
 ミテッド
 大韓民国 ソウル、ヨンドゥンポグ、ヨ
 ウィーテロ 128
 (74) 代理人 100109726
 弁理士 園田 吉隆
 (74) 代理人 100101199
 弁理士 小林 義教
 (72) 発明者 シン, ドンス
 大韓民国 キョンギド, バジュ, チョ
 リウツ, ソンホ 2-ダンジ アパート
 メント 103-1102

最終頁に続く

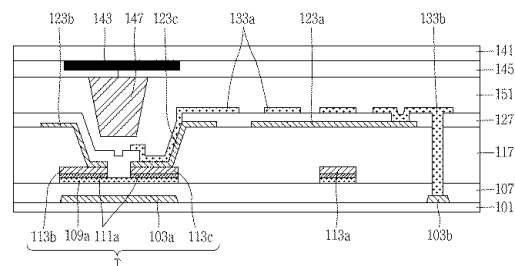
(54) 【発明の名称】 FFS方式液晶表示装置用アレイ基板及びその製造方法

(57) 【要約】 (修正有)

【課題】画素の開口領域を最大化し、画素の透過率を向上させる、FFS方式液晶表示装置用アレイ基板及びその製造方法を提供する。

【解決手段】ゲート配線とデータ配線113aとの交差点に形成された薄膜トランジスタTと、薄膜トランジスタTを含む基板101全面に形成され、薄膜トランジスタTを露出する開口部を備えた有機絶縁膜117の上部に形成された大面積の共通電極123aと、開口部から薄膜トランジスタTに接続された補助電極パターン123cと、共通電極123a及び補助電極パターン123cを含む基板101全面に形成され、薄膜トランジスタTに接続された補助電極パターン123cを露出するパッシベーション膜127の上部に形成され、露出した補助電極パターン123cを介して薄膜トランジスタTに電氣的に接続され、共通電極123aとオーバーラップする複数の画素電極133aを含む。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

基板の一面に一方向に形成されたゲート配線と、
前記ゲート配線と交差して画素領域を定義するデータ配線と、
前記ゲート配線と前記データ配線との交差点に形成された薄膜トランジスタと、
前記薄膜トランジスタを含む基板全面に形成され、前記薄膜トランジスタを露出する開口部を備えた有機絶縁膜と、
前記有機絶縁膜の上部に形成された大面積の共通電極と、
前記有機絶縁膜の上部に形成され、前記開口部から前記薄膜トランジスタに接続された補助電極パターンと、
前記共通電極及び前記補助電極パターンを含む基板全面に形成され、前記薄膜トランジスタに接続された補助電極パターンを露出するパッシベーション膜と、
前記パッシベーション膜の上部に形成され、前記露出した補助電極パターンを介して前記薄膜トランジスタに電氣的に接続され、前記共通電極とオーバーラップする複数の画素電極と
を含むことを特徴とする液晶表示装置用アレイ基板。

10

【請求項 2】

前記開口部は、前記有機絶縁膜内に形成され、前記薄膜トランジスタの上部にオーバーラップしていることを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 3】

前記画素電極は、前記補助電極パターン及び前記ドレイン電極に電氣的に接続されていることを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

20

【請求項 4】

前記基板に前記ゲート配線と平行に配置された共通配線をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

【請求項 5】

前記パッシベーション膜の上部に形成され、前記共通配線と前記共通電極とを接続する共通接続パターンをさらに含むことを特徴とする請求項 4 に記載の液晶表示装置用アレイ基板。

【請求項 6】

前記ゲート配線と前記データ配線とが交差して形成される画素領域に形成されたカラーフィルタ層をさらに含むことを特徴とする請求項 1 に記載の液晶表示装置用アレイ基板。

30

【請求項 7】

基板の一面に一方向にゲート配線を形成する段階と、
前記ゲート配線と交差して画素領域を定義するデータ配線を形成する段階と、
前記ゲート配線と前記データ配線との交差点に薄膜トランジスタを形成する段階と、
前記薄膜トランジスタを含む基板全面に前記薄膜トランジスタを露出する開口部を備えた有機絶縁膜を形成する段階と、
前記有機絶縁膜の上部に、大面積の共通電極、及び前記開口部から前記薄膜トランジスタに接続される補助電極パターンを形成する段階と、
前記共通電極及び前記補助電極パターンを含む基板全面に前記薄膜トランジスタに接続された補助電極パターンを露出するパッシベーション膜を形成する段階と、
前記パッシベーション膜の上部に、前記露出した補助電極パターンを介して前記薄膜トランジスタに電氣的に接続され、前記共通電極とオーバーラップする複数の画素電極を形成する段階と
を含むことを特徴とする液晶表示装置用アレイ基板の製造方法。

40

【請求項 8】

前記開口部は、前記有機絶縁膜内に形成され、前記薄膜トランジスタの上部にオーバーラップしていることを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板の製造方法。

50

【請求項 9】

前記画素電極は、前記補助電極パターン及び前記ドレイン電極に電氣的に接続されていることを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 10】

前記ゲート配線を形成する際に、前記ゲート配線と平行に共通配線を形成することを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板の製造方法。

【請求項 11】

前記画素電極を形成する際に、前記パッシベーション膜の上部に前記共通配線と前記共通電極とを接続する共通接続パターンを形成することを特徴とする請求項 10 に記載の液晶表示装置用アレイ基板の製造方法。

10

【請求項 12】

前記ゲート配線と前記データ配線とが交差して形成される画素領域にカラーフィルタ層を形成する段階をさらに含むことを特徴とする請求項 7 に記載の液晶表示装置用アレイ基板の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶表示装置 (Liquid Crystal Display Device) に関し、特に、F F S (Fringe Field Switching) 方式液晶表示装置用アレイ基板及びその製造方法に関する。

【背景技術】

20

【0002】

一般に、液晶表示装置の駆動原理は、液晶の光学的異方性と分極特性を利用するものである。前記液晶は細長い構造であるので分子配列に方向性を有し、人為的に前記液晶に電場を印加することで分子配列の方向を制御することができる。

【0003】

つまり、前記液晶の分子配列の方向を任意に調節して前記液晶の分子配列を変化させると、光学的異方性により前記液晶の分子配列方向に光が屈折し、画像情報が表示される。

【0004】

近年、薄膜トランジスタと前記薄膜トランジスタに接続された画素電極とがマトリクス方式で配列されたアクティブマトリクス液晶表示装置 (A M - L C D (Active Matrix LCD)、以下液晶表示装置という) が、解像度及び動画表示能力に優れており、最も注目されている。

30

【0005】

前記液晶表示装置は、共通電極が形成されたカラーフィルタ基板 (すなわち、上部基板) と、画素電極が形成されたアレイ基板 (すなわち、下部基板) と、上部基板と下部基板との間に充填された液晶とからなるが、このような液晶表示装置は、画素電極と共通電極が上下に印加される電場により液晶を駆動する方式であって、透過率や開口率などの特性に優れている。

【0006】

しかし、上下に印加される電場による液晶駆動方式は、視野角特性に優れていないという欠点があった。よって、上記欠点を克服するために新たに提案された技術が横電界による液晶駆動方式であるが、この横電界による液晶駆動方式は、視野角特性に優れているという利点を有する。

40

【0007】

このような横電界方式液晶表示装置は、カラーフィルタ基板とアレイ基板とが対向するように構成され、カラーフィルタ基板とアレイ基板との間に液晶層が介在している。

【0008】

前記アレイ基板は、透明な絶縁基板上に定義された複数の画素毎に設けられる薄膜トランジスタ、共通電極、及び画素電極から構成される。前記共通電極と前記画素電極とは、同一基板上に平行に離隔して構成される。

50

【 0 0 0 9 】

また、前記カラーフィルタ基板は、透明な絶縁基板上に、ゲート配線、データ配線、及び薄膜トランジスタに対応する部分にブラックマトリクスが形成され、前記画素に対応する部分にカラーフィルタが形成される。

【 0 0 1 0 】

さらに、前記液晶層は、前記共通電極と前記画素電極の水平電界により駆動される。

【 0 0 1 1 】

通常、前記共通電極及び前記画素電極は、輝度を確保するために、透明電極で形成する。

【 0 0 1 2 】

よって、このような輝度改善効果を最大化するために提案された技術が F F S 技術である。前記 F F S 技術は、液晶を精密に制御することにより、色ずれ (color shift) がなく、高いコントラスト比が得られるという特徴がある。

【 0 0 1 3 】

以下、このような従来の F F S 方式液晶表示装置の製造方法について図 5 及び図 6 を参照して説明する。

【 0 0 1 4 】

図 5 は従来の F F S 方式液晶表示装置の概略平面図であり、図 6 は図 5 の II - II 線断面図である。

【 0 0 1 5 】

従来の F F S 方式液晶表示装置用アレイ基板は、図 5 及び図 6 に示すように、透明な絶縁基板 1 1 上に一方向に延び、互いに平行に離隔した複数のゲート配線 1 3 と、ゲート配線 1 3 と交差し、その交差して形成される領域に画素領域を定義する複数のデータ配線 2 1 と、ゲート配線 1 3 とデータ配線 2 1 との交差点に設けられ、ゲート配線 1 3 から垂直に延びたゲート電極 1 3 a、ゲート絶縁膜 1 5、アクティブ層 1 7、オーミックコンタクト層 1 9、ソース電極 2 1 a、及びドレイン電極 2 1 b からなる薄膜トランジスタ T と、薄膜トランジスタ T を含む基板全面に形成された第 1 パッシベーション膜 2 7 と、第 1 パッシベーション膜 2 7 上に形成されて薄膜トランジスタ T に接続された大面積の画素電極 2 9 と、画素電極 2 9 を含む第 1 パッシベーション膜 2 7 上に形成された第 2 パッシベーション膜 3 1 と、第 2 パッシベーション膜 3 1 上に互いに離隔して形成されて画素電極 2 9 に対応する複数の共通電極 3 3 とを含む。

【 0 0 1 6 】

ここで、大面積の画素電極 2 9 は、ゲート配線 1 3 とデータ配線 2 1 とが交差して形成される画素領域に配置されている。

【 0 0 1 7 】

また、共通電極 3 3 は、第 2 パッシベーション膜 3 1 を介して画素電極 2 9 とオーバーラップしている。ここで、画素電極 2 9 及び複数の共通電極 3 3 は、透明導電物質である I T O (Indium Tin Oxide) で形成される。

【 0 0 1 8 】

また、画素電極 2 9 は、第 1 パッシベーション膜 2 7 の上部に形成されたドレインコンタクトホール 2 7 a を介してドレイン電極 2 1 b に電氣的に接続される。

【 0 0 1 9 】

さらに、画素電極 2 9 及び複数の共通電極 3 3 が形成された絶縁基板 1 1 と貼り合わせられるカラーフィルタ基板 (図示せず) 上には、カラーフィルタ層 (図示せず) と、前記カラーフィルタ層間に配置されて光の透過を遮断するためのブラックマトリクス (図示せず) が積層されており、前記ブラックマトリクス及び前記カラーフィルタ層の上部には、これらブラックマトリクスとカラーフィルタ層間の平坦化のために、オーバーコート層 (図示せず) が形成されている。

【 0 0 2 0 】

さらに、貼り合わせられる前記カラーフィルタ基板と絶縁基板 1 1 との間には液晶層 (

10

20

30

40

50

図示せず)が形成されている。

【発明の概要】

【発明が解決しようとする課題】

【0021】

従来のFFS方式液晶表示装置においては、画素電極と薄膜トランジスタのドレイン電極を接続させるために、パッシベーション膜にドレインコンタクトホールを形成しなければならない、そのドレインコンタクトホールを形成する際に、ドレインコンタクトホール周辺部にディスクリネーション領域が発生することにより、光漏れが発生する。

【0022】

従って、ドレインコンタクトホール周辺部のディスクリネーション領域により発生する光漏れを防止するために、前記ドレインコンタクトホール周辺部の全てをブラックマトリクスにより遮蔽しなければならないので、その分、画素の開口領域、すなわち透過領域の面積が減少することにより、画素の透過率が減少する。特に、ドレインコンタクトホール周辺部のディスクリネーション領域により発生する光漏れを防止するために、貼り合わせマージンを考慮してブラックマトリクスにより遮蔽しなければならないので、その分、画素の透過領域の面積が減少することにより、画素の透過率が減少する。

【0023】

一方、ドレインコンタクトホールがなく、かつ共通電極が最上部に配置される構造においては、データ配線と画素電極間の干渉によるクロストークや横線の問題が生じる。

【0024】

つまり、共通電極が最上部に配置される構造は、データ配線と画素電極が隣接している構造であるので、データ配線と画素電極間に強い干渉が発生するという問題があった。

【0025】

本発明は、このような問題を解決するためになされたものであり、本発明の目的は、ドレイン電極と画素電極を接続させるためのドレインコンタクトホールを形成するのではなく、画素電極が最上部に配置される構造を適用することにより、画素の開口領域を最大化し、画素の透過率を向上させる、FFS方式液晶表示装置用アレイ基板及びその製造方法を提供することにある。

【課題を解決するための手段】

【0026】

上記目的を達成するための本発明によるFFS方式液晶表示装置用アレイ基板は、基板の一面に一方向に形成されたゲート配線と、前記ゲート配線と交差して画素領域を定義するデータ配線と、前記ゲート配線と前記データ配線との交差点に形成された薄膜トランジスタと、前記薄膜トランジスタを含む基板全面に形成され、前記薄膜トランジスタを露出する開口部を備えた有機絶縁膜と、前記有機絶縁膜の上部に形成された大面積の共通電極と、前記有機絶縁膜の上部に形成され、前記開口部から前記薄膜トランジスタに接続された補助電極パターンと、前記共通電極及び前記補助電極パターンを含む基板全面に形成され、前記薄膜トランジスタに接続された補助電極パターンを露出するパッシベーション膜と、前記パッシベーション膜の上部に形成され、前記露出した補助電極パターンを介して前記薄膜トランジスタに電氣的に接続され、前記共通電極とオーバーラップする複数の画素電極とを含むことを特徴とする。

【0027】

上記目的を達成するための本発明によるFFS方式液晶表示装置用アレイ基板の製造方法は、基板の一面に一方向にゲート配線を形成する段階と、前記ゲート配線と交差して画素領域を定義するデータ配線を形成する段階と、前記ゲート配線と前記データ配線との交差点に薄膜トランジスタを形成する段階と、前記薄膜トランジスタを含む基板全面に前記薄膜トランジスタを露出する開口部を備えた有機絶縁膜を形成する段階と、前記有機絶縁膜の上部に、大面積の共通電極、及び前記開口部から前記薄膜トランジスタに接続される補助電極パターンを形成する段階と、前記共通電極及び前記補助電極パターンを含む基板全面に前記薄膜トランジスタに接続された補助電極パターンを露出するパッシベ

10

20

30

40

50

ン膜を形成する段階と、前記パッシベーション膜の上部に、前記露出した補助電極パターンを介して前記薄膜トランジスタに電氣的に接続され、前記共通電極とオーバーラップする複数の画素電極を形成する段階とを含むことを特徴とする。

【発明の効果】

【0028】

本発明によるFFS方式液晶表示装置用アレイ基板及びその製造方法によれば、従来のドレイン電極と画素電極を電氣的に接続させるために形成していたドレインコンタクトホールを省略し、有機絶縁膜に薄膜トランジスタの上部を露出する開口部を形成し、その露出した薄膜トランジスタと画素電極を電氣的に直接接続させることにより、従来のドレインコンタクトホールを形成するために使用されていた面積が開口領域として使用されるので、透過率が従来より改善される。

10

【0029】

また、本発明によるFFS方式液晶表示装置用アレイ基板及びその製造方法によれば、薄膜トランジスタの上部に設けられた開口部内にドレイン電極と画素電極が電氣的に接続されるコンタクトホールを形成することにより、コンタクトホールの面積が減少するので、その分開口率が上昇する。

【0030】

従って、画素電極が最上部に配置される構造であるため、データ配線と画素電極間のキャパシタンスによるクロストーク及び横線を低減することができる。

【0031】

20

さらに、本発明によるFFS方式液晶表示装置用アレイ基板及びその製造方法によれば、ソース電極及びドレイン電極形成領域に該当する導電層部分、並びにデータ配線の下方の不純物を含む非晶質シリコン層（ $n+$ 又は $p+$ ）及び非晶質シリコン層（ $a-Si:H$ ）が同時にパターンングされるため、アクティブテール（active tail）が発生する恐れがなくなる。

【図面の簡単な説明】

【0032】

【図1】本発明によるFFS方式液晶表示装置の概略平面図である。

【図2】本発明によるFFS方式液晶表示装置の薄膜トランジスタ部分の拡大平面図である。

30

【図3】図1のV-V線断面図である。

【図4A】本発明によるFFS方式液晶表示装置用アレイ基板の製造工程を示す断面図である。

【図4B】図4Aに続く工程を示す図である。

【図4C】図4Bに続く工程を示す図である。

【図4D】図4Cに続く工程を示す図である。

【図4E】図4Dに続く工程を示す図である。

【図4F】図4Eに続く工程を示す図である。

【図4G】図4Fに続く工程を示す図である。

【図4H】図4Gに続く工程を示す図である。

40

【図4I】図4Hに続く工程を示す図である。

【図4J】図4Iに続く工程を示す図である。

【図4K】図4Jに続く工程を示す図である。

【図4L】図4Kに続く工程を示す図である。

【図4M】図4Lに続く工程を示す図である。

【図4N】図4Mに続く工程を示す図である。

【図4O】図4Nに続く工程を示す図である。

【図4P】図4Oに続く工程を示す図である。

【図4Q】図4Pに続く工程を示す図である。

【図5】従来のFFS方式液晶表示装置の概略平面図である。

50

【図 6】図 5 の II - II 線断面図である。

【発明を実施するための形態】

【0033】

以下、本発明の好ましい実施の形態による F F S 方式液晶表示装置用アレイ基板及びその製造方法について添付図面を参照して詳細に説明する。

【0034】

図 1 は本発明による F F S 方式液晶表示装置の概略平面図であり、図 2 は本発明による F F S 方式液晶表示装置の薄膜トランジスタ部分の拡大平面図であり、図 3 は図 1 の V - V 線断面図である。

【0035】

本発明による F F S 方式液晶表示装置は、図 1 ~ 図 3 に示すように、透明な絶縁基板 101 の一面に一方向に形成されたゲート配線 103 と、ゲート配線 103 から離隔して配置された共通配線 103b と、ゲート配線 103 と交差して画素領域を定義するデータ配線 113a と、ゲート配線 103 とデータ配線 113a との交差点に形成された薄膜トランジスタ T と、薄膜トランジスタ T を含む基板全面に形成され、薄膜トランジスタ T を露出する開口部 121 を備えた有機絶縁膜 117 と、有機絶縁膜 117 の上部に形成された大面積の共通電極 123a と、開口部 121 から薄膜トランジスタ T に接続された補助電極パターン 123c と、共通電極 123a 及び補助電極パターン 123c を含む基板全面に形成され、薄膜トランジスタ T に接続された補助電極パターン 123c を露出するパッシベーション膜 127 と、パッシベーション膜 127 の上部に形成され、露出した補助電極パターン 123c を介して薄膜トランジスタ T に電氣的に接続され、共通電極 123a とオーバーラップする複数の画素電極 133a とを含む。

【0036】

共通電極 123a は、ゲート配線 103 とデータ配線 113a とが交差して形成される画素領域の全面に配置されており、共通電極 123a の上方には、パッシベーション膜 127 を介して互いに離隔するように複数の透明な棒状の画素電極 133a が配置されている。ここで、共通電極 123a は、画素電極 133a の形成時に形成された共通接続パターン 133b を介して、ゲート配線 103 と平行に配置された共通配線 103b に電氣的に接続されている。

【0037】

また、図 3 に示すように、画素電極 133a は、別途のドレインコンタクトホールを介することなく、薄膜トランジスタ T の上方に位置する開口部 121 から、ドレイン電極 113c に直接接続された補助電極パターン 123c に接続される。ここで、開口部 121 は、薄膜トランジスタ T を構成するソース電極 113b 及びドレイン電極 113c を露出するように形成される。

【0038】

また、ゲート配線 103 とデータ配線 113a とが交差して形成される画素領域を除く領域に対応する上部基板（カラーフィルタ基板）141 上には、光を遮断するブラックマトリクス 143 が形成されており、ブラックマトリクス 143 間には、赤色（R）カラーフィルタ層（図示せず）、緑色（G）カラーフィルタ層（図示せず）、及び青色（B）カラーフィルタ層（図示せず）を含むカラーフィルタ層 145 が形成されている。ここで、カラーフィルタ層 145 は、上部基板 141 上に形成するのではなく絶縁基板 101 上に形成する C O T（Color filter On TFT）構造を適用してもよい。すなわち、カラーフィルタ層 145 は、絶縁基板 101 においてゲート配線 103 とデータ配線 113a とが交差して形成される画素領域に形成してもよい。

【0039】

さらに、液晶表示装置の所定のセルギャップを維持するために、カラーフィルタ層 145 の上部には、柱状スペーサ（column spacer）147 が形成されている。ここで、柱状スペーサ 147 は、絶縁基板 101 の上部に形成されてもよい。

【0040】

従って、本発明においては、図 3 に示すように、従来形成していたドレインコンタクトホールが除去され、そのドレインコンタクトホールが除去された領域の面積が開口領域として使用されることにより、その分画素の透過率が改善される。

【0041】

さらに、絶縁基板 101 と上部基板 141 との間に液晶層 151 が形成されることにより、本発明による FFS 方式液晶表示装置が構成される。

【0042】

上記構成により、複数の共通電極 123a は、液晶を駆動するための基準電圧、すなわち共通電圧を各画素に供給する。

【0043】

複数の共通電極 123a は、各画素領域でパッシベーション膜 127 を介して大面積の画素電極 133a と重なり、フリンジフィールドを形成する。

【0044】

よって、薄膜トランジスタ T を介して画素電極 133a にデータ信号が供給されると、共通電圧が供給された共通電極 123a がフリンジフィールドを形成し、絶縁基板 101 と上部基板 141 との間に水平方向に配列された液晶分子が誘電異方性により回転し、液晶分子の回転の程度に応じて画素領域を透過する光透過率が変化することにより、階調が実現される。

【0045】

従って、本発明による FFS 方式液晶表示装置用アレイ基板によれば、従来のドレイン電極と画素電極を電氣的に接続させるために形成していたドレインコンタクトホールを省略し、有機絶縁膜に薄膜トランジスタの上部を露出する開口部を形成し、その露出した薄膜トランジスタと画素電極を電氣的に直接接続させることにより、従来のドレインコンタクトホールを形成するために使用されていた面積が開口領域として使用されるので、透過率が従来より改善される。

【0046】

また、本発明による FFS 方式液晶表示装置用アレイ基板は、画素電極が最上部に配置される構造であるため、データ配線と画素電極間のキャパシタンスによるクロストーク及び横線を低減することができる。

【0047】

さらに、本発明による FFS 方式液晶表示装置用アレイ基板によれば、ソース電極及びドレイン電極形成領域に該当する導電層部分、並びにデータ配線の下方の不純物を含む非晶質シリコン層 (n+又はp+)及び非晶質シリコン層 (a-Si:H) が同時にパターニングされるため、アクティブテールが発生する恐れがなくなる。

【0048】

一方、上記構成からなる本発明による FFS 方式液晶表示装置用アレイ基板の製造方法について図 4A ~ 図 4Q を参照して説明する。

【0049】

図 4A ~ 図 4Q は本発明による FFS 方式液晶表示装置用アレイ基板の製造工程を示す断面図である。

【0050】

まず、図 4A に示すように、透明な絶縁基板 101 上にスイッチングの役割を果たす複数の画素領域を定義し、絶縁基板 101 上に第 1 導電金属層 102 をスパッタリング法で蒸着する。ここで、第 1 導電金属層 102 を形成するターゲット物質としては、アルミニウム (Al)、タングステン (W)、銅 (Cu)、モリブデン (Mo)、クロム (Cr)、チタン (Ti)、モリブデンタングステン (MoW)、モリブデンチタン (MoTi)、銅 / モリブデンチタン (Cu / MoTi) を含む導電性金属群から選択される少なくとも 1 つを使用する。また、第 1 導電金属層 102 は、前記導電性金属群から選択される 2 つ以上の導電性金属からなる積層構造にしてもよい。

【0051】

10

20

30

40

50

次に、第1導電金属層102の上部に透過率の高いフォトレジストを塗布し、第1感光膜105を形成する。

【0052】

次に、図4Bに示すように、露光マスク（図示せず）を用いるフォトリソグラフィ法により、第1感光膜105に露光工程を行い、その後現像工程で第1感光膜105を選択的に除去し、第1感光膜パターン105aを形成する。

【0053】

次に、図4Cに示すように、第1感光膜パターン105aを遮断膜として第1導電金属層102を選択的にエッチングし、ゲート配線103（図1参照）、ゲート配線103から延びたゲート電極103a、及びゲート配線103から離隔して平行に配置される共通配線103bを同時に形成する。

10

【0054】

次に、第1感光膜パターン105aを除去し、その後ゲート配線103、ゲート電極103a、及び共通配線103bを含む基板全面に窒化シリコン（SiNx）又はシリコン酸化膜（SiO₂）からなるゲート絶縁膜107を形成する。

【0055】

次に、図4Dに示すように、ゲート絶縁膜107上に非晶質シリコン層（a-Si:H）109及び不純物を含む非晶質シリコン層（n+又はp+）111を順次積層する。ここで、非晶質シリコン層（a-Si:H）109及び不純物を含む非晶質シリコン層（n+又はp+）111は、化学気相蒸着（Chemical Vapor Deposition; CVD）法で蒸着する。また、ゲート絶縁膜107上には、非晶質シリコン層（a-Si:H）109の代わりに、IGZOなどの酸化物系半導体材料を蒸着してもよい。

20

【0056】

次に、不純物を含む非晶質シリコン層（n+又はp+）111を含む基板全面に第2導電金属層113をスパッタリング法で蒸着する。ここで、第2導電金属層113を形成するターゲット物質としては、アルミニウム（Al）、タングステン（W）、銅（Cu）、モリブデン（Mo）、クロム（Cr）、チタン（Ti）、モリブデントングステン（MoW）、モリブデンチタン（MoTi）、銅/モリブデンチタン（Cu/MoTi）を含む導電性金属群から選択される少なくとも1つを使用する。

【0057】

次に、第2導電金属層113の上部に透過率の高いフォトレジストを塗布し、第2感光膜（図示せず）を形成する。

30

【0058】

次に、露光マスク（図示せず）を用いるフォトリソグラフィ法により、前記第2感光膜に露光工程を行い、その後現像工程で前記第2感光膜を選択的に除去し、第2感光膜パターン115を形成する。

【0059】

次に、図4Eに示すように、第2感光膜パターン115をエッチングマスクとして第2導電金属層113を選択的にエッチングし、ゲート配線103と垂直に交差するデータ配線113aと共に、ソース電極及びドレイン電極形成領域（図示せず）を定義する。

40

【0060】

次いで、エッチング工程で、前記ソース電極及びドレイン電極形成領域に該当する第2導電金属層113部分、並びにデータ配線113aの下方の不純物を含む非晶質シリコン層（n+又はp+）111及び非晶質シリコン層（a-Si:H）109を順次エッチングし、オーミックコンタクト層111a及びアクティブ層109aを形成する。ここで、前記ソース電極及びドレイン電極形成領域に該当する第2導電金属層113部分、並びにデータ配線113aの下方の不純物を含む非晶質シリコン層（n+又はp+）111及び非晶質シリコン層（a-Si:H）109が同時にパターニングされるため、アクティブテールが発生する恐れがなくなる。

【0061】

50

次に、図 4 E に示すように、アクティブ層 109 a、オーミックコンタクト層 111 a、前記ソース電極及びドレイン電極形成領域に該当する第 2 導電金属層 113、及びデータ配線 113 a を含む基板全面に第 1 パッシベーション膜 116 及び有機絶縁膜 117 を順次蒸着する。ここで、第 1 パッシベーション膜 116 としては、窒化シリコン (SiN_x) 又はシリコン酸化膜 (SiO₂) からなる無機絶縁物質を使用する。また、有機絶縁膜 117 としては、感光性を有するフォトアクリル物質又はその他の感光性有機絶縁物質を使用する。なお、前記フォトアクリルは、感光性を有するため、露光工程を行う際に、フォトレジストを形成することなく露光工程を行うことができる。ここで、有機絶縁膜 117 の代わりに無機絶縁膜を蒸着してもよい。

【0062】

次に、図 4 F に示すように、露光マスク (図示せず) を用いるフォトリソグラフィ法により、有機絶縁膜 117 に露光工程を行い、その後現像工程で有機絶縁膜 117 を選択的に除去し、前記ソース電極及びドレイン電極形成領域に該当する第 2 導電金属層 113 の上部、並びに共通配線 103 b の上部を露出する有機絶縁膜パターン 117 a を形成する。

【0063】

次に、図 4 G に示すように、有機絶縁膜パターン 117 a をエッチングマスクとして、前記ソース電極及びドレイン電極形成領域に該当する第 2 導電金属層 113 の上部、並びに共通配線 103 b の上部に配置された第 1 パッシベーション膜 116 部分を選択的にエッチングし、第 1 開口部 121 a 及び第 2 開口部 121 b を形成する。ここで、第 1 開口部 121 a からは、薄膜トランジスタ T 形成部分、すなわちソース電極及びドレイン電極形成領域が外部に露出する。また、第 2 開口部 121 b からは、共通配線 103 b が外部に露出する。

【0064】

次に、図 4 H に示すように、第 1 開口部 121 a 及び第 2 開口部 121 b を含む有機絶縁膜 117 の上部に透明導電物質をスパッタリング法で蒸着し、第 1 透明導電物質層 123 を形成する。ここで、前記透明導電物質としては、ITO (Indium Tin Oxide) や IZO (Indium Zinc Oxide) を含む透明な導電物質群のいずれか 1 つの組成物ターゲットを使用する。また、第 1 透明導電物質層 123 は、前記ソース電極及びドレイン電極形成領域に該当する第 2 導電金属層 113 の表面に直接接触する。

【0065】

次に、第 1 透明導電物質層 123 の上部に透過率の高いフォトレジストを塗布し、第 3 感光膜 125 を形成する。

【0066】

次に、図 4 I に示すように、露光マスク (図示せず) を用いるフォトリソグラフィ法により、第 3 感光膜 125 に露光工程を行い、その後現像工程で第 3 感光膜 125 を選択的に除去し、第 3 感光膜パターン 125 a を形成する。このとき、薄膜トランジスタ T のチャネル領域上部の第 1 透明導電物質層 123 の上面が外部に露出する。

【0067】

次に、図 4 J に示すように、第 3 感光膜パターン 125 a をエッチングマスクとして、露出した第 1 透明導電物質層 123 とその下方に位置する第 2 導電金属層 113 及びオーミックコンタクト層 111 a を順次エッチングし、大面積の共通電極 123 a、ダミーパターン 123 b、及び補助電極パターン 123 c を形成すると共に、互いに離隔したソース電極 113 b 及びドレイン電極 113 c を形成する。このとき、オーミックコンタクト層 111 a もエッチングされて離隔した状態となるので、その下方に位置するアクティブ層 109 a のチャネル領域 (図示せず) が外部に露出する。また、補助電極パターン 123 c はドレイン電極 113 c に直接接続された状態となり、ダミーパターン 123 b はソース電極 113 b に直接接続された状態となる。ここで、ダミーパターン 123 b は、単にソース電極 113 b にのみ接続された状態であるので、別途エッチングする必要はない。

10

20

30

40

50

【 0 0 6 8 】

次に、図 4 K に示すように、第 3 感光膜パターン 1 2 5 a を除去し、その後基板全面に無機絶縁物質又は有機絶縁物質を蒸着し、第 2 パッシベーション膜 1 2 7 を形成し、次いで、第 2 パッシベーション膜 1 2 7 の上部に透過率の高いフォトレジストを塗布し、第 4 感光膜 1 2 9 を形成する。

【 0 0 6 9 】

次に、図 4 L に示すように、露光マスク（図示せず）を用いるフォトリソグラフィ法により露光及び現像工程を行って第 4 感光膜 1 2 9 を除去し、第 4 感光膜パターン 1 2 9 a を形成する。

【 0 0 7 0 】

次に、図 4 M に示すように、第 4 感光膜パターン 1 2 9 a をエッチングマスクとして、第 2 パッシベーション膜 1 2 7 を選択的にエッチングし、補助電極パターン 1 2 3 c、共通電極 1 2 3 a、及び共通配線 1 0 3 b をそれぞれ露出する画素電極コンタクトホール 1 3 1 a、共通電極コンタクトホール 1 3 1 b、及び共通配線コンタクトホール 1 3 1 c を同時に形成する。

【 0 0 7 1 】

次に、図 4 N に示すように、第 4 感光膜パターン 1 2 9 a を除去し、その後画素電極コンタクトホール 1 3 1 a、共通電極コンタクトホール 1 3 1 b、及び共通配線コンタクトホール 1 3 1 c を含む第 2 パッシベーション膜 1 2 7 の上部に透明導電物質をスパッタリング法で蒸着し、第 2 透明導電物質層 1 3 3 を形成する。ここで、前記透明導電物質としては、ITO や IZO を含む透明な導電物質群のいずれか 1 つの組成物ターゲットを使用する。

【 0 0 7 2 】

次に、第 2 透明導電物質層 1 3 3 の上部に透過率の高いフォトレジストを塗布し、第 5 感光膜 1 3 5 を形成する。

【 0 0 7 3 】

次に、図 4 O に示すように、露光マスク（図示せず）を用いるフォトリソグラフィ法により、第 5 感光膜 1 3 5 に露光工程を行い、その後現像工程で第 5 感光膜 1 3 5 を選択的に除去し、第 5 感光膜パターン 1 3 5 a を形成する。

【 0 0 7 4 】

次に、図 4 P に示すように、第 5 感光膜パターン 1 3 5 a をエッチングマスクとして、第 2 透明導電物質層 1 3 3 を選択的にエッチングし、補助電極パターン 1 2 3 c に接続されて互いに離隔した複数の画素電極 1 3 3 a、並びに共通電極コンタクトホール 1 3 1 b 及び共通配線コンタクトホール 1 3 1 c を介して共通電極 1 2 3 a と共通配線 1 0 3 b とを電氣的に接続する共通接続パターン 1 3 3 b を同時に形成する。ここで、画素電極 1 3 3 a は、補助電極パターン 1 2 3 c に接続されることにより、ドレイン電極 1 1 3 c とともに電氣的に接続される。

【 0 0 7 5 】

次に、図示していないが、残っている第 5 感光膜パターン 1 3 5 a を除去し、その後基板全面に配向膜（図示せず）を形成する工程をさらに行うことにより、本発明による FFS 方式液晶表示装置用アレイ基板の製造工程を完了する。

【 0 0 7 6 】

そして、図 4 Q に示すように、ゲート配線 1 0 3 とデータ配線 1 1 3 a とが交差して形成される画素領域を除く領域に対応する上部基板 1 4 1 上に、光を遮断するブラックマトリクス 1 4 3 を形成する。

【 0 0 7 7 】

次に、ブラックマトリクス 1 4 3 間に、赤色（R）カラーフィルタ層（図示せず）、緑色（G）カラーフィルタ層（図示せず）、及び青色（B）カラーフィルタ層（図示せず）を含むカラーフィルタ層 1 4 5 を形成する。ここで、カラーフィルタ層 1 4 5 は、上部基板 1 4 1 上に形成するのではなく絶縁基板 1 0 1 上に形成する COT（Color filter On

10

20

30

40

50

TFT)構造を適用してもよい。すなわち、カラーフィルタ層145は、第1パッシベーション膜116を形成する前の段階において、絶縁基板101においてゲート配線103とデータ配線113aとが交差して形成される画素領域に形成してもよい。

【0078】

次に、液晶表示装置の所定のセルギャップを維持するために、カラーフィルタ層145の上部に、柱状スペーサ147を形成する。ここで、柱状スペーサ147は、絶縁基板101の上部に形成してもよい。

【0079】

従って、本発明においては、従来形成していたドレインコンタクトホールが除去され、そのドレインコンタクトホールが除去された領域の面積が開口領域として使用されることにより、その分画素の透過率が改善される。

10

【0080】

次に、上部基板141の全面に配向膜(図示せず)を形成する工程をさらに行うことにより、カラーフィルタ基板の製造工程を完了する。

【0081】

その後、絶縁基板101と上部基板141との間に液晶層151を形成することにより、本発明によるFFS方式液晶表示装置の製造工程を完了する。

【0082】

前述したように、本発明によるFFS方式液晶表示装置用アレイ基板及びその製造方法によれば、従来のドレイン電極と画素電極を電氣的に接続させるために形成していたドレインコンタクトホールを省略し、有機絶縁膜に薄膜トランジスタの上部を露出する開口部を形成し、その露出した薄膜トランジスタと画素電極を電氣的に直接接続させることにより、従来のドレインコンタクトホールを形成するために使用されていた面積が開口領域として使用されるので、透過率が従来より改善される。

20

【0083】

また、本発明によるFFS方式液晶表示装置用アレイ基板及びその製造方法によれば、薄膜トランジスタの上部に設けられた開口部内にドレイン電極と画素電極が電氣的に接続されるコンタクトホールを形成することにより、コンタクトホールの面積が減少するので、その分開口率が上昇する。

【0084】

従って、画素電極が最上部に配置される構造であるため、データ配線と画素電極間のキャパシタンスによるクロストーク及び横線を低減することができる。

30

【0085】

さらに、本発明によるFFS方式液晶表示装置用アレイ基板及びその製造方法によれば、ソース電極及びドレイン電極形成領域に該当する導電層部分、並びにデータ配線の下方の不純物を含む非晶質シリコン層(n+又はp+)及び非晶質シリコン層(a-Si:H)が同時にパターンニングされるため、アクティブテールが発生する恐れがなくなる。

【0086】

以上、本発明の好ましい実施の形態について詳細に説明したが、当該技術分野における通常の知識を有する者であればこれから様々な変形及び均等な実施の形態が可能であることを理解するであろう。

40

【0087】

よって、本発明の権利範囲はこれに限定されるものではなく、特許請求の範囲で定義される本発明の基本概念を用いた当業者の様々な変形や改良形態も本発明に含まれる。

【符号の説明】

【0088】

- 101 絶縁基板
- 103 ゲート配線
- 103a ゲート電極
- 107 ゲート絶縁膜

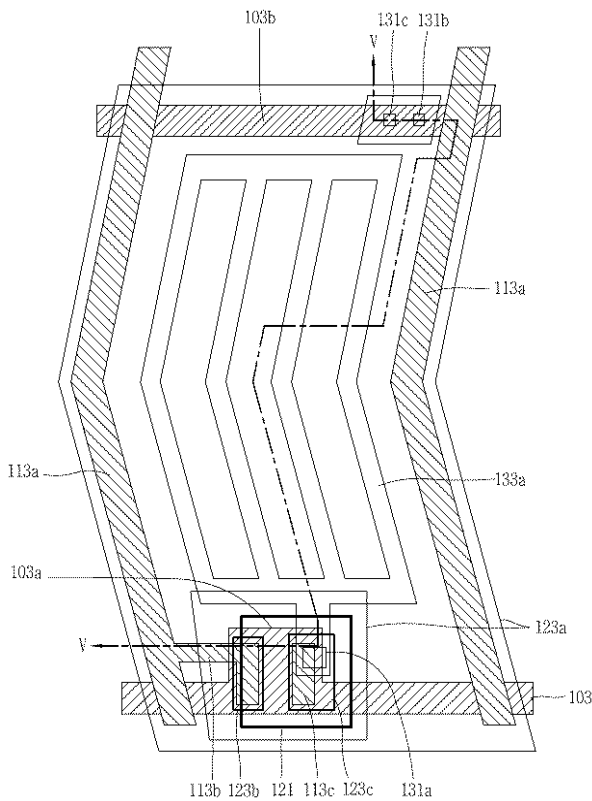
50

- 1 0 9 a アクティブ層
- 1 1 1 a オーミックコンタクト層
- 1 1 3 a データ配線
- 1 1 3 b ソース電極
- 1 1 3 c ドレイン電極
- 1 1 7 有機絶縁膜
- 1 2 1 開口部
- 1 2 3 a 共通電極
- 1 2 3 b ダミーパターン
- 1 2 3 c 補助電極パターン
- 1 1 6 第1パッシベーション膜
- 1 2 7 第2パッシベーション膜
- 1 3 1 a 画素電極コンタクトホール
- 1 3 1 b 共通電極コンタクトホール
- 1 3 1 c 共通配線コンタクトホール
- 1 3 3 a 画素電極
- 1 3 3 b 共通接続パターン
- 1 4 1 上部基板
- 1 4 3 ブラックマトリクス
- 1 4 5 カラーフィルタ層
- 1 4 7 柱状スペーサ
- 1 5 1 液晶層

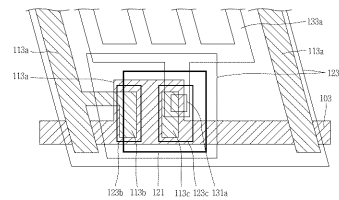
10

20

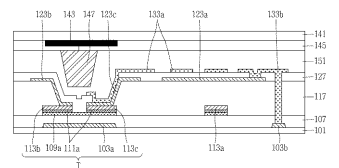
【図 1】



【図 2】



【図 3】



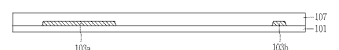
【図 4 A】



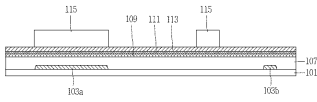
【図 4 B】



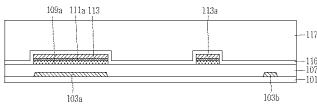
【図 4 C】



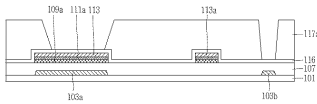
【図 4 D】



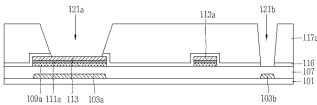
【図 4 E】



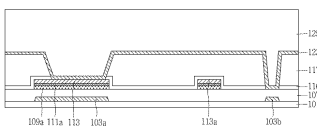
【図 4 F】



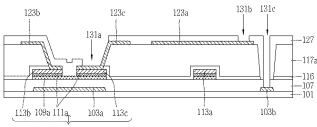
【図 4 G】



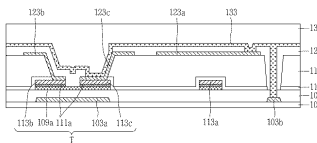
【図 4 H】



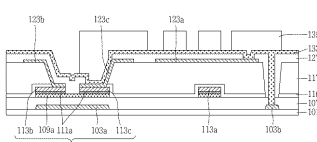
【図 4 M】



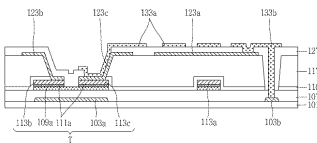
【図 4 N】



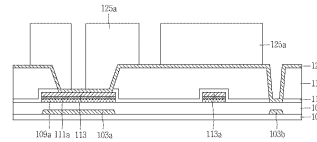
【図 4 O】



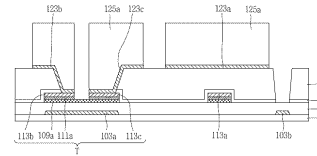
【図 4 P】



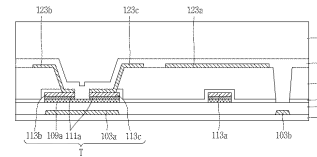
【図 4 I】



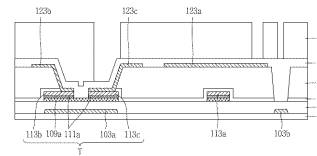
【図 4 J】



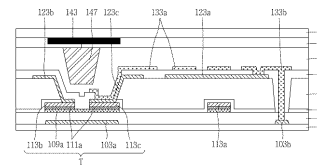
【図 4 K】



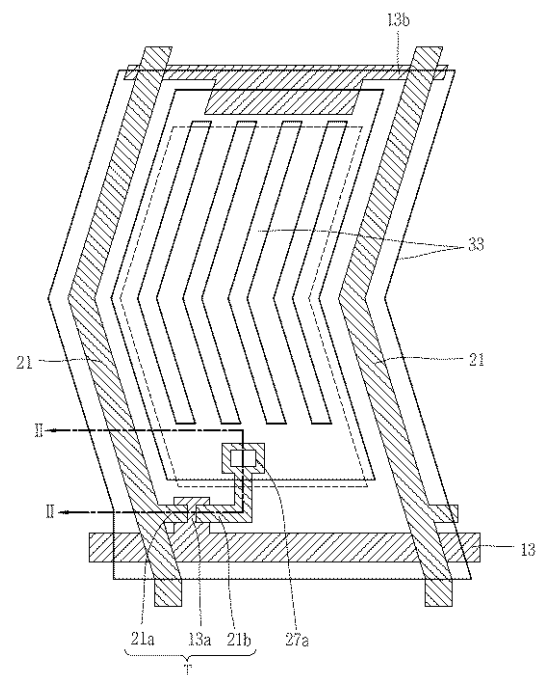
【図 4 L】



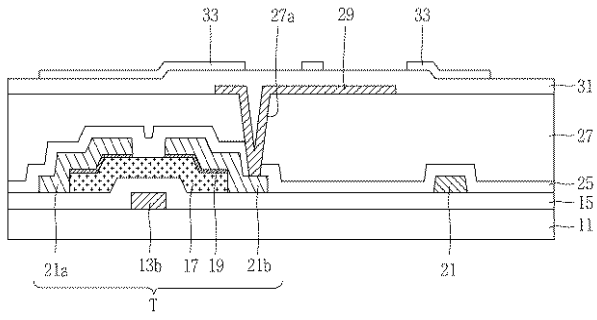
【図 4 Q】



【図 5】



【図 6】



フロントページの続き

(72)発明者 チェ, スンギュ

大韓民国 キョンギド, バジュ, キョハウッ, ヤダンリ, ハンピマウル ハルラ ヴィヴ
アルディー セントラル パーク アpartment 106-1704

(72)発明者 リ, チョルファン

大韓民国 キョンギド, スウォン, パルタルグ, ファソ 2-ドン, ゴメベオデル マウ
ル ジンフン アpartment 146-602

Fターム(参考) 2H092 GA14 JA26 JA46 JB57 JB58 KA05 KA08 KA12 KA19 KA24
KB05 KB14 KB24 KB25 MA05 MA13 NA07

